



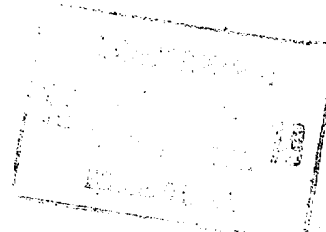
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1062871** **A**

3(5D) Н 04 В 12/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3445088/18-09
(22) 21.05.82
(46) 23.12.83. Бюл. № 47
(72) В.С. Альтшулер, А.А. Васюхно,
Л.В. Волков, А.В. Орлов и В.М. Филатов
(53) 621.396.4(088.8)
(56) 1. Малинин В.В. Микроинтерфейсы и системы сбора-распределения данных. ЦНИИ ч.1, М., "Электроника", 1981, с. 17-18.
2. Хилбури Дж. МикроЭВМ и микропроцессоры, TMS 6011 фирмы Texas Instruments. М., "Мир", 1979, с. 213-215 (прототип).
(54)(57) УСТРОЙСТВО ПЕРЕДАЧИ И ПРИЕМА ЦИФРОВОЙ ИНФОРМАЦИИ, содержащее на передающей стороне буферный регистр сдвига, соединенный с сумматором, а на приемной стороне буферный

регистр сдвига, вход управления которого соединен с выходом хронизатора, отличающееся тем, что, с целью повышения скорости передачи, на передающей стороне введен блок весовых коэффициентов, выходы которого соединены с входами буферного регистра сдвига, управляющий вход блока весовых коэффициентов соединен с вторым выходом хронизатора, а на приемной стороне введены последовательно соединенные дискриминатор уровня и дешифратор, выходы которого соединены с информационным входом буферного регистра, при этом управляющий вход дешифратора соединен с третьим выходом хронизатора, при этом вход дискриминатора является информационным входом.

(19) **SU** (11) **1062871** **A**

Изобретение относится к измерительной технике и радиоэлектронике, в частности к программируемым интерфейсам, способным производить двусторонний обмен данными между группой измерительных устройств и центральным процессором.

Известен программируемый интерфейс, содержащий буферные регистры приемника и передатчика, мультиплексор, дешифратор адреса и схему управления [1].

Недостатком данного устройства является то, что оно, обладая параллельным входом и выходом, требует, в случае работы с несколькими удаленными внешними устройствами, использования большого количества протяженных кабелей связи, вес и габариты которых значительно превышают вес и габариты измерительного блока и центрального процессора.

Наиболее близким техническим решением к изобретению является устройство передачи и приема цифровой информации, содержащее на передающей стороне буферный регистр сдвига, соединенный с сумматором, а на приемной стороне буферный регистр сдвига, вход управления которого соединен с выходом хронизатора [2].

Недостатком известного устройства является низкое быстродействие, что связано с последовательным обменом информацией с внешними устройствами. Так, передача сигнала "Старт", восьми информационных разрядов, разряда четности и двух сигналов "Стоп" требует двенадцати тактовых импульсов, т.е. в двенадцать раз больше времени, чем в интерфейсах с параллельным обменом.

Цель изобретения - повышение скорости передачи.

Цель достигается тем, что в устройстве передачи и приема цифровой информации, содержащее на передающей стороне буферный регистр сдвига, соединенный с сумматором а на приемной стороне буферный регистр сдвига, вход управления которого соединен с выходом хронизатора, на передающей стороне введен блок весовых коэффициентов, выходы которого соединены с входами буферного регистра сдвига, управляющий вход блока весовых коэффициентов соединен с вторым выходом хронизатора, а на приемной стороне введены последовательно соединенные дискриминатор уровня и дешифратор, выходы которого соединены с информационным входом буферного регистра, при этом управляющий вход дешифратора соединен с третьим выходом хронизатора, при этом вход дискриминатора является информационным входом.

На чертеже дана структурная электрическая схема устройства передачи и приема цифровой информации.

Устройство передачи и приема цифровой информации содержит передающую сторону 1, буферный регистр 2 сдвига, сумматор 3, блок 4 питания, блок 5 весовых коэффициентов, хронизатор 6, приемную сторону 7, буферный регистр 8 сдвига, дискриминатор 9 уровня и дешифратор 10.

Устройство работает следующим образом.

Информация поступает на шину ввода, откуда через блок 5 весовых коэффициентов поступает на входы записи буферного регистра 2, питание разрядов которого осуществляется от блока 4 питания, а запись информации - через блок 5. Следует отметить при этом, что точность подбора резистивных элементов в блоке 5 может быть невысокой. Блок 5 может быть выполнен также в виде ключей, управляющие входы которых соединены соответственно с шиной ввода и с первым выходом хронизатора 6. Такое выполнение блоков 5 является наиболее удобным при большом количестве транспортируемых разрядов и выполнении устройства в виде микросборки.

Таким образом, напряжение питания, входные и выходные сигналы каждого разряда буферного регистра 2 имеют различный уровень, соответственно, при этом напряжение питания и уровень входных сигналов каждого разряда равны между собой.

Момент загрузки буферного регистра 2 определяется хронизатором 6 по сигналам управления, поступающим по шине ввода. Выходы разрядов буферного регистра 2 соединены с соответствующими входами сумматора 3, выходное напряжение которого поступает на выход и несет информацию о величине кода, хранящегося в данный момент времени в буферном регистре 2. При этом выбор величин напряжений питания разрядов буферного регистра 2 позволяет произвести однозначное восстановление цифровой информации в приемном внешнем устройстве, где установлено аналогичное устройство.

На приемной стороне 7 устройства поступают два аналоговых сигнала. Дискриминатор 9 уровня измеряет величину первого из них, несущего передаваемую информацию. Второе напряжение, являющееся выходным напряжением стабилизированного блока 4 питания передающей стороны 1, поступает на вход опорного напряжения дискриминатора 9 уровня и служит для корректировки показаний дискриминатора 9 уровня на величину падения напряжения на соединительном проводе и ве-

личину дрейфа стабилизированного блока 4 питания, что позволяет исключить искажение информации, связанное с изменением условий окружающей среды и синфазными помехами в линии связи.

Цифровая информация с выхода дискриминатора 9 уровня поступает в дешифратор 10, который осуществляет ее преобразование в двоичный код, поступающий на информационные входы 10 буферного регистра 8, выходы которого соединены с шиной вывода. Запись информации в буферный регистр 8 осуществляется по сигналу с выхода хронизатора 6, которому предшествует сигнал, поступающий на вход блокировки дешифратора 10 и запрещающий изменение выходного кода дешифратора 10 на время перезаписи. Хрониза-

тор 6 формирует также сигнал неисправности устройства.

Таким образом, предлагаемое устройство обеспечивает одновременную передачу кодовой информации по одной шине. В частности, в случае выполнения буферного регистра передатчика на интегральных микросхемах серии 564, погрешность передачи напряжения логических уровней для которых составляет 0,01В, возможна передача двенадцатиразрядного числа в течение 1 мкс (длительность одного такта).

В то же время высокая помехоустойчивость предлагаемого устройства связана с малым числом дискретных уровней входного аналогового сигнала, также с исключением синфазной помехи и погрешности, вызванной падением напряжения в соединительных проводах.

