

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6258429号
(P6258429)

(45) 発行日 平成30年1月10日 (2018. 1. 10)

(24) 登録日 平成29年12月15日 (2017. 12. 15)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 6 L
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/8234 (2006. 01)	HO 1 L 29/78 6 1 6 V
HO 1 L 27/088 (2006. 01)	HO 1 L 27/088 A
HO 1 L 21/8238 (2006. 01)	HO 1 L 27/088 E
請求項の数 2 (全 59 頁) 最終頁に続く	

(21) 出願番号	特願2016-186513 (P2016-186513)	(73) 特許権者	000153878
(22) 出願日	平成28年9月26日 (2016. 9. 26)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-8850 (P2013-8850)		神奈川県厚木市長谷 3 9 8 番地
原出願日	平成25年1月22日 (2013. 1. 22)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2017-5273 (P2017-5273A)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(43) 公開日	平成29年1月5日 (2017. 1. 5)		半導体エネルギー研究所内
審査請求日	平成28年9月26日 (2016. 9. 26)	(72) 発明者	鈴木 幸恵
(31) 優先権主張番号	特願2012-11160 (P2012-11160)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(32) 優先日	平成24年1月23日 (2012. 1. 23)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	野田 耕生
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	及川 欣聡
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体膜上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上にゲート電極を形成し、
 前記ゲート電極をマスクとして、前記酸化物半導体膜にアルゴンを導入し、
 前記ゲート電極上に絶縁膜を形成し、
 前記絶縁膜をエッチングして、前記ゲート電極の側面に側壁絶縁膜を形成し、
前記側壁絶縁膜を形成した後、前記酸化物半導体膜の一部と接するように、アルミニウ
ム又はチタンを含む膜を形成し、

不活性ガス雰囲気下において加熱処理を行い、前記アルミニウム又はチタンを含む膜から前記酸化物半導体膜にアルミニウム又はチタンを導入し、

前記アルミニウム又はチタンを含む膜を除去し、
 前記酸化物半導体膜、前記ゲート電極、及び前記側壁絶縁膜上に層間絶縁膜を形成し、
 前記層間絶縁膜に開口部を形成し、
 前記層間絶縁膜上に導電膜を形成し、
 前記導電膜をエッチングして、前記開口部において前記酸化物半導体膜と電氣的に接続されるソース電極またはドレイン電極を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

酸化物半導体膜上にゲート絶縁膜を形成し、

10

20

前記ゲート絶縁膜上にゲート電極を形成し、
前記ゲート電極上に絶縁膜を形成し、
前記絶縁膜をエッチングして、前記ゲート電極の側面に側壁絶縁膜を形成し、
前記側壁絶縁膜を形成した後、前記酸化物半導体膜の一部と接するように、アルミニウム又はチタンを含む膜を形成し、
不活性ガス雰囲気下において加熱処理を行い、前記アルミニウム又はチタンを含む膜から前記酸化物半導体膜にアルミニウム又はチタンを導入し、
前記アルミニウム又はチタンを含む膜を除去し、
前記酸化物半導体膜、前記ゲート電極、及び前記側壁絶縁膜上に層間絶縁膜を形成し、
前記層間絶縁膜に開口部を形成し、
前記層間絶縁膜上に導電膜を形成し、
前記導電膜をエッチングして、前記開口部において前記酸化物半導体膜と電氣的に接続されるソース電極またはドレイン電極を形成することを特徴とする半導体装置の作製方法

10

。【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、及び半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

20

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

酸化物半導体を用いたトランジスタとしては、より高機能な半導体装置への応用のために、より高い電気特性が求められている。例えば、トランジスタのチャネル形成領域となる酸化物半導体膜の一部の領域上に、ゲート電極、及びゲート絶縁膜を形成したのち、酸化物半導体膜のゲート電極、及びゲート絶縁膜に覆われていない領域を低抵抗化してソース領域、及びドレイン領域を形成するセルフアライン（自己整合）構造のトランジスタが報告されている（例えば、特許文献1参照）。また、トランジスタのソース領域、及びドレイン領域に、上面から深さ方向にアルミニウム、チタンなどをドーパントとして含む酸化物半導体を用いた構造のトランジスタも報告されている（例えば、特許文献2参照）。

30

【先行技術文献】

【特許文献】

【0005】

40

【特許文献1】特開2007-220817号公報

【特許文献2】特開2011-228622号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1においては、低抵抗のソース領域、及びドレイン領域を自己整合的に形成するために、酸化物半導体膜のゲート電極、及びゲート絶縁膜に覆われていない領域に層間絶縁膜としてプラズマCVD法により窒化シリコン膜を形成し、当該窒化シリコン膜に含まれる水素を酸化物半導体膜に導入し、低抵抗領域を形成していた。しかしながら、この方法においては、チャネル形成領域にも水素が拡散する可能性があり、安定した半導体特

50

性を得ることが難しいという問題があった。

【0007】

また、特許文献2においては、低抵抗のソース領域、及びドレイン領域を自己整合的に形成するために、酸化物半導体膜のゲート電極、及びゲート絶縁膜に覆われていない領域に金属膜（例えば、アルミニウム、またはチタンなど）を形成し、酸化性のガス雰囲気中で熱処理を行い当該金属膜と酸化物半導体膜を反応させ低抵抗領域を形成していた。しかしながら、この方法においては、金属膜の形成後、酸化性のガス雰囲気中で熱処理することで、金属膜を酸化させており、当該金属膜が完全に酸化せず一部の領域でも金属膜残りがあると、金属膜とゲート電極間等の間に不要な容量が形成される、または、ソース領域とドレイン領域間が金属膜により導通してしまい、トランジスタの電気特性に影響を与える問題があった。

10

【0008】

このような問題に鑑み、本発明の一態様では、セルフアライン構造の酸化物半導体膜を用いたトランジスタにおいて、高い電気特性を有し、且つ安定した電気特性を付与したトランジスタを提供することを課題の一とする。また、当該トランジスタの作製方法を提供することを課題の一とする。また、当該トランジスタを有する高性能の半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0009】

セルフアライン構造の酸化物半導体膜を用いたトランジスタにおいて、酸化物半導体膜と金属膜とが接した状態で、不活性ガス雰囲気下で加熱処理することにより、該酸化物半導体膜に金属膜の元素を導入し、チャネル形成領域よりも抵抗が低い低抵抗領域を形成する。また、該加熱処理により金属膜は、酸化物半導体膜と接した領域が金属酸化物絶縁膜となる。その後金属膜の不要な領域を除去する。また、金属膜の不要な領域を除去することにより、金属膜に起因する不要な容量などが形成されない。これによって、低抵抗領域上に金属酸化物絶縁膜を形成することが可能となり、金属酸化物絶縁膜により外部から酸化物半導体膜中へ侵入する不純物の拡散、または酸化物半導体膜から脱離する酸素を抑制することができる。より詳細には以下の通りである。

20

【0010】

本発明の一態様は、酸化膜と、酸化膜上に形成され、チャネル形成領域及びチャネル形成領域よりも抵抗が低い低抵抗領域を含む酸化物半導体膜と、低抵抗領域に接して形成された金属酸化物絶縁膜と、酸化物半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜と接しチャネル形成領域と重畳する位置に形成されたゲート電極と、を有し、低抵抗領域は、少なくとも金属酸化物絶縁膜中の金属元素を含む半導体装置である。

30

【0011】

また、本発明の他の一態様は、酸化膜と、酸化膜上に形成され、チャネル形成領域及びチャネル形成領域よりも抵抗が低い低抵抗領域を含む酸化物半導体膜と、低抵抗領域に接して形成された金属酸化物絶縁膜と、酸化物半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜と接しチャネル形成領域と重畳する位置に形成されたゲート電極と、ゲート絶縁膜上に形成され、チャネル長方向の断面において、ゲート電極の側面に形成された側壁絶縁膜と、金属酸化物絶縁膜、側壁絶縁膜、及びゲート電極上に形成された保護絶縁膜と、低抵抗領域と電氣的に接続されたソース電極、及びドレイン電極と、を有し、低抵抗領域は、少なくとも金属酸化物絶縁膜中の金属元素を含む半導体装置である。

40

【0012】

上記構成において、チャネル形成領域と低抵抗領域の間に、低抵抗領域と抵抗が異なる不純物領域を含むと良い。

【0013】

また、本発明の他の一態様は、酸化膜と、酸化膜上に形成され、チャネル形成領域及びチャネル形成領域よりも抵抗が低い低抵抗領域を含む酸化物半導体膜と、低抵抗領域に接して形成された金属酸化物絶縁膜と、酸化物半導体膜上に形成されたゲート絶縁膜と、ゲ

50

ート絶縁膜と接しチャンネル形成領域と重畳する位置に形成されたゲート電極と、金属酸化物絶縁膜上に形成され、チャンネル長方向の断面において、ゲート電極の側面に形成された側壁絶縁膜と、金属酸化物絶縁膜、側壁絶縁膜、及びゲート電極上に形成された保護絶縁膜と、低抵抗領域と電氣的に接続されたソース電極、及びドレイン電極と、を有し、低抵抗領域は、少なくとも金属酸化物絶縁膜中の金属元素を含む半導体装置である。

【0014】

また、本発明の他の一態様は、酸化膜と、酸化膜上に形成されたソース電極、及びドレイン電極と、酸化膜、ソース電極、及びドレイン電極上に形成され、チャンネル形成領域及びチャンネル形成領域よりも抵抗が低い低抵抗領域を含む酸化物半導体膜と、低抵抗領域に接して形成された金属酸化物絶縁膜と、酸化物半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜と接しチャンネル形成領域と重畳する位置に形成されたゲート電極と、ゲート絶縁膜上に形成され、チャンネル長方向の断面において、ゲート電極の側面に形成された側壁絶縁膜と、金属酸化物絶縁膜、側壁絶縁膜、及びゲート電極上に形成された保護絶縁膜と、を有し、低抵抗領域は、少なくとも金属酸化物絶縁膜中の金属元素を含む半導体装置である。

10

【0015】

上記構成において、チャンネル形成領域と低抵抗領域の間に、低抵抗領域と抵抗が異なる不純物領域を含むと良い。

【0016】

また、本発明の他の一態様は、酸化膜と、酸化膜上に形成されたソース電極、及びドレイン電極と、酸化膜、ソース電極、及びドレイン電極上に形成され、チャンネル形成領域及びチャンネル形成領域よりも抵抗が低い低抵抗領域を含む酸化物半導体膜と、低抵抗領域に接して形成された金属酸化物絶縁膜と、酸化物半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜と接しチャンネル形成領域と重畳する位置に形成されたゲート電極と、金属酸化物絶縁膜上に形成され、チャンネル長方向の断面において、ゲート電極の側面に形成された側壁絶縁膜と、金属酸化物絶縁膜、側壁絶縁膜、及びゲート電極上に形成された保護絶縁膜と、を有し、低抵抗領域は、少なくとも金属酸化物絶縁膜中の金属元素を含む半導体装置である。

20

【0017】

上記各構成において、金属酸化物絶縁膜は、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、及び亜鉛の中から選択される一以上の元素を含むと良い。また、低抵抗領域は、チャンネル形成領域を挟むように設けられ、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、亜鉛、リン、砒素、アンチモン、ホウ素、窒素、ヘリウム、ネオン、アルゴン、フッ素、及び塩素の中から選択される一以上の元素を含むと良い。

30

【0018】

また、上記各構成において、酸化物半導体膜は、インジウム、亜鉛、ガリウム、スズ、ハフニウム、ジルコニウム、チタン、スカンジウム、イットリウム、セリウム、ネオジム、及びガドリニウムの元素の中から選択される一以上の元素を含む酸化物を含むと良い。また、チャンネル形成領域は、結晶部を含み、結晶部は、c軸が酸化物半導体膜の被形成面の法線ベクトルに平行な方向に揃うと良い。

40

【0019】

チャンネル長方向の断面において、チャンネル形成領域を含む酸化物半導体膜に、チャンネル形成領域を挟むように低抵抗領域を設けることで、当該酸化物半導体膜を用いたトランジスタの電気特性の一であるオン特性（例えば、オン電流及び電界効果移動度）を高くすることができる。

【0020】

また、酸化物半導体膜と金属膜とが接した状態で、不活性ガス雰囲気下で加熱処理することにより、該酸化物半導体膜に金属膜の元素を導入し、チャンネル形成領域よりも抵抗が低い低抵抗領域を自己整合的に形成する。また、該加熱処理により金属膜は、酸化物半導

50

体膜と接した領域が金属酸化物絶縁膜となる。その後金属膜の不要な領域を除去する。これによって、低抵抗領域上に金属酸化物絶縁膜を形成することが可能となる。また、金属酸化物絶縁膜により外部から酸化物半導体膜中へ侵入する不純物の拡散、または酸化物半導体膜から脱離する酸素を抑制するといった優れた効果を奏する。また、金属膜の不要な領域を除去することにより、金属膜に起因する不要な容量などが形成されない。

【0021】

また、本発明の他の一態様は、酸化膜を形成する工程と、酸化膜上にチャネル形成領域を含む酸化物半導体膜を形成する工程と、酸化物半導体膜上にゲート絶縁膜及びゲート電極の積層を形成する工程と、ゲート電極をマスクとして、ゲート絶縁膜を通過して酸化物半導体膜にドーパントを選択的に導入する工程と、チャネル長方向の断面において、ゲート電極の側面に側壁絶縁膜を形成する工程と、ゲート電極、及び側壁絶縁膜をマスクとしてゲート絶縁膜の一部を除去し、酸化物半導体膜の表面を露出させる工程と、酸化物半導体膜の一部と接して金属膜を形成する工程と、酸化物半導体膜、及び金属膜が接した状態で加熱処理し、酸化物半導体膜に金属膜から金属元素を導入し、金属元素を含む低抵抗領域を形成する工程と、加熱処理により酸化膜、及び酸化物半導体膜と接する金属膜が選択的に酸化され、金属酸化物絶縁膜を形成し、金属膜を除去する工程と、を含む半導体装置の作製方法である。

10

【0022】

また、本発明の他の一態様は、酸化膜を形成する工程と、酸化膜上にチャネル形成領域を含む酸化物半導体膜を形成する工程と、酸化物半導体膜上にゲート絶縁膜及びゲート電極の積層を形成する工程と、ゲート電極をマスクとしてゲート絶縁膜の一部を除去し、酸化物半導体膜の表面を露出させる工程と、酸化物半導体膜の一部と接して金属膜を形成する工程と、酸化物半導体膜、及び金属膜が接した状態で加熱処理し、酸化物半導体膜に金属膜から金属元素を導入し、金属元素を含む低抵抗領域を形成する工程と、加熱処理により酸化膜、及び酸化物半導体膜と接する金属膜が選択的に酸化され、金属酸化物絶縁膜を形成し、金属膜を除去する工程と、チャネル長方向の断面において、ゲート電極の側面に側壁絶縁膜を形成する工程と、ゲート電極、及び側壁絶縁膜をマスクとして、金属酸化物絶縁膜を通過して酸化物半導体膜にドーパントを選択的に導入する工程と、を含む半導体装置の作製方法である。

20

【0023】

上記各構成において、さらに、金属酸化物絶縁膜、側壁絶縁膜、及びゲート電極を覆う保護絶縁膜、及び層間絶縁膜を形成する工程と、層間絶縁膜上に低抵抗領域に達する開口部を形成し、開口部にソース電極、及びドレイン電極を形成する工程と、を含んでも良い。

30

【0024】

また、本発明の他の一態様は、酸化膜を形成する工程と、酸化膜上にソース電極、及びドレイン電極を形成する工程と、ソース電極、及びドレイン電極上にチャネル形成領域を含む酸化物半導体膜を形成する工程と、酸化物半導体膜上にゲート絶縁膜及びゲート電極の積層を形成する工程と、ゲート電極をマスクとして、ゲート絶縁膜を通過して酸化物半導体膜にドーパントを選択的に導入する工程と、チャネル長方向の断面において、ゲート電極の側面に側壁絶縁膜を形成する工程と、ゲート電極、及び側壁絶縁膜をマスクとしてゲート絶縁膜の一部を除去し、酸化物半導体膜の表面を露出させる工程と、酸化物半導体膜の一部と接して金属膜を形成する工程と、酸化物半導体膜、及び金属膜が接した状態で加熱処理し、酸化物半導体膜に金属膜から金属元素を導入し、金属元素を含む低抵抗領域を形成する工程と、加熱処理により酸化物半導体膜と接する金属膜が選択的に酸化され、金属酸化物絶縁膜を形成し、金属膜を除去する工程と、を含む半導体装置の作製方法である。

40

【0025】

また、本発明の他の一態様は、酸化膜を形成する工程と、酸化膜上にソース電極、及びドレイン電極を形成する工程と、ソース電極、及びドレイン電極上にチャネル形成領域を

50

含む酸化物半導体膜を形成する工程と、酸化物半導体膜上にゲート絶縁膜及びゲート電極の積層を形成する工程と、ゲート電極をマスクとしてゲート絶縁膜の一部を除去し、酸化物半導体膜の表面を露出させる工程と、酸化物半導体膜の一部と接して金属膜を形成する工程と、酸化物半導体膜、及び金属膜が接した状態で加熱処理し、酸化物半導体膜に金属膜から金属元素を導入し、金属元素を含む低抵抗領域を形成する工程と、加熱処理により酸化物半導体膜と接する金属膜が選択的に酸化され、金属酸化物絶縁膜を形成し、金属膜を除去する工程と、チャンネル長方向の断面において、ゲート電極の側面に側壁絶縁膜を形成する工程と、ゲート電極、及び側壁絶縁膜をマスクとして、金属酸化物絶縁膜を通過して酸化物半導体膜にドーパントを選択的に導入する工程と、を含む半導体装置の作製方法である。

10

【0026】

上記各構成において、さらに、金属酸化物絶縁膜、側壁絶縁膜、及びゲート電極を覆う保護絶縁膜、及び層間絶縁膜を形成する工程と、を含んでも良い。

【0027】

また、上記各構成において、加熱処理を不活性ガス雰囲気下で行うと良い。また、不活性ガス雰囲気として、窒素、ヘリウム、ネオン、アルゴンの中から選択される一以上を用いると良い。当該加熱処理によって、金属膜の表面が酸化されない雰囲気で行うことが可能となり、後の工程で金属膜を好適に除去することができる。

【0028】

また、上記各構成において、金属膜として、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、及び亜鉛の中から選択される一以上を用いると良い。また、ドーパントとして、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、亜鉛、リン、砒素、アンチモン、ホウ素、窒素、ヘリウム、ネオン、アルゴン、フッ素、及び塩素の中から選択される一以上を用いると良い。

20

【発明の効果】

【0029】

セルフアライン構造の酸化物半導体膜を用いたトランジスタにおいて、高い電気特性を有し、且つ安定した電気特性を付与したトランジスタを提供することができる。また、当該トランジスタの作製方法を提供することができる。また、当該トランジスタを有する高性能の半導体装置を提供することができる。

30

【図面の簡単な説明】

【0030】

【図1】半導体装置の一態様を示す平面図、及び断面図。

【図2】半導体装置の作製工程の一例を示す断面図。

【図3】半導体装置の作製工程の一例を示す断面図。

【図4】半導体装置の作製工程の一例を示す断面図。

【図5】半導体装置の一態様を示す平面図、及び断面図。

【図6】半導体装置の作製工程の一例を示す断面図。

【図7】半導体装置の作製工程の一例を示す断面図。

【図8】半導体装置の作製工程の一例を示す断面図。

40

【図9】半導体装置の一態様を示す平面図、及び断面図。

【図10】半導体装置の作製工程の一例を示す断面図。

【図11】半導体装置の作製工程の一例を示す断面図。

【図12】半導体装置の作製工程の一例を示す断面図。

【図13】半導体装置の一態様を示す平面図、及び断面図。

【図14】半導体装置の作製工程の一例を示す断面図。

【図15】半導体装置の作製工程の一例を示す断面図。

【図16】半導体装置の作製工程の一例を示す断面図。

【図17】半導体装置の一態様を示す平面図、及び断面図。

【図18】半導体装置の一態様を示す平面図、及び断面図。

50

【図 19】半導体装置の一形態を示す断面図、平面図及び回路図。

【図 20】半導体装置の一形態を示す回路図、及び斜視図。

【図 21】半導体装置の一形態を示す断面図、及び平面図。

【図 22】半導体装置の一形態を示す回路図。

【図 23】半導体装置の一形態を示すブロック図。

【図 24】半導体装置の一形態を示すブロック図。

【図 25】半導体装置の一形態を示すブロック図。

【発明を実施するための形態】

【0031】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなく、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0032】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0033】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

20

【0034】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲート電極」の表現であれば、ゲート絶縁膜とゲート電極との間に他の構成要素を含むものを除外しない。

【0035】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

30

【0036】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0037】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

40

【0038】

(実施の形態 1)

本実施の形態では、半導体装置、及び半導体装置の作製方法の一形態を、図 1 乃至図 4 を用いて説明する。

【0039】

半導体装置の構成例 1

図 1 (A)、及び図 1 (B) に、半導体装置の一例として、トップゲート・セルフアラ

50

イン構造のトランジスタの平面図および断面図を示す。図1(A)は平面図であり、図1(B)は、図1(A)におけるX1-Y1に係る断面図に相当する。なお、図1(A)では、煩雑になることを避けるため、トランジスタの構成要素の一部(例えば、ゲート絶縁膜108など)を省略している。

【0040】

図1(A)、及び図1(B)に示す半導体装置は、基板102と、基板102上に形成された酸化膜104と、酸化膜104上に形成され、チャネル形成領域106a及びチャネル形成領域106aよりも抵抗が低い低抵抗領域106cを含む酸化半導体膜106と、低抵抗領域106cに接して形成された金属酸化物絶縁膜114と、酸化半導体膜106上に形成されたゲート絶縁膜108と、ゲート絶縁膜108と接しチャネル形成領域106aと重畳する位置に形成されたゲート電極110と、チャネル長方向の断面において、ゲート電極110の側面に形成された側壁絶縁膜112と、を有し、低抵抗領域106cは、少なくとも金属酸化物絶縁膜114中の金属元素を含む。

10

【0041】

また、金属酸化物絶縁膜114、側壁絶縁膜112、及びゲート電極110上に形成された保護絶縁膜116と、保護絶縁膜116上に形成された層間絶縁膜118と、低抵抗領域106cと電氣的に接続されたソース電極120a、及びドレイン電極120bと、を含む構成としても良い。

【0042】

なお、ゲート絶縁膜108は、図1(B)に示すように第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108bの積層構造とすると好ましい。ゲート絶縁膜108を積層構造とし、第1のゲート絶縁膜108aが酸素過剰な酸化膜であり、第2のゲート絶縁膜108bがブロッキング機能を有する絶縁膜とすることで、酸化半導体膜106(特にチャネル形成領域106a)に酸素を供給し、且つ酸化半導体膜106(特にチャネル形成領域106a)へ侵入する不純物の抑制、または第1のゲート絶縁膜108aから上方へ放出される酸素などを抑制することができる。例えば、第1のゲート絶縁膜108aとしては、酸化窒化シリコン膜を用い、第2のゲート絶縁膜108bとしては、酸化アルミニウム膜を用いることができる。

20

【0043】

また、酸化半導体膜106は、チャネル形成領域106aと低抵抗領域106cの間に、低抵抗領域106cと抵抗が異なる不純物領域106bを含む。低抵抗領域106c、及び不純物領域106bは自己整合的に形成することができる。具体的には、チャネル形成領域106aを含む酸化半導体膜106を形成したのち、酸化半導体膜106上にゲート絶縁膜108及びゲート電極110の積層を形成する。その後、ゲート電極110をマスクとして、ゲート絶縁膜108を通過して酸化半導体膜106にドーパントを選択的に導入し、不純物領域106bを形成する。その後、チャネル長方向の断面において、ゲート電極110の側面に側壁絶縁膜112を形成する。その後、ゲート電極110、及び側壁絶縁膜112をマスクとしてゲート絶縁膜108の一部を除去し、酸化半導体膜106の表面を露出させる。その後、酸化半導体膜の一部と接して金属膜を形成し、酸化半導体膜106、及び金属膜が接した状態で加熱処理し、酸化半導体膜106に金属膜から金属元素を導入し、金属元素を含む低抵抗領域106cを形成することができる。また、加熱処理により酸化膜104、及び酸化半導体膜106と接する金属膜が選択的に酸化され、金属酸化物絶縁膜114を形成し、金属膜を除去する。

30

40

【0044】

このような構成とすることで、酸化半導体膜106に自己整合的に低抵抗領域106c、及び不純物領域106bが形成され、且つ低抵抗領域106c上に金属酸化物絶縁膜114が形成される。金属酸化物絶縁膜114によって、酸化半導体膜106に侵入する不純物を抑制する、または酸化膜104、及び酸化半導体膜106中に含まれる酸素の放出を抑制するといった優れた効果を奏する。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。

50

【 0 0 4 5 】

また、酸化物半導体膜 1 0 6 は、チャネル形成領域 1 0 6 a と低抵抗領域 1 0 6 c の間に低抵抗領域 1 0 6 c と抵抗の異なる不純物領域 1 0 6 b が形成されている。なお、低抵抗領域 1 0 6 c は、換言すると酸化物半導体膜 1 0 6 に n 型を付与する不純物が高濃度に導入された領域であり、不純物領域 1 0 6 b は、換言すると酸化物半導体膜 1 0 6 に n 型を付与する不純物が低濃度に導入された領域である。このような構成とすることで、チャネル形成領域 1 0 6 a に係るソース - ドレイン間の電位差を緩和させることができるので、信頼性の高い半導体装置とすることができる。

【 0 0 4 6 】

ここで、本発明の半導体装置に用いることができる各構成要素について、その詳細な説明について以下記載する。

【 0 0 4 7 】

[基板の詳細な説明]

基板 1 0 2 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することも可能である。

【 0 0 4 8 】

[酸化膜の詳細な説明]

酸化膜 1 0 4 は、基板 1 0 2 からの水素、水分などの不純物元素の拡散を防止する効果があり、酸化シリコン膜、窒化酸化シリコン膜、または酸化窒化シリコン膜から選ばれた一、または複数の膜による積層構造により形成することができる。また、酸化膜 1 0 4 のその他の効果としては、のちに形成される酸化物半導体膜 1 0 6 に酸素を供給する効果があると好ましい。例えば、酸化膜 1 0 4 として、酸化シリコン膜を用いた場合、当該酸化膜 1 0 4 を加熱することにより酸素の一部を脱離させることができるので、酸化物半導体膜 1 0 6 に酸素を供給し、酸化物半導体膜 1 0 6 中の酸素欠損を補填することができる。特に、酸化膜 1 0 4 中に少なくとも化学量論的組成を超える量の酸素が存在することが好ましく、例えば、酸化膜 1 0 4 として、 $\text{SiO}_2 +$ (ただし、 > 0) で表される酸化シリコン膜を用いることが好ましい。このような酸化シリコン膜を酸化膜 1 0 4 として用いることで、酸化物半導体膜 1 0 6 に酸素を供給することができる。

【 0 0 4 9 】

[酸化物半導体膜の詳細な説明]

酸化物半導体膜 1 0 6 に用いる酸化物半導体としては、少なくともインジウム (I n) あるいは亜鉛 (Z n) を含むことが好ましい。特に I n と Z n を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (G a) を有することが好ましい。また、スタビライザーとしてスズ (S n) を有することが好ましい。また、スタビライザーとしてハフニウム (H f) 、ジルコニウム (Z r) 、チタン (T i) 、スカンジウム (S c) 、イットリウム (Y) 、ランタノイド (例えば、セリウム (C e) 、ネオジム (N d) 、ガドリニウム (G d)) から選ばれた一種、または複数種が含まれていることが好ましい。

【 0 0 5 0 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、I n - Z n 系酸化物、S n - Z n 系酸化物、A l - Z n 系酸化物、Z n - M g 系酸化物、S n - M g 系酸化物、I n - M g 系酸化物、I n - G a 系酸化物、I n - G a - Z n 系酸化物 (I G Z O と表記する) 、I n - A l - Z n 系酸化物、I n - S n - Z n 系酸化物、S n - G a - Z n 系酸化物、A l - G a - Z n 系酸化物、S n - A l - Z n 系酸化物、I n - H f - Z n 系酸化物、I n - Z r - Z n 系酸化物、I n - T i - Z n 系酸化物、I n - S c - Z n 系酸化物、I n - Y - Z n 系酸化物、I n - L a - Z n 系酸化物、I n - C e - Z n 系酸

10

20

30

40

50

化物、In - Pr - Zn系酸化物、In - Nd - Zn系酸化物、In - Sm - Zn系酸化物、In - Eu - Zn系酸化物、In - Gd - Zn系酸化物、In - Tb - Zn系酸化物、In - Dy - Zn系酸化物、In - Ho - Zn系酸化物、In - Er - Zn系酸化物、In - Tm - Zn系酸化物、In - Yb - Zn系酸化物、In - Lu - Zn系酸化物、In - Sn - Ga - Zn系酸化物、In - Hf - Ga - Zn系酸化物、In - Al - Ga - Zn系酸化物、In - Sn - Al - Zn系酸化物、In - Sn - Hf - Zn系酸化物、In - Hf - Al - Zn系酸化物を用いることができる。

【0051】

ここで、In - Ga - Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

10

【0052】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザーとしての元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0053】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ 、または $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ の原子数比のIn : Ga : Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0054】

また、酸化物半導体膜106の形成方法としては、スパッタリング法、ALD (Atomic Layer Deposition) 法、蒸着法、塗布法などを用いることができる。また、酸化物半導体膜106の膜厚は、5 nmより大きく200 nm以下とし、好ましくは10 nm以上30 nm以下とする。また、酸化物半導体膜106は、単結晶、多結晶 (ポリクリスタルともいう。)、または微結晶などの結晶性を有する構造とすることが好ましい。

【0055】

また、酸化物半導体膜106は、CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とすることが好ましい。CAAC - OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC - OS膜は、非晶質相に結晶部を有する結晶 - 非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100 nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM : Transmission Electron Microscope) による観察像では、CAAC - OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC - OS膜には粒界 (グレインバウンダリーともいう) は確認できない。そのため、CAAC - OS膜は、粒界に起因する電子移動の低下が抑制される。

30

【0056】

CAAC - OS膜に含まれる結晶部は、 c 軸がCAAC - OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ ab 面に垂直な方向から見て三角形または六角形の原子配列を有し、 c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

40

【0057】

なお、CAAC - OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC - OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被

50

形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【 0 0 5 8 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

10

【 0 0 5 9 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射によるトランジスタの電気特性の変動が小さい。また、しきい値の変動、及びバラツキを抑制できる。よって、当該トランジスタは、信頼性が高い。

【 0 0 6 0 】

また、結晶部を有する酸化物半導体または結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができる。さらに、結晶部を有する酸化物半導体または結晶性を有する酸化物半導体膜表面の平坦性を高めることによって、該酸化物半導体を用いたトランジスタは、非晶質状態の酸化物半導体を用いたトランジスタ以上の電界効果移動度を得ることができる。酸化物半導体膜表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（R a）が 0 . 1 5 n m 以下、好ましくは 0 . 1 n m 以下の表面上に形成するとよい。

20

【 0 0 6 1 】

なお、R a は、J I S B 0 6 0 1 : 2 0 0 1 (I S O 4 2 8 7 : 1 9 9 7) で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【 0 0 6 2 】

【 数 1 】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

30

【 0 0 6 3 】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（ $x_1, y_1, f(x_1, y_1)$ ）、（ $x_1, y_2, f(x_1, y_2)$ ）、（ $x_2, y_1, f(x_2, y_1)$ ）、（ $x_2, y_2, f(x_2, y_2)$ ）の 4 点で表される四角形の領域とし、指定面を x y 平面に投影した長方形の面積を S_0 、基準面の高さ（指定面の平均高さ）を Z_0 とする。R a は原子間力顕微鏡（A F M : A t o m i c F o r c e M i c r o s c o p e）にて測定可能である。

40

【 0 0 6 4 】

また、酸化物半導体膜 1 0 6 として、C A A C - O S 膜を適用する場合、該 C A A C - O S 膜を形成する方法としては、三つ挙げられる。一つめは、成膜温度を 2 0 0 以上 4 5 0 以下として酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部の c 軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。二つめは、酸化物半導体膜を薄い膜厚で成膜した後、2 0 0 以上 7 0 0 以下の熱処理を行うことで、酸化物半導体膜に含まれる結晶部の c 軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。三つめは、一層目の酸化物半導体膜を薄く成膜した後、2 0 0 以上 7 0 0

50

以下の熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0065】

また、基板102を加熱しながら成膜することにより、成膜した酸化物半導体膜106に含まれる水素や水などの不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減されるため好ましい。また、酸化物半導体膜106を、ALD法、蒸着法、塗布法などで成膜してもよい。

【0066】

なお、酸化物半導体膜106として、CAAC-OS膜以外の結晶性を有する酸化物半導体膜（単結晶または微結晶）を成膜する場合には、成膜温度は特に限定されない。

10

【0067】

また、酸化物半導体膜106は、エネルギーギャップが好ましくは2.8 eV乃至3.2 eVであり、シリコンのエネルギーギャップ1.1 eVと比較して大きい。また、酸化物半導体膜106の少数キャリアは、例えば $10^{-9} / \text{cm}^3$ であり、シリコンの真性キャリア密度の $10^{11} / \text{cm}^3$ と比較して極めて小さい。

【0068】

酸化物半導体膜106の多数キャリア（電子）は、トランジスタのソースから流れるのみである。また、チャネル形成領域を完全空乏化することが可能であるため、トランジスタのオフ電流を極めて小さくすることが可能である。酸化物半導体膜106を用いたトランジスタのオフ電流は、室温において、 $10 \text{ yA} / \mu\text{m}$ 以下、85 ~ 95 においても、 $1 \text{ zA} / \mu\text{m}$ 以下となり、極めて小さい。

20

【0069】

なお、本明細書においてオフ電流とは、nチャネル型トランジスタの場合、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0 V以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。または、pチャネル型トランジスタの場合、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0 V以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

30

【0070】

また、酸化物半導体膜106を用いたトランジスタは、サブスレッショルド係数（S値ともいう）が小さくなる。また、当該トランジスタは、信頼性が高い。

【0071】

また、酸化物半導体膜106は、複数の酸化物半導体が積層された構造でもよい。例えば、酸化物半導体膜106を、第1の酸化物半導体と第2の酸化物半導体の積層として、第1の酸化物半導体と第2の酸化物半導体に、異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物半導体に三元系金属の酸化物を用い、第2の酸化物半導体に二元系金属の酸化物を用いてもよい。また、第1の酸化物半導体と第2の酸化物半導体を、どちらも三元系金属の酸化物としてもよい。

40

【0072】

また、第1の酸化物半導体と第2の酸化物半導体の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第1の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ とし、第2の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ としてもよい。また、第1の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ とし、第2の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ としてもよい。

【0073】

この時、第1の酸化物半導体層と第2の酸化物半導体層のうち、ゲート電極に近い側（チャネル側）の酸化物半導体層のInとGaの含有率を $\text{In} > \text{Ga}$ とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体層のInとGaの含有率をIn

50

Gaとするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることによりs軌道のオーバーラップが多くなる傾向があるため、In>Gaの組成となる酸化物はIn-Gaの組成となる酸化物と比較して高い移動度を備える。また、GaはInと比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、In-Gaの組成となる酸化物はIn>Gaの組成となる酸化物と比較して安定した特性を備える。したがって、チャネル側にIn>Gaの組成となる酸化物半導体を適用し、バックチャネル側にIn-Gaの組成となる酸化物半導体を適用することで、トランジスタの移動度および信頼性をさらに高めることが可能となる。

【0074】

また、酸化物半導体膜106を積層した場合、第1の酸化物半導体と第2の酸化物半導体に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、または結晶性を有する酸化物半導体（例えば、CAAC-OS）を適宜組み合わせさせた構成としてもよい。また、第1の酸化物半導体と第2の酸化物半導体の少なくともどちらか一方に、非晶質酸化物半導体を適用すると、酸化物半導体の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、トランジスタの信頼性をさらに高めることが可能となる。一方で、非晶質酸化物半導体は水素などのドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいためn型化されやすい。このため、チャネル側の酸化物半導体は、結晶性を有する酸化物半導体（例えば、CAAC-OS）を適用することが好ましい。

【0075】

また、酸化物半導体膜106を積層した場合の組成、及び結晶性の組み合わせとしては、例えば、酸化膜104側から順に、In:Ga:Zn=1:1:1近傍の原子数比の非晶質酸化物半導体と、In:Ga:Zn=3:1:2近傍の原子数比の結晶性酸化物半導体との積層構造、In:Ga:Zn=1:1:1近傍の原子数比の結晶性酸化物半導体と、In:Ga:Zn=3:1:2近傍の原子数比の結晶性酸化物半導体との積層構造が挙げられる。このような構成とすることで、ゲート絶縁膜108近傍の酸化物半導体膜106の結晶性を向上させることができ、且つゲート絶縁膜108近傍の酸化物半導体のインジウム含有率が酸化膜104側の酸化物半導体よりも多いため、移動度を向上させることができる。また、その他の積層構成としては、In:Ga:Zn=3:1:2近傍の原子数比の結晶性酸化物半導体と、In:Ga:Zn=1:1:1近傍の結晶性酸化物半導体との積層構造としても良い。このような構成とすることで、ゲート絶縁膜108近傍の酸化物半導体の結晶性を向上させることができる。また、その他の積層構成としては、In:Ga:Zn=1:1:1近傍の原子数比の非晶質酸化物半導体と、In:Ga:Zn=3:1:2近傍の原子数比の非晶質酸化物半導体との積層構造、In:Ga:Zn=3:1:2近傍の原子数比の非晶質酸化物半導体と、In:Ga:Zn=1:1:1近傍の原子数比の非晶質酸化物半導体との積層構造としても良い。このような構成とすることで、ゲート絶縁膜108近傍の酸化物半導体膜106に酸化膜104の構成元素の混入を抑制することができる。

【0076】

また、酸化物半導体膜106は、チャネル形成領域106aが結晶性を有する酸化物半導体（例えば、CAAC-OS）であり、低抵抗領域106cが非晶質酸化物半導体であると好ましい。例えば、チャネル形成領域106aを含む酸化物半導体膜106をCAAC-OS膜として形成後、金属膜との反応、またはドーピング処理等により低抵抗領域106cがn型化する、あるいはCAAC-OS膜の結晶構造が維持できずに非晶質構造となる。

【0077】

[第1のゲート絶縁膜の詳細な説明]

第1のゲート絶縁膜108aとしては、酸化シリコン、酸化ガリウム、または酸化窒化シリコン等を用いることができる。第1のゲート絶縁膜108aは、酸化物半導体膜106と接する部分において酸素を含むことが好ましい。特に、第1のゲート絶縁膜108a

10

20

30

40

50

は、膜中に少なくとも化学量論的組成を超える量の酸素が存在することが好ましく、例えば、第1のゲート絶縁膜108aとして、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ (ただし、 $x > 0$) とすることが好ましい。この酸化シリコン膜を第1のゲート絶縁膜108aとして用いることで、酸化物半導体膜106に酸素を供給することができ、電気特性を良好にすることができる。

【0078】

また、第1のゲート絶縁膜108aの膜厚は、例えば1nm以上500nm以下とすることができる。また、第1のゲート絶縁膜108aの作製方法に特に限定はないが、例えば、スパッタリング法、MBE法、PE-CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。

10

【0079】

[第2のゲート絶縁膜の詳細な説明]

第2のゲート絶縁膜108bとしては、酸化アルミニウム、窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコン等を用いることができる。第2のゲート絶縁膜108bは、第1のゲート絶縁膜108aから酸素の放出を抑制できる膜とすることが好ましい。また、第2のゲート絶縁膜108bとしては、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート(HfSiO_xN_y ($x > 0$, $y > 0$))、ハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))、酸化ランタンなどのhigh-k材料を用いることができる。このような材料を用いることでゲートリーク電流を低減できる。

20

【0080】

本実施の形態に示すようにゲート絶縁膜108は、第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108bの積層構造とすることが好ましい。ただし、この構成に限定されず、ゲート絶縁膜108は、単層構造、または3層以上の積層構造としても良い。

【0081】

また、第2のゲート絶縁膜108bの膜厚は、例えば1nm以上500nm以下とすることができる。また、第2のゲート絶縁膜108bの作製方法に特に限定はないが、例えば、スパッタリング法、MBE法、PE-CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。

【0082】

30

[ゲート電極の詳細な説明]

ゲート電極110としては、例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、またはこれらを含む合金材料を用いることができる。また、ゲート電極110としては、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、インジウムスズ酸化物($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある)、インジウム亜鉛酸化物($\text{In}_2\text{O}_3 - \text{ZnO}$)、または、これらの金属酸化物材料にシリコン、または酸化シリコンを含有させたものを用いることができる。また、ゲート電極110は、上記の材料を用いて単層、または積層して形成することができる。形成方法も特に限定されず、蒸着法、PE-CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。

40

【0083】

[金属酸化物絶縁膜の詳細な説明]

金属酸化物絶縁膜114としては、アルミニウム、インジウム、チタン、スズ、タングステン、及び亜鉛の中から選択される一以上の元素を含む材料を用いることができる。例えば、金属膜としてアルミニウム、またはチタンを用い、酸化物半導体膜106と反応させることで、酸化アルミニウム、または酸化チタンを形成することができる。また、金属酸化物絶縁膜114の膜厚としては、1nm以上100nm以下とすることができ、好ましくは1nm以上10nm以下、更に好ましくは2nm以上5nm以下である。また、金属酸化物絶縁膜114の作製方法に特に限定はないが、例えば、スパッタリング法、MB

50

E法、PE-CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。

【0084】

[側壁絶縁膜の詳細な説明]

側壁絶縁膜112としては、後に形成される金属膜と加熱処理により反応しない材料を用いることが望ましい。例えば、窒化シリコン膜、窒化アルミニウム、窒化ガリウム等の窒化物を単層、または積層して用いればよい。側壁絶縁膜112の形成方法は、特に限定されず、蒸着法、PE-CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

【0085】

[保護絶縁膜の詳細な説明]

保護絶縁膜116としては、無機絶縁膜を用いることが好ましく、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化ハフニウム膜などの酸化物絶縁膜を単層、または積層して用いればよい。また、上述の酸化物絶縁膜上に、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化酸化アルミニウム膜などの窒化物絶縁膜の単層、または積層をさらに形成してもよい。例えば、スパッタリング法を用いて、ゲート電極110側から順に酸化シリコン膜、及び酸化アルミニウム膜の積層を形成することができる。また、保護絶縁膜116の作製方法に特に限定はないが、例えば、スパッタリング法、MBE法、PE-CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。

【0086】

また、保護絶縁膜116としては、特に緻密性の高い無機絶縁膜を設けるとよい。例えば、スパッタリング法により酸化アルミニウム膜を形成することができる。酸化アルミニウム膜を高密度（膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上）とすることによって、酸化物半導体膜106に侵入する水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）を得ることができる。したがって、酸化アルミニウム膜は、作製工程中及び作製後において、酸化物半導体膜106の変動要因となる水素、水分などの不純物を酸化物半導体膜106への混入、及び酸化物半導体膜106を構成する主成分材料である酸素の放出を防止する保護膜として機能する。なお、膜密度はラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）や、X線反射率測定法（XRR: X-Ray Reflection）によって測定することができる。

【0087】

[層間絶縁膜の詳細な説明]

層間絶縁膜118としては、無機絶縁膜を用いることが好ましく、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を単層、または積層して用いればよい。また、層間絶縁膜118の作製方法に特に限定はないが、例えば、スパッタリング法、MBE法、PE-CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。

【0088】

[ソース電極、及びドレイン電極の詳細な説明]

ソース電極120a、及びドレイン電極120bとしては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素を含む金属膜等を用いることができる。また、アルミニウム、銅などの金属膜の下側、または上側の一方、または双方にチタン、モリブデン、タングステンなどの高融点金属膜、またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。また、ソース電極120a、及びドレイン電極120bに用いる導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、インジウムスズ酸化物（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する）、インジウム亜鉛酸化物（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）を用いることができる。ソース電極、及びドレイン電極に用いる導電膜は、上記の

材料を用いて単層で又は積層して成膜することができる。形成方法も特に限定されず、蒸着法、P E - C V D法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

【0089】

なお、その他の構成要素の詳細については、後述する半導体装置の作製方法1において、図2乃至図4を用いて説明する。

【0090】

半導体装置の作製方法1

以下、図2乃至図4を用いて、本実施の形態に係る図1に示す半導体装置の作製方法の一例について説明する。

【0091】

まず、基板102を準備し、次に、基板102上に酸化膜104、及びチャネル形成領域を含む酸化物半導体膜106を形成する(図2(A)参照)。

【0092】

また、酸化膜104を形成する前に、基板102に対してプラズマ処理等を行っても良い。プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板102側にRF電源を用いて電圧を印加して基板102近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、基板102表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

【0093】

酸化物半導体膜106の形成方法としては、ウェットエッチング法、またはドライエッチング法により形成することができる。ドライエッチングのガスには、 BCl_3 、 Cl_2 、 O_2 等を用いることができる。また、ドライエッチング速度の向上にはECR(Electron Cyclotron Resonance)やICP(Inductive Coupled Plasma)などの高密度プラズマ源を用いたドライエッチング装置を用いることができる。また、酸化物半導体膜106は、端部に 20° 乃至 50° のテーパを有していることが好ましい。

【0094】

なお、酸化膜104、及び酸化物半導体膜106は、大気に触れさせることなく連続して成膜するのが好ましい。このように、酸化膜104、及び酸化物半導体膜106を大気に触れさせることなく連続して成膜することで、酸化膜104と酸化物半導体膜106との界面に大気中に含まれる水分、水素といった不純物元素の混入を抑制することができる。

【0095】

また、酸化物半導体膜106の成膜工程において、酸化物半導体膜106に水素、または水がなるべく含まれないことが好ましい。例えば、酸化物半導体膜106の成膜工程の前処理として、スパッタリング装置の予備加熱室で酸化膜104が形成された基板102を予備加熱し、基板102、及び酸化膜104に吸着した水素、水分などの不純物を脱離し排気することが好ましい。ただし、予備加熱の温度は、酸化膜104からの酸素の放出がない、または酸素の放出が少ない温度とすることが好ましい。また、酸化物半導体膜106の成膜時、残留水分が排気された成膜室(成膜チャンバーともいう)で行うことが好ましい。

【0096】

なお、予備加熱室、及び成膜室の水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した予備加熱室、及び成膜室は、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気

10

20

30

40

50

されるため、酸化物半導体膜 106 に含まれる水素、水分などの不純物の濃度を低減できる。

【0097】

なお、本実施の形態では、酸化物半導体膜 106 として、原子数比が $In : Ga : Zn = 1 : 1 : 1$ の金属酸化物ターゲット、または原子数比が $In : Ga = 2 : 1$ の金属酸化物ターゲットを用い、スパッタリング法により成膜する。ただし、酸化物半導体膜 106 に用いることのできるターゲットは、これらのターゲットの材料、及び組成に限定されるものではない。また、酸化物半導体膜 106 は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。また、酸化物半導体膜 106 に用いることのできるターゲットは、単結晶、多結晶等の結晶性を有するターゲットが好ましい。結晶性を有するターゲットを用いることにより、形成された薄膜も結晶性を有し、特に形成された薄膜においては、c 軸に配向された結晶となりやすい。

10

【0098】

また、酸化物半導体膜 106 は、成膜直後において、化学量論的組成より酸素が多い過飽和の状態とすることが好ましい。例えば、スパッタリング法を用いて酸化物半導体膜 106 を成膜する場合、成膜ガスの酸素の占める割合が多い条件で成膜することが好ましく、特に酸素雰囲気（酸素ガス 100%）で成膜を行うことが好ましい。例えば、酸化物半導体膜 106 として、 $In - Ga - Zn$ 系酸化物（ $IGZO$ ）を用い、成膜ガスの酸素の占める割合が多い条件（特に酸素ガス 100% の雰囲気）で成膜すると、成膜温度を 300 以上としても、膜中から Zn の放出が抑えられる。

20

【0099】

また、酸化物半導体膜 106 を上述した原子数比が $In : Ga : Zn = 1 : 1 : 1$ の金属酸化物ターゲットを用いて形成した場合、ターゲットの組成と、基板上に形成される薄膜の組成と、が異なる場合がある。例えば、 $In : Ga : Zn = 1 : 1 : 1$ の金属酸化物ターゲットを用いた場合、成膜条件にも依存するが、薄膜である酸化物半導体膜 106 の組成は、 $In : Ga : Zn = 1 : 1 : 0.6 \sim 0.8$ [原子比]となる場合がある。これは、酸化物半導体膜 106 の成膜中において、 Zn が昇華する、または In 、 Ga 、 Zn の各成分のスパッタリングレートが異なるためだと考えられる。

【0100】

30

したがって、所望の組成の薄膜を形成したい場合においては、予め金属酸化物ターゲットの組成を調整する必要がある。例えば、薄膜である酸化物半導体膜 106 の組成を、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]とする場合においては、金属酸化物ターゲットの組成を、 $In : Ga : Zn = 1 : 1 : 1.5$ [原子数比]とすればよい。すなわち、金属酸化物ターゲットの Zn の含有率を予め大きくすればよい。ただし、ターゲットの組成は、上記数値に限定されず、成膜条件や、形成される薄膜の組成により適宜調整することができる。また、金属酸化物ターゲットの Zn の含有率を大きくすることにより、得られる薄膜の結晶性が向上するため好ましい。

【0101】

また、金属酸化物ターゲットの相対密度は 90% 以上 100% 以下、好ましくは 95% 以上、更に好ましくは 99.9% 以上である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜 106 を緻密な膜とすることができる。

40

【0102】

また、酸化物半導体膜 106 を成膜する際に用いるスパッタリングガスとしては、水素、水、水酸基、または水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0103】

また、酸化物半導体膜 106 の形成後、酸化物半導体膜 106 に対して、熱処理を行ってもよい。当該熱処理の温度は、300 以上 700 以下、または基板の歪み点未満とする。当該熱処理を行うことで、酸化物半導体膜 106 より過剰な水素（水や水酸基を含

50

む)を除去することが可能である。なお、当該熱処理は、本明細書等において、脱水化処理(脱水素化処理)と記す場合がある。

【0104】

当該熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450℃、1時間の条件で行うことができる。この間、酸化物半導体膜106は大気に触れさせず、水や水素の混入が生じないようにする。

【0105】

熱処理装置は、電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0106】

例えば、当該熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。

【0107】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0108】

また、上述の脱水化処理(脱水素化処理)を行うと、酸化物半導体膜106を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがある。酸化物半導体膜106において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。よって、脱水化処理(脱水素化処理)を行った場合、酸化物半導体膜106の膜中に、酸素を供給することが好ましい。酸化物半導体膜106の膜中に酸素を供給することにより、酸化物半導体膜106の酸素欠損を補填することができる。

【0109】

酸化物半導体膜106の酸素欠損を補填する方法の一例としては、酸化物半導体膜106に対して脱水化処理(脱水素化処理)を行った後、同じ炉に高純度の酸素ガス、高純度の亜酸化窒素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55℃)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を導入すればよい。酸素ガス、または亜酸化窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガス、または亜酸化窒素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(即ち、酸素ガスまたは亜酸化窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0110】

また、酸化物半導体膜106に酸素を供給する方法の一例としては、酸化物半導体膜1

10

20

30

40

50

06に酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を添加することで、酸化物半導体膜106に酸素を供給してもよい。酸素の添加方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いる。

【0111】

また、酸化物半導体膜106に酸素を供給する方法の一例としては、酸化膜104、または後に形成されるゲート絶縁膜108等を加熱することにより、酸素の一部を脱離させ、酸化物半導体膜106に酸素を供給してもよい。特に本実施の形態においては、酸化膜104から放出される酸素を、酸化物半導体膜106へ供給するのが好適である。

【0112】

上述のように、酸化物半導体膜106の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜106から、水素、または水分を除去して不純物が極力含まれないように高純度化し、脱水化処理（脱水素化処理）によって同時に減少してしまった酸素を酸化物半導体膜106に加える、または酸素を供給し酸化物半導体膜106の酸素欠損を補填することが好ましい。また、本明細書等において、酸化物半導体膜106に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜106に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

【0113】

なお、上述の方法では、酸化物半導体膜106を島状に加工した後に脱水化処理（脱水素化処理）、および加酸素化処理を行う構成について説明したが、開示する発明の一態様はこれに限定して解釈されない。酸化物半導体膜106を島状に加工する前に、当該処理を行ってもよい。また、後に形成される層間絶縁膜118の形成後に、加熱処理を行い、酸化膜104、またはゲート絶縁膜108等から、酸化物半導体膜106に酸素を供給してもよい。

【0114】

このように、酸化物半導体膜106は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化またはi型に限りなく近い酸化物半導体膜とすることができる。このような酸化物半導体膜中には、ドナーに由来するキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0115】

また、酸化物半導体膜106は、銅、アルミニウム、塩素などの不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタの作製工程において、これらの不純物が酸化物半導体膜106に混入または酸化物半導体膜106の表面に付着する恐れのない工程を適宜選択することが好ましい。また、これらの不純物が酸化物半導体膜106の表面に付着した場合には、シュウ酸や希フッ酸などに曝す、またはプラズマ処理（ N_2O プラズマ処理など）を行うことにより、酸化物半導体膜106の表面の不純物を除去することが好ましい。具体的には、酸化物半導体膜106の銅濃度は $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。また酸化物半導体膜106のアルミニウム濃度は $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、酸化物半導体膜106の塩素濃度は $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。

【0116】

また、酸化物半導体膜106は、水素などの不純物が十分に除去される、または、十分な酸素が供給されて酸素が過飽和の状態とされることにより、高純度化されたものであることが望ましい。具体的には、酸化物半導体膜106の水素濃度は $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。なお、上述の酸化物半導体膜106の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spe

10

20

30

40

50

ctrometry)で測定されるものである。また、十分な酸素が供給されて酸素が過飽和の状態とするため、酸化物半導体膜106を包みこむように過剰酸素を含む絶縁膜(酸化シリコン膜など)を接して設けると好ましい。

【0117】

過剰酸素を含む絶縁膜は、PE-CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や、酸化窒化シリコン膜を用いる。また、多くの過剰酸素を絶縁膜に含ませたい場合には、イオン注入法やイオンドーピング法やプラズマ処理によって、絶縁膜中に酸素を添加する。

【0118】

また、過剰酸素を含む絶縁膜の水素濃度が、 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 以上である場合には、トランジスタの初期特性のバラツキの増大、トランジスタの電気特性に関するL長依存性の増大、さらにBTストレス試験において大きく劣化するため、過剰酸素を含む絶縁膜の水素濃度は、 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 未満とする。すなわち、酸化物半導体膜106の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、且つ、過剰酸素を含む絶縁膜の水素濃度は、 $7.2 \times 10^{20} \text{ atoms/cm}^3$ 未満とすることが好ましい。

10

【0119】

さらに酸化物半導体膜106を包み、且つ、過剰酸素を含む絶縁膜の外側に配置されるように、酸化物半導体膜106の酸素の放出を抑えるブロッキング膜(酸化アルミニウムなど)を設けると好ましい。

20

【0120】

過剰酸素を含む絶縁膜、またはブロッキング膜で酸化物半導体膜106を包み込むことで、酸化物半導体膜106において化学量論的組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができる。

【0121】

次に、酸化物半導体膜106上にゲート絶縁膜108(第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108b)、及び導電膜109を形成する(図2(B)参照)。

【0122】

次に、フォトリソグラフィ工程により導電膜109上にレジストマスクを形成し、選択的にエッチングを行って、ゲート電極110を形成した後、レジストマスクを除去する。これによって、酸化物半導体膜106上にゲート絶縁膜108、及びゲート電極110の積層が形成される(図2(C)参照)。

30

【0123】

なお、ゲート電極110を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。なお、ゲート電極110のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0124】

次に、ゲート電極110をマスクとして、ゲート絶縁膜108(第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108b)を通過して酸化物半導体膜106にドーパント142を選択的に導入する。また、ドーパント142の導入時、ゲート電極110がマスクとなり、酸化物半導体膜106のゲート電極110が重なる位置にチャネル形成領域106aが形成され、ドーパント142が導入された位置には不純物領域106bが形成される(図2(D)参照)。

40

【0125】

ドーパント142は、酸化物半導体膜106の導電率を変化させる不純物である。ドーパント142としては、15族元素(代表的には窒素(N)、リン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いること

50

ができる。

【0126】

また、ドーパント142は、注入法により、他の膜（例えばゲート絶縁膜108）を通過して、酸化物半導体膜106に導入することができる。ドーパント142の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント142の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

【0127】

ドーパント142の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント142としてリンを用いて、イオン注入法でリンイオンの注入を行う。なお、ドーパント142のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

10

【0128】

不純物領域106bにおけるドーパント142の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0129】

また、ドーパント142を導入する際に、基板102を加熱しながら行ってもよい。

【0130】

なお、酸化物半導体膜106にドーパント142を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

20

【0131】

また、酸化物半導体膜106が結晶性を有する酸化物半導体（例えば、CAAC-OS膜）とした場合、ドーパント142の導入により、不純物領域106bが非晶質酸化物半導体となると好ましい。すなわち、チャネル形成領域106aが結晶性を有する酸化物半導体、不純物領域106bが非晶質酸化物半導体となり、チャネル長方向の断面において、横接合の結晶構造が異なる酸化物半導体膜106が形成される。このような構造とすることで、チャネル形成領域106a中の不純物である水素、または酸素欠損が、非晶質酸化物半導体である不純物領域106bに引き抜かれるため、チャネル形成領域106aを更に高純度化することができる。

30

【0132】

次に、ゲート絶縁膜108（具体的には第2のゲート絶縁膜108b）、及びゲート電極110上に絶縁膜111を形成する（図2（E）参照）。

【0133】

次に、絶縁膜111をエッチングすることにより側壁絶縁膜112を形成する。これによって、チャネル長方向の断面において、ゲート電極110の側面に側壁絶縁膜112が形成される（図3（A）参照）。

【0134】

側壁絶縁膜112は、絶縁膜111に異方性の高いエッチング工程を行うことで自己整合的に形成することができる。例えば、エッチング方法としては、ドライエッチング法を用いると好ましい。また、ドライエッチング法に用いるエッチングガスとしては、例えば、トリフルオロメタン、オクタフルオロシクロブタン、テトラフルオロメタンなどのフッ素を含むガスが挙げられる。エッチングガスには、希ガスまたは水素を添加してもよい。ドライエッチング法は、基板に高周波電圧を印加する、反応性イオンエッチング法（RIE法：Reactive Ion Etching法）を用いると好ましい。

40

【0135】

なお、側壁絶縁膜112は、絶縁膜111上にレジストマスクを形成しエッチングすることで形成してもよい。

【0136】

次に、側壁絶縁膜112の形成後、ゲート電極110、及び側壁絶縁膜112をマスク

50

としてゲート絶縁膜 108 の一部を除去し、酸化物半導体膜 106（より具体的には不純物領域 106b の一部）の表面を露出させる（図 3（B）参照）。

【0137】

なお、側壁絶縁膜 112 の形成時にゲート絶縁膜 108 を加工してもよい。

【0138】

次に、酸化膜 104、酸化物半導体膜 106、ゲート電極 110、及び側壁絶縁膜 112 上に金属膜 113 を形成する。これによって、酸化物半導体膜 106 の一部と接して金属膜 113 が形成される（図 3（C）参照）。

【0139】

金属膜 113 としては、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、及び亜鉛の中から選択される金属材料を用いることができる。本実施の形態においては、スパッタリング法を用いて、アルミニウムを 10 nm 形成する。

10

【0140】

次に、金属膜 113 と酸化物半導体膜 106（より具体的には不純物領域 106b の一部）が接した状態で加熱処理し、金属膜 113 から酸化物半導体膜 106 に金属元素を導入し、金属元素を含む低抵抗領域 106c が形成される。また、当該加熱処理により酸化膜 104、及び酸化物半導体膜 106 から金属膜 113 に酸素が拡散し、金属膜 113 が選択的に酸化されることで、金属酸化物絶縁膜 113a が形成される。なお、酸化物半導体膜 106 には、ゲート電極 110 の下方に位置するチャネル形成領域 106a、側壁絶縁膜 112 の下方に位置する不純物領域 106b、及び金属酸化物絶縁膜 113a と接する低抵抗領域 106c が形成される（図 3（D）参照）。

20

【0141】

加熱処理の条件としては、温度 300 以上 700 以下、好ましくは 300 以上 450 以下で不活性ガス雰囲気下、あるいは減圧状態で行うことが好ましい。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。なお、当該加熱処理によって、金属膜 113 の表面が酸化されないような雰囲気で行うことが好ましい。また、加熱処理の時間は、酸化物半導体膜 106 と金属膜 113 が反応できる時間を実施者が適宜選択することができる。

【0142】

30

このような加熱処理を用いることにより、金属膜 113 は、表面から酸化されず、酸化膜 104、または酸化物半導体膜 106 と接する部分から酸化されるため、酸化膜 104、及び酸化物半導体膜 106 に接する領域に金属酸化物絶縁膜 113a を形成し、その他は金属膜 113 を残存させることができる。

【0143】

次に、金属膜 113 を除去し、金属酸化物絶縁膜 114 を形成する（図 3（E）参照）。

【0144】

金属膜 113 の除去方法としては、例えば、金属膜としてアルミニウムを用いた場合、ウェットエッチング法を用い、HCl、H₂SO₄、H₃PO₄、H₂C₂O₄ 等のエッチング液を用いることで除去することができる。ただし、金属膜 113 の除去方法は、これに限定されない。金属膜 113 に用いた材料、及び金属酸化物絶縁膜 114 の材料に応じて、選択比がとれるエッチング液、またはエッチング方法を実施者が適宜選択することができる。

40

【0145】

次に、酸化膜 104、ゲート電極 110、側壁絶縁膜 112、及び金属酸化物絶縁膜 114 を覆う保護絶縁膜 116、及び層間絶縁膜 118 を形成する（図 4（A）参照）。

【0146】

次に、層間絶縁膜 118 上の所望の領域にレジストマスクを形成し、選択的に層間絶縁膜 118、保護絶縁膜 116、及び金属酸化物絶縁膜 114 のエッチングを行い低抵抗領

50

域 106c に達する開口部を形成する（図 4（B）参照）。

【0147】

次に、層間絶縁膜 118 上、及び開口部に導電膜 119 を形成する（図 4（C）参照）。

【0148】

次に、導電膜 119 上の所望の領域にレジストマスクを形成し、選択的に導電膜 119 のエッチングを行いソース電極 120a、及びドレイン電極 120b を形成する（図 4（D）参照）。

【0149】

以上の工程により、図 1 に示す半導体装置を作製することができる。

10

【0150】

本実施の形態に示すように、本発明の技術的思想の一は、チャネル形成領域を含む酸化物半導体膜に、該酸化物半導体膜と金属膜を反応させ自己整合的に低抵抗領域の形成と、該金属膜の一部を酸化させて、金属酸化物絶縁膜の形成を行い低抵抗領域を覆う金属酸化物絶縁膜を形成する。その後、金属酸化物絶縁膜とならなかった金属膜を除去する。該金属酸化物絶縁膜により、酸化膜、及び酸化物半導体膜中に含まれる酸素の放出を抑制することができる。したがって、酸化膜からチャネル形成領域を含む酸化物半導体膜に好適に酸素が供給され、電気特性の安定したトランジスタを提供することができる。

【0151】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

20

【0152】

（実施の形態 2）

本実施の形態では、実施の形態 1 に示した半導体装置の変形例、及び実施の形態 1 に示した半導体装置の作製方法と異なる作製方法について、図 5 乃至図 8 を用いて説明を行う。なお、図 1 乃至図 4 で示した符号については、同様の符号を用い、その繰り返しの説明は省略する。

【0153】

半導体装置の構成例 2

図 5（A）、及び図 5（B）に、半導体装置の一例として、トップゲート・セルフアライン構造のトランジスタの平面図および断面図を示す。図 5（A）は平面図であり、図 5（B）は、図 5（A）における X2 - Y2 に係る断面図に相当する。なお、図 5（A）では、煩雑になることを避けるため、トランジスタの構成要素の一部（例えば、ゲート絶縁膜 108 など）を省略している。

30

【0154】

図 5（A）、及び図 5（B）に示す半導体装置は、基板 102 と、基板 102 上に形成された酸化膜 104 と、酸化膜 104 上に形成され、チャネル形成領域 106a 及びチャネル形成領域 106a よりも抵抗が低い低抵抗領域 106c、及び低抵抗領域 106d を含む酸化物半導体膜 106 と、低抵抗領域 106c、及び低抵抗領域 106d に接して形成された金属酸化物絶縁膜 114 と、酸化物半導体膜 106 上に形成されたゲート絶縁膜 108 と、ゲート絶縁膜 108 と接しチャネル形成領域 106a と重畳する位置に形成されたゲート電極 110 と、金属酸化物絶縁膜 114 上に形成され、チャネル長方向の断面において、ゲート電極 110 の側面に形成された側壁絶縁膜 112 と、を有し、低抵抗領域 106c、及び低抵抗領域 106d は、少なくとも金属酸化物絶縁膜 114 中の金属元素を含む。

40

【0155】

また、金属酸化物絶縁膜 114、側壁絶縁膜 112、及びゲート電極 110 上に形成された保護絶縁膜 116 と、低抵抗領域 106c と電氣的に接続されたソース電極 120a、及びドレイン電極 120b と、層間絶縁膜 118 と、を含む構成としても良い。

【0156】

50

なお、ゲート絶縁膜 108 は、図 5 (B) に示すように第 1 のゲート絶縁膜 108 a、及び第 2 のゲート絶縁膜 108 b の積層構造とすると好ましい。ゲート絶縁膜 108 を積層構造とし、第 1 のゲート絶縁膜 108 a が酸素過剰な酸化膜であり、第 2 のゲート絶縁膜 108 b がブロッキング機能を有する絶縁膜とすることで、酸化物半導体膜 106 (特にチャネル形成領域 106 a) に酸素を供給し、且つ酸化物半導体膜 106 (特にチャネル形成領域 106 a) へ侵入する不純物の抑制、または第 1 のゲート絶縁膜 108 a から上方へ放出される酸素などを抑制することができる。例えば、第 1 のゲート絶縁膜 108 a としては、酸化窒化シリコン膜を用い、第 2 のゲート絶縁膜 108 b としては、酸化アルミニウム膜を用いることができる。

【0157】

また、酸化物半導体膜 106 は、チャネル形成領域 106 a、低抵抗領域 106 c、及び低抵抗領域 106 d を含む。低抵抗領域 106 c、及び低抵抗領域 106 d は自己整合的に形成することができる。具体的には、チャネル形成領域 106 a を含む酸化物半導体膜 106 を形成したのち、酸化物半導体膜 106 上にゲート絶縁膜 108 及びゲート電極 110 の積層を形成する。その後、ゲート電極 110 をマスクとしてゲート絶縁膜 108 の一部を除去し、酸化物半導体膜 106 の表面を露出させる。その後、酸化物半導体膜 106 の一部と接して金属膜を形成し、酸化物半導体膜 106、及び金属膜が接した状態で加熱処理し、酸化物半導体膜 106 に金属膜から金属元素を導入し、金属元素を含む低抵抗領域 106 d を形成する。また、加熱処理により酸化膜 104、及び酸化物半導体膜 106 と接する金属膜が選択的に酸化され、金属酸化物絶縁膜 114 を形成し、金属膜を除去する。その後、チャネル長方向の断面において、ゲート電極 110 の側面に側壁絶縁膜 112 を形成し、ゲート電極 110、及び側壁絶縁膜 112 をマスクとして、金属酸化物絶縁膜 114 を通過して酸化物半導体膜 106 にドーパントを選択的に導入し、低抵抗領域 106 c を形成する。

【0158】

このような構成とすることで、酸化物半導体膜 106 に自己整合的に低抵抗領域 106 c、及び低抵抗領域 106 d が形成され、且つ低抵抗領域 106 c、及び低抵抗領域 106 d 上に金属酸化物絶縁膜 114 が形成される。金属酸化物絶縁膜 114 によって、酸化物半導体膜 106 に侵入する不純物を抑制する、または酸化膜 104、及び酸化物半導体膜 106 中に含まれる酸素の放出を抑制するといった優れた効果を奏する。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。

【0159】

また、酸化物半導体膜 106 は、チャネル形成領域 106 a と低抵抗領域 106 c の間に低抵抗領域 106 c と抵抗の異なる低抵抗領域 106 d が形成されている。なお、低抵抗領域 106 c は、換言すると酸化物半導体膜 106 に n 型を付与する不純物が高濃度に導入された領域であり、低抵抗領域 106 d は、換言すると酸化物半導体膜 106 に n 型を付与する不純物が低濃度に導入された領域である。このような構成とすることで、チャネル形成領域 106 a に係るソース - ドレイン間の電位差を緩和させることができるので、信頼性の高い半導体装置とすることができる。

【0160】

本実施の形態に示す半導体装置は、チャネル形成領域 106 a と低抵抗領域 106 c の間に低抵抗領域 106 c と抵抗の異なる低抵抗領域 106 d が形成されている点、並びにゲート絶縁膜 108 の形状、金属酸化物絶縁膜 114 の形状、及び側壁絶縁膜 112 の形状が異なる点において、実施の形態 1 に示した半導体装置と構造が異なる。

【0161】

なお、本実施の形態に示す半導体装置に用いることができる各構成要素の詳細については、実施の形態 1 に示す構成と同様とすることができるため、その説明は省略する。

【0162】

なお、その他の構成要素の詳細については、後述する半導体装置の作製方法 2 において、図 6 乃至図 8 を用いて説明する。

【 0 1 6 3 】

半導体装置の作製方法 2

以下、図 6 乃至図 8 を用いて、本実施の形態に係る図 5 に示す半導体装置の作製方法の一例について説明する。

【 0 1 6 4 】

まず、基板 1 0 2 を準備し、次に、基板 1 0 2 上に酸化膜 1 0 4、及びチャネル形成領域を含む酸化物半導体膜 1 0 6 を形成する（図 6（A）参照）。

【 0 1 6 5 】

次に、酸化物半導体膜 1 0 6 上にゲート絶縁膜 1 0 8（第 1 のゲート絶縁膜 1 0 8 a、及び第 2 のゲート絶縁膜 1 0 8 b）、及び導電膜 1 0 9 を形成する（図 6（B）参照）。 10

【 0 1 6 6 】

次に、フォトリソグラフィ工程により導電膜 1 0 9 上にレジストマスクを形成し、選択的にエッチングを行って、ゲート電極 1 1 0 を形成した後、レジストマスクを除去する。これによって、酸化物半導体膜 1 0 6 上にゲート絶縁膜 1 0 8、及びゲート電極 1 1 0 の積層が形成される（図 6（C）参照）。

【 0 1 6 7 】

次に、ゲート電極 1 1 0 をマスクとしてゲート絶縁膜 1 0 8 の一部を除去し、酸化物半導体膜 1 0 6 の表面を露出させる（図 6（D）参照）。

【 0 1 6 8 】

なお、ゲート電極 1 1 0 の形成時にゲート絶縁膜 1 0 8 を加工してもよい。 20

【 0 1 6 9 】

次に、酸化膜 1 0 4、酸化物半導体膜 1 0 6、及びゲート電極 1 1 0 上に金属膜 1 1 3 を形成する。これによって、酸化物半導体膜 1 0 6 の一部と接して金属膜 1 1 3 が形成される（図 6（E）参照）。

【 0 1 7 0 】

金属膜 1 1 3 としては、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、及び亜鉛の中から選択される金属材料を用いることができる。本実施の形態においては、スパッタリング法を用いて、アルミニウムを 1 0 n m 形成する。

【 0 1 7 1 】

次に、金属膜 1 1 3 と酸化物半導体膜 1 0 6 が接した状態で加熱処理し、金属膜 1 1 3 から金属元素を導入し、金属元素を含む低抵抗領域 1 0 6 d が形成され、ゲート電極 1 1 0 の下方にはチャネル形成領域 1 0 6 a が形成される。また、当該加熱処理により酸化膜 1 0 4、及び酸化物半導体膜 1 0 6 から金属膜 1 1 3 に酸素が拡散し、金属膜 1 1 3 が選択的に酸化されることで、金属酸化物絶縁膜 1 1 3 a が形成される。（図 7（A）参照）。 30

【 0 1 7 2 】

加熱処理の条件としては、温度 3 0 0 以上 7 0 0 以下、好ましくは 3 0 0 以上 4 5 0 以下で不活性ガス雰囲気下、あるいは減圧状態で行うことが好ましい。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。なお、当該加熱処理によって、金属膜 1 1 3 の表面が酸化されないような雰囲気で行うことが好ましい。また、加熱処理の時間は、酸化物半導体膜 1 0 6 と金属膜 1 1 3 が反応できる時間を実施者が適宜選択することができる。 40

【 0 1 7 3 】

このような加熱処理を用いることにより、金属膜 1 1 3 は、表面から酸化されず、酸化膜 1 0 4、及び酸化物半導体膜 1 0 6 と接する部分から酸化されるため、酸化膜 1 0 4、及び酸化物半導体膜 1 0 6 に接する領域に金属酸化物絶縁膜 1 1 3 a を形成し、その他は金属膜 1 1 3 を残存させることができる。

【 0 1 7 4 】

次に、金属膜 1 1 3 を除去し、金属酸化物絶縁膜 1 1 4 を形成する（図 7（B）参照） 50

。

【0175】

金属膜113の除去方法としては、例えば、金属膜としてアルミニウムを用いた場合、ウェットエッチング法を用い、 HCl 、 H_2SO_4 、 H_3PO_4 、 $\text{H}_2\text{C}_2\text{O}_4$ 等のエッチング液を用いることで除去することができる。ただし、金属膜113の除去方法は、これに限定されない。金属膜113に用いた材料、及び金属酸化物絶縁膜114の材料に応じて、選択比がとれるエッチング液、またはエッチング方法を実施者が適宜選択することができる。

【0176】

次に、金属酸化物絶縁膜114、及びゲート電極110上に絶縁膜111を形成する（図7（C）参照）。 10

【0177】

次に、絶縁膜111をエッチングすることにより側壁絶縁膜112を形成する。これによって、チャンネル長方向の断面において、ゲート電極110の側面に側壁絶縁膜112が形成される（図7（D）参照）。

【0178】

側壁絶縁膜112は、絶縁膜111に異方性の高いエッチング工程を行うことで自己整合的に形成することができる。また、側壁絶縁膜112に用いることのできる材料は、実施の形態1に記載した「側壁絶縁膜の詳細な説明」の材料に加えて、酸化シリコン、酸化窒化シリコン等といった酸化膜を用いることもできる。 20

【0179】

なお、側壁絶縁膜112は、絶縁膜111上にレジストマスクを形成しエッチングすることで形成してもよい。

【0180】

次に、ゲート電極110、及び側壁絶縁膜112をマスクとして、金属酸化物絶縁膜114を通過して酸化物半導体膜106にドーパント142を選択的に導入する。なお、酸化物半導体膜106には、ゲート電極110の下方に位置するチャンネル形成領域106a、側壁絶縁膜112の下方に位置する低抵抗領域106d、及び金属酸化物絶縁膜114と接する低抵抗領域106cが形成される（図7（E）参照）。 30

【0181】

ドーパント142は、酸化物半導体膜106の導電率を変化させる不純物である。ドーパント142としては、15族元素（代表的には窒素（N）、リン（P）、砒素（As）、およびアンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。 40

【0182】

また、ドーパント142は、注入法により、他の膜（例えば金属酸化物絶縁膜114）を通過して、酸化物半導体膜106に導入することができる。ドーパント142の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント142の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。 50

【0183】

ドーパント142の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント142としてリンを用いて、イオン注入法でリンイオンの注入を行う。なお、ドーパント142のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0184】

また、ドーパント142を導入する際に、基板102を加熱しながら行ってもよい。 50

【 0 1 8 5 】

なお、酸化物半導体膜 1 0 6 にドーパント 1 4 2 を導入する処理は、複数回行ってよく、ドーパントの種類も複数種用いてもよい。

【 0 1 8 6 】

なお、本実施の形態においては、ドーパント 1 4 2 を導入する工程について説明したが、これに限定されず、ドーパント 1 4 2 を導入しないで、低抵抗領域 1 0 6 d を含み低抵抗領域 1 0 6 c を含まない酸化物半導体膜 1 0 6 とすることもできる。

【 0 1 8 7 】

次に、ゲート電極 1 1 0、側壁絶縁膜 1 1 2、及び金属酸化物絶縁膜 1 1 4 を覆う保護絶縁膜 1 1 6、及び層間絶縁膜 1 1 8 を形成する（図 8（A）参照）。 10

【 0 1 8 8 】

次に、層間絶縁膜 1 1 8 上の所望の領域にレジストマスクを形成し、選択的に層間絶縁膜 1 1 8、保護絶縁膜 1 1 6、及び金属酸化物絶縁膜 1 1 4 のエッチングを行い低抵抗領域 1 0 6 c に達する開口部を形成する（図 8（B）参照）。

【 0 1 8 9 】

次に、層間絶縁膜 1 1 8、及び開口部に導電膜 1 1 9 を形成する（図 8（C）参照）。

【 0 1 9 0 】

次に、導電膜 1 1 9 上の所望の領域にレジストマスクを形成し、選択的に導電膜 1 1 9 のエッチングを行いソース電極 1 2 0 a、及びドレイン電極 1 2 0 b を形成する（図 8（D）参照）。 20

【 0 1 9 1 】

以上の工程により、図 5 に示す半導体装置を作製することができる。

【 0 1 9 2 】

本実施の形態に示すように、本発明の技術的思想の一は、チャネル形成領域を含む酸化物半導体膜に、該酸化物半導体膜と金属膜を反応させ自己整合的に低抵抗領域の形成と、該金属膜の一部を酸化させて、金属酸化物絶縁膜の形成を行い低抵抗領域を覆う金属酸化物絶縁膜を形成する。その後、金属酸化物絶縁膜にならなかった金属膜を除去する。該金属酸化物絶縁膜により、酸化膜、及び酸化物半導体膜中に含まれる酸素の放出を抑制することができる。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。したがって、酸化膜からチャネル形成領域を含む酸化物半導体膜に好適に酸素が供給され、電気特性の安定したトランジスタを提供することができる。 30

【 0 1 9 3 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 1 9 4 】

（実施の形態 3）

本実施の形態では、実施の形態 1、及び実施の形態 2 に示した半導体装置の変形例、及び実施の形態 1、及び実施の形態 2 に示した半導体装置の作製方法と異なる作製方法について、図 9 乃至図 1 2 を用いて説明を行う。なお、図 1 乃至図 8 で示した符号については、同様の符号を用い、その繰り返しの説明は省略する。 40

【 0 1 9 5 】

半導体装置の構成例 3

図 9（A）、及び図 9（B）に、半導体装置の一例として、トップゲート・セルフアライン構造のトランジスタの平面図および断面図を示す。図 9（A）は平面図であり、図 9（B）は、図 9（A）における X 3 - Y 3 に係る断面図に相当する。なお、図 9（A）では、煩雑になることを避けるため、トランジスタの構成要素の一部（例えば、ゲート絶縁膜 1 0 8 など）を省略している。

【 0 1 9 6 】

図 9（A）、及び図 9（B）に示す半導体装置は、基板 1 0 2 と、基板 1 0 2 上に形成された酸化膜 1 0 4 と、酸化膜 1 0 4 上に形成されたソース電極 1 2 0 a、及びドレイン 50

電極 120b と、酸化膜 104、ソース電極 120a、及びドレイン電極 120b 上に形成され、チャンネル形成領域 106a 及びチャンネル形成領域 106a よりも抵抗が低い低抵抗領域 106c を含む酸化物半導体膜 106 と、低抵抗領域 106c に接して形成された金属酸化物絶縁膜 114 と、酸化物半導体膜 106 上に形成されたゲート絶縁膜 108 と、ゲート絶縁膜 108 と接しチャンネル形成領域 106a と重畳する位置に形成されたゲート電極 110 と、ゲート絶縁膜 108 上に形成され、チャンネル長方向の断面において、ゲート電極 110 の側面に形成された側壁絶縁膜 112 と、金属酸化物絶縁膜 114、側壁絶縁膜 112、及びゲート電極 110 上に形成された保護絶縁膜 116 と、を有し、低抵抗領域 106c は、少なくとも金属酸化物絶縁膜 114 中の金属元素を含む。また、保護絶縁膜 116 上に形成された層間絶縁膜 118 を含む構成としても良い。

10

【0197】

また、ソース電極 120a、及びドレイン電極 120b は、低抵抗領域 106c と電気的に接続されている。

【0198】

なお、ゲート絶縁膜 108 は、図 9 (B) に示すように第 1 のゲート絶縁膜 108a、及び第 2 のゲート絶縁膜 108b の積層構造とすると好ましい。ゲート絶縁膜 108 を積層構造とし、第 1 のゲート絶縁膜 108a が酸素過剰な酸化膜であり、第 2 のゲート絶縁膜 108b がブロッキング機能を有する絶縁膜とすることで、酸化物半導体膜 106 (特にチャンネル形成領域 106a) に酸素を供給し、且つ酸化物半導体膜 106 (特にチャンネル形成領域 106a) へ侵入する不純物の抑制、または第 1 のゲート絶縁膜 108a から

20

【0199】

また、酸化物半導体膜 106 は、チャンネル形成領域 106a と低抵抗領域 106c の間に、低抵抗領域 106c と抵抗が異なる不純物領域 106b を含む。低抵抗領域 106c、及び不純物領域 106b は自己整合的に形成することができる。具体的には、チャンネル形成領域 106a を含む酸化物半導体膜 106 を形成したのち、酸化物半導体膜 106 上にゲート絶縁膜 108 及びゲート電極 110 の積層を形成する。その後、ゲート電極 110 をマスクとして、ゲート絶縁膜 108 を通過して酸化物半導体膜 106 にドーパントを

30

【0200】

このような構成とすることで、酸化物半導体膜 106 に自己整合的に低抵抗領域 106c、及び不純物領域 106b が形成され、且つ低抵抗領域 106c 上に金属酸化物絶縁膜 114 が形成される。金属酸化物絶縁膜 114 によって、酸化物半導体膜 106 に侵入する不純物を抑制する、または酸化膜 104、及び酸化物半導体膜 106 中に含まれる酸素の放出を抑制するといった優れた効果を奏する。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。

40

【0201】

また、酸化物半導体膜 106 は、チャンネル形成領域 106a と低抵抗領域 106c の間に低抵抗領域 106c と抵抗の異なる不純物領域 106b が形成されている。なお、低抵抗領域 106c は、換言すると酸化物半導体膜 106 に n 型を付与する不純物が高濃度に導入された領域であり、不純物領域 106b は、換言すると酸化物半導体膜 106 に n 型

50

を付与する不純物が低濃度に導入された領域である。このような構成とすることで、チャネル形成領域 106a に係るソース - ドレイン間の電位差を緩和させることができるので、信頼性の高い半導体装置とすることができる。

【0202】

本実施の形態に示す半導体装置は、ソース電極 120a、及びドレイン電極 120b が酸化物半導体膜 106（より具体的には低抵抗領域 106c）の下側に形成されている点において、実施の形態 1 に示した半導体装置と構造が異なる。

【0203】

なお、本実施の形態に示す半導体装置に用いることができる各構成要素の詳細については、実施の形態 1、及び実施の形態 2 に示す構成と同様とすることができるため、その説明は省略する。

10

【0204】

なお、その他の構成要素の詳細については、後述する半導体装置の作製方法 3 において、図 10 乃至図 12 を用いて説明する。

【0205】

半導体装置の作製方法 3

以下、図 10 乃至図 12 を用いて、本実施の形態に係る図 9 に示す半導体装置の作製方法の一例について説明する。

【0206】

まず、基板 102 を準備し、次に基板 102 上に酸化膜 104、及び導電膜を形成し、該導電膜上にレジストマスクを形成し、選択的に導電膜のエッチングを行ってソース電極 120a、及びドレイン電極 120b を形成する。その後、酸化膜 104、及びソース電極 120a、及びドレイン電極 120b 上にチャネル形成領域を含む酸化物半導体膜 106 を形成する（図 10（A）参照）。

20

【0207】

次に、酸化物半導体膜 106、ソース電極 120a、及びドレイン電極 120b 上にゲート絶縁膜 108（第 1 のゲート絶縁膜 108a、及び第 2 のゲート絶縁膜 108b）、及び導電膜 109 を形成する（図 10（B）参照）。

【0208】

次に、フォトリソグラフィ工程により導電膜 109 上にレジストマスクを形成し、選択的にエッチングを行って、ゲート電極 110 を形成した後、レジストマスクを除去する。これによって、酸化物半導体膜 106 上にゲート絶縁膜 108、及びゲート電極 110 の積層が形成される（図 10（C）参照）。

30

【0209】

次に、ゲート電極 110 をマスクとして、ゲート絶縁膜 108（第 1 のゲート絶縁膜 108a、及び第 2 のゲート絶縁膜 108b）を通過して酸化物半導体膜 106 にドーパント 142 を選択的に導入する。また、ドーパント 142 の導入時、ゲート電極 110 がマスクとなり、酸化物半導体膜 106 のゲート電極 110 が重なる位置にチャネル形成領域 106a が形成され、ドーパント 142 が導入された位置には不純物領域 106b が形成される（図 10（D）参照）。

40

【0210】

ドーパント 142 は、酸化物半導体膜 106 の導電率を変化させる不純物である。ドーパント 142 としては、15 族元素（代表的には窒素（N）、リン（P）、砒素（As）、およびアンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。

【0211】

また、ドーパント 142 は、注入法により、他の膜（例えばゲート絶縁膜 108）を通過して、酸化物半導体膜 106 に導入することができる。ドーパント 142 の導入方法と

50

しては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント 142 の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

【0212】

ドーパント 142 の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント 142 としてリンを用いて、イオン注入法でリンイオンの注入を行う。なお、ドーパント 142 のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0213】

不純物領域 106b におけるドーパント 142 の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0214】

また、ドーパント 142 を導入する際に、基板 102 を加熱しながら行ってもよい。

【0215】

なお、酸化物半導体膜 106 にドーパント 142 を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

【0216】

また、酸化物半導体膜 106 が結晶性を有する酸化物半導体（例えば、CAAC-OS）とした場合、ドーパント 142 の導入により、不純物領域 106b が非晶質酸化物半導体となると好ましい。すなわち、チャネル形成領域 106a が結晶性を有する酸化物半導体、不純物領域 106b が非晶質酸化物半導体となり、チャネル長方向の断面において、横接合の結晶構造が異なる酸化物半導体膜 106 が形成される。このような構造とすることで、チャネル形成領域 106a 中の不純物である水素、または酸素欠損が、非晶質酸化物半導体である不純物領域 106b に引き抜かれるため、チャネル形成領域 106a を更に高純度化することができる。

【0217】

次に、ゲート絶縁膜 108（具体的には第 2 のゲート絶縁膜 108b）、及びゲート電極 110 上に絶縁膜 111 を形成する（図 11（A）参照）。

【0218】

次に、絶縁膜 111 をエッチングすることにより側壁絶縁膜 112 を形成する。これによって、チャネル長方向の断面において、ゲート電極 110 の側面に側壁絶縁膜 112 が形成される（図 11（B）参照）。

【0219】

側壁絶縁膜 112 は、絶縁膜 111 に異方性の高いエッチング工程を行うことで自己整合的に形成することができる。例えば、エッチング方法としては、ドライエッチング法を用いると好ましい。また、ドライエッチング法に用いるエッチングガスとしては、例えば、トリフルオロメタン、オクタフルオロシクロブタン、テトラフルオロメタンなどのフッ素を含むガスが挙げられる。エッチングガスには、希ガスまたは水素を添加してもよい。ドライエッチング法は、基板に高周波電圧を印加する、反応性イオンエッチング法（RIE 法）を用いると好ましい。

【0220】

なお、側壁絶縁膜 112 は、絶縁膜 111 上にレジストマスクを形成しエッチングすることで形成してもよい。

【0221】

次に、側壁絶縁膜 112 の形成後、ゲート電極 110、及び側壁絶縁膜 112 をマスクとしてゲート絶縁膜 108 の一部を除去し、酸化物半導体膜 106（より具体的には不純物領域 106b の一部）の表面を露出させる（図 11（C）参照）。

【0222】

なお、側壁絶縁膜 112 の形成時にゲート絶縁膜 108 を加工してもよい。

10

20

30

40

50

【0223】

次に、酸化物半導体膜106、ゲート電極110、及び側壁絶縁膜112、ソース電極120a、及びドレイン電極120b上に金属膜113を形成する。これによって、酸化物半導体膜106の一部と接して金属膜113が形成される(図11(D)参照)。

【0224】

金属膜113としては、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、及び亜鉛の中から選択される金属材料を用いることができる。本実施の形態においては、スパッタリング法を用いて、アルミニウムを10nm形成する。

【0225】

次に、金属膜113と酸化物半導体膜106(より具体的には不純物領域106bの一部)が接した状態で加熱処理し、金属膜113から金属元素を導入し、金属元素を含む低抵抗領域106cが形成される。また、当該加熱処理により酸化物半導体膜106から金属膜113に酸素が拡散し、金属膜113が選択的に酸化されることで、金属酸化物絶縁膜113aが形成される。なお、酸化物半導体膜106には、ゲート電極110の下方に位置するチャンネル形成領域106a、側壁絶縁膜112の下方に位置する不純物領域106b、及び金属酸化物絶縁膜113aと接する低抵抗領域106cが形成される(図12(A)参照)。

【0226】

加熱処理の条件としては、温度300以上700以下、好ましくは300以上450以下で不活性ガス雰囲気下、あるいは減圧状態で行うことが好ましい。不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。なお、当該加熱処理によって、金属膜113の表面が酸化されないような雰囲気で行うことが好ましい。また、加熱処理の時間は、酸化物半導体膜106と金属膜113が反応できる時間を実施者が適宜選択することができる。

【0227】

このような加熱処理を用いることにより、金属膜113は、表面から酸化されず、酸化物半導体膜106と接する部分から酸化されるため、酸化物半導体膜106に接する領域に金属酸化物絶縁膜113aを形成し、その他は金属膜113を残存させることができる。

【0228】

次に、金属膜113を除去し、金属酸化物絶縁膜114を形成する(図12(B)参照)。

【0229】

金属膜113の除去方法としては、例えば、金属膜としてアルミニウムを用いた場合、ウェットエッチング法を用い、HCl、H₂SO₄、H₃PO₄、H₂C₂O₄等のエッチング液を用いることで除去することができる。ただし、金属膜113の除去方法は、これに限定されない。金属膜113に用いた材料、及び金属酸化物絶縁膜114の材料に応じて、選択比がとれるエッチング液、またはエッチング方法を実施者が適宜選択することができる。

【0230】

次に、ゲート電極110、側壁絶縁膜112、金属酸化物絶縁膜114、ソース電極120a、及びドレイン電極120bを覆う保護絶縁膜116、及び層間絶縁膜118を形成する(図12(C)参照)。

【0231】

以上の工程により、図9に示す半導体装置を作製することができる。

【0232】

本実施の形態に示すように、本発明の技術的思想の一は、チャンネル形成領域を含む酸化物半導体膜に、該酸化物半導体膜と金属膜を反応させ自己整合的に低抵抗領域を形成と、該金属膜の一部を酸化させて、金属酸化物絶縁膜の形成を行い低抵抗領域を覆う金属酸化

10

20

30

40

50

物絶縁膜を形成する。その後、金属酸化物絶縁膜にならなかった金属膜を除去する。該金属酸化物絶縁膜により、酸化膜、及び酸化物半導体膜中に含まれる酸素の放出を抑制することができる。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。したがって、酸化膜からチャネル形成領域を含む酸化物半導体膜に好適に酸素が供給され、電気特性の安定したトランジスタを提供することができる。

【0233】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0234】

(実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3に示した半導体装置の変形例、及び実施の形態1乃至実施の形態3に示した半導体装置の作製方法と異なる作製方法について、図13乃至図16を用いて説明を行う。なお、図1乃至図12で示した符号については、同様の符号を用い、その繰り返しの説明は省略する。なお、同じ箇所の詳細な説明も省略する。

【0235】

半導体装置の構成例4

図13(A)、及び図13(B)に、半導体装置の一例として、トップゲート・セルフアライン構造のトランジスタの平面図および断面図を示す。図13(A)は平面図であり、図13(B)は、図13(A)におけるX4-Y4に係る断面図に相当する。なお、図13(A)では、煩雑になることを避けるため、トランジスタの構成要素の一部(例えば、ゲート絶縁膜108など)を省略している。

【0236】

図13(A)、及び図13(B)に示す半導体装置は、基板102と、基板102上に形成された酸化膜104と、酸化膜104上に形成されたソース電極120a、及びドレイン電極120bと、酸化膜104、ソース電極120a、及びドレイン電極120b上に形成され、チャネル形成領域106a及びチャネル形成領域106aよりも抵抗が低い低抵抗領域106c、及び低抵抗領域106dを含む酸化物半導体膜106と、低抵抗領域106c、及び低抵抗領域106dに接して形成された金属酸化物絶縁膜114と、酸化物半導体膜106上に形成されたゲート絶縁膜108と、ゲート絶縁膜108と接しチャネル形成領域106aと重畳する位置に形成されたゲート電極110と、金属酸化物絶縁膜114上に形成され、チャネル長方向の断面において、ゲート電極110の側面に形成された側壁絶縁膜112と、金属酸化物絶縁膜114、側壁絶縁膜112、及びゲート電極110上に形成された保護絶縁膜116と、を有し、低抵抗領域106c、及び低抵抗領域106dは、少なくとも金属酸化物絶縁膜114中の金属元素を含む。また、保護絶縁膜116上に形成された層間絶縁膜118を含む構成としても良い。

【0237】

また、ソース電極120a、及びドレイン電極120bは、低抵抗領域106cと電氣的に接続されている。

【0238】

なお、ゲート絶縁膜108は、図13(B)に示すように第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108bの積層構造とすると好ましい。ゲート絶縁膜108を積層構造とし、第1のゲート絶縁膜108aが酸素過剰な酸化膜であり、第2のゲート絶縁膜108bがブロッキング機能を有する絶縁膜とすることで、酸化物半導体膜106(特にチャネル形成領域106a)に酸素を供給し、且つ酸化物半導体膜106(特にチャネル形成領域106a)へ侵入する不純物の抑制、または第1のゲート絶縁膜108aから上方へ放出される酸素などを抑制することができる。例えば、第1のゲート絶縁膜108aとしては、酸化窒化シリコン膜を用い、第2のゲート絶縁膜108bとしては、酸化アルミニウム膜を用いることができる。

【0239】

また、酸化物半導体膜 106 は、チャネル形成領域 106 a、低抵抗領域 106 c、及び低抵抗領域 106 d を含む。低抵抗領域 106 c、及び低抵抗領域 106 d は自己整合的に形成することができる。具体的には、チャネル形成領域 106 a を含む酸化物半導体膜 106 を形成したのち、酸化物半導体膜 106 上にゲート絶縁膜 108 及びゲート電極 110 の積層を形成する。その後、ゲート電極 110 をマスクとしてゲート絶縁膜 108 の一部を除去し、酸化物半導体膜 106 の表面を露出させる。その後、酸化物半導体膜 106 の一部と接して金属膜を形成し、酸化物半導体膜 106、及び金属膜が接した状態で加熱処理し、酸化物半導体膜 106 に金属膜から金属元素を導入し、金属元素を含む低抵抗領域 106 d を形成する。また、加熱処理により酸化膜 104、及び酸化物半導体膜 106 と接する金属膜が選択的に酸化され、金属酸化物絶縁膜 114 を形成し、金属膜を除去する。その後、チャネル長方向の断面において、ゲート電極 110 の側面に側壁絶縁膜 112 を形成し、ゲート電極 110、及び側壁絶縁膜 112 をマスクとして、金属酸化物絶縁膜 114 を通過して酸化物半導体膜 106 にドーパントを選択的に導入し、低抵抗領域 106 c を形成する。

10

【0240】

このような構成とすることで、酸化物半導体膜 106 に自己整合的に低抵抗領域 106 c、及び低抵抗領域 106 d が形成され、且つ低抵抗領域 106 c、及び低抵抗領域 106 d 上に金属酸化物絶縁膜 114 が形成される。金属酸化物絶縁膜 114 によって、酸化物半導体膜 106 に侵入する不純物を抑制する、または酸化膜 104、及び酸化物半導体膜 106 中に含まれる酸素の放出を抑制するといった優れた効果を奏する。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。

20

【0241】

また、酸化物半導体膜 106 は、チャネル形成領域 106 a と低抵抗領域 106 c の間に低抵抗領域 106 c と抵抗の異なる低抵抗領域 106 d が形成されている。なお、低抵抗領域 106 c は、換言すると酸化物半導体膜 106 に n 型を付与する不純物が高濃度に導入された領域であり、低抵抗領域 106 d は、換言すると酸化物半導体膜 106 に n 型を付与する不純物が低濃度に導入された領域である。このような構成とすることで、チャネル形成領域 106 a に係るソース - ドレイン間の電位差を緩和させることができるので、信頼性の高い半導体装置とすることができる。

【0242】

30

本実施の形態に示す半導体装置は、ソース電極 120 a、及びドレイン電極 120 b が酸化物半導体膜 106（より具体的には低抵抗領域 106 c）の下側に形成されている点、チャネル形成領域 106 a と低抵抗領域 106 c の間に低抵抗領域 106 c と抵抗の異なる低抵抗領域 106 d が形成されている点、並びにゲート絶縁膜 108 の形状、金属酸化物絶縁膜 114 の形状、及び側壁絶縁膜 112 の形状が異なる点において、実施の形態 1 に示した半導体装置と構造が異なる。

【0243】

なお、本実施の形態に示す半導体装置に用いることができる各構成要素の詳細については、実施の形態 1 乃至実施の形態 3 に示す構成と同様とすることができるため、その説明は省略する。

40

【0244】

なお、その他の構成要素の詳細については、後述する半導体装置の作製方法 4 において、図 14 乃至図 16 を用いて説明する。

【0245】

半導体装置の作製方法 4

以下、図 14 乃至図 16 を用いて、本実施の形態に係る図 13 に示す半導体装置の作製方法の一例について説明する。

【0246】

まず、基板 102 を準備し、次に基板 102 上に酸化膜 104、及び導電膜を形成し、該導電膜上にレジストマスクを形成し、選択的に導電膜のエッチングを行ってソース電極

50

120a、及びドレイン電極120bを形成する。その後、酸化膜104、及びソース電極120a、及びドレイン電極120b上にチャネル形成領域を含む酸化物半導体膜106を形成する(図14(A)参照)。

【0247】

次に、酸化物半導体膜106、ソース電極120a、及びドレイン電極120b上にゲート絶縁膜108(第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108b)、及び導電膜109を形成する(図14(B)参照)。

【0248】

次に、フォトリソグラフィ工程により導電膜109上にレジストマスクを形成し、選択的にエッチングを行って、ゲート電極110を形成した後、レジストマスクを除去する。これによって、酸化物半導体膜106上にゲート絶縁膜108、及びゲート電極110の積層が形成される(図14(C)参照)。

10

【0249】

次に、ゲート電極110をマスクとしてゲート絶縁膜108の一部を除去し、酸化物半導体膜106の表面を露出させる(図14(D)参照)。

【0250】

なお、ゲート電極110の形成時にゲート絶縁膜108を加工してもよい。

【0251】

次に、酸化物半導体膜106、及びゲート電極110、ソース電極120a、及びドレイン電極120b上に金属膜113を形成する。これによって、酸化物半導体膜106の一部と接して金属膜113が形成される(図15(A)参照)。

20

【0252】

金属膜113としては、アルミニウム、インジウム、チタン、スズ、タングステン、ニッケル、モリブデン、及び亜鉛の中から選択される金属材料を用いることができる。本実施の形態においては、スパッタリング法を用いて、アルミニウムを10nm形成する。

【0253】

次に、金属膜113と酸化物半導体膜106が接した状態で加熱処理し、金属膜113から金属元素を導入し、金属元素を含む低抵抗領域106dが形成され、ゲート電極110の下方にはチャネル形成領域106aが形成される。また、当該加熱処理により酸化物半導体膜106から金属膜113に酸素が拡散し、金属膜113が選択的に酸化されることで、金属酸化物絶縁膜113aが形成される。(図15(B)参照)。

30

【0254】

加熱処理の条件としては、温度300 以上700 以下、好ましくは300 以上450 以下で不活性ガス雰囲気下、あるいは減圧状態で行うことが好ましい。不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。なお、当該加熱処理によって、金属膜113の表面が酸化されないような雰囲気で行うことが好ましい。また、加熱処理の時間は、酸化物半導体膜106と金属膜113が反応できる時間を実施者が適宜選択することができる。

【0255】

このような加熱処理を用いることにより、金属膜113は、表面から酸化されず、酸化物半導体膜106と接する部分から酸化されるため、酸化物半導体膜106に接する領域に金属酸化物絶縁膜113aを形成し、その他は金属膜113を残存させることができる。

40

【0256】

次に、金属膜113を除去し、金属酸化物絶縁膜114を形成する(図15(C)参照)。

【0257】

金属膜113の除去方法としては、例えば、金属膜としてアルミニウムを用いた場合、ウェットエッチング法を用い、HCl、H₂SO₄、H₃PO₄、H₂C₂O₄等のエッ

50

チング液を用いることで除去することができる。ただし、金属膜 1 1 3 の除去方法は、これに限定されない。金属膜 1 1 3 に用いた材料、及び金属酸化物絶縁膜 1 1 4 の材料に応じて、選択比がとれるエッチング液、またはエッチング方法を実施者が適宜選択することができる。

【0258】

次に、金属酸化物絶縁膜 1 1 4、及びゲート電極 1 1 0 上に絶縁膜 1 1 1 を形成する（図 1 5（D）参照）。

【0259】

次に、絶縁膜 1 1 1 をエッチングすることにより側壁絶縁膜 1 1 2 を形成する。これによって、チャンネル長方向の断面において、ゲート電極 1 1 0 の側面に側壁絶縁膜 1 1 2 が形成される（図 1 6（A）参照）。

10

【0260】

側壁絶縁膜 1 1 2 は、絶縁膜 1 1 1 に異方性の高いエッチング工程を行うことで自己整合的に形成することができる。また、側壁絶縁膜 1 1 2 に用いることのできる材料は、実施の形態 1 に記載した「側壁絶縁膜の詳細な説明」の材料に加えて、酸化シリコン、酸化窒化シリコン等といった酸化膜を用いることもできる。

【0261】

なお、側壁絶縁膜 1 1 2 は、絶縁膜 1 1 1 上にレジストマスクを形成しエッチングすることで形成してもよい。

【0262】

20

次に、ゲート電極 1 1 0、及び側壁絶縁膜 1 1 2 をマスクとして、金属酸化物絶縁膜 1 1 4 を通過して酸化物半導体膜 1 0 6 にドーパント 1 4 2 を選択的に導入する。なお、酸化物半導体膜 1 0 6 には、ゲート電極 1 1 0 の下方に位置するチャンネル形成領域 1 0 6 a、側壁絶縁膜 1 1 2 の下方に位置する低抵抗領域 1 0 6 d、及び金属酸化物絶縁膜 1 1 4 と接する低抵抗領域 1 0 6 c が形成される（図 1 6（B）参照）。

【0263】

ドーパント 1 4 2 は、酸化物半導体膜 1 0 6 の導電率を変化させる不純物である。ドーパント 1 4 2 としては、15 族元素（代表的には窒素（N）、リン（P）、砒素（As）、およびアンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。

30

【0264】

また、ドーパント 1 4 2 は、注入法により、他の膜（例えば金属酸化物絶縁膜 1 1 4）を通過して、酸化物半導体膜 1 0 6 に導入することができる。ドーパント 1 4 2 の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント 1 4 2 の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

【0265】

ドーパント 1 4 2 の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント 1 4 2 としてリンを用いて、イオン注入法でリンイオンの注入を行う。なお、ドーパント 1 4 2 のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

40

【0266】

また、ドーパント 1 4 2 を導入する際に、基板 1 0 2 を加熱しながら行ってもよい。

【0267】

なお、酸化物半導体膜 1 0 6 にドーパント 1 4 2 を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

【0268】

50

なお、本実施の形態においては、ドーパント 142 を導入する工程について説明したが、これに限定されず、ドーパント 142 を導入しないで、低抵抗領域 106d を含む低抵抗領域 106c を含まない酸化物半導体膜 106 とすることもできる。

【0269】

次に、ゲート電極 110、側壁絶縁膜 112、金属酸化物絶縁膜 114、ソース電極 120a、及びドレイン電極 120b を覆う保護絶縁膜 116、及び層間絶縁膜 118 を形成する（図 16（C）参照）。

【0270】

以上の工程により、図 13 に示す半導体装置を作製することができる。

【0271】

本実施の形態に示すように、本発明の技術的思想の一は、チャネル形成領域を含む酸化物半導体膜に、該酸化物半導体膜と金属膜を反応させ自己整合的に低抵抗領域の形成と、該金属膜の一部を酸化させて、金属酸化物絶縁膜の形成を行い低抵抗領域を覆う金属酸化物絶縁膜を形成する。その後、金属酸化物絶縁膜にならなかった金属膜を除去する。該金属酸化物絶縁膜により、酸化膜、及び酸化物半導体膜中に含まれる酸素の放出を抑制することができる。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。したがって、酸化膜からチャネル形成領域を含む酸化物半導体膜に好適に酸素が供給され、電気特性の安定したトランジスタを提供することができる。

【0272】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0273】

（実施の形態 5）

本実施の形態では、実施の形態 1 乃至実施の形態 4 に示した半導体装置の変形例について、図 17、及び図 18 を用いて説明を行う。なお、図 1 乃至図 16 で示した符号については、同様の符号を用い、その繰り返しの説明は省略する。

【0274】

まず、図 17 を用いて実施の形態 1 に示す半導体装置と異なる構成について、以下説明を行う。

【0275】

半導体装置の構成例 5

図 17（A）、及び図 17（B）に、半導体装置の一例として、トップゲート・セルフアライン構造のトランジスタの平面図および断面図を示す。図 17（A）は平面図であり、図 17（B）は、図 17（A）における X5 - Y5 に係る断面図に相当する。なお、図 17（A）では、煩雑になることを避けるため、トランジスタの構成要素の一部（例えば、ゲート絶縁膜 108 など）を省略している。

【0276】

図 17（A）、及び図 17（B）に示す半導体装置は、基板 102 と、基板 102 上に形成された酸化膜 104 と、酸化膜 104 上に形成され、チャネル形成領域 106a 及びチャネル形成領域 106a よりも抵抗が低い低抵抗領域 106c を含む酸化物半導体膜 106 と、低抵抗領域 106c に接して形成された金属酸化物絶縁膜 114 と、酸化物半導体膜 106 上に形成されたゲート絶縁膜 108 と、ゲート絶縁膜 108 と接しチャネル形成領域 106a と重畳する位置に形成されたゲート電極 110 と、ゲート絶縁膜 108 上に形成され、チャネル長方向の断面において、ゲート電極 110 の側面に形成された側壁絶縁膜 112 と、を有し、低抵抗領域 106c は、少なくとも金属酸化物絶縁膜 114 中の金属元素を含む。

【0277】

また、金属酸化物絶縁膜 114、側壁絶縁膜 112、及びゲート電極 110 上に形成された保護絶縁膜 116 と、保護絶縁膜 116 上に形成された層間絶縁膜 118 と、低抵抗領域 106c と電氣的に接続されたソース電極 120a、及びドレイン電極 120b と、

10

20

30

40

50

を含む構成としても良い。

【0278】

なお、ゲート絶縁膜108は、図17(B)に示すように第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108bの積層構造とすると好ましい。ゲート絶縁膜108を積層構造とし、第1のゲート絶縁膜108aが酸素過剰な酸化膜であり、第2のゲート絶縁膜108bがブロッキング機能を有する絶縁膜とすることで、酸化物半導体膜106(特にチャネル形成領域106a)に酸素を供給し、且つ酸化物半導体膜106(特にチャネル形成領域106a)へ侵入する不純物の抑制、または第1のゲート絶縁膜108aから上方へ放出される酸素などを抑制することができる。例えば、第1のゲート絶縁膜108aとしては、酸化窒化シリコン膜を用い、第2のゲート絶縁膜108bとしては、酸化アルミニウム膜を用いることができる。

10

【0279】

また、酸化物半導体膜106は、チャネル形成領域106aと低抵抗領域106cの間に、低抵抗領域106cと抵抗が異なる不純物領域106bを含む。低抵抗領域106c、及び不純物領域106bは自己整合的に形成することができる。具体的には、チャネル形成領域106aを含む酸化物半導体膜106を形成したのち、酸化物半導体膜106上にゲート絶縁膜108及びゲート電極110の積層を形成する。その後、ゲート電極110をマスクとして、ゲート絶縁膜108を通過して酸化物半導体膜106にドーパントを選択的に導入し、不純物領域106bを形成する。その後、チャネル長方向の断面において、ゲート電極110の側面に側壁絶縁膜112を形成する。その後、ゲート電極110、及び側壁絶縁膜112をマスクとしてゲート絶縁膜108の一部を除去し、酸化物半導体膜106の表面を露出させる。その後、酸化物半導体膜の一部と接して金属膜を形成し、酸化物半導体膜106、及び金属膜が接した状態で加熱処理し、酸化物半導体膜106に金属膜から金属元素を導入し、金属元素を含む低抵抗領域106cを形成することができる。また、加熱処理により酸化膜104、及び酸化物半導体膜106と接する金属膜が選択的に酸化され、金属酸化物絶縁膜114を形成し、金属膜を除去する。

20

【0280】

このような構成とすることで、酸化物半導体膜106に自己整合的に低抵抗領域106c、及び不純物領域106bが形成され、且つ低抵抗領域106c上に金属酸化物絶縁膜114が形成される。金属酸化物絶縁膜114によって、酸化物半導体膜106に侵入する不純物を抑制する、または酸化膜104、及び酸化物半導体膜106中に含まれる酸素の放出を抑制するといった優れた効果を奏する。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。

30

【0281】

また、酸化物半導体膜106は、チャネル形成領域106aと低抵抗領域106cの間に低抵抗領域106cと抵抗の異なる不純物領域106bが形成されている。なお、低抵抗領域106cは、換言すると酸化物半導体膜106にn型を付与する不純物が高濃度に導入された領域であり、不純物領域106bは、換言すると酸化物半導体膜106にn型を付与する不純物が低濃度に導入された領域である。このような構成とすることで、チャネル形成領域106aに係るソース・ドレイン間の電位差を緩和させることができるので、信頼性の高い半導体装置とすることができる。

40

【0282】

本実施の形態に示す半導体装置は、ゲート電極110、及び側壁絶縁膜112の形状において、実施の形態1に示す半導体装置と構造が異なる。

【0283】

なお、本実施の形態に示す半導体装置に用いることができる各構成要素の詳細については、実施の形態1に示す構成と同様とすることができるため、異なる構成要素について、以下説明を行う。

【0284】

ゲート電極110は、フォトリソグラフィ法などで形成され、スリミング処理によって

50

微細化されたパターンを有するレジストマスクを用いて形成できる。スリミング処理としては、例えば、ラジカル状態の酸素（酸素ラジカル）などを用いるアッシング処理を適用することができる。なお、不純物領域 106b の形成方法については、実施の形態 2、及び実施の形態 4 を参酌することで形成することができる。

【0285】

また、側壁絶縁膜 112 は、その形成時において、フォトリソグラフィ法などによって形成されたレジストマスクを用いてエッチングすることで形成できる。なお、側壁絶縁膜 112 は、少なくともゲート電極 110 の側面に接して形成されていればよく、図 17 (B) に示すように、ゲート電極 110 の上面を覆うような構造についても、その範疇を含む。

10

【0286】

図 17 に示す半導体装置のように、ゲート電極 110 を縮小することによってトランジスタを微細化することができるため好適である。また、必要に応じてゲート電極 110 の縮小に伴い、ソース電極 120a、及びドレイン電極 120b と低抵抗領域 106c の接触位置をゲート電極 110 側に近づけると更に好適である。

【0287】

次に、図 18 を用いて実施の形態 1 に示す半導体装置と異なる構成について、以下説明を行う。

【0288】

半導体装置の構成例 6

20

図 18 (A)、及び図 18 (B) に、半導体装置の一例として、トップゲート・セルフアライン構造のトランジスタの平面図および断面図を示す。図 18 (A) は平面図であり、図 18 (B) は、図 18 (A) における X6 - Y6 に係る断面図に相当する。なお、図 18 (A) では、煩雑になることを避けるため、トランジスタの構成要素の一部（例えば、ゲート絶縁膜 108 など）を省略している。

【0289】

図 18 (A)、及び図 18 (B) に示す半導体装置は、基板 102 と、基板 102 上に形成された酸化膜 104 と、酸化膜 104 上に形成され、チャネル形成領域 106a 及びチャネル形成領域 106a よりも抵抗が低い低抵抗領域 106c を含む酸化物半導体膜 106 と、低抵抗領域 106c に接して形成された金属酸化物絶縁膜 114 と、酸化物半導体膜 106 上に形成されたゲート絶縁膜 108 と、ゲート絶縁膜 108 と接しチャネル形成領域 106a と重畳する位置に形成されたゲート電極 110 と、ゲート電極 110 上に形成された絶縁膜 122 と、ゲート絶縁膜 108 上に形成され、チャネル長方向の断面において、ゲート電極 110、及び絶縁膜 122 の側面に形成された側壁絶縁膜 112 と、を有し、低抵抗領域 106c は、少なくとも金属酸化物絶縁膜 114 中の金属元素を含む。

30

【0290】

また、金属酸化物絶縁膜 114、側壁絶縁膜 112、及び絶縁膜 122 上に形成された保護絶縁膜 116 と、保護絶縁膜 116 上に形成された層間絶縁膜 118 と、低抵抗領域 106c と電氣的に接続されたソース電極 120a、及びドレイン電極 120b と、を含む構成としても良い。

40

【0291】

なお、ゲート絶縁膜 108 は、図 18 (B) に示すように第 1 のゲート絶縁膜 108a、及び第 2 のゲート絶縁膜 108b の積層構造とすると好ましい。ゲート絶縁膜 108 を積層構造とし、第 1 のゲート絶縁膜 108a が酸素過剰な酸化膜であり、第 2 のゲート絶縁膜 108b がブロッキング機能を有する絶縁膜とすることで、酸化物半導体膜 106（特にチャネル形成領域 106a）に酸素を供給し、且つ酸化物半導体膜 106（特にチャネル形成領域 106a）へ侵入する不純物の抑制、または第 1 のゲート絶縁膜 108a から上方へ放出される酸素などを抑制することができる。例えば、第 1 のゲート絶縁膜 108a としては、酸化窒化シリコン膜を用い、第 2 のゲート絶縁膜 108b としては、酸化

50

アルミニウム膜を用いることができる。

【0292】

また、酸化物半導体膜106は、チャネル形成領域106aと低抵抗領域106cの間に、低抵抗領域106cと抵抗が異なる不純物領域106bを含む。低抵抗領域106c、及び不純物領域106bは自己整合的に形成することができる。具体的には、チャネル形成領域106aを含む酸化物半導体膜106を形成したのち、酸化物半導体膜106上にゲート絶縁膜108、ゲート電極110、及び絶縁膜122の積層を形成する。その後、ゲート電極110、及び絶縁膜122をマスクとして、ゲート絶縁膜108を通過して酸化物半導体膜106にドーパントを選択的に導入し、不純物領域106bを形成する。その後、チャネル長方向の断面において、ゲート電極110、及び絶縁膜122の側面に側壁絶縁膜112を形成する。その後、ゲート電極110、絶縁膜122、及び側壁絶縁膜112をマスクとしてゲート絶縁膜108の一部を除去し、酸化物半導体膜106の表面を露出させる。その後、酸化物半導体膜の一部と接して金属膜を形成し、酸化物半導体膜106、及び金属膜が接した状態で加熱処理し、酸化物半導体膜106に金属膜から金属元素を導入し、金属元素を含む低抵抗領域106cを形成することができる。また、加熱処理により酸化膜104、及び酸化物半導体膜106と接する金属膜が選択的に酸化され、金属酸化物絶縁膜114を形成し、金属膜を除去する。

10

【0293】

このような構成とすることで、酸化物半導体膜106に自己整合的に低抵抗領域106c、及び不純物領域106bが形成され、且つ低抵抗領域106c上に金属酸化物絶縁膜114が形成される。金属酸化物絶縁膜114によって、酸化物半導体膜106に侵入する不純物を抑制する、または酸化膜104、及び酸化物半導体膜106中に含まれる酸素の放出を抑制するといった優れた効果を奏する。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。

20

【0294】

また、酸化物半導体膜106は、チャネル形成領域106aと低抵抗領域106cの間に低抵抗領域106cと抵抗の異なる不純物領域106bが形成されている。なお、低抵抗領域106cは、換言すると酸化物半導体膜106にn型を付与する不純物が高濃度に導入された領域であり、不純物領域106bは、換言すると酸化物半導体膜106にn型を付与する不純物が低濃度に導入された領域である。このような構成とすることで、チャネル形成領域106aに係るソース・ドレイン間の電位差を緩和させることができるので、信頼性の高い半導体装置とすることができる。

30

【0295】

本実施の形態に示す半導体装置は、ゲート電極110上に絶縁膜122が形成されている点、及び側壁絶縁膜112の形状において、実施の形態1に示す半導体装置と構造が異なる。

【0296】

なお、本実施の形態に示す半導体装置に用いることができる各構成要素の詳細については、実施の形態1に示す構成と同様とすることができるため、異なる構成要素について、以下説明を行う。

40

【0297】

[絶縁膜の詳細な説明]

絶縁膜122としては、後に形成される金属膜と加熱処理により反応しない材料を用いることが望ましい。例えば、窒化シリコン膜、窒化アルミニウム、窒化ガリウム等の窒化物を単層、または積層して用いればよい。絶縁膜122の形成方法は、特に限定されず、蒸着法、P E - C V D法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

【0298】

絶縁膜122は、金属酸化物絶縁膜114の形成時において、金属膜を除去する際にゲート電極110がエッチングガス、またはエッチング液などに直接曝されることを抑制す

50

ることができる。なお、不純物領域 106b の形成方法については、実施の形態 2、及び実施の形態 4 を参酌することで形成することができる。

【0299】

本実施の形態に示すように、本発明の技術的思想の一は、チャネル形成領域を含む酸化物半導体膜に、該酸化物半導体膜と金属膜を反応させ自己整合的に低抵抗領域の形成と、該金属膜の一部を酸化させて、金属酸化物絶縁膜の形成を行い低抵抗領域を覆う金属酸化物絶縁膜を形成する。その後、金属酸化物絶縁膜とならなかった金属膜を除去する。該金属酸化物絶縁膜により、酸化膜、及び酸化物半導体膜中に含まれる酸素の放出を抑制することができる。また、金属膜を除去することにより、金属膜に起因する不要な容量などが形成されない。したがって、酸化膜からチャネル形成領域を含む酸化物半導体膜に好適に酸素が供給され、電気特性の安定したトランジスタを提供することができる。

10

【0300】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0301】

(実施の形態 6)

本実施の形態では、本明細書に示す半導体装置を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い構成の一例を、図面を用いて説明する。

【0302】

20

図 19 は、半導体装置の構成の一例である。図 19 (A) に、半導体装置の断面図を、図 19 (B) に半導体装置の平面図を、図 19 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 19 (A) は、図 19 (B) の C1 - C2、及び D1 - D2 における断面に相当する。

【0303】

図 19 (A)、及び図 19 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 260 を有し、上部に第 2 の半導体材料を用いたトランジスタ 300 を有するものである。第 2 の半導体材料を用いたトランジスタ 300 としては、実施の形態 3 で示す半導体装置の構造を適用することができる。なお、他の実施の形態に示すトランジスタの構造を適用してもよい。

30

【0304】

ここで、第 1 の半導体材料と第 2 の半導体材料は、異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタとして、例えば、単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0305】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。

40

【0306】

図 19 (A) におけるトランジスタ 260 は、半導体材料（本実施の形態においては、単結晶半導体基板）を含む基板 200 に設けられたチャネル形成領域 216 と、チャネル形成領域 216 を挟むように設けられた不純物領域 220 と、不純物領域 220 に接する金属間化合物領域 224 と、チャネル形成領域 216 上に設けられたゲート絶縁膜 208 と、ゲート絶縁膜 208 上に設けられたゲート電極 210 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含

50

まれうる。

【0307】

基板200上にはトランジスタ260を囲むように素子分離絶縁膜206が設けられており、トランジスタ260を覆うように絶縁膜228、及び絶縁膜230が設けられている。なお、高集積化を実現するためには、図19(A)に示すようにトランジスタ260がサイドウォール絶縁膜を有しない構成とすることが望ましい。一方で、トランジスタ260の特性を重視する場合には、ゲート電極210の側面にサイドウォール絶縁膜を設け、不純物濃度が異なる領域を含む不純物領域220としてもよい。

【0308】

単結晶半導体基板を用いたトランジスタ260は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。また、トランジスタ260を形成後、トランジスタ260を覆うように絶縁膜を形成し、トランジスタ300を形成することができる。トランジスタ300の形成前の処理として、該絶縁膜にCMP処理を施して、平坦化した絶縁膜228、絶縁膜230を形成し、同時にゲート電極210の上面を露出させる。

【0309】

絶縁膜228は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。また、絶縁膜230は、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜などを用いることができる。絶縁膜228、絶縁膜230は、プラズマCVD法、またはスパッタリング法等を用いて形成することができる。

【0310】

また、絶縁膜228は、ポリイミド系樹脂、アクリル系樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。有機材料を用いる場合、スピンコート法、印刷法などの湿式法によって絶縁膜228を形成してもよい。

【0311】

なお、本実施の形態において、絶縁膜228として窒化シリコン膜を用い、絶縁膜230として酸化シリコン膜を用いる。

【0312】

研磨処理(例えばCMP処理)により十分に平坦化した絶縁膜230上に酸化物半導体膜106、ソース電極120a、及びドレイン電極120bを形成する。なお、絶縁膜230表面の平均面粗さは、0.15nm以下が好ましい。

【0313】

図19(A)に示すトランジスタ300は、酸化物半導体膜をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ300に含まれる酸化物半導体膜106は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ300を得ることができる。

【0314】

また、トランジスタ300は、絶縁膜230上に形成されたソース電極120a、及びドレイン電極120bと、絶縁膜230、ソース電極120a、及びドレイン電極120b上に形成され、チャネル形成領域106a及びチャネル形成領域106aよりも抵抗が低い低抵抗領域106cを含む酸化物半導体膜106と、低抵抗領域106cに接して形成された金属酸化物絶縁膜114と、酸化物半導体膜106上に形成されたゲート絶縁膜108と、ゲート絶縁膜108と接しチャネル形成領域106aと重畳する位置に形成されたゲート電極110と、ゲート絶縁膜108上に形成され、チャネル長方向の断面において、ゲート電極110の側面に形成された側壁絶縁膜112と、金属酸化物絶縁膜114、側壁絶縁膜112、及びゲート電極110上に形成された保護絶縁膜116と、を有し、低抵抗領域106cは、少なくとも金属酸化物絶縁膜114中の金属元素を含む。ま

た、保護絶縁膜 116 上に形成された層間絶縁膜 118 を含む。

【0315】

また、ソース電極 120a、及びドレイン電極 120b は、低抵抗領域 106c と電氣的に接続されている。また、酸化物半導体膜 106 は、チャネル形成領域 106a と低抵抗領域 106c の間に低抵抗領域 106c と抵抗の異なる不純物領域 106b が形成されている。

【0316】

なお、ゲート絶縁膜 108 は、図 19 (A) に示すように第 1 のゲート絶縁膜 108a、及び第 2 のゲート絶縁膜 108b の積層構造とすると好ましい。ゲート絶縁膜 108 を積層構造とし、第 1 のゲート絶縁膜 108a が酸素過剰な酸化膜であり、第 2 のゲート絶縁膜 108b がブロッキング機能を有する絶縁膜とすることで、酸化物半導体膜 106 (特にチャネル形成領域 106a) に酸素を供給し、且つ酸化物半導体膜 106 (特にチャネル形成領域 106a) へ侵入する不純物の抑制、または第 1 のゲート絶縁膜 108a から上方へ放出される酸素などを抑制することができる。例えば、第 1 のゲート絶縁膜 108a としては、酸化窒化シリコン膜を用い、第 2 のゲート絶縁膜 108b としては、酸化アルミニウム膜を用いることができる。

【0317】

トランジスタ 300 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0318】

また、トランジスタ 300 のソース電極 120a と重畳する領域には、ゲート絶縁膜 108 (第 1 のゲート絶縁膜 108a、及び第 2 のゲート絶縁膜 108b) と同じ工程で形成された絶縁膜 305、及びゲート電極 110 と同じ工程で形成された導電膜 306 が設けられており、ソース電極 120a と、絶縁膜 305 と、導電膜 306 とによって、容量素子 364 が構成される。すなわち、トランジスタ 300 のソース電極 120a は、容量素子 364 の一方の電極として機能し、導電膜 306 は、容量素子 364 の他方の電極として機能する。なお、容量が不要の場合には、容量素子 364 を設けない構成とすることもできる。また、容量素子 364 は、トランジスタ 300 の上方に別途設けても良い。

【0319】

なお、導電膜 306 の側面には、トランジスタ 300 の側壁絶縁膜 112 と同じ工程で形成された絶縁膜 307 が設けられている。

【0320】

トランジスタ 300、及び容量素子 364 の上には保護絶縁膜 116、及び層間絶縁膜 118 が設けられており、層間絶縁膜 118 上には配線 308 が設けられ、その配線 308 はトランジスタ 300 と他のトランジスタを接続するために設けられている。配線 308 は、保護絶縁膜 116、層間絶縁膜 118 などに形成された開口部に形成され、低抵抗領域 106c を介してドレイン電極 120b と電氣的に接続される。

【0321】

また、図 19 (A)、及び図 19 (B) において、トランジスタ 260 と、トランジスタ 300 とは、少なくとも一部が重畳するように設けられており、トランジスタ 260 のソース領域、またはドレイン領域と酸化物半導体膜 106 の一部が重畳するように設けられているのが好ましい。また、トランジスタ 300、及び容量素子 364 が、トランジスタ 260 の少なくとも一部と重畳するように設けられている。例えば、容量素子 364 の導電膜 306 は、トランジスタ 260 のゲート電極 210 と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0322】

次に、図 19 (A)、及び図 19 (B) に対応する回路構成の一例を図 19 (C) に示

10

20

30

40

50

す。

【0323】

図19(C)において、第1の配線(1st Line)とトランジスタ260のソース電極、またはドレイン電極の一方とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ260のソース電極、またはドレイン電極の他方とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ300のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ300のゲート電極とは、電氣的に接続されている。そして、トランジスタ260のゲート電極と、トランジスタ300のソース電極、またはドレイン電極の一方は、容量素子364の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子364の電極の他方は電氣的に接続されている。

10

【0324】

図19(C)に示す半導体装置の回路構成では、トランジスタ260のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0325】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ300がオン状態となる電位にして、トランジスタ300をオン状態とする。これにより、第3の配線の電位が、トランジスタ260のゲート電極、および容量素子364に与えられる。すなわち、トランジスタ260のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ300がオフ状態となる電位にして、トランジスタ300をオフ状態とすることにより、トランジスタ260のゲート電極に与えられた電荷が保持される(保持)。

20

【0326】

トランジスタ300のオフ電流は極めて小さいため、トランジスタ260のゲート電極の電荷は長時間にわたって保持される。

【0327】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ260のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ260をnチャネル型とすると、トランジスタ260のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ260のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ260を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ260のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(>V_{th_H})$ となれば、トランジスタ260は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(<V_{th_L})$ となっても、トランジスタ260は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

30

40

【0328】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ260が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ260が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位

50

を第 5 の配線に与えればよい。

【 0 3 2 9 】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【 0 3 3 0 】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【 0 3 3 1 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 3 3 2 】

（実施の形態 7）

本実施の形態においては、実施の形態 1 乃至実施の形態 5 に示す半導体装置を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い構成について、実施の形態 6 に示した構成と異なる構成について、図 20、及び図 21 を用いて説明を行う。

【 0 3 3 3 】

図 20（A）は、半導体装置の回路構成の一例を示し、図 20（B）は半導体装置の一例を示す概念図である。まず、図 20（A）に示す半導体装置について説明を行い、続けて図 20（B）に示す半導体装置について、以下説明を行う。

【 0 3 3 4 】

図 20（A）に示す半導体装置において、ビット線 BL とトランジスタ 330 のソース電極、またはドレイン電極とは電氣的に接続され、ワード線 WL とトランジスタ 330 のゲート電極とは電氣的に接続され、トランジスタ 330 のソース電極、またはドレイン電極と容量素子 354 の第 1 の端子とは電氣的に接続されている。

【 0 3 3 5 】

酸化物半導体を用いたトランジスタ 330 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 330 をオフ状態とすることで、容量素子 354 の第 1 の端子の電位（あるいは、容量素子 354 に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

【 0 3 3 6 】

次に、図 20（A）に示す半導体装置（メモリセル 350）に、情報の書き込みおよび保持を行う場合について説明する。

【 0 3 3 7 】

まず、ワード線 WL の電位を、トランジスタ 330 がオン状態となる電位として、トランジスタ 330 をオン状態とする。これにより、ビット線 BL の電位が、容量素子 354 の第 1 の端子に与えられる（書き込み）。その後、ワード線 WL の電位を、トランジスタ 330 がオフ状態となる電位として、トランジスタ 330 をオフ状態とすることにより、容量素子 354 の第 1 の端子の電位が保持される（保持）。

【 0 3 3 8 】

トランジスタ 330 のオフ電流は極めて小さいから、容量素子 354 の第 1 の端子の電

10

20

30

40

50

位（あるいは容量素子に蓄積された電荷）は長時間にわたって保持することができる。

【0339】

次に、情報の読み出しについて説明する。トランジスタ330がオン状態となると、浮遊状態であるビット線BLと容量素子354とが導通し、ビット線BLと容量素子354の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子354の第1の端子の電位（あるいは容量素子354に蓄積された電荷）によって、異なる値をとる。

【0340】

例えば、容量素子354の第1の端子の電位を V 、容量素子354の容量を C 、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）を C_B 、電荷が再分配される前のビット線BLの電位を V_{B0} とすると、電荷が再分配された後のビット線BLの電位は、 $(C_B * V_{B0} + C * V) / (C_B + C)$ となる。従って、メモリセル350の状態として、容量素子354の第1の端子の電位が V_1 と V_0 （ $V_1 > V_0$ ）の2状態をとるとすると、電位 V_1 を保持している場合のビット線BLの電位（ $= (C_B * V_{B0} + C * V_1) / (C_B + C)$ ）は、電位 V_0 を保持している場合のビット線BLの電位（ $= (C_B * V_{B0} + C * V_0) / (C_B + C)$ ）よりも高くなることわかる。

【0341】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0342】

このように、図20（A）に示す半導体装置は、トランジスタ330のオフ電流が極めて小さいという特徴から、容量素子354に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0343】

次に、図20（B）に示す半導体装置について、説明を行う。

【0344】

図20（B）に示す半導体装置は、上部に記憶回路として図20（A）に示したメモリセル350を複数有するメモリセルアレイ351a、及びメモリセルアレイ351bを有し、下部に、メモリセルアレイ351a、及びメモリセルアレイ351bを動作させるために必要な周辺回路353を有する。なお、周辺回路353は、メモリセルアレイ351a、及びメモリセルアレイ351bと電氣的に接続されている。

【0345】

図20（B）に示した構成とすることにより、周辺回路353をメモリセルアレイ351a、及びメモリセルアレイ351bの直下に設けることができるため半導体装置の小型化を図ることができる。

【0346】

周辺回路353に設けられるトランジスタは、トランジスタ330とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。例えば、単結晶半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0347】

なお、図20（B）に示した半導体装置では、メモリセルアレイ351aと、メモリセルアレイ351bと、2つのメモリセルアレイが積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構

10

20

30

40

50

成としても良い。

【0348】

次に、図20(A)に示したメモリセル350の具体的な構成について図21を用いて説明を行う。

【0349】

図21は、メモリセル350の構成の一例である。図21(A)にメモリセル350の断面図を、図21(B)にメモリセル350の平面図をそれぞれ示す。ここで、図21(A)は、図21(B)のF1-F2、及びG1-G2における断面に相当する。

【0350】

図21(A)、及び図21(B)に示すトランジスタ330は、実施の形態3で示した構成と同一の構成とすることができる。ただし、他の実施の形態に示すトランジスタの構成としてもよい。

【0351】

トランジスタ330は、絶縁膜274上に形成されたソース電極120a、及びドレイン電極120bと、絶縁膜274、ソース電極120a、及びドレイン電極120b上に形成され、チャネル形成領域106a及びチャネル形成領域106aよりも抵抗が低い低抵抗領域106cを含む酸化物半導体膜106と、低抵抗領域106cに接して形成された金属酸化物絶縁膜114と、酸化物半導体膜106上に形成されたゲート絶縁膜108と、ゲート絶縁膜108と接しチャネル形成領域106aと重畳する位置に形成されたゲート電極110と、ゲート絶縁膜108上に形成され、チャネル長方向の断面において、ゲート電極110の側面に形成された側壁絶縁膜112と、金属酸化物絶縁膜114、側壁絶縁膜112、及びゲート電極110上に形成された保護絶縁膜116と、を有し、低抵抗領域106cは、少なくとも金属酸化物絶縁膜114中の金属元素を含む。また、保護絶縁膜116上に形成された層間絶縁膜118を含む。

【0352】

また、ソース電極120a、及びドレイン電極120bは、低抵抗領域106cと電気的に接続されている。また、酸化物半導体膜106は、チャネル形成領域106aと低抵抗領域106cの間に低抵抗領域106cと抵抗の異なる不純物領域106bが形成されている。

【0353】

なお、ゲート絶縁膜108は、図21(A)に示すように第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108bの積層構造とすると好ましい。ゲート絶縁膜108を積層構造とし、第1のゲート絶縁膜108aが酸素過剰な酸化膜であり、第2のゲート絶縁膜108bがブロッキング機能を有する絶縁膜とすることで、酸化物半導体膜106(特にチャネル形成領域106a)に酸素を供給し、且つ酸化物半導体膜106(特にチャネル形成領域106a)へ侵入する不純物の抑制、または第1のゲート絶縁膜108aから上方へ放出される酸素などを抑制することができる。例えば、第1のゲート絶縁膜108aとしては、酸化窒化シリコン膜を用い、第2のゲート絶縁膜108bとしては、酸化アルミニウム膜を用いることができる。

【0354】

トランジスタ330は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0355】

また、トランジスタ330のソース電極120aと重畳する領域には、ゲート絶縁膜108(第1のゲート絶縁膜108a、及び第2のゲート絶縁膜108b)と同じ工程で形成された絶縁膜335、及びゲート電極110と同じ工程で形成された導電膜336が設けられており、ソース電極120aと、絶縁膜335と、導電膜336とによって、容量素子354が構成される。すなわち、トランジスタ330のソース電極120aは、容量

素子 3 5 4 の一方の電極として機能し、導電膜 3 3 6 は、容量素子 3 5 4 の他方の電極として機能する。なお、容量が不要の場合には、容量素子 3 5 4 を設けない構成とすることもできる。また、容量素子 3 5 4 は、トランジスタ 3 3 0 の上方に別途設けても良い。

【 0 3 5 6 】

なお、導電膜 3 3 6 の側面には、トランジスタ 3 3 0 の側壁絶縁膜 1 1 2 と同じ工程で形成された絶縁膜 3 3 7 が設けられている。

【 0 3 5 7 】

トランジスタ 3 3 0 、及び容量素子 3 5 4 の上には保護絶縁膜 1 1 6 、及び層間絶縁膜 1 1 8 が設けられており、層間絶縁膜 1 1 8 上には隣接するメモリセルと接続する配線 2 7 2 が設けられている。配線 2 7 2 は、層間絶縁膜 1 1 8 、保護絶縁膜 1 1 6 、金属酸化物絶縁膜 1 1 4 に形成された開口部に形成され、低抵抗領域 1 0 6 c を介してトランジスタ 3 3 0 のドレイン電極 1 2 0 b と電氣的に接続されている。但し、配線 2 7 2 とドレイン電極 1 2 0 b とを直接接続してもよい。なお、配線 2 7 2 は、図 2 0 (A) の回路図におけるビット線 B L に相当する。

【 0 3 5 8 】

図 2 1 (A) 、及び図 2 1 (B) において、トランジスタ 3 3 0 のドレイン電極 1 2 0 b は、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 3 5 9 】

以上のように、多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【 0 3 6 0 】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【 0 3 6 1 】

以上のように、微細化及び高集積化を実現し、かつ安定した電氣的特性を付与された半導体装置を提供することができる。

【 0 3 6 2 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 3 6 3 】

(実施の形態 8)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 2 2 乃至図 2 5 を用いて説明する。

【 0 3 6 4 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

【 0 3 6 5 】

通常の S R A M は、図 2 2 (A) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 8 0 7 、 Y デコー

10

20

30

40

50

ダー 808 にて駆動している。トランジスタ 803 とトランジスタ 805、トランジスタ 804 とトランジスタ 806 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 $100 \sim 150 F^2$ である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

【0366】

それに対して、D R A M はメモリセルが図 22 (B) に示すようにトランジスタ 811、保持容量 812 によって構成され、それを X デコーダー 813、Y デコーダー 814 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常 $10 F^2$ 以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

10

【0367】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10 F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【0368】

次に、図 23 に携帯機器のブロック図を示す。図 23 に示す携帯機器は R F 回路 901、アナログベースバンド回路 902、デジタルベースバンド回路 903、バッテリー 904、電源回路 905、アプリケーションプロセッサ 906、フラッシュメモリ 910、ディスプレイコントローラ 911、メモリ回路 912、ディスプレイ 913、タッチセンサ 919、音声回路 917、キーボード 918 などより構成されている。ディスプレイ 913 は表示部 914、ソースドライバ 915、ゲートドライバ 916 によって構成されている。アプリケーションプロセッサ 906 は C P U 907、D S P 908、I F 909 を有している。一般にメモリ回路 912 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

20

【0369】

次に、図 24 にディスプレイのメモリ回路 950 に先の実施の形態で説明した半導体装置を使用した例を示す。図 24 に示すメモリ回路 950 は、メモリ 952、メモリ 953、スイッチ 954、スイッチ 955 およびメモリコントローラ 951 により構成されている。また、メモリ回路は、信号線から入力された画像データ（入力画像データ）、メモリ 952、及びメモリ 953 に記憶されたデータ（記憶画像データ）を読み出し、及び制御を行うディスプレイコントローラ 956 と、ディスプレイコントローラ 956 からの信号により表示するディスプレイ 957 が接続されている。

30

【0370】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データ A）。入力画像データ A は、スイッチ 954 を介してメモリ 952 に記憶される。そしてメモリ 952 に記憶された画像データ（記憶画像データ A）は、スイッチ 955、及びディスプレイコントローラ 956 を介してディスプレイ 957 に送られ、表示される。

40

【0371】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常 $30 \sim 60 \text{ Hz}$ 程度の周期でメモリ 952 からスイッチ 955 を介して、ディスプレイコントローラ 956 から読み出される。

【0372】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データ A に変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データ B）を形成する。入力画像データ B はスイッチ 954 を介してメモリ 953 に記憶され

50

る。この間も定期的にメモリ 952 からスイッチ 955 を介して記憶画像データ A は読み出されている。メモリ 953 に新たな画像データ（記憶画像データ B）が記憶し終わると、ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、及びディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

【0373】

このようにメモリ 952、及びメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952、及びメモリ 953 はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952 及びメモリ 953 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0374】

次に、図 25 に電子書籍のブロック図を示す。図 25 はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0375】

ここでは、図 25 のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1007 の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ 1004 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0376】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0377】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【符号の説明】

【0378】

- 102 基板
- 104 酸化膜
- 106 酸化物半導体膜
- 106 a チャネル形成領域
- 106 b 不純物領域
- 106 c 低抵抗領域
- 106 d 低抵抗領域
- 108 ゲート絶縁膜
- 108 a 第 1 のゲート絶縁膜
- 108 b 第 2 のゲート絶縁膜
- 109 導電膜
- 110 ゲート電極

10

20

30

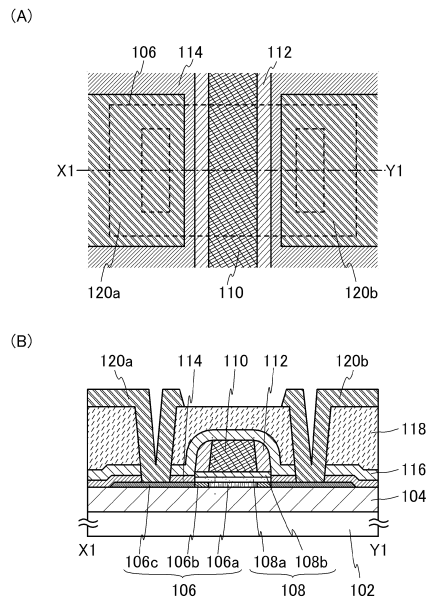
40

50

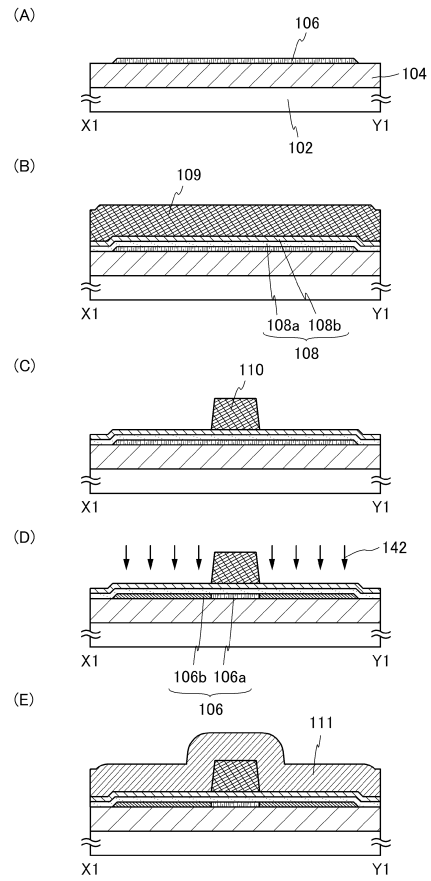
1 1 1	絶縁膜	
1 1 2	側壁絶縁膜	
1 1 3	金属膜	
1 1 3 a	金属酸化物絶縁膜	
1 1 4	金属酸化物絶縁膜	
1 1 6	保護絶縁膜	
1 1 8	層間絶縁膜	
1 1 9	導電膜	
1 2 0 a	ソース電極	
1 2 0 b	ドレイン電極	10
1 2 2	絶縁膜	
1 4 2	ドーパント	
2 0 0	基板	
2 0 6	素子分離絶縁膜	
2 0 8	ゲート絶縁膜	
2 1 0	ゲート電極	
2 1 6	チャネル形成領域	
2 2 0	不純物領域	
2 2 4	金属間化合物領域	
2 2 8	絶縁膜	20
2 3 0	絶縁膜	
2 6 0	トランジスタ	
2 7 2	配線	
2 7 4	絶縁膜	
3 0 0	トランジスタ	
3 0 5	絶縁膜	
3 0 6	導電膜	
3 0 7	絶縁膜	
3 0 8	配線	
3 3 0	トランジスタ	30
3 3 5	絶縁膜	
3 3 6	導電膜	
3 3 7	絶縁膜	
3 5 0	メモリセル	
3 5 1 a	メモリセルアレイ	
3 5 1 b	メモリセルアレイ	
3 5 3	周辺回路	
3 5 4	容量素子	
3 6 4	容量素子	
8 0 1	トランジスタ	40
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	50

9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	I F	
9 1 0	フラッシュメモリ	10
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	20
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	30
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	

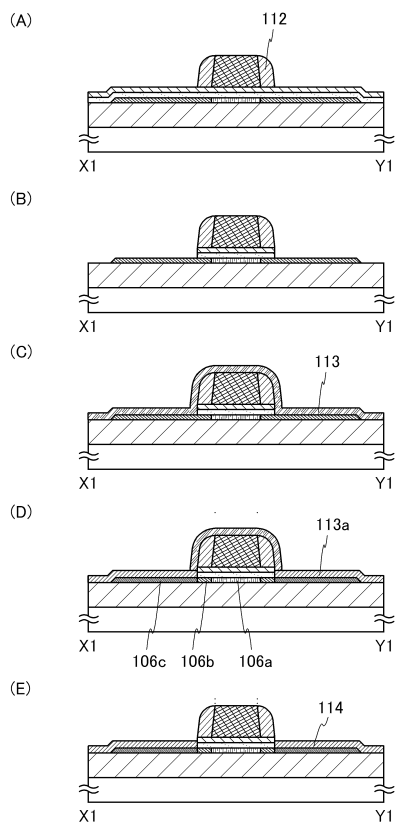
【図 1】



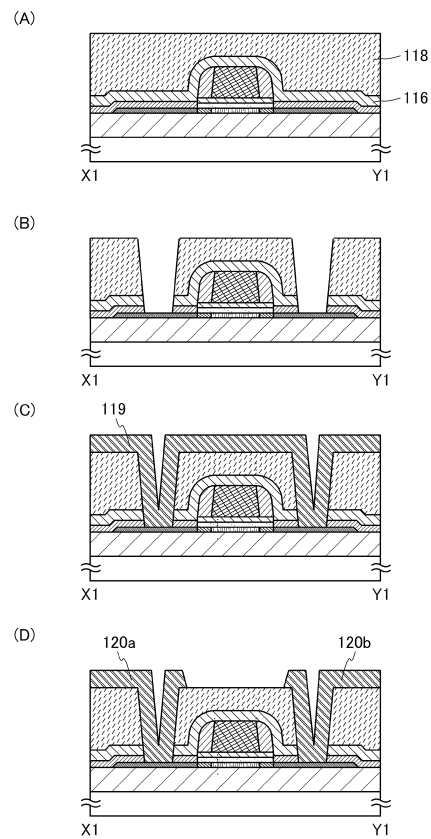
【図 2】



【図 3】

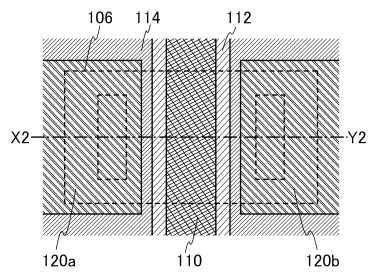


【図 4】

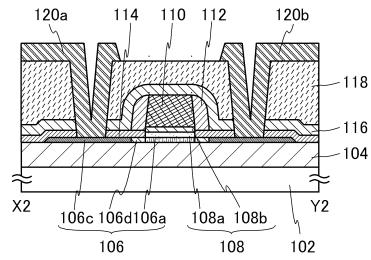


【図 5】

(A)

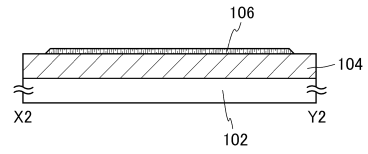


(B)

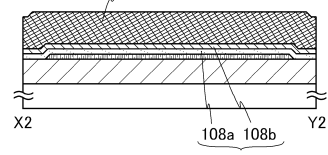


【図 6】

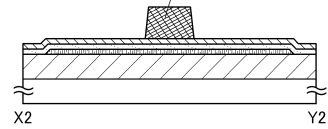
(A)



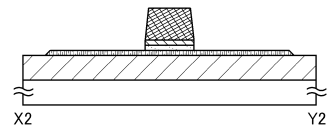
(B)



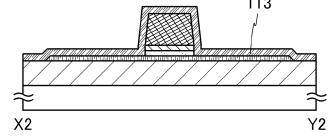
(C)



(D)

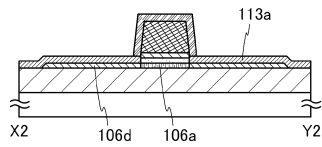


(E)

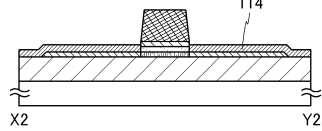


【図 7】

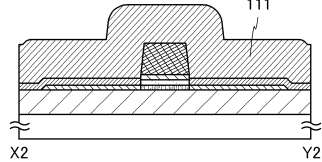
(A)



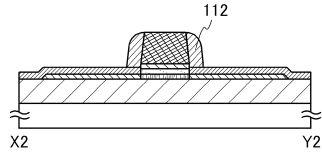
(B)



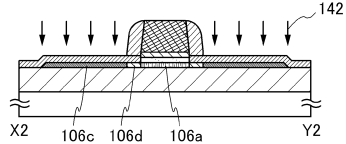
(C)



(D)

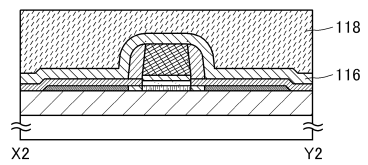


(E)

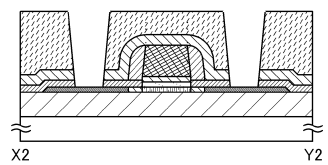


【図 8】

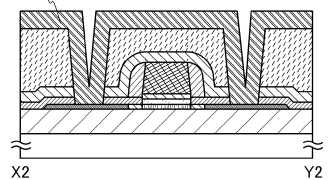
(A)



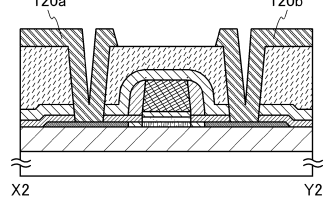
(B)



(C)

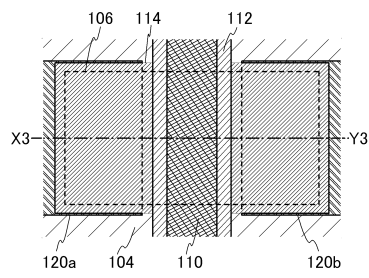


(D)

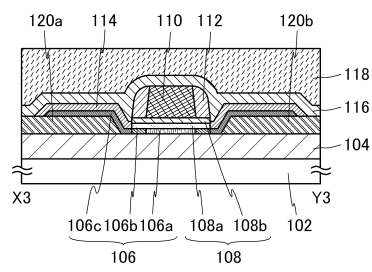


【図 9】

(A)

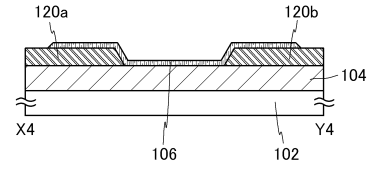


(B)

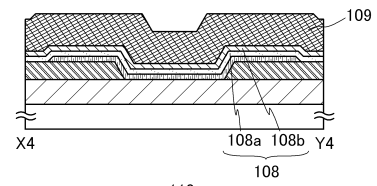


【図 10】

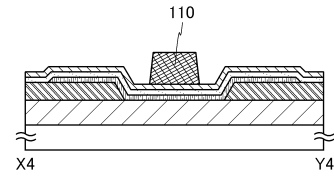
(A)



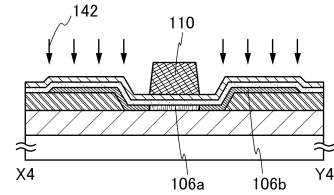
(B)



(C)

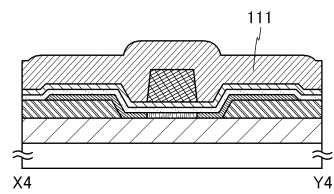


(D)

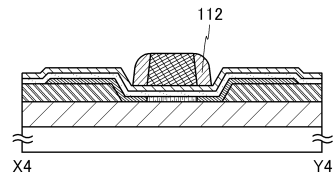


【図 11】

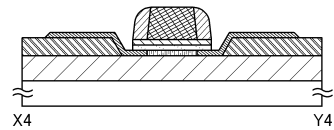
(A)



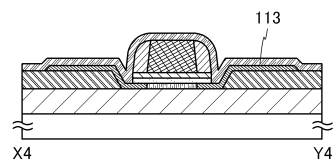
(B)



(C)

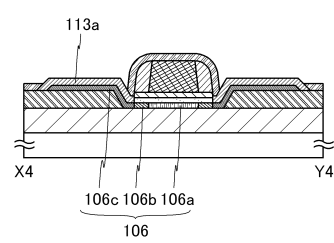


(D)

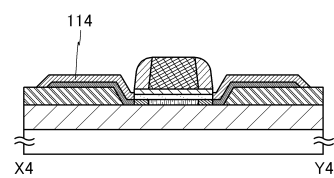


【図 12】

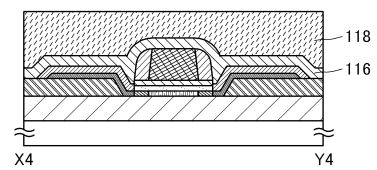
(A)



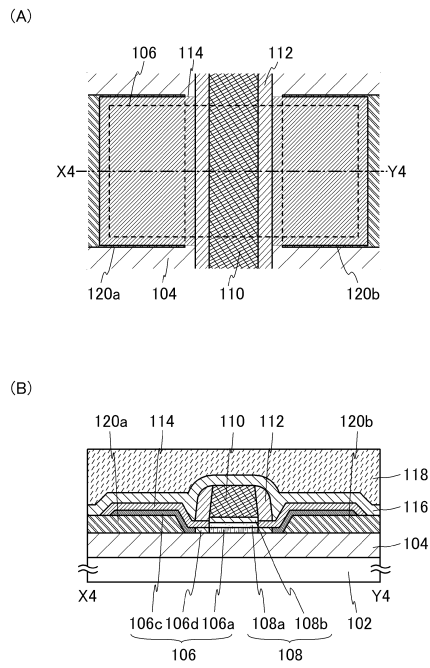
(B)



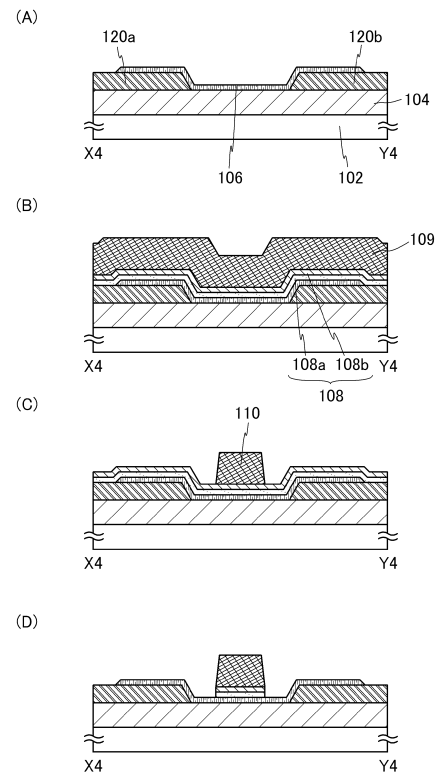
(C)



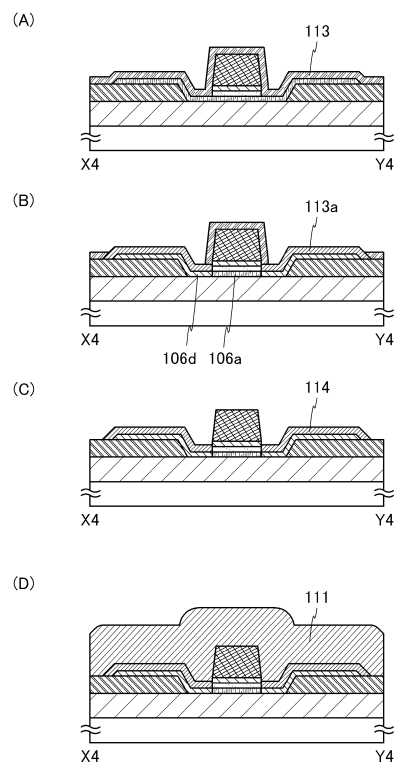
【図 13】



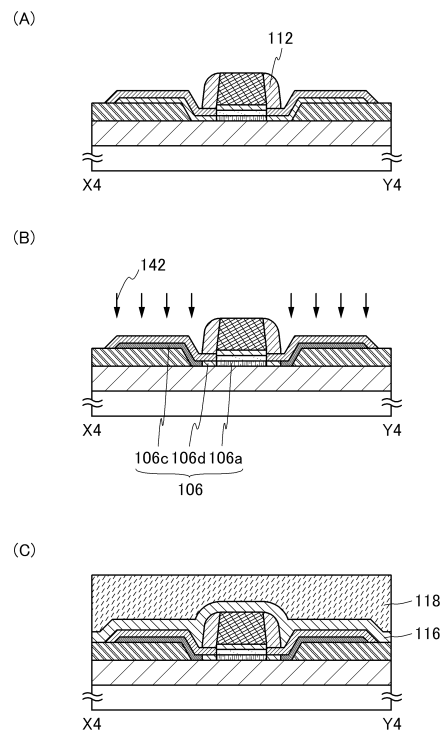
【図 14】



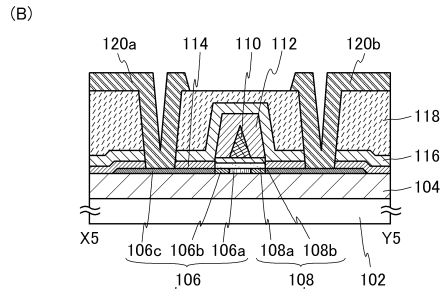
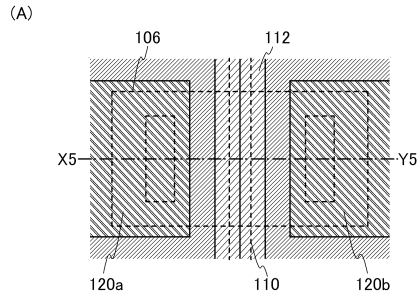
【図 15】



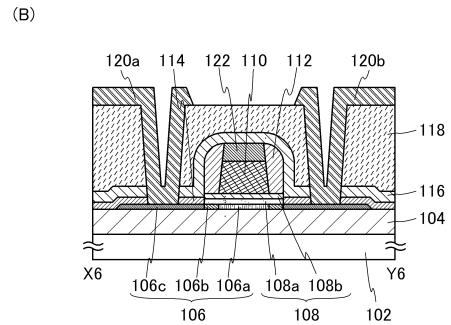
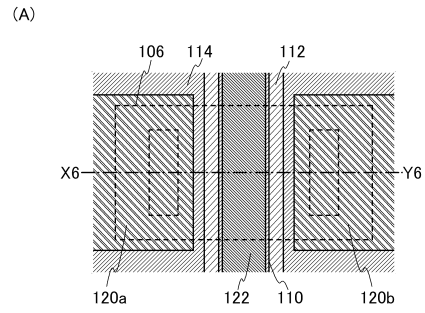
【図 16】



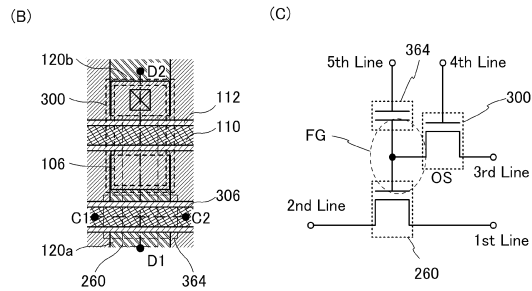
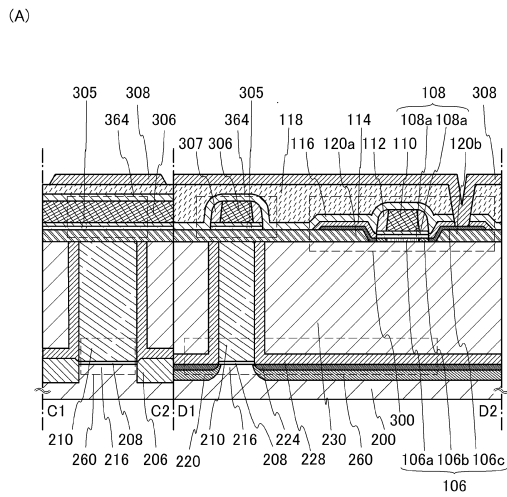
【図 17】



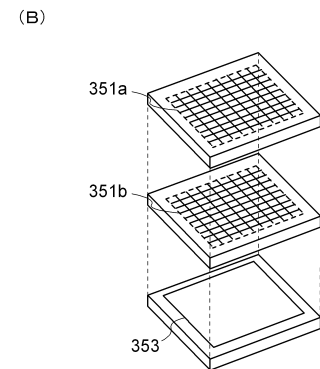
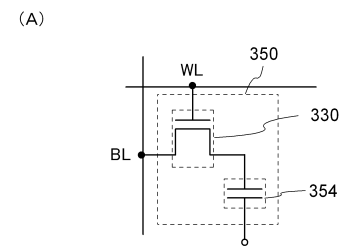
【図 18】



【図 19】

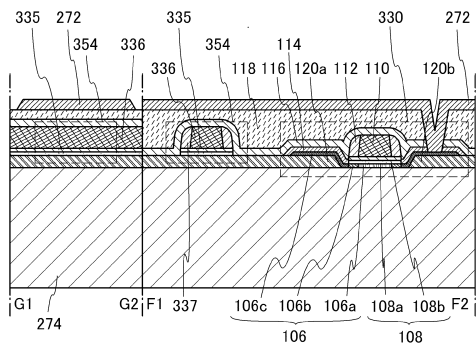


【図 20】

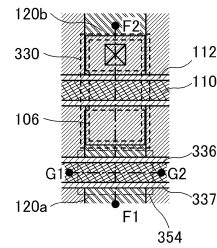


【図 2 1】

(A)

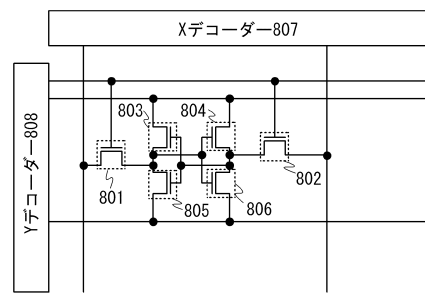


(B)

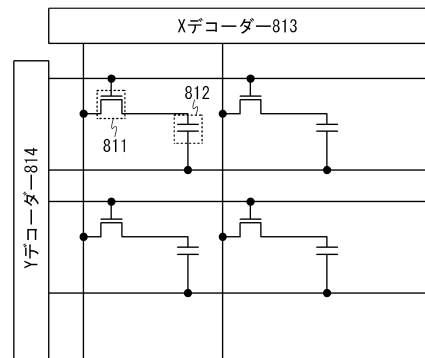


【図 2 2】

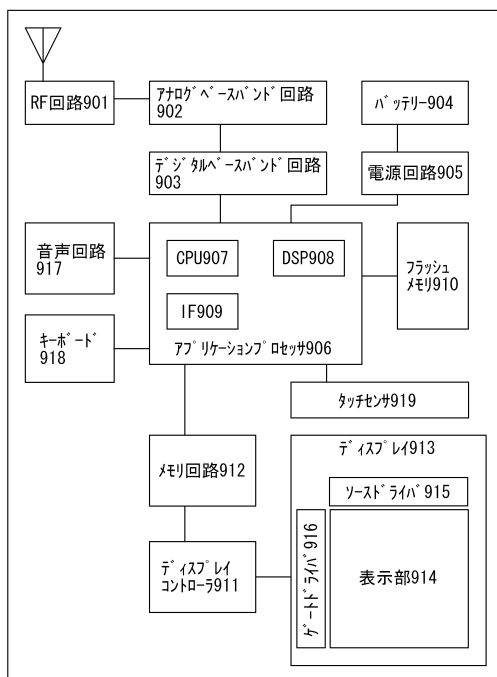
(A)



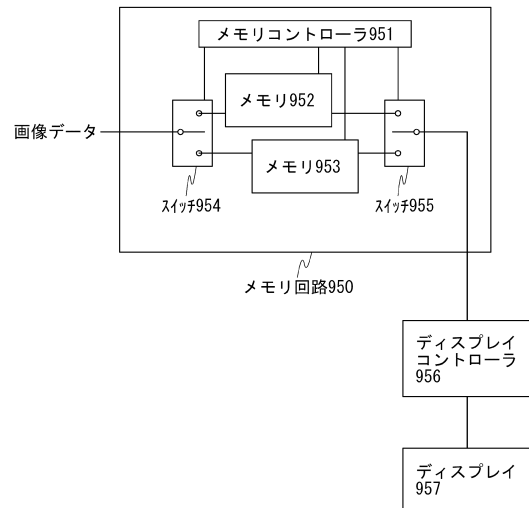
(B)



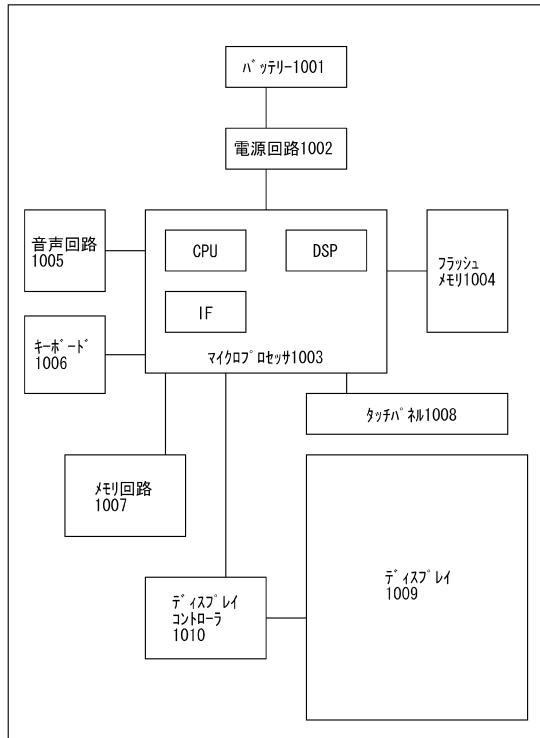
【図 2 3】



【図 2 4】



【図 25】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/092	(2006.01)	H 0 1 L	27/088 H
H 0 1 L	29/423	(2006.01)	H 0 1 L	27/092 A
H 0 1 L	29/49	(2006.01)	H 0 1 L	27/092 G
H 0 1 L	29/417	(2006.01)	H 0 1 L	27/092 K
H 0 1 L	21/283	(2006.01)	H 0 1 L	29/58 G
			H 0 1 L	29/50 M
			H 0 1 L	21/283 C
			H 0 1 L	21/283 B

審査官 市川 武宜

- (56)参考文献 特開 2 0 1 1 - 2 2 8 6 2 2 (J P , A)
 特開 2 0 0 9 - 2 7 8 1 1 5 (J P , A)
 特開 2 0 0 8 - 1 1 2 9 0 9 (J P , A)
 特開 2 0 1 2 - 0 1 5 4 3 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 2 8 3
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8 6