

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5217412号
(P5217412)

(45) 発行日 平成25年6月19日 (2013. 6. 19)

(24) 登録日 平成25年3月15日 (2013. 3. 15)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006.01)
G 0 9 G 3/20 (2006.01)G 0 9 G 3/36
G 0 9 G 3/20 6 1 2 G
G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 1 2 D
G 0 9 G 3/20 6 1 2 U

請求項の数 17 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2007-327195 (P2007-327195)
 (22) 出願日 平成19年12月19日 (2007. 12. 19)
 (65) 公開番号 特開2008-209901 (P2008-209901A)
 (43) 公開日 平成20年9月11日 (2008. 9. 11)
 審査請求日 平成22年12月16日 (2010. 12. 16)
 (31) 優先権主張番号 特願2007-17908 (P2007-17908)
 (32) 優先日 平成19年1月29日 (2007. 1. 29)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100124682
 弁理士 黒田 泰
 (72) 発明者 森田 晶
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 鳥居 祐樹

最終頁に続く

(54) 【発明の名称】 電源回路、表示ドライバ、電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

昇圧した電圧を出力するための電源回路であって、
 第1の電圧を基準に第2の電圧を昇圧した昇圧電圧を生成する昇圧回路と、
 前記昇圧電圧の電位を制限するリミッタ回路と、
所与の入力電圧の電位を調整するレギュレータとを含み、
 前記リミッタ回路が、
 前記昇圧電圧が所与のターゲット電圧になるように前記第2の電圧が供給される電源線
 に電荷を放電、又は該電源線から電荷を充電し、
電気光学装置の駆動電圧が、前記昇圧電圧に基づいて生成される場合に、
高負荷表示モードで前記電気光学装置が駆動されるときには、前記昇圧電圧の電位を前
記リミッタ回路で制限した電圧を前記昇圧電圧として出力し、
低負荷表示モードで前記電気光学装置が駆動されるときには、前記レギュレータの出力
電圧を前記昇圧回路により昇圧した電圧を、前記リミッタ回路で制限することなくそのま
ま前記昇圧電圧として出力することを特徴とする電源回路。

【請求項 2】

請求項1において、
 表示モード設定レジスタを含み、
 前記表示モード設定レジスタに設定された制御データにより前記高負荷表示モードが指
 定されたとき、前記昇圧電圧の電位を前記リミッタ回路で制限した電圧を前記昇圧電圧と

して出力し、

前記表示モード設定レジスタに設定された制御データにより前記低負荷表示モードが指定されたとき、前記レギュレータの出力電圧を前記昇圧回路により昇圧した電圧を前記昇圧電圧として出力することを特徴とする電源回路。

【請求項 3】

請求項 1 又は 2 において、

前記昇圧回路が、

第 1 のフライングコンデンサを用いたチャージポンプ動作により、前記第 1 の電圧を基準に前記レギュレータの出力電圧を昇圧することで前記昇圧電圧を生成するための第 1 のチャージポンプ回路と、

前記第 1 のフライングコンデンサより容量値の大きい第 2 のフライングコンデンサを用いたチャージポンプ動作により、前記第 1 の電圧を基準に前記第 2 の電圧を昇圧することで前記昇圧電圧を生成するための第 2 のチャージポンプ回路とを含み、

前記高負荷表示モードで前記電気光学装置が駆動されるときには、前記第 1 及び第 2 のチャージポンプ回路により生成された昇圧電圧、又は前記第 2 のチャージポンプ回路により生成された昇圧電圧を出力し、

前記低負荷表示モードで前記電気光学装置が駆動されるときには、前記第 1 のチャージポンプ回路により生成された昇圧電圧を出力することを特徴とする電源回路。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記高負荷表示モードで前記電気光学装置が駆動されるとき、前記電源回路の出力負荷に応じて前記昇圧回路の電流駆動能力である昇圧能力を変更する制御を行い、

前記低負荷表示モードで前記電気光学装置が駆動されるとき、前記電源回路の出力負荷に応じて前記昇圧回路の昇圧能力を変更する制御を省略することを特徴とする電源回路。

【請求項 5】

請求項 4 において、

前記高負荷表示モードが指定された場合に、

前記電源回路の出力負荷に対して前記昇圧能力が高いと判断されるときには、昇圧能力がより低くなるように該昇圧能力を変更し、

前記出力負荷に対して前記昇圧能力が低いと判断されるときには、昇圧能力がより高くなるように該昇圧能力を変更することを特徴とする電源回路。

【請求項 6】

請求項 4 又は 5 において、

前記高負荷表示モードが指定された場合に、

前記昇圧回路が、

前記電源回路の出力負荷と、前記リミッタ回路が前記昇圧電圧の電位を制限したか否かを示すリミッタ動作情報とに基づいて、前記昇圧能力を変更することを特徴とする電源回路。

【請求項 7】

請求項 6 において、

前記高負荷表示モードが指定された場合に、

前記昇圧回路が、

前記リミッタ動作情報に基づいて更新される閾値と、前記電源回路の出力負荷との比較結果に応じて、前記昇圧能力を変更することを特徴とする電源回路。

【請求項 8】

請求項 7 において、

前記閾値が、

所与の閾値電圧と前記昇圧電圧との比較結果に基づいて更新されることを特徴とする電源回路。

10

20

30

40

50

【請求項 9】

請求項 8 において、
前記所与の閾値電圧と前記昇圧電圧とを比較するコンパレータと、
前記コンパレータの出力結果であるパルスをカウントするカウンタとを含み、
前記閾値が、
前記カウンタのカウント数に基づいて更新されることを特徴とする電源回路。

【請求項 10】

請求項 4 乃至 9 のいずれかにおいて、
電気光学装置の複数のソース線の各ソース線の階調データに対応した駆動電圧が、前記昇圧電圧に基づいて生成される場合に、
前記出力負荷が、
前記複数のソース線の 1 走査ライン分の階調データの総和に基づいて評価されることを特徴とする電源回路。

10

【請求項 11】

電気光学装置を駆動するための表示ドライバであって、
請求項 1 乃至 10 のいずれか記載の電源回路と、
前記電気光学装置を駆動するための駆動部とを含み、
前記昇圧電圧に基づいて、前記駆動部の駆動電圧を生成することを特徴とする表示ドライバ。

20

【請求項 12】

請求項 11 において、
前記駆動部が、
前記昇圧電圧を用いて生成された、階調データに対応した駆動電圧により前記電気光学装置の複数のソース線を駆動することを特徴とする表示ドライバ。

【請求項 13】

複数のゲート線と、
複数のソース線と、
前記複数のゲート線を走査するゲートドライバと、
前記複数のソース線を駆動するソースドライバと、
請求項 1 乃至 10 のいずれか記載の電源回路とを含み、
前記ゲートドライバの走査電圧及び前記ソースドライバの駆動電圧のうち少なくとも 1 つが、前記昇圧電圧に基づいて生成されることを特徴とする電気光学装置。

30

【請求項 14】

複数のゲート線と、
複数のソース線と、
前記複数のゲート線を走査するゲートドライバと、
前記複数のソース線を駆動する請求項 12 記載の表示ドライバとを含むことを特徴とする電気光学装置。

【請求項 15】

請求項 1 乃至 10 のいずれか記載の電源回路を含むことを特徴とする電子機器。

40

【請求項 16】

請求項 11 又は 12 記載の表示ドライバを含むことを特徴とする電子機器。

【請求項 17】

請求項 13 又は 14 記載の電気光学装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源回路、表示ドライバ、電気光学装置及び電子機器等に関する。

【背景技術】

【0002】

50

携帯型の電子機器には、より一層の低消費電力化が求められる。このような電子機器に搭載される表示装置として、液晶表示装置が用いられることが多い。液晶表示装置を駆動するためには、高い電圧や負の電圧等の複数の電源を必要とする。この場合、液晶表示装置を駆動する液晶駆動装置は、複数の電源を生成する電源回路を内蔵することがコストの観点からも望ましい。

【 0 0 0 3 】

このような電源回路は、昇圧回路を含む。この昇圧回路として、例えば特許文献 1 に記載されるようなチャージポンプ動作により昇圧した電圧を生成するチャージポンプ回路が採用されることが多い。チャージポンプ回路は、電荷を蓄積したコンデンサの一端を、スイッチ素子（例えば金属酸化膜半導体（Metal Oxide Semiconductor：MOS）トランジスタ）により各種電圧に接続していくことで、該コンデンサに蓄積された電荷に対応した電圧を昇圧していく。このようなチャージポンプ回路を用いることで、低消費化を図ることができる。

10

【特許文献 1】特開平 9 - 3 1 2 0 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

昇圧回路の電力効率という観点から、昇圧回路の出力負荷をできるだけ小さくすることが望ましい。そのため、例えば特許文献 1 のように、昇圧回路の出力が、そのまま昇圧回路の出力電圧の供給対象の回路に接続される。

20

【 0 0 0 5 】

また、昇圧回路の出力電位を調整する際には、レギュレータが用いられる。このとき、低消費電力化を目的として、該レギュレータをできるだけ低い動作電圧で動作させることが望ましい。そのため、昇圧回路で昇圧した電圧をレギュレータで調整するのではなく、レギュレータで電圧を調整してから、調整後の電圧が昇圧回路に入力される。

【 0 0 0 6 】

しかしながら、レギュレータで電位を調整する場合、レギュレータの出力電圧の最大値は、例えばレギュレータの高電位側の電源電圧から少なくともトランジスタの閾値電圧 V_{thp} 分だけ低電位の電圧となる。これは、レギュレータの出力電圧の最小値についても、同様に、レギュレータの低電位側の電源電圧から少なくともトランジスタの閾値電圧 V_{thn} 分だけ高電位の電圧となる。即ち、レギュレータの出力電圧は、該レギュレータの低電位側の電源電圧と高電位側の電源電圧との間の電圧より狭い範囲となる。このようなレギュレータの出力電圧を S （ S は 1 より大きい数）倍に昇圧すると、レギュレータの高電位側の電源電圧を昇圧した電圧より、例えば $S \times V_{thn}$ だけ低電位の電圧しか得られない。これは、レギュレータの出力電圧を昇圧した電圧が供給される回路の電源電圧範囲が狭くなることを意味し、電源マージンが少なくなってしまう。

30

【 0 0 0 7 】

また、レギュレータによる調整後の電圧を昇圧する昇圧回路の電圧がターゲット電圧を超える場合、超過分の電圧を降圧するためにシステム接地電源に電荷を放電することが行われる。例えば、3 . 3 V の電圧を 2 倍昇圧する場合、集積回路装置の絶対最大定格となる 6 V 以下となるように、0 . 6 V（ $= 3 . 3 \times 2 - 6$ ）だけ電位が下がるように電荷が放電される。従って、この超過分の電圧を調整するための電荷の充放電量を減らすことができれば、電源回路の低消費電力化を実現できる。

40

【 0 0 0 8 】

更に、液晶表示装置の表示画像や表示モードによって、該液晶表示装置に電源供給する電源回路の出力負荷が異なり、出力負荷が小さい場合に電源回路の昇圧効率が悪くなることがある。

【 0 0 0 9 】

本発明の幾つかの態様によれば、昇圧効率を低下させることなく低消費電力で昇圧電圧を供給できる電源回路、表示ドライバ、電気光学装置及び電子機器を提供できる。

50

【 0 0 1 0 】

また本発明の他の態様によれば、電源マージンを十分に確保できる電源回路、表示ドライバ、電気光学装置及び電子機器を提供できる。

【課題を解決するための手段】

【 0 0 1 1 】

上記課題を解決するために本発明は、

昇圧した電圧を出力するための電源回路であって、

第 1 の電圧を基準に第 2 の電圧を昇圧した昇圧電圧を生成する昇圧回路と、

前記昇圧電圧の電位を制限するリミッタ回路とを含み、

前記リミッタ回路が、

前記昇圧電圧が所与のターゲット電圧になるように前記第 2 の電圧が供給される電源線に電荷を放電、又は該電源線から電荷を充電する電源回路に係する。

10

【 0 0 1 2 】

本発明によれば、昇圧した電圧がターゲット電圧を超過した場合であっても、昇圧元の電源が供給される電源線に電荷を放電するようにしたので、システム接地電源電圧が供給される電源線に電荷を放電するよりも大幅に低消費電力化を実現できる。

【 0 0 1 3 】

また本発明に係る電源回路では、

所与の入力電圧の電位を調整するレギュレータを含み、

電気光学装置の駆動電圧が、前記昇圧電圧に基づいて生成される場合に、

高負荷表示モードで前記電気光学装置が駆動されるときには、前記昇圧電圧の電位を前記リミッタ回路で制限した電圧を前記昇圧電圧として出力し、

20

低負荷表示モードで前記電気光学装置が駆動されるときには、前記レギュレータの出力電圧を前記昇圧回路により昇圧した電圧を、前記リミッタ回路で制限することなくそのまま前記昇圧電圧として出力することができる。

【 0 0 1 4 】

また本発明に係る電源回路では、

表示モード設定レジスタを含み、

前記表示モード設定レジスタに設定された制御データにより前記高負荷表示モードが指定されたとき、前記昇圧電圧の電位を前記リミッタ回路で制限した電圧を前記昇圧電圧として出力し、

30

前記表示モード設定レジスタに設定された制御データにより前記低負荷表示モードが指定されたとき、前記レギュレータの出力電圧を前記昇圧回路により昇圧した電圧を前記昇圧電圧として出力することができる。

【 0 0 1 5 】

上記のいずれかの発明によれば、電源回路の出力負荷が大きいとき、高い昇圧能力で昇圧電圧を生成し、電源回路の出力負荷が小さいとき、低い昇圧能力で昇圧電圧を生成できるので、昇圧効率を著しく低下させることなく安定して昇圧電圧を供給できる。

【 0 0 1 6 】

また本発明に係る電源回路では、

前記昇圧回路が、

第 1 のフライングコンデンサを用いたチャージポンプ動作により、前記第 1 の電圧を基準に前記レギュレータの出力電圧を昇圧することで前記昇圧電圧を生成するための第 1 のチャージポンプ回路と、

40

前記第 1 のフライングコンデンサより容量値の大きい第 2 のフライングコンデンサを用いたチャージポンプ動作により、前記第 1 の電圧を基準に前記第 2 の電圧を昇圧することで前記昇圧電圧を生成するための第 2 のチャージポンプ回路とを含み、

前記高負荷表示モードで前記電気光学装置が駆動されるときには、前記第 1 及び第 2 のチャージポンプ回路により生成された昇圧電圧、又は前記第 2 のチャージポンプ回路により生成された昇圧電圧を出力し、

50

前記低負荷表示モードで前記電気光学装置が駆動されるときには、前記第1のチャージポンプ回路により生成された昇圧電圧を出力することができる。

【0017】

本発明によれば、簡素な構成、制御で、電源回路の昇圧能力を変更できるようになる。

【0018】

また本発明に係る電源回路では、

前記高負荷表示モードで前記電気光学装置が駆動されるとき、前記電源回路の出力負荷に応じて前記昇圧回路の昇圧能力を変更する制御を行い、

前記低負荷表示モードで前記電気光学装置が駆動されるとき、前記電源回路の出力負荷に応じて前記昇圧回路の昇圧能力を変更する制御を省略することができる。

10

【0019】

本発明によれば、高負荷表示モードにおいて電源回路の出力負荷が変化する要因である表示画像に応じて昇圧能力を変更できるので、昇圧効率の低下を確実に抑えることができるようになる。

【0020】

また本発明に係る電源回路では、

前記高負荷表示モードが指定された場合に、

前記電源回路の出力負荷に対して前記昇圧能力が高いと判断されるときには、昇圧能力がより低くなるように該昇圧能力を変更し、

前記出力負荷に対して前記昇圧能力が低いと判断されるときには、昇圧能力がより高くなるように該昇圧能力を変更することができる。

20

【0021】

本発明によれば、出力負荷に応じて昇圧能力を適正なレベルに維持できるので、昇圧能力により得られる電圧を安定化させつつ、且つ出力負荷に対して昇圧効率が低下することを防止できるようになる。

【0022】

また本発明に係る電源回路では、

前記高負荷表示モードが指定された場合に、

前記昇圧回路が、

前記電源回路の出力負荷と、前記リミッタ回路が前記昇圧電圧の電位を制限したか否かを示すリミッタ動作情報とに基づいて、前記昇圧能力を変更することができる。

30

【0023】

また本発明に係る電源回路では、

前記高負荷表示モードが指定された場合に、

前記昇圧回路が、

前記リミッタ情報に基づいて更新される閾値と、前記電源回路の出力負荷との比較結果に応じて、前記昇圧能力を変更することができる。

【0024】

また本発明に係る電源回路では、

前記閾値が、

所与の閾値電圧と前記昇圧電圧との比較結果に基づいて更新されてもよい。

40

【0025】

また本発明に係る電源回路では、

前記所与の閾値電圧と前記昇圧電圧とを比較するコンパレータと、

前記コンパレータの出力結果であるパルスのカウントするカウンタとを含み、

前記閾値が、

前記カウンタのカウント数に基づいて更新されてもよい。

【0026】

上記のいずれかの発明によれば、リミッタ回路の動作情報に基づいて昇圧能力を変更できるようにしたので、種々の出力負荷に対して、最適な昇圧能力で低消費電力動作が可能

50

な電源回路を提供できる。

【 0 0 2 7 】

また本発明に係る電源回路では、

電気光学装置の複数のソース線の各ソース線の階調データに対応した駆動電圧が、前記昇圧電圧に基づいて生成される場合に、

前記出力負荷が、

前記複数のソース線の 1 走査ライン分の階調データの総和に基づいて評価されてもよい。

【 0 0 2 8 】

本発明によれば、出力負荷を簡素な構成で評価できるようになる。

10

【 0 0 2 9 】

また本発明は、

電気光学装置を駆動するための表示ドライバであって、

上記のいずれか記載の電源回路と、

前記電気光学装置を駆動するための駆動部とを含み、

前記昇圧電圧に基づいて、前記駆動部の駆動電圧を生成する表示ドライバに係る。

【 0 0 3 0 】

また本発明に係る表示ドライバでは、

前記駆動部が、

前記昇圧電圧を用いて生成された、階調データに対応した駆動電圧により前記電気光学装置の複数のソース線を駆動することができる。

20

【 0 0 3 1 】

上記のいずれかの発明によれば、昇圧効率を低下させることなく低消費電力で昇圧電圧を供給できる電源回路が適用された表示ドライバを提供できる。

【 0 0 3 2 】

また本発明は、

複数のゲート線と、

複数のソース線と、

前記複数のゲート線を走査するゲートドライバと、

前記複数のソース線を駆動するソースドライバと、

上記のいずれか記載の電源回路とを含み、

前記ゲートドライバの走査電圧及び前記ソースドライバの駆動電圧のうち少なくとも 1 つが、前記昇圧電圧に基づいて生成される電気光学装置に係る。

30

【 0 0 3 3 】

また本発明は、

複数のゲート線と、

複数のソース線と、

前記複数のゲート線を走査するゲートドライバと、

前記複数のソース線を駆動する上記記載の表示ドライバとを含む電気光学装置に係る。

40

【 0 0 3 4 】

上記のいずれかの発明によれば、昇圧効率を低下させることなく低消費電力で昇圧電圧を供給できる電源回路が適用された電気光学装置を提供できる。

【 0 0 3 5 】

また本発明は、

上記のいずれか記載の電源回路を含む電子機器に係る。

【 0 0 3 6 】

また本発明は、

上記記載の表示ドライバを含む電子機器に係る。

【 0 0 3 7 】

50

また本発明は、

上記記載の電気光学装置を含む電子機器に係する。

【0038】

上記のいずれかの発明によれば、昇圧効率を低下させることなく低消費電力で昇圧電圧を供給できる電源回路が適用された電子機器を提供できる。

【発明を実施するための最良の形態】

【0039】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0040】

1. 液晶表示装置

図1に、本実施形態の液晶表示装置のブロック図の例を示す。

【0041】

液晶表示装置10（液晶装置。広義には電気光学装置）は、表示パネル12（狭義には液晶パネル、LCD（Liquid Crystal Display）パネル、広義には電気光学パネル）、ソースドライバ20（広義にはデータ線駆動回路）、ゲートドライバ30（広義には走査線駆動回路）、表示コントローラ40、電源回路50を含む。なお、液晶表示装置10にこれらのすべての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。電気光学装置は、有機EL（Electro Luminescence）、無機EL素子等の発光素子を用いた装置を含むことができる。

【0042】

ここで表示パネル12（電気光学装置）は、複数のゲート線（広義には走査線）と、複数のソース線（広義にはデータ線）と、ゲート線及びソース線により特定される画素電極を含む。この場合、ソース線に薄膜トランジスタTFT（Thin Film Transistor、広義にはスイッチング素子）を接続し、このTFTに画素電極を接続することで、アクティブマトリクス型の液晶表示装置を構成できる。

【0043】

より具体的には、表示パネル12は、アクティブマトリクス基板（例えばガラス基板）上にアモルファスシリコン薄膜が形成されたアモルファスシリコン液晶パネルである。アクティブマトリクス基板には、図1のY方向に複数配列されそれぞれX方向に伸びるゲート線 $G_1 \sim G_M$ （Mは2以上の自然数）と、X方向に複数配列されそれぞれY方向に伸びるソース線 $S_1 \sim S_N$ （Nは2以上の自然数）とが配置されている。また、ゲート線 G_K （ $1 \leq K \leq M$ 、Kは自然数）とソース線 S_L （ $1 \leq L \leq N$ 、Lは自然数）との交差点に対応する位置に、薄膜トランジスタ TFT_{KL} （広義にはスイッチング素子）が設けられている。

【0044】

TFT_{KL} のゲート電極はゲート線 G_K に接続され、 TFT_{KL} のソース電極はソース線 S_L に接続され、 TFT_{KL} のドレイン電極は画素電極 PE_{KL} に接続されている。この画素電極 PE_{KL} と、画素電極 PE_{KL} と液晶（広義には電気光学物質）を挟んで対向する対向電極CE（共通電極、コモン電極）との間には、素子容量である液晶容量 CL_{KL} （液晶素子）、及び補助容量 CS_{KL} が形成されている。そして、 TFT_{KL} 、画素電極 PE_{KL} 等が形成されるアクティブマトリクス基板と対向電極CEが形成される対向基板との間に液晶が封入されるように形成され、画素電極 PE_{KL} と対向電極CEとの間の印加電圧に応じて画素の透過率が変化するようにになっている。素子容量は、液晶素子に形成される液晶容量や、無機EL素子等のEL素子に形成される容量を含むことができる。

【0045】

なお、対向電極CEに与えられる対向電極電圧 V_{COM} の電圧レベル（高電位側電圧 V_{COMH} 、低電位側電圧 V_{COML} ）は、電源回路50に含まれる対向電極電圧生成回路より生成される。例えば、対向電極CEは、対向基板上に一面に形成される。

【 0 0 4 6 】

ソースドライバ 2 0 は、階調データに基づいて表示パネル 1 2 のソース線 $S_1 \sim S_N$ を駆動する。一方、ゲートドライバ 3 0 は、表示パネル 1 2 のゲート線 $G_1 \sim G_M$ を走査（順次駆動）する。

【 0 0 4 7 】

表示コントローラ 4 0 は、図示しない中央演算処理装置（Central Processing Unit：CPU）等のホストにより設定された内容に従って、ソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 を制御する。より具体的には、表示コントローラ 4 0 は、ソースドライバ 2 0 及びゲートドライバ 3 0 に対しては、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路 5 0 に対しては、対向電極 C E に印加する対向電極電圧 V_{COM} の電圧レベルの極性反転タイミングの制御を行う。

10

【 0 0 4 8 】

電源回路 5 0 は、外部から供給されるシステム電源電圧を昇圧するなどして、表示パネル 1 2 の駆動に必要な各種の電圧レベル（階調電圧）や、対向電極 C E の対向電極電圧 V_{COM} の電圧レベルを生成する。本実施形態における電源回路 5 0 は、システム電源電圧 V_{DD} を昇圧した昇圧電圧を生成できる。電源回路 5 0 は、昇圧電圧を生成する際の昇圧能力を変更できるようになっている。ここで、昇圧能力は、出力負荷電流の変化に対して出力電圧を変化させる能力ということができる。

【 0 0 4 9 】

ソースドライバ 2 0 及びゲートドライバ 3 0 を、表示パネル 1 2 を駆動するための駆動部とした場合に、電源回路 5 0 により昇圧された電圧に基づいて、駆動部の駆動電圧を生成することができる。

20

【 0 0 5 0 】

このような構成の液晶表示装置 1 0 は、表示コントローラ 4 0 の制御の下、外部から供給される階調データに基づいて、ソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 が協調して表示パネル 1 2 を駆動する。

【 0 0 5 1 】

なお、図 1 では、液晶表示装置 1 0 が表示コントローラ 4 0 を含む構成になっているが、表示コントローラ 4 0 を液晶表示装置 1 0 の外部に設けてもよい。或いは、表示コントローラ 4 0 と共にホストを液晶表示装置 1 0 に含めるようにしてもよい。また、ソースドライバ 2 0、ゲートドライバ 3 0、表示コントローラ 4 0、電源回路 5 0 の一部又は全部を表示パネル 1 2 上に形成してもよい。

30

【 0 0 5 2 】

また図 1 において、ソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 を集積化して、半導体装置（集積回路、IC）として表示ドライバ 6 0 を構成してもよい。

【 0 0 5 3 】

図 2 に、本実施形態における液晶表示装置の他の構成例のブロック図を示す。

【 0 0 5 4 】

図 2 では、表示パネル 1 2 上（パネル基板上）に、ソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 を含む表示ドライバ 6 0 が形成されている。このように表示パネル 1 2 は、複数のゲート線と、複数のソース線と、複数のゲート線の各ゲート線及び複数のソース線の各ソース線とに接続された複数の画素（画素電極）と、複数のソース線を駆動するソースドライバと、複数のゲート線を走査するゲートドライバとを含むように構成することができる。表示パネル 1 2 の画素形成領域 4 4 に、複数の画素が形成されている。各画素は、ソースにソース線が接続されゲートにゲート線が接続された T F T と、該 T F T のドレインに接続された画素電極とを含むことができる。

40

【 0 0 5 5 】

なお図 2 では、表示パネル 1 2 上においてゲートドライバ 3 0 及び電源回路 5 0 のうち少なくとも 1 つが省略された構成であってもよい。

【 0 0 5 6 】

50

また図 1 又は図 2 において、表示ドライバ 60 が、表示コントローラ 40 を内蔵してもよい。或いは図 1 又は図 2 において、表示ドライバ 60 が、ソースドライバ 20 及びゲートドライバ 30 のいずれか一方と、電源回路 50 とを集積化した半導体装置であってもよい。

【0057】

1.1 ゲートドライバ

図 3 に、図 1 又は図 2 のゲートドライバ 30 の構成例を示す。

【0058】

ゲートドライバ 30 は、シフトレジスタ 32、レベルシフタ 34、出力バッファ 36 を含む。

10

【0059】

シフトレジスタ 32 は、各ゲート線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ 32 は、クロック信号 CLK に同期してイネーブル入出力信号 EIO をフリップフロップに保持すると、順次クロック信号 CLK に同期して隣接するフリップフロップにイネーブル入出力信号 EIO をシフトする。ここで入力されるイネーブル入出力信号 EIO は、表示コントローラ 40 から供給される垂直同期信号である。

【0060】

レベルシフタ 34 は、シフトレジスタ 32 からの電圧レベルを、表示パネル 12 の液晶素子と TFT のトランジスタ能力とに応じた電圧レベルにシフトする。この電圧レベルとしては、高い電圧レベルが必要とされるため、他のロジック回路部とは異なる高耐圧プロセスが用いられる。

20

【0061】

出力バッファ 36 は、レベルシフタ 34 によってシフトされた走査電圧をバッファリングしてゲート線に出力し、ゲート線を駆動する。

【0062】

1.2 ソースドライバ

図 4 に、図 1 又は図 2 のソースドライバ 20 の構成例のブロック図を示す。

【0063】

ソースドライバ 20 は、シフトレジスタ 22、ラインラッチ 24、26、DAC 28 (Digital-to-Analog Converter) (広義にはデータ電圧生成回路)、ソース線駆動回路 29 を含む。

30

【0064】

シフトレジスタ 22 は、各ソース線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ 22 は、クロック信号 CLK に同期してイネーブル入出力信号 EIO を保持すると、順次クロック信号 CLK に同期して隣接するフリップフロップにイネーブル入出力信号 EIO をシフトする。

【0065】

ラインラッチ 24 には、表示コントローラ 40 から例えば 18 ビット (6 ビット (階調データ) × 3 (RGB 各色)) 単位で階調データ (DIO) が入力される。ラインラッチ 24 は、この階調データ (DIO) を、シフトレジスタ 22 の各フリップフロップで順次シフトされたイネーブル入出力信号 EIO に同期してラッチする。

40

【0066】

ラインラッチ 26 は、表示コントローラ 40 から供給される水平同期信号 LP に同期して、ラインラッチ 24 でラッチされた 1 水平走査単位の階調データをラッチする。

【0067】

基準電圧発生回路 27 は、64 (= 2^6) 種類の基準電圧を生成する。基準電圧発生回路 27 によって生成された 64 種類の基準電圧は、DAC 28 に供給される。

【0068】

DAC (データ電圧生成回路) 28 は、各ソース線に供給すべきアナログのデータ電圧

50

を生成する。具体的にはDAC 28は、ラインラッチ26からのデジタルの階調データに基づいて、基準電圧発生回路27からの基準電圧のいずれかを選択し、デジタルの階調データに対応するアナログのデータ電圧を出力する。

【0069】

ソース線駆動回路29は、DAC 28からのデータ電圧をバッファリングしてソース線に出力し、ソース線を駆動する。具体的には、ソース線駆動回路29は、各ソース線毎に設けられたボルテージフォロワ接続の演算増幅器OPC（広義にはインピーダンス変換回路）を含み、これらの各演算増幅器OPCが、DAC 28からのデータ電圧をインピーダンス変換して、各ソース線に出力する。

【0070】

なお、図4では、デジタルの階調データをデジタル・アナログ変換して、ソース線駆動回路29を介してソース線に出力する構成を採用しているが、アナログの映像信号をサンプル・ホールドして、ソース線駆動回路29を介してソース線に出力する構成を採用することもできる。

【0071】

図5に、図4の基準電圧発生回路27、DAC 28及びソース線駆動回路29の構成例を示す。図5において、階調データが6ビットのデータD0～D5であり、各ビットのデータの反転データをXD0～XD5と示している。また図5において、図4と同一部分には同一符号を付し、適宜説明を省略する。

【0072】

基準電圧発生回路27は、両端の電圧VDDH、VSSHを抵抗分割して64種類の基準電圧を生成する。ここで、電圧VDDHは、電源回路50により得られた昇圧電圧VOUTとすることができる。各基準電圧は、6ビットの階調データにより表される各階調値に対応している。各基準電圧は、ソース線S₁～S_Nの各ソース線に共通に供給される。

【0073】

DAC 28は、ソース線毎に設けられたデコーダを含み、各デコーダは、階調データに対応した基準電圧を演算増幅器OPCに出力する。

【0074】

1.3 電源回路

図6に、図1又は図2の電源回路50の構成例を示す。

【0075】

電源回路50は、昇圧回路52、リミッタ回路53、走査電圧生成回路54、対向電極電圧生成回路56を含む。この電源回路50には、システム接地電源電圧VSS（第1の電圧）及びシステム電源電圧VDD（第2の電圧）が供給される。

【0076】

昇圧回路52には、システム接地電源電圧VSS及びシステム電源電圧VDDが供給される。そして昇圧回路52は、システム接地電源電圧VSSを基準に、入力された電圧（例えばシステム電源電圧VDD）を正方向に例えば2倍に昇圧した電源電圧VOUT（昇圧電圧）を生成する。即ち昇圧回路52は、システム接地電源電圧VSSと入力された電圧（システム電源電圧VDD）との間の電圧差を2倍に昇圧する。このような昇圧回路52は、チャージポンプ回路により構成できる。電源電圧VOUTは、ソースドライバ20、走査電圧生成回路54や対向電極電圧生成回路56に供給される。ソースドライバ20は、電源電圧VOUTに基づいて、階調データに対応した階調電圧を生成する。また、ゲートドライバ30は、走査電圧生成回路54を含むことができ、この場合には、電源電圧VOUTに基づいて、走査電圧を生成することができる。

【0077】

リミッタ回路53は、昇圧回路52によって生成された電源電圧VOUT（昇圧電圧）が所与のターゲット電圧になるように、入力された電圧又はシステム電源電圧VDD（第2の電圧）が供給される電源線に電荷を放電、又は該電源線から電荷を充電する。本実施形態では、昇圧回路52がシステム接地電源電圧VSSを基準に正方向に電圧を昇圧する

10

20

30

40

50

ため、入力された電圧又は電圧 V_{OUT} が供給される電源線に正の電荷を放電（該電源線から負の電荷を充電）する。これにより、システム接地電源電圧 V_{SS} （第1の電圧）が供給される電源線に電荷を放電するよりも、電荷を再利用できるため低消費電力化を図ることができる。更に、本実施形態では、昇圧回路52が、昇圧能力を変更することができるようになっている。

【0078】

走査電圧生成回路54には、システム接地電源電圧 V_{SS} 及び電源電圧 V_{OUT} が供給される。そして走査電圧生成回路54は、走査電圧を生成する。走査電圧は、ゲートドライバ30によって駆動されるゲート線に印加される電圧である。この走査電圧の高電位側電圧は V_{DDHG} であり、低電位側電圧は V_{EE} である。

10

【0079】

対向電極電圧生成回路56は、対向電極電圧 V_{COM} を生成する。対向電極電圧生成回路56は、極性反転信号 POL に基づいて、高電位側電圧 V_{COMH} 又は低電位側電圧 V_{COML} を、対向電極電圧 V_{COM} として出力する。極性反転信号 POL は、極性反転タイミングに合わせて表示コントローラ40によって生成される。

【0080】

図7に、図1又は図2の表示パネル12の駆動波形の一例を示す。

【0081】

ソース線には、階調データの階調値に応じた階調電圧 DLV が印加される。図7では、システム接地電源電圧 V_{SS} （ $=0V$ ）を基準に、 $5V$ の振幅の階調電圧 DLV が印加されている。

20

【0082】

ゲート線には、非選択時において非選択電圧として低電位側電圧 V_{EE} （ $= -10V$ ）、選択時において選択電圧として高電位側電圧 V_{DDHG} （ $= 15V$ ）の走査電圧 GLV が印加される。

【0083】

対向電極 CE には、高電位側電圧 V_{COMH} （ $= 3V$ ）、低電位側電圧 V_{COML} （ $= -2V$ ）の対向電極電圧 V_{COM} が印加される。そして所与の電圧を基準とした対向電極電圧 V_{COM} の電圧レベルの極性が、極性反転タイミングに合わせて反転している。図7では、いわゆる走査ライン反転駆動時の対向電極電圧 V_{COM} の波形を示している。この極性反転タイミングに合わせて、ソース線の階調電圧 DLV もまた、所与の電圧を基準に、その極性が反転している。

30

【0084】

ところで液晶素子は、直流電圧を長時間印加すると劣化するという性質がある。このため、液晶素子に印加する電圧の極性を所定期間毎に反転させる駆動方式が必要になる。このような駆動方式としては、フレーム反転駆動、走査（ゲート）ライン反転駆動、データ（ソース）ライン反転駆動、ドット反転駆動等がある。

【0085】

このうち、フレーム反転駆動は、消費電力は低いが、画質がそれほど良くないという不利点がある。また、データライン反転駆動、ドット反転駆動は、画質は良いが、表示パネルの駆動に高い電圧が必要になるという不利点がある。

40

【0086】

本実施形態では、走査ライン反転駆動を採用している。この走査ライン反転駆動では、液晶素子に印加される電圧が走査期間毎（走査線毎）に極性反転される。例えば、第1の走査期間（走査線）では正極性の電圧が液晶素子に印加され、第2の走査期間では負極性の電圧が印加され、第3の走査期間では正極性の電圧が印加される。一方、次のフレームにおいては、今度は、第1の走査期間では負極性の電圧が液晶素子に印加され、第2の走査期間では正極性の電圧が印加され、第3の走査期間では負極性の電圧が印加されるようになる。

【0087】

50

そして、この走査ライン反転駆動では、対向電極 C E の対向電極電圧 V C O M の電圧レベルが走査期間毎に極性反転される。

【 0 0 8 8 】

より具体的には図 8 に示すように、正極の期間 T 1 (第 1 の期間) では対向電極電圧 V C O M の電圧レベルは低電位側電圧 V C O M L になり、負極の期間 T 2 (第 2 の期間) では高電位側電圧 V C O M H になる。そして、このタイミングに合わせてソース線に印加される階調電圧も、その極性が反転する。なお、低電位側電圧 V C O M L は、所与の電圧レベルを基準として高電位側電圧 V C O M H の極性を反転した電圧レベルである。

【 0 0 8 9 】

ここで、正極の期間 T 1 は、ソース線の階調電圧が供給された画素電極の電圧レベルが対向電極 C E の電圧レベルよりも高くなる期間である。この期間 T 1 では液晶素子に正極性の電圧が印加されることになる。一方、負極の期間 T 2 は、ソース線の階調電圧が供給された画素電極の電圧レベルが対向電極 C E の電圧レベルよりも低くなる期間である。この期間 T 2 では液晶素子に負極性の電圧が印加されることになる。

【 0 0 9 0 】

このように対向電極電圧 V C O M を極性反転することで、表示パネルの駆動に必要な電圧を低くすることができる。これにより、駆動回路の耐圧を低くでき、駆動回路の製造プロセスの簡素化、低コスト化を図ることができる。

【 0 0 9 1 】

このようなソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 を含む表示ドライバ 6 0 は、種々の表示モードで表示パネル 1 2 を駆動することができる。そのため、表示ドライバ 6 0 は、図示しない制御レジスタ部を含む。

【 0 0 9 2 】

図 9 に、表示ドライバ 6 0 が内蔵する制御レジスタ部の説明図を示す。

【 0 0 9 3 】

表示ドライバ 6 0 は、図 9 に示す制御レジスタ部 8 0 を含むことができる。制御レジスタ部 8 0 は、表示モード設定レジスタ 8 2 を含む。ホスト又は表示コントローラ 4 0 は、表示ドライバ 6 0 の制御レジスタ部 8 0 にアクセスできる。そして、ホスト又は表示コントローラ 4 0 が、該制御レジスタ部 8 0 の表示モード設定レジスタ 8 2 に制御データを設定することで、高負荷表示モードとしての通常表示モード、又は低負荷表示モードとしてのパースシャル表示モードを指定できるようになっている。

【 0 0 9 4 】

即ち、表示モード設定レジスタ 8 2 に設定された制御データに対応した制御信号 M O D E が、制御レジスタ部 8 0 から出力される。この制御信号 M O D E が、表示ドライバ 6 0 の各部に供給され、各部を表示モードに応じて制御できるようになっている。

【 0 0 9 5 】

図 1 0 (A)、図 1 0 (B) に、パースシャル表示モードの説明図を示す。

【 0 0 9 6 】

図 1 0 (A)、図 1 0 (B) における X 方向及び Y 方向は、図 1 における X 方向及び Y 方向に対応している。即ち、図 1 0 (A)、図 1 0 (B) において、Y 方向に配列される複数のゲート線が X 方向に伸び、X 方向に配列される複数のソース線が Y 方向に伸びる。図 1 0 (A) に示すパースシャル表示モードでは、1 垂直走査期間において複数のゲート線の一部を選択しないようにすることで、垂直走査方向に表示領域と非表示領域とが形成される。こうすることで、非表示領域のゲート線の選択電圧を印加する必要がなくなるので、低消費電力化を図ることができる。また、図 1 0 (B) に示すパースシャル表示モードでは、1 水平走査期間において複数のソース線の一部に所与の非表示電圧を供給することで、水平走査方向に表示領域と非表示領域とが形成される。こうすることで、非表示領域のソース線の駆動に伴う消費電力を低減させることができるようになる。

【 0 0 9 7 】

2 . 電源回路の構成例

10

20

30

40

50

ところで、電源回路が昇圧した電圧の電位を調整する場合、レギュレータで電位を調整してから昇圧する方法と、昇圧した電圧をリミッタ回路で電位を制限する方法とが考えられる。レギュレータで電位を調整してから昇圧する方法では、レギュレータをより低電圧で動作させることができるので、低消費電力化が可能であるものの、昇圧電圧の電圧範囲が狭くなる。また、昇圧した電圧をリミッタ回路で電位を制限する方法では、昇圧した電圧の電圧範囲を狭めることがなくなるものの、リミッタ回路が常に動作するため電力を消費する。そのため、電源回路の出力負荷を定める表示画像や表示モードに依存して、電源回路の出力負荷電流が異なってくる。

【0098】

図11に、電源回路の出力負荷と出力負荷電流との関係を模式的に示す。

10

【0099】

図11では、表示パネル12がノーマリホワイトのパネルについて、電源回路の出力負荷と出力負荷電流との関係を示しており、左側から右側にいくほど出力負荷が高くなる。即ち、パーシャル表示モードで表示パネル12を駆動するときの電源回路の出力負荷は、通常表示モードで表示パネル12を駆動するときの電源回路の出力負荷より小さい。

【0100】

また、通常表示モードで表示パネル12を駆動する場合でも、表示画像に依存して電源回路の出力負荷が異なる。ノーマリホワイトの表示パネル12では、図11のように、表示領域全部が白表示、自然画表示、表示領域全部が黒表示の順番に電源回路の出力負荷が大きくなる。

20

【0101】

そして、電源回路50における昇圧電圧の電位調整の方法に依存して、電源回路50の出力負荷に対応した出力負荷電流の増え方が異なる。例えば、レギュレータで電位を調整してから昇圧する方法では、出力負荷が小さいときは出力負荷電流が小さく、出力負荷が大きくなると出力負荷電流が大きくなる(図11のR1)。これは、出力負荷が大きくなると、昇圧回路が負荷に対して電荷を供給する能力を十分に発揮できないためと考えられる。そのため、出力負荷が大きくなるほど、昇圧効率が低下する。

【0102】

一方、例えば、昇圧した電圧をリミッタ回路で電位を制限する方法では、定常的にリミッタ回路が電流を消費するため、出力負荷が小さいときから出力負荷電流が大きくなるものの、出力負荷が大きくなっても出力負荷電流がそれほど大きくならない(図11のR2)。これは、リミッタ回路が内蔵する、例えば演算増幅器の電荷供給能力により、出力負荷が大きくなっても負荷を十分に駆動できるためと考えられる。そのため、出力負荷が大きくなっても、昇圧効率がそれほど低下しない。

30

【0103】

そこで、図11の關係に着目すると、パーシャル表示モードでは、レギュレータで電位を調整してから昇圧する方法の方が、電源回路の昇圧効率が良い。また、通常表示モードでは、ほとんどの表示画像において、昇圧した電圧をリミッタ回路で電位を制限する方法の方が、電源回路の昇圧効率が良い。

【0104】

このため、昇圧効率が良い、リミッタ回路で昇圧電圧の電位を制限する方法により、例えば通常表示モードを基準に電源回路の電荷供給能力を作り込んでしまうと、パーシャル表示モードにおける電源回路の昇圧効率を悪化させるという問題があった。

40

【0105】

そこで、本実施形態では、表示モードに応じて、電源回路の昇圧方法を変更できるようにしている。こうすることで、各表示モードにおいて昇圧効率が良い昇圧方法で昇圧電圧を生成できるので、昇圧効率を低下させることなく昇圧電圧を供給できる。

【0106】

以下では、本実施形態における電源回路50の要部について説明する。

【0107】

50

2.1 第1の構成例

図12に、本実施形態の第1の構成例における電源回路50の昇圧回路52、リミッタ回路53の構成例を示す。

【0108】

昇圧回路52は、互いに昇圧能力が異なる複数のチャージポンプ回路を備え、これらのチャージポンプ回路の動作を、制御信号ENB1、ENB2によってイネーブル制御することで昇圧能力を変更できるようになっている。

【0109】

例えば、昇圧回路52は、図12に示すように、レギュレータREG1、第1及び第2のチャージポンプ回路100₁、100₂を有する。昇圧回路52（電源回路50）の外部接続端子TC1、TC2には、第1のチャージポンプ回路100₁のチャージポンプ動作に用いられる第1のフライングコンデンサFC1が接続される。また、昇圧回路52（電源回路50）の外部接続端子TC3、TC4には、第2のチャージポンプ回路100₂のチャージポンプ動作に用いられる第2のフライングコンデンサFC2が接続される。

【0110】

第2のフライングコンデンサFC2の容量値は、第1のフライングコンデンサFC1の容量値より大きい。また、第1のチャージポンプ回路100₁を構成するトランジスタのサイズは、第2のチャージポンプ回路100₂を構成するトランジスタのサイズ（チャンネル長×チャンネル幅）より小さく、第1のチャージポンプ回路100₁を構成するトランジスタの電流駆動能力は、第2のチャージポンプ回路100₂を構成するトランジスタの電流駆動能力より小さい。こうすることで、第1のチャージポンプ回路100₁の昇圧能力を、第2のチャージポンプ回路100₂の昇圧能力より小さくできる。

【0111】

レギュレータREG1の動作は、制御信号REG1enによりイネーブル制御される。レギュレータREG1の高電位側電源電圧はシステム電源電圧VDDであり、低電位側電源電圧はシステム接地電源電圧VSSである。レギュレータREG1は、ボルテージフォロワ接続された演算増幅器であり、該演算増幅器の非反転入力端子には所与の入力電圧VIN0が入力される。レギュレータREG1の出力電圧VREGは、第1のチャージポンプ回路100₁に供給される。

【0112】

制御信号ENB1によりイネーブル状態に設定された第1のチャージポンプ回路100₁は、システム接地電源電圧VSSとレギュレータREG1の出力電圧VREGとの間の電圧を、システム接地電源電圧VSSを基準に例えば2倍に昇圧した電源電圧VOUTを生成する。

【0113】

制御信号ENB2によりイネーブル状態に設定された第2のチャージポンプ回路100₂は、システム接地電源電圧VSSとシステム電源電圧VDDとの間の電圧を、システム接地電源電圧VSSを基準に例えば2倍に昇圧した電源電圧VOUTを生成する。

【0114】

図13に、図12の第1のチャージポンプ回路100₁の構成例の回路図を示す。

【0115】

図13では、第1のチャージポンプ回路100₁の構成例について説明するが、第2のチャージポンプ回路100₂ではレギュレータREG1の出力電圧VREGに代えてシステム電源電圧VDDが採用される点を除いて同様である。

【0116】

第1のチャージポンプ回路100₁は、チャージポンプ動作により第1のフライングコンデンサFC1に蓄積された電荷を用いて昇圧電圧を生成するためのスイッチ素子であるトランジスタを含む。より具体的には、第1のチャージポンプ回路100₁は、昇圧電圧が出力される出力電源線と電圧VREGが供給される電源線との間に直列に挿入されるP型（広義には第1導電型）MOSトランジスタ（以下、単にトランジスタ）PT1、PT

10

20

30

40

50

2を含む。また、第1のチャージポンプ回路100₁は、電圧VREGが供給される電源線とシステム接地電源電圧VSSが供給される電源線との間に直列に挿入されるP型MOSトランジスタPT3、N型(広義には第2導電型)MOSトランジスタ(以下、単にトランジスタ)NT1を含む。

【0117】

トランジスタPT1のゲートには、チャージクロックCK1Pが供給される。トランジスタPT2のゲートには、チャージクロックCK2Pが供給される。トランジスタPT3のゲートには、チャージクロックCK3Pが供給される。トランジスタNT1のゲートには、チャージクロックCK1Nが供給される。

【0118】

トランジスタPT1のソースに、昇圧電圧が出力される電源線が接続される。トランジスタPT1、PT2の接続ノードに、端子TC1を介して第1のフライングコンデンサFC1の一端が接続される。トランジスタPT3、NT1の接続ノードに、端末TC2を介して第1のフライングコンデンサFC1の他端が接続される。

【0119】

図14に、図13のチャージクロックCK1P、CK2P、CK3P、CK1Nのタイミングを模式的に示す。

【0120】

チャージクロックCK1PがLレベルのとき、チャージクロックCK2PがHレベル、チャージクロックCK3P、CK1NがLレベルとなる(期間PH1)。また、チャージクロックCK1PがHレベルのとき、チャージクロックCK2PがHレベル、チャージクロックCK3P、CK1NがHレベルとなる(期間PH2)。

【0121】

期間PH1では、トランジスタPT1がオン、トランジスタPT2がオフとなり、端子TC1を介して接続される第1のフライングコンデンサFC1の一端の電圧が、出力電源線に出力される。このとき、トランジスタPT3がオン、トランジスタNT1がオフとなり、外部接続端子TC2を介して接続される第1のフライングコンデンサFC1に他端には、電圧VREGが供給される。

【0122】

期間PH2では、トランジスタPT1がオフ、トランジスタPT2がオンとなり、端子TC1を介して接続される第1のフライングコンデンサFC1の一端には、電圧VREGが供給される。このとき、トランジスタPT3がオフ、トランジスタNT1がオンとなるため、外部接続端子TC2を介して接続される第1のフライングコンデンサFC1の他端には、システム接地電源電圧VSSが供給される。従って、期間PH2では、第1のフライングコンデンサFC1には、電圧VREGとシステム接地電源電圧VSSとの間の電圧に対応した電荷が蓄積される。

【0123】

そして、再び、期間PH1では、上述のように出力電源線に、第1のフライングコンデンサFC1の一端の電圧が出力される。このとき、外部接続端子TC2に接続される第1のフライングコンデンサFC1の他端の電圧が電圧VREGとなるため、出力電源線の電圧は、電圧VREGとシステム接地電源電圧VSSとの間の電圧の2倍の電圧となる。

【0124】

なお、トランジスタPT1、PT2が同時にオンとならないように、チャージクロックCK1P、CK2Pを変化させることが望ましい。また、トランジスタPT2、PT3が同時にオンとならないように、チャージクロックCK2P、CK3Pを変化させることが望ましい。更に、トランジスタPT3、NT1が同時にオンとならないように、チャージクロックCK3P、CK1Nを変化させることが望ましい。

【0125】

図12に戻って説明を続ける。

【0126】

10

20

30

40

50

図12のリミッタ回路53は、コンパレータCMP1と、電圧制限回路150とを含む。

【0127】

コンパレータCMP1には、電圧VOUTとシステム接地電源電圧VSSとの間の電圧を抵抗分割することにより得られた入力電圧Vinと、所与の基準電圧VREFとが入力される。そして、コンパレータCMP1は、入力電圧Vinと基準電圧VREFとの比較結果を比較結果パルスとして出力する。このようなコンパレータCMP1の動作は、制御信号LMTenによりイネーブル制御され、リミッタ回路53の動作もまた、制御信号LMTenによりイネーブル制御される。

【0128】

電圧制限回路150は、P型MOSトランジスタTROにより構成される。P型MOSトランジスタTROのゲートには、コンパレータCMP1からの比較結果パルスが入力される。P型MOSトランジスタTROのソースには、電圧VOUTが供給される電源線が接続される。P型MOSトランジスタTROのドレインには、システム電源電圧VDDが供給される電源線に接続される。

【0129】

図15に、図12のコンパレータCMP1と電圧制限回路150の構成例の回路図を示す。

【0130】

コンパレータCMP1は、差動増幅器DIF1と、出力回路DRV1とを含む。差動増幅器DIF1は、ソースが接続された差動トランジスタ対と、差動トランジスタ対のソースに電流を供給する電流源トランジスタと、差動トランジスタ対を構成する各トランジスタに電流を供給するカレントミラー回路とを含む。差動トランジスタ対を構成するトランジスタのうち、非反転入力端子となるトランジスタのゲートには基準電圧VREFが供給され、反転入力端子となるトランジスタのゲートには入力電圧Vinが供給される。出力回路DRV1は、直列に接続されたP型MOSトランジスタPDRV1と、N型MOSトランジスタNDRV1とを含む。N型MOSトランジスタNDRV1のゲートには、差動増幅器DIF1の電流源トランジスタのゲート電圧と同じ電圧が供給され、P型MOSトランジスタPDRV1のドレインを駆動する。P型MOSトランジスタPDRV1のゲートには、差動増幅器DIF1の出力電圧が供給される。

【0131】

そして、電圧制限回路150を構成するP型MOSトランジスタTROのゲートには、出力回路DRV1のP型MOSトランジスタPDRV1のドレインの電圧が供給される。

【0132】

制御信号LMTenによりディセーブル状態に設定されたとき、差動増幅器DIF1の出力ノードの電圧は、例えばシステム電源電圧VDDに固定される。また、制御信号LMTenによりディセーブル状態に設定されたとき、電流源トランジスタは、非導通状態に設定される。更に、制御信号LMTenによりディセーブル状態に設定されたとき、P型MOSトランジスタTROのゲート電圧は、該P型MOSトランジスタTROのソース電圧に固定される。

【0133】

制御信号LMTenによりイネーブル状態に設定され、入力電圧Vinが基準電圧VREFより高電位の場合、差動増幅器DIF1の出力電圧の電位が上がり、P型MOSトランジスタPDRV1のインピーダンスが上がる。その結果、コンパレータCMP1の出力である比較結果パルスの電位が下がる方向に変化する。このとき、P型MOSトランジスタTROのインピーダンスが下がる方向に変化し、システム電源電圧VDDが供給される電源線に対して放電される電荷量が多くなる。

【0134】

一方、制御信号LMTenによりイネーブル状態に設定され、入力電圧Vinが基準電圧VREFより低電位の場合、差動増幅器DIF1の出力電圧の電位が下がり、P型MO

10

20

30

40

50

SトランジスタPDRV1のインピーダンスが下がる。その結果、コンパレータCMP1の出力である比較結果パルスの電位が上がる方向に変化する。このとき、P型MOSトランジスタTROのインピーダンスが上がる方向に変化し、システム電源電圧VDDが供給される電源線に対して放電される電荷量が少なくなる。

【0135】

このような電源回路50は、図示しない電源回路制御部を有し、電源回路内の各部の制御信号を生成する。

【0136】

図16に、電源回路50の電源回路制御部58の構成の概要を示す。

【0137】

電源回路制御部58は、表示モード設定レジスタ82からの制御信号MODEに基づいて、制御信号REG1en、ENB1、ENB2、LMTenを生成する。このような電源回路制御部58は、公知の組み合わせ回路により構成される。

【0138】

図17に、図16の電源回路制御部58の動作説明図を示す。

【0139】

第1の構成例では、制御信号MODEにより通常表示モード（高負荷表示モード）が指定されたとき、制御信号REG1enによりレギュレータREG1がディセーブル状態に設定され、制御信号ENB1により第1のチャージポンプ回路100₁がイネーブル状態又はディセーブル状態に設定され、制御信号ENB2により第2のチャージポンプ回路100₂がイネーブル状態に設定され、制御信号LMTenによりリミッタ回路53がイネーブル状態に設定される。

【0140】

また、制御信号MODEによりパーシャル表示モード（低負荷表示モード）が指定されたとき、制御信号REG1enによりレギュレータREG1がイネーブル状態に設定され、制御信号ENB1により第1のチャージポンプ回路100₁がイネーブル状態に設定され、制御信号ENB2により第2のチャージポンプ回路100₂がディセーブル状態に設定され、制御信号LMTenによりリミッタ回路53がディセーブル状態に設定される。

【0141】

即ち、表示パネル12の駆動電圧が、電源回路50により生成された昇圧電圧VOUTに基づいて生成される場合に、通常表示モードで表示パネル12が駆動されるときには、電源回路50は、昇圧電圧VOUTの電位をリミッタ回路53で制限した電圧を該昇圧電圧として出力する。また、パーシャル表示モード（低負荷表示モード）で表示パネル12が駆動されるときには、電源回路50は、レギュレータREG1の出力電圧VREGを昇圧回路52により昇圧した電圧を、リミッタ回路53で制限することなくそのまま昇圧電圧として出力する。こうすることで、各表示モードにおいて昇圧効率が良い昇圧方法で昇圧電圧を生成できるので、昇圧効率を低下させることなく昇圧電圧を供給できる。

【0142】

更に具体的には、通常表示モードで表示パネル12が駆動されるときには、電源回路50は、第1及び第2のチャージポンプ回路100₁、100₂により生成された昇圧電圧、又は第2のチャージポンプ回路100₂により生成された昇圧電圧を出力する。また、パーシャル表示モードで表示パネル12が駆動されるときには、第1のチャージポンプ回路100₁により生成された昇圧電圧を出力する。これにより、電源回路50の出力負荷が大きいとき、高い昇圧能力で昇圧電圧を生成し、電源回路50の出力負荷が小さいとき、低い昇圧能力で昇圧電圧を生成できるので、昇圧効率を著しく低下させることなく安定して昇圧電圧を供給できる。

【0143】

2.2 第2の構成例

第1の構成例では、通常表示モードでは、電源回路50の出力負荷に応じて昇圧能力を変更することなく昇圧電圧を生成するようにしたので、出力負荷が変化して該出力負荷が

10

20

30

40

50

高くなった場合でも昇圧能力が足りなくなると昇圧効率を低下させる事態を招く可能性がある。これに対して、第2の構成例では、通常表示モードで表示パネル12が駆動されるとき、電源回路50の出力負荷に応じて昇圧回路の昇圧能力を変更する制御を行い、パースシャル表示モードで表示パネル12が駆動されるとき、電源回路50の出力負荷に応じて昇圧回路の昇圧能力を変更する制御を省略する。こうすることで、電源回路50の出力負荷が高い場合でも昇圧能力を低下させることなく、且つ出力負荷に対して昇圧効率が低下することを防止できるようになる。

【0144】

図18に、本実施形態の第2の構成例における液晶表示装置の構成要部を示す。図18において、図1又は図2と同一部分には同一符号を付し、適宜説明を省略する。また、液晶表示装置の他のブロックの図示及び説明を省略する。

10

【0145】

第2の構成例では、表示パネル12のソース線の駆動電圧が昇圧電圧 V_{OUT} に基づいて生成され、電源回路50が、出力負荷を評価するための評価値である総和データ G_{SUM} を所与の閾値と比較することで、昇圧能力を変更するか否かを判断できるようになっている。この総和データ G_{SUM} は、ソースドライバ20の階調データ総和演算部25により求められる。電源回路50は、総和データ G_{SUM} に基づいて昇圧能力を変更し、昇圧電圧をソースドライバ20に供給する。

【0146】

より具体的には、電源回路50は、電源回路50の出力負荷に対して昇圧能力が高いと判断されるときには、昇圧能力がより低くなるように該昇圧能力を変更し、出力負荷に対して昇圧能力が低いと判断されるときには、昇圧能力がより高くなるように該昇圧能力を変更する。

20

【0147】

以下では、第2の構成例が第1の構成例と異なる点についてのみ説明し、同一部分についての説明を適宜省略する。

【0148】

図19に、図18の第2の構成例におけるソースドライバの構成例のブロック図を示す。図19において、図4と同一部分には同一符号を付し、適宜説明を省略する。

【0149】

第2の構成例におけるソースドライバが第1の構成例におけるソースドライバと異なる点は、第2の構成例におけるソースドライバが階調データ総和演算部25を含む点である。

30

【0150】

階調データ総和演算部25は、電源回路50の出力負荷を評価するための評価値を、階調データに基づいて演算する。この評価値は、総和データ G_{SUM} として電源回路50に供給される。より具体的には、階調データ総和演算部25は、1走査ライン分の階調データを加算することで、評価値を求めることができる。例えば階調データ総和演算部25は、ラインラッチ26に取り込まれる階調データを1ソース出力毎に加算して総和データを求め、評価値とする。このような評価値としての総和データに基づいて、表示パネル12の駆動に用いられる階調電圧の大小を大まかに評価でき、電源回路50の出力負荷の評価に用いることができる。

40

【0151】

図20に、第2の構成例における電源回路50の昇圧回路52、リミッタ回路53の構成例を示す。

【0152】

第2の構成例における昇圧回路52が第1の構成例における昇圧回路52と異なる点は、第2の構成例では切替制御部110が含まれる点である。

【0153】

切替制御部110は、第1及び第2のチャージポンプ回路100₁、100₂のイネー

50

ブル制御を行う。より具体的には、切替制御部 110 は、第 1 及び第 2 のチャージポンプ回路 100₁、100₂ のいずれか 1 つをイネーブル状態に設定したり、第 1 及び第 2 のチャージポンプ回路 100₁、100₂ の両方をイネーブル状態に設定したりできる。こうすることで、切替制御部 110 は、昇圧回路 52 の昇圧能力を 3 種類のいずれかから選択して制御できる。この切替制御部 110 は、電源回路 50 の出力負荷に応じて昇圧回路 52 の昇圧能力を変更する制御を行う。

【0154】

図 21 に、第 2 の構成例における電源回路の電源回路制御部 58 の動作説明図を示す。

【0155】

第 2 の構成例では、制御信号 MODE により通常表示モード（高負荷表示モード）が指定されたとき、制御信号 REG1en によりレギュレータ REG1 がディセーブル状態に設定され、制御信号 LMTen によりリミッタ回路 53 がイネーブル状態に設定される。第 1 及び第 2 のチャージポンプ回路 100₁、100₂ のイネーブル制御は、電源回路 50 の出力負荷に応じて行われる。より具体的には、通常表示モードが指定されたとき、電源回路 50 の昇圧回路 52 が、電源回路 50 の出力負荷と、リミッタ回路 53 が昇圧電圧の電位を制限したか否かを示すリミッタ動作情報とに基づいて、昇圧能力を変更する。

【0156】

また、制御信号 MODE によりパースシャル表示モード（低負荷表示モード）が指定されたとき、制御信号 REG1en によりレギュレータ REG1 がイネーブル状態に設定され、制御信号 ENB1 により第 1 のチャージポンプ回路 100₁ がイネーブル状態に設定され、制御信号 ENB2 により第 2 のチャージポンプ回路 100₂ がディセーブル状態に設定され、制御信号 LMTen によりリミッタ回路 53 がディセーブル状態に設定される。これにより、電源回路 50 の出力負荷が高い場合でも昇圧能力を低下させることなく、且つ出力負荷に対して昇圧効率が低下することを防止できるようになる。

【0157】

このような第 2 の構成例における電源回路 50 は、更に、コンパレータ CMP2、レベルシフタ 180、カウンタ 182、判定ロジック部 184、閾値更新部 186 を含む。

【0158】

コンパレータ CMP2 は、コンパレータ CMP1 からの比較結果パルスにより、リミッタ回路 53 の電圧制限回路 150 が電圧を調整した期間を判別し、リミッタ回路 53 の動作情報を検出できる。

【0159】

図 22 に、コンパレータ CMP1 の比較結果パルスの説明図を示す。

【0160】

比較結果パルスは、図 22 に示すようにパルス信号となる。入力電圧 Vin が基準電圧 VREF より高電位の場合には、比較結果パルスが L レベルとなり、上述のようにシステム電源電圧 VDD が供給される電源線に電荷を放電する期間となる。また、入力電圧 Vin が基準電圧 VREF より低電位の場合には、比較結果パルスが H レベルとなり、該電源線に電荷を放電しない期間となる。

【0161】

このように、リミッタ回路 53 では、入力電圧 Vin が基準電圧 VREF より高電位側になると、P 型 MOS トランジスタ TRO がオンとなって、電圧 VOUT が供給される電源線の電荷を、システム電源電圧 VDD が供給される電源線に放電する制御を行う。

【0162】

第 2 の構成例における電源回路 50 は、上述のように、出力負荷を評価するための評価値である総和データ GSUM を所与の閾値と比較することで、昇圧能力を変更するか否かを判断できるようになっている。更に、この閾値は、リミッタ回路 53 が昇圧電圧である電圧 VOUT の電位を制限したか否かを示すリミッタ動作情報に基づいて更新される。従って、電源回路 50 は、電源回路 50 の出力負荷とリミッタ動作情報とに基づいて、昇圧回路 52 の昇圧能力を変更することができる。

10

20

30

40

50

【 0 1 6 3 】

そのため、図 2 0 において、コンパレータ C M P 2 には、リミッタ回路 5 3 からの比較結果パルスと、所与の閾値電圧 V T H とが入力される。コンパレータ C M P 2 の高電位側の電源を電圧 V O U T、低電位側の電源をシステム接地電源電圧 V S S とすると、閾値電圧 V T H は、次の式で表すことができる。

【 0 1 6 4 】

$$V T H = V O U T - V t h p - \dots (1)$$

ここで、V t h p は、電圧制限回路 1 5 0 を構成する P 型 M O S トランジスタ T R O の閾値電圧であり、 \quad は 0 . 1 V ~ 0 . 2 V 程度の正の定数値である。このようなコンパレータ C M P 2 の出力信号は、図 2 2 の比較結果パルスの H レベル、L レベルに対応した信号となり、電荷を電源線に放電する時間の長さを監視するための信号となる。

10

【 0 1 6 5 】

レベルシフタ 1 8 0 は、このようなコンパレータ C M P 2 の出力信号の電圧レベルを所与の電圧レベルの信号にシフトする。カウンタ 1 8 2 は、レベルシフタ 1 8 0 の出力信号であるパルス信号のパルス幅又はパルス数をカウントする。カウンタ 1 8 2 の所定期間におけるカウント値を、リミッタ動作情報を示す信号と考えることができる。即ち、昇圧能力が大きいときは、リミッタ回路 5 3 が動作している期間が長くなる。そのため、パルス信号のパルス幅又はパルス数をカウントすることで、リミッタ回路 5 3 のリミッタ動作情報を数値化できる。パルス信号のパルス数をカウントする場合、例えば一定期間 (1 又は複数の水平走査期間、 1 又は複数の垂直走査期間) にリミッタ回路 5 3 が動作した期間に対応するパルス数を、ドットクロック (ピクセルクロック) 等の所与のクロック信号を用いてカウントすればよい。

20

【 0 1 6 6 】

判定ロジック部 1 8 4 は、総和データ G S U M と所与の閾値とを比較することで、昇圧回路 5 2 の切替制御部 1 1 0 の制御を行う。本実施形態では、判定ロジック部 1 8 4 からの判定結果に基づいて、切替制御部 1 1 0 が、第 1 及び第 2 のチャージポンプ回路 1 0 0₁、1 0 0₂ のうち少なくとも 1 つがイネーブル状態となるように制御する。この結果、切替制御部 1 1 0 が、昇圧回路 5 2 の昇圧能力の変更後に、第 1 のチャージポンプ回路 1 0 0₁ により生成された昇圧電圧、第 2 のチャージポンプ回路 1 0 0₂ により生成された昇圧電圧、又は第 1 及び第 2 のチャージポンプ回路 1 0 0₁、1 0 0₂ により生成された昇圧電圧を出力する。

30

【 0 1 6 7 】

更に判定ロジック部 1 8 4 は、カウンタ 1 8 2 のカウント値に基づいて、閾値を更新すべきか否かを判定する。例えば、判定ロジック部 1 8 4 は、所与の更新判定用閾値とカウント値とを比較する。判定ロジック部 1 8 4 によって閾値を更新すべきと判定されたとき、閾値更新部 1 8 6 は現在の閾値をインクリメント又はデクリメントして閾値を更新し、判定ロジック部 1 8 4 に該閾値を供給する。そして、判定ロジック部 1 8 4 は、該閾値と総和データ G S U M とを比較することで、切替制御部 1 1 0 の制御を行う。このように、カウント値に基づいてリミッタ回路 5 3 の動作期間が長いか短いかを判定することで、閾値が、所与の閾値電圧と電圧 V O U T (昇圧電圧) との比較結果に基づいて更新される。

40

【 0 1 6 8 】

図 2 3 に、図 2 0 の判定ロジック部 1 8 4 の動作の一例の説明図を示す。

【 0 1 6 9 】

第 2 の構成例では、総和データ G S U M の最大値に対して、演算対象の走査ラインの総和データ G S U M に応じて、昇圧回路 5 2 の昇圧能力を変更する。そのため、判定ロジック部 1 8 4 は、2 つの閾値 T H A、T H B を有する。閾値 T H A は、第 2 のチャージポンプ回路 1 0 0₂ をイネーブル状態に設定した状態で、第 1 のチャージポンプ回路 1 0 0₁ をイネーブル状態に設定するか否かを判定するための閾値である。閾値 T H B は、第 1 及び第 2 のチャージポンプ回路 1 0 0₁、1 0 0₂ のいずれかをイネーブル状態に設定するか否かを判定するための閾値である。

50

【 0 1 7 0 】

従って、総和データ G S U M が閾値 T H A より大きいとき、第 1 及び第 2 のチャージポンプ回路 1 0 0₁、1 0 0₂ をイネーブル状態に設定する制御が行われる。また、総和データ G S U M が閾値 T H A 以下で、且つ閾値 T H B より大きいとき、第 1 のチャージポンプ回路 1 0 0₁ をディセーブル状態に設定し、第 2 のチャージポンプ回路 1 0 0₂ をイネーブル状態に設定する制御を行う。更に、総和データ G S U M が閾値 T H B 以下のとき、第 1 のチャージポンプ回路 1 0 0₁ をイネーブル状態に設定し、第 2 のチャージポンプ回路 1 0 0₂ をディセーブル状態に設定する制御を行う。

【 0 1 7 1 】

図 2 4 に、図 2 0 の判定ロジック部 1 8 4 の構成例の要部の回路図を示す。

10

【 0 1 7 2 】

判定ロジック部 1 8 4 は、コンパレータ C M P 1 0、C M P 1 1、C M P 1 2、C M P 1 3、最小値最大値判定部 M M 1、M M 2 を含む。なお、判定ロジック部 1 8 4 は、複数のフリップフロップ D F F 1 ~ D F F 6 を有し、各フリップフロップは図示しない初期化信号により初期化されるものとする。

【 0 1 7 3 】

図 2 4 の判定ロジック部 1 8 4 には、水平同期信号 L P、総和データ G S U M、閾値 T H A、T H B、パルスデータ P L S E T、P C N T 1、P C N T 2 が入力され、制御信号 E N B 1、E N B 2、I N C A、D E C A、I N C B、D E C B を出力する。

【 0 1 7 4 】

20

ここで、パルスデータ P L S E T は、閾値データである。例えば、コンパレータ C M P 1 2 は、比較結果パルスに基づいて電圧 V O U T が所与の閾値電圧 (V T H = 5 . 9 V) 以下となったことを示す比較結果信号、電圧 V O U T が所与の閾値電圧 (V T H = 6 . 1 2 V) 以上となったことを示す比較結果信号を出力できる。そして、電圧 V O U T が所与の閾値電圧 (V T H = 5 . 9) 以下となったことを示す比較結果信号の (所与のレベルを維持する) 幅、パルス幅、又は該比較結果信号が所与のレベルを維持する期間を所与のクロック (例えばドットクロック又はピクセルクロック) を用いて検定した結果が、パルスデータ P C N T 1 として入力される。電圧 V O U T が所与の閾値電圧 (V T H = 6 . 1 2 V) 以上となったことを示す比較結果信号の (所与のレベルを維持する) 幅、パルス幅、又は該比較結果信号が所与のレベルを維持する期間を所与のクロック (例えばドットクロック又はピクセルクロック) を用いて検定した結果が、パルスデータ P C N T 2 として入力される。パルスデータ P L S E T と、パルスデータ P C N T 1、P C N T 2 の各パルスデータとが比較処理される。

30

【 0 1 7 5 】

昇圧能力が高すぎるとリミッタ回路 5 3 が動作することから、パルスデータ P C N T 1 がパルスデータ P L S E T より大きいと判定されたとき、閾値電圧 (V T H = 5 . 9 V) に対応する閾値 T H B をインクリメントする制御を行う。同様に、パルスデータ P C N T 2 がパルスデータ P L S E T より大きいと判定されたとき、閾値電圧 (V T H = 6 . 1 2 V) に対応する閾値 T H A をインクリメントする制御を行う。

【 0 1 7 6 】

40

昇圧能力が低すぎるとリミッタ回路 5 3 が動作しないため、パルスデータ P C N T 1 がパルスデータ P L S E T より小さいと判定されたとき、閾値電圧 (V T H = 5 . 9 V) に対応する閾値 T H B をデクリメントする制御を行う。同様に、パルスデータ P C N T 2 がパルスデータ P L S E T より小さいと判定されたとき、閾値電圧 (V T H = 6 . 1 2 V) に対応する閾値 T H A をデクリメントする制御を行う。

【 0 1 7 7 】

制御信号 I N C A は、閾値 T H A をインクリメントするための制御信号である。制御信号 I N C B は、閾値 T H B をインクリメントするための制御信号である。制御信号 D E C A は、閾値 T H A をデクリメントするための制御信号である。制御信号 D E C B は、閾値 T H B をデクリメントするための制御信号である。

50

【 0 1 7 8 】

制御信号 E N B 1 は、第 1 のチャージポンプ回路 1 0 0₁ をイネーブル状態に設定するための制御信号である。制御信号 E N B 2 は、第 2 のチャージポンプ回路 1 0 0₂ をイネーブル状態に設定するための制御信号である。

【 0 1 7 9 】

図 2 4 において、コンパレータ C M P 1 0 は、総和データ G S U M が閾値 T H A より大きいとき、出力信号が H レベルとなる。コンパレータ C M P 1 1 は、総和データ G S U M が閾値 T H B A より大きいとき、出力信号が H レベルとなる。コンパレータ C M P 1 2 は、パルスデータ P C N T 2 がパルスデータ P L S E T より大きいとき、出力信号が H レベルとなる。コンパレータ C M P 1 3 は、パルスデータ P C N T 1 がパルスデータ P L S E T より大きいとき、出力信号が H レベルとなる。

10

【 0 1 8 0 】

最小値最大値判定部 M M 1 は、閾値 T H A の各ビットが「 1 」のときインクリメント制御を禁止するための制御信号を出力する。最小値最大値判定部 M M 1 は、閾値 T H A の各ビットが「 0 」のときデクリメント制御を禁止するための制御信号を出力する。

【 0 1 8 1 】

最小値最大値判定部 M M 2 は、閾値 T H B の各ビットが「 1 」のときインクリメント制御を禁止するための制御信号を出力する。最小値最大値判定部 M M 2 は、閾値 T H B の各ビットが「 0 」のときデクリメント制御を禁止するための制御信号を出力する。

【 0 1 8 2 】

20

このように判定ロジック部 1 8 4 は、総和データ G S U M、閾値 T H A、T H B に基づいて、第 1 及び第 2 のチャージポンプ回路 1 0 0₁、1 0 0₂ をイネーブル状態に設定する制御を行うことができる。また、判定ロジック部 1 8 4 は、比較結果パルスに基づいてリミッタ回路 5 3 が動作した期間を判定し、その判定結果に応じて閾値 T H A、T H B をインクリメント又はデクリメントする制御を行うことができる。

【 0 1 8 3 】

以上説明したように、本実施形態によれば、昇圧した電圧がターゲット電圧を超過した場合であっても、昇圧元の電源が供給される電源線に電荷を放電するようにしたので、システム接地電源電圧 V S S が供給される電源線に電荷を放電するよりも大幅に低消費電力化を実現できる。更に、第 1 の構成例によれば、電源回路 5 0 の出力負荷が大きいとき、高い昇圧能力で昇圧電圧を生成し、電源回路 5 0 の出力負荷が小さいとき、低い昇圧能力で昇圧電圧を生成できるので、昇圧効率を著しく低下させることなく安定して昇圧電圧を供給できる。更にまた、第 2 の構成例によれば、出力負荷に応じて昇圧回路の昇圧能力を変更できるようにしたので、出力負荷が高い場合でも昇圧能力を低下させることなく、且つ出力負荷に対して昇圧効率が低下することを防止できるようになる。

30

【 0 1 8 4 】

3. 電子機器

図 2 5 に、本実施形態の電源回路が適用される電子機器の構成例のブロック図を示す。ここでは、電子機器として、携帯電話機の構成例のブロック図を示す。

【 0 1 8 5 】

40

携帯電話機 9 0 0 は、カメラモジュール 9 1 0 を含む。カメラモジュール 9 1 0 は、C C D カメラを含み、C C D カメラで撮像した画像のデータを、Y U V フォーマットで表示コントローラ 5 4 0 に供給する。表示コントローラ 5 4 0 は、図 1 又は図 2 の表示コントローラ 4 0 の機能を有する。

【 0 1 8 6 】

携帯電話機 9 0 0 は、表示パネル 5 1 2 を含む。表示パネル 5 1 2 は、ソースドライバ 5 2 0 及びゲートドライバ 5 3 0 によって駆動される。表示パネル 5 1 2 は、複数のゲート線、複数のソース線、複数の画素を含む。表示パネル 5 1 2 は、図 1 又は図 2 の表示パネル 1 2 の機能を有する。

【 0 1 8 7 】

50

表示コントローラ 540 は、ソースドライバ 520 及びゲートドライバ 530 に接続され、ソースドライバ 520 に対して RGB フォーマットの階調データを供給する。

【0188】

電源回路 542 は、ソースドライバ 520 及びゲートドライバ 530 に接続され、各ドライバに対して、駆動用の電源電圧を供給する。電源回路 542 は、図 1 又は図 2 の電源回路 50 の機能を有する。表示ドライバ 544 としてソースドライバ 520、ゲートドライバ 530 及び電源回路 542 を含み、該表示ドライバ 544 が表示パネル 512 を駆動できる。

【0189】

ホスト 940 は、表示コントローラ 540 に接続される。ホスト 940 は、表示コントローラ 540 を制御する。またホスト 940 は、アンテナ 960 を介して受信された階調データを、変復調部 950 で復調した後、表示コントローラ 540 に供給できる。表示コントローラ 540 は、この階調データに基づき、ソースドライバ 520 及びゲートドライバ 530 により表示パネル 512 に表示させる。ソースドライバ 520 は、第 1 ~ 第 3 の実施形態のいずれかのソースドライバの機能を有する。ゲートドライバ 530 は、図 1 又は図 2 のゲートドライバ 30 の機能を有する。

10

【0190】

ホスト 940 は、カメラモジュール 910 で生成された階調データを変復調部 950 で変調した後、アンテナ 960 を介して他の通信装置への送信を指示できる。

【0191】

20

ホスト 940 は、操作入力部 970 からの操作情報に基づいて階調データの送受信処理、カメラモジュール 910 の撮像、表示パネル 512 の表示処理を行う。

【0192】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の液晶表示パネルの駆動に適用されるものに限らず、エレクトロクミネッセンス、プラズマディスプレイ装置の駆動に適用可能である。更に、表示パネルの駆動に限らず、種々の回路に電源を供給するものに適用可能である。

【0193】

更に、上述した実施形態の液晶表示装置は、携帯電話機、携帯型情報機器（PDA 等）、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マスストレージデバイス、ビデオカメラ、電子手帳又は GPS（Global Positioning System）などの種々の電子機器に組み込むことができる。

30

【0194】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【0195】

【図 1】本実施形態の液晶表示装置のブロック図の例を示す図。

40

【図 2】本実施形態における液晶表示装置の他の構成例のブロック図。

【図 3】図 1 又は図 2 のゲートドライバの構成例のブロック図。

【図 4】図 1 又は図 2 のソースドライバの構成例のブロック図。

【図 5】図 4 の基準電圧発生回路、DAC 及びソース線駆動回路の構成例を示す図。

【図 6】図 1 又は図 2 の電源回路の構成例を示す図。

【図 7】図 1 又は図 2 の表示パネルの駆動波形の一例を示す図。

【図 8】本実施形態の極性反転駆動の説明図。

【図 9】本実施形態の表示ドライバが内蔵する制御レジスタ部の説明図。

【図 10】図 10（A）、図 10（B）はパーシャル表示モードの説明図。

【図 11】電源回路の出力負荷と出力負荷電流との関係を模式的に示す図。

50

【図 1 2】本実施形態の第 1 の構成例の電源回路の昇圧回路、リミッタ回路の構成例を示す図。

【図 1 3】図 1 2 の第 1 のチャージポンプ回路の構成例の回路図。

【図 1 4】図 1 3 のチャージクロックのタイミングを模式的に示す図。

【図 1 5】図 1 2 のコンパレータと電圧制限回路の構成例の回路図。

【図 1 6】第 1 の構成例の電源回路の電源回路制御部の構成の概要を示す図。

【図 1 7】図 1 6 の電源回路制御部の動作説明図。

【図 1 8】本実施形態の第 2 の構成例における液晶表示装置の構成要部を示す図。

【図 1 9】第 2 の構成例におけるソースドライバの構成例のブロック図。

【図 2 0】第 2 の構成例における電源回路の昇圧回路、リミッタ回路の構成例を示す図。

10

【図 2 1】第 2 の構成例における電源回路の電源回路制御部の動作説明図。

【図 2 2】コンパレータの比較結果パルスの説明図。

【図 2 3】図 2 0 の判定ロジック部の動作の一例の説明図。

【図 2 4】図 2 0 の判定ロジック部の構成例の要部の回路図。

【図 2 5】本実施形態の電源回路が適用される電子機器の構成例のブロック図。

【符号の説明】

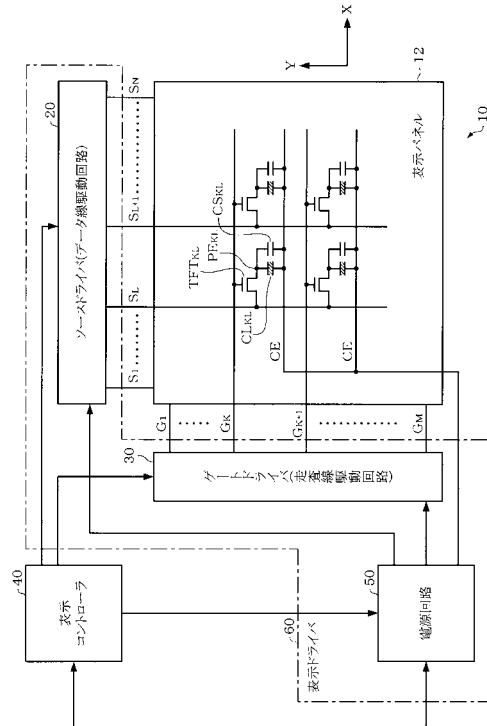
【 0 1 9 6 】

1 0 液晶表示装置、 1 2 表示パネル、 2 0 ソースドライバ、
 2 2、3 2 シフトレジスタ、 2 4、2 6 ラインラッチ、
 2 5 階調データ総和演算部、 2 7 基準電圧発生回路、 2 8 D A C、
 2 9 ソース線駆動回路、 3 0 ゲートドライバ、 3 4、1 8 0 レベルシフタ、
 3 6 出力バッファ、 4 0 表示コントローラ、 5 0 電源回路、
 5 2 昇圧回路、 5 3 リミッタ回路、 5 4 走査電圧生成回路、
 5 6 対向電極電圧生成回路、 6 0 表示ドライバ、
 8 0 制御レジスタ部、 8 2 表示モード設定レジスタ、
 1 0 0₁ 第 1 のチャージポンプ回路、 1 0 0₂ 第 2 のチャージポンプ回路、
 1 1 0 切替制御部、 1 5 0 電圧制限回路、 1 8 2 カウンタ、
 1 8 4 判定ロジック部、 1 8 6 閾値更新部、
 C M P 1、C M P 2 コンパレータ、 F C 1 第 1 のフライングコンデンサ、
 F C 2 第 2 のフライングコンデンサ、 G₁ ~ G_M、G_K ゲート線、
 G S U M 総和データ、 R E G 1 レギュレータ、 S₁ ~ S_N、S_L ソース線、
 T C 1 ~ T C 4 外部接続端子、 V T H 閾値電圧、 V R E F 基準電圧、
 V D D システム電源電圧、 V S S システム接地電源電圧

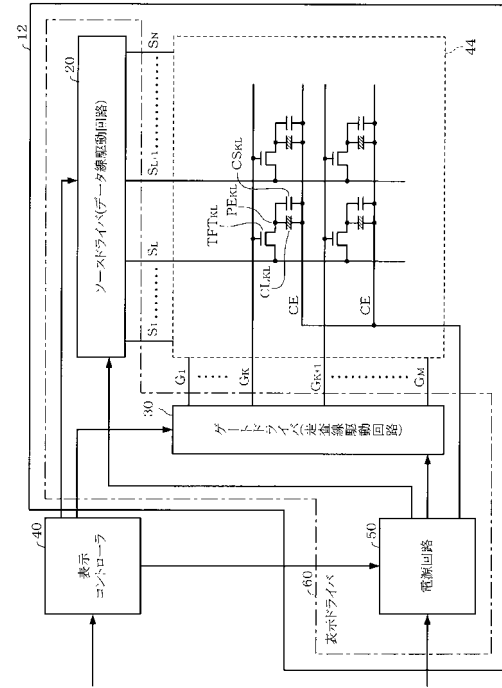
20

30

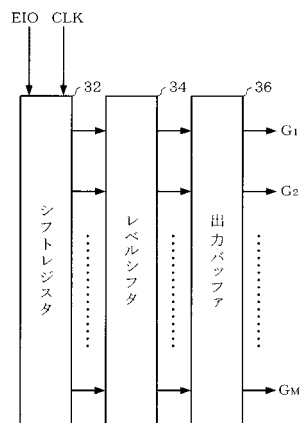
【図 1】



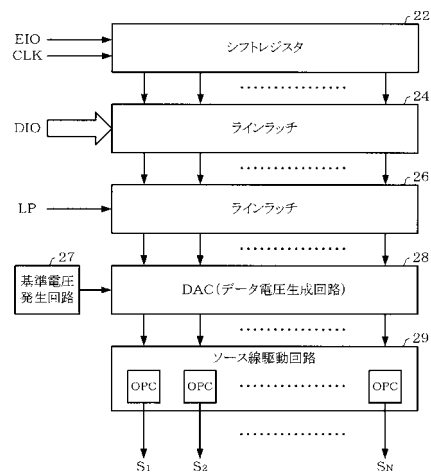
【図 2】



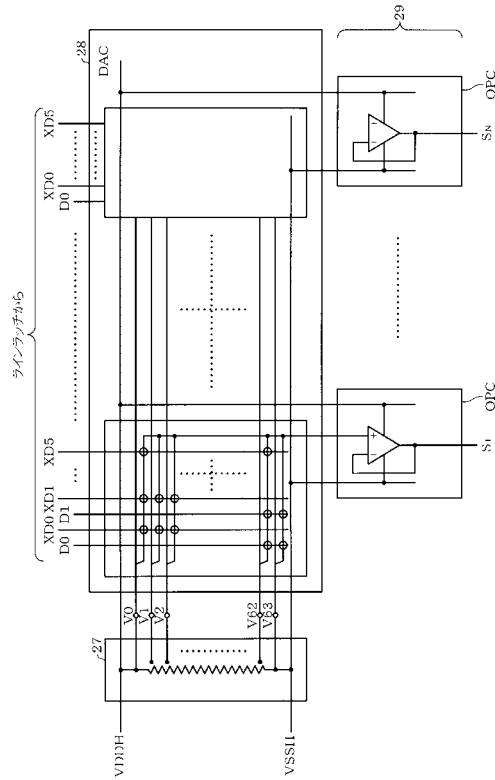
【図 3】



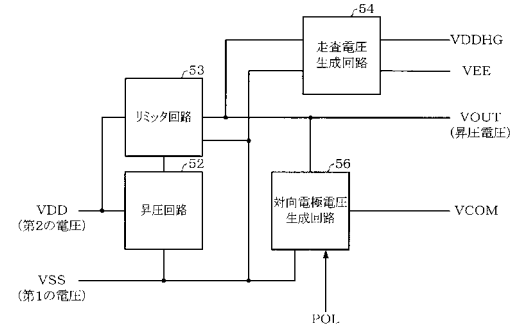
【図 4】



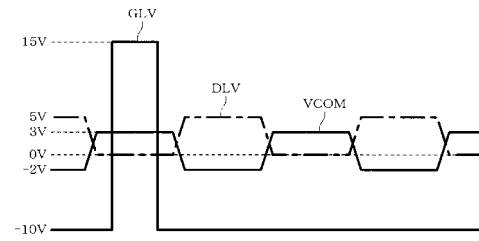
【図5】



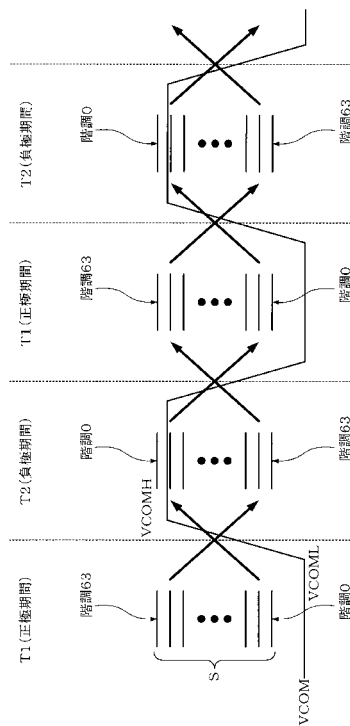
【図6】



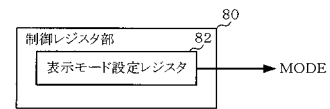
【図7】



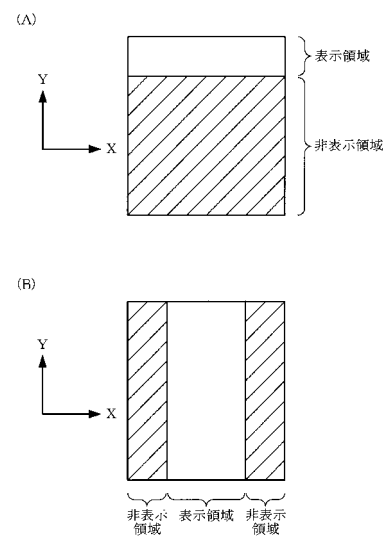
【図8】



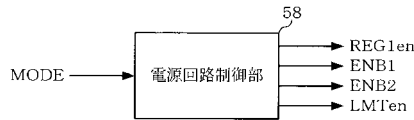
【図9】



【図10】



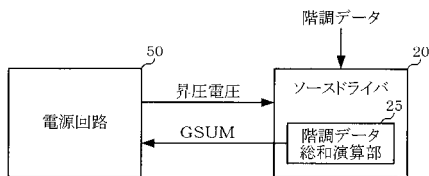
【図 16】



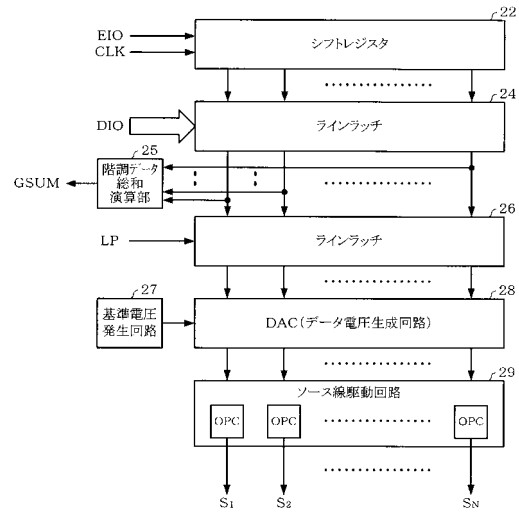
【図 17】

MODE	REG1en	ENB1	ENB2	LMTen
通常表示モード	disable	enable 又はdisable	enable	enable
パーシャル表示モード	enable	enable	disable	disable

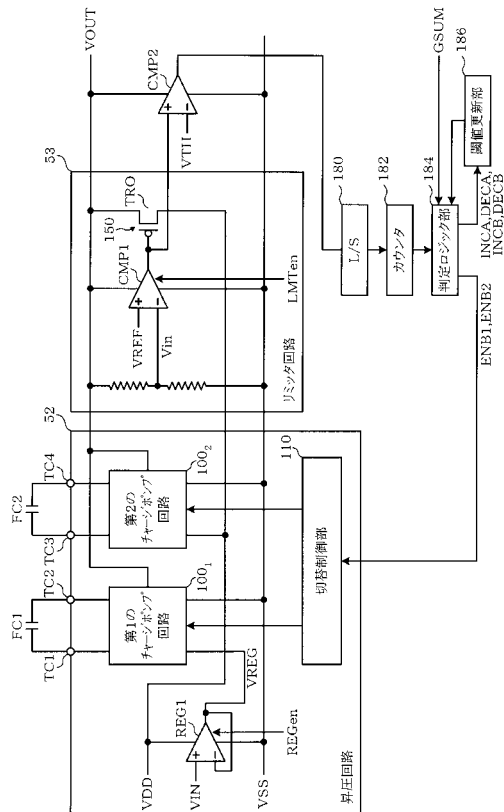
【図 18】



【図 19】



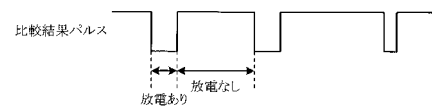
【図 20】



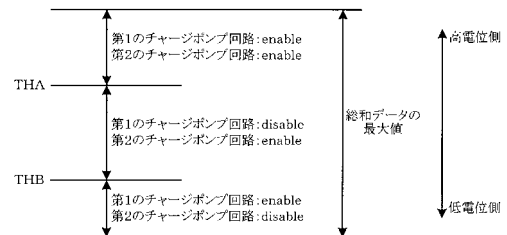
【図 21】

MODE	REG1en	ENB1	ENB2	LMTen
通常表示モード	disable	切り替え	切り替え	enable
パーシャル表示モード	enable	enable	disable	disable

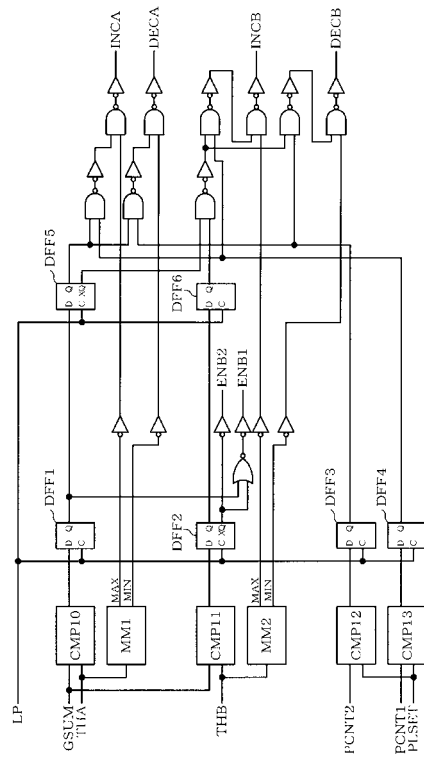
【図 22】



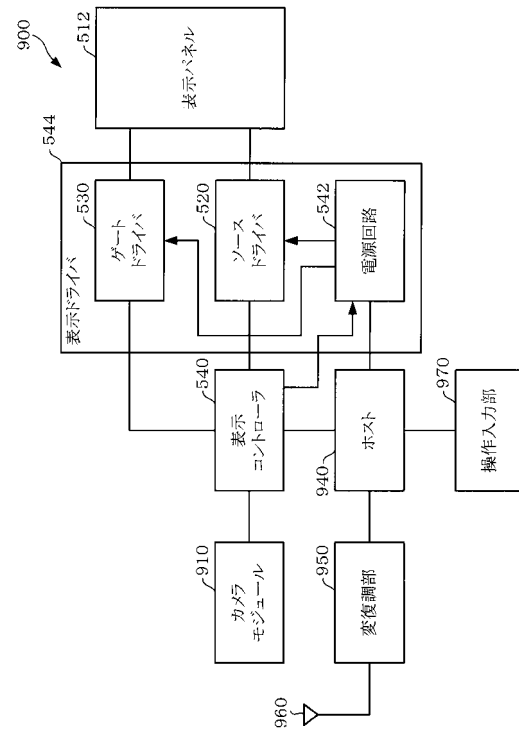
【図 23】



【図 24】



【図 25】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 K

(56)参考文献 特開 2 0 0 4 - 1 9 2 7 4 3 (J P , A)
特開 2 0 0 6 - 3 3 8 1 3 9 (J P , A)
特開 2 0 0 8 - 2 1 1 9 6 3 (J P , A)
特開 2 0 0 5 - 3 5 4 7 8 2 (J P , A)
特開 2 0 0 6 - 1 7 8 0 7 4 (J P , A)
特開 2 0 0 8 - 0 3 5 6 9 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 0 8
G 0 9 G 3 / 1 2
G 0 9 G 3 / 1 6 - 3 / 2 6
G 0 9 G 3 / 3 0
G 0 9 G 3 / 3 4 - 3 / 3 8
G 0 2 F 1 / 1 3 3
H 0 2 M 3 / 0 0 - 3 / 4 4