



(12) 发明专利

(10) 授权公告号 CN 102273005 B

(45) 授权公告日 2014. 03. 12

(21) 申请号 200980153168. 3

(22) 申请日 2009. 11. 19

(30) 优先权数据

12/348, 163 2009. 01. 02 US

(85) PCT国际申请进入国家阶段日

2011. 06. 29

(86) PCT国际申请的申请数据

PCT/EP2009/065456 2009. 11. 19

(87) PCT国际申请的公布数据

W02010/076085 EN 2010. 07. 08

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 A·瓦尔德斯伽西亚

H·克里希纳斯瓦米

A·S·纳塔拉詹

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 杨晓光

(51) Int. Cl.

H01P 1/185(2006. 01)

(56) 对比文件

JP 特开昭 62-176301 A, 1987. 08. 03,

CN 1771624 A, 2006. 05. 10,

US 2006/0028295 A1, 2006. 02. 09,

US 4859972 A, 1989. 08. 22,

审查员 李琳

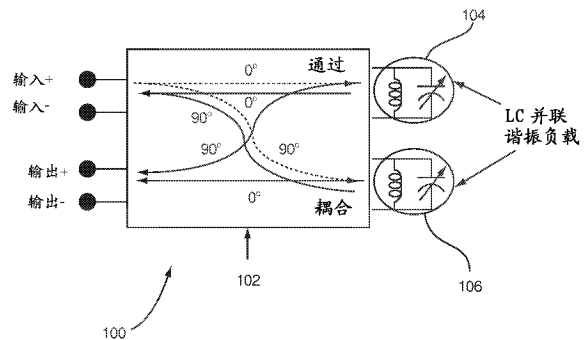
权利要求书1页 说明书6页 附图8页

(54) 发明名称

整合式毫米波移相器及其方法

(57) 摘要

一种移相器及方法包括经接地屏蔽的混合式耦合器。反射端子连接至该混合式耦合器, 该混合式耦合器经配置以使经施加的信号相移, 其中所述反射端子包括并联 LC 电路。



1. 一种移相器,其包含:

混合式耦合器,其经接地屏蔽,且包括使用不同金属层的彼此叠置的差动共平面带状线(CPS),使得垂直地发生信号耦合,所述差动CPS形成于具有主平面表面的基板上,且所述CPS经设置于该平面表面上且在该主平面中弯曲;及

反射端子,其连接至该混合式耦合器,使得当该混合式耦合器连接至所述反射端子时形成移相器,所述反射端子各自包括并联LC电路。

2. 如权利要求1的移相器,其中彼此堆栈的所述CPS的平面宽度不相同。

3. 如权利要求1的移相器,其进一步包含相对于所述CPS垂直地放置以提供接地的金属带。

4. 如权利要求1的移相器,其中该并联LC电路包括并联连接的可变电抗器及电感器,使得该可变电抗器经控制以控制由该移相器提供的相移。

5. 如权利要求1的移相器,其中移相器经配置以在毫米波频率下操作。

6. 一种相控阵列系统,其包含:

一个或多个天线,其经配置以接收/发射信号;

如权利要求1至5中任一项的移相器,其与每一天线相关联。

7. 一种用于使经接收的信号相移的方法,其包含:

使用一个或多个天线接收信号;

使该信号以取决于与每一天线相关联的移相器的量相移,该移相器包括混合式耦合器,其经接地屏蔽,且包括使用不同金属层的彼此叠置的差动共平面带状线(CPS),使得垂直地发生信号耦合,所述差动CPS形成于具有主平面表面的基板上,其中所述CPS经设置于该平面表面上且在该主平面中弯曲;及连接至该混合式耦合器的反射端子,其中所述反射端子包括并联LC电路;及

组合由所述一个或多个天线接收的相移信号以经由相移差提供空间选择性。

8. 如权利要求7的方法,其中彼此堆栈的所述CPS的平面宽度不相同。

9. 如权利要求7的方法,其进一步包含相对于所述CPS垂直地放置金属带以提供接地。

10. 如权利要求7的方法,其中该并联LC电路包括并联连接的可变电抗器及电感器,且该方法进一步包括控制该可变电抗器以控制由该移相器提供的相移。

11. 一种用于使经发射的信号相移的方法,其包含:

将信号散布至一个或多个天线;

使该信号以取决于与每一天线相关联的移相器的量相移,该移相器包括混合式耦合器,其经接地屏蔽,且包括使用不同金属层的彼此叠置的差动共平面带状线(CPS),使得垂直地发生信号耦合,所述差动CPS形成于具有主平面表面的基板上,其中所述CPS经设置于该平面表面上且在该主平面中弯曲;及连接至该混合式耦合器的反射端子,其中所述反射端子包括并联LC电路;及

从所述一个或多个天线发射所述经相移的信号以经由相移差提供空间选择性。

整合式毫米波移相器及其方法

技术领域

[0001] 本发明涉及射频移相器,具体地,涉及用于整合式相控阵列系统的在毫米波频率下操作的移相器。

背景技术

[0002] 现在,在说明移相器及相控阵列对单体整合的要求及现有实施的背景下呈现移相器及相控阵列。相控阵列系统:相控阵列收发器为经由控制连续的天线信号路径之间的时间延迟差达成空间选择性的一类多天线系统。此延迟差的改变修改了所发射/接收的信号相干地累加的方向,因此“导引”电磁束。归因于在高速无线通信系统及雷达中的潜在应用,基于硅的技术中的相控阵列的整合最近引起极大兴趣。

[0003] 毫米波频率的相控阵列具有若干突出商业应用。当前广泛研究在 60GHz 的 7GHz 工业、科技及医疗 (ISM) 频带以用于室内、每秒几千兆位的无线个人局域网 (WPAN)。在此类应用中,归因于路径中的障碍,发射器与接收器之间的视线链路 (line-of-sight link) 很容易断开。归因于相控阵列的射束导引能力,其可利用墙壁的反射,因此允许恢复链路。

[0004] 参看图 1A,一方块图说明具有组件间天线间距 $d = \lambda / 2$ 的 1-D N 组件相控阵列接收器 10,其中 λ 为对应于操作频率 ω 的自由空间波长。当来自电磁束的振幅 A 的信号 12 以角 θ_{in} (自法线方向测量) 入射至阵列 10 时,电磁波在到达连续的天线 16 的过程中经历时间延迟。接收器中每一信号路径中的可变时间延迟区块 14 补偿此传播延迟。以此方式,通过每一组件处的适当延迟,来自求和器 18 的经组合或经求和的输出信号 $S_{comb}(t)$ 将具有比可通过单个组件获取的振幅大的振幅。在接收器的背景下,将相控阵列因子 (AF) 定义为由阵列相对于单元件接收器所达成的额外功率增益。

[0005] 相控阵列因子随入射角 (θ) 及阵列的递增延迟差 (τ) 而变,且因此反映阵列的空间选择性。射束指向方向 θ_m 为对应于最大功率增益的入射角。图 1B 展示针对不同 $\Delta \tau$ 设定的 4 组件相控阵列的阵列因子,导致不同射束指向方向。

发明内容

[0006] 一种整合式反射式差动移相器包括垂直耦合线混合电路 (hybrid) 及电感 - 电容 (LC) 谐振负载。该混合式耦合器包括使用不同金属层的彼此叠置的差动共平面带状线 (coplanar stripline, CPS),使得垂直地发生耦合。这样减少所用面积,且允许较容易的差动实施。CPS 的宽度不相同,此特征允许在设定其特性阻抗方面有较多灵活性。在一较低金属层级 (例如, M1),相对于 CPS 垂直地放置金属带 (metal strip) 作为屏蔽以减少基板损耗。这样的金属带还经设计以减小 CPS 中的波传播速度,且减小耦合器的总体大小。该混合式耦合器的反射负载端子实施有一并联谐振 LC 电路。电感器将反射负载阻抗的虚数部分设定为一值,其中电容的改变得到整个移相器的较大的相位改变。此结构适合用于毫米波 (mm 波),因为电感器的寄生电容可吸收入分流电感器值中。所述实施特征适合用于 SiGe 及 CMOS 技术中的整合,及在毫米波频率下的操作。

[0007] 在差动实施例中：包括混合式耦合器，其具有使用不同金属层的彼此叠置的差动共平面带状线 (CPS)，使得垂直地发生耦合。这样减少所用面积，且允许较容易的差动实施。CPS 的宽度不相同。此特征允许在设定其特性阻抗方面有较多灵活性。在一较低金属层级（例如，M1），相对于 CPS 垂直地放置金属带作为屏蔽以减少基板损耗。这样的金属带还经设计以减小 CPS 中的波传播速度，且减小耦合器的总体大小。

[0008] 在一单端实施例中：该耦合器包括经放置于金属带上 / 下的耦合线，所述金属带与所述耦合线垂直。所述带屏蔽改良耦合、隔离，具有较小的耦合器大小及较高的特性阻抗。

[0009] 一种移相器及其方法包括经接地屏蔽的混合式耦合器。反射端子连接至该混合式耦合器，该混合式耦合器经配置以使经接收的信号相移，其中所述反射端子包括并联 LC 电路。

[0010] 一种用于使经发射的信号相移的方法包括：将信号散布至一个或多个天线；使该信号以取决于与每一天线相关联的移相器的量相移，该移相器包括：混合式耦合器，该混合式耦合器经接地屏蔽，及反射端子，所述反射端子连接至该混合式耦合器，其中所述反射端子包括并联 LC 电路；及从所述一个或多个天线发射所述经相移的信号以经由相移差提供空间选择性。

[0011] 这些及其它特征与优点从以下对本发明的说明性实施例的详细描述将变得显而易见，将结合所附图示而阅读此详细描述。

附图说明

[0012] 本发明将参考以下图示在以下优选实施例的描述中提供详细内容。

[0013] 图 1A 为展示根据现有技术的相控阵列接收器的方块图；

[0014] 图 1B 为绘制根据现有技术的针对 3 位延迟组件的不同设定的 4 组件阵列因子 (AF) 相对入射角的曲线图；

[0015] 图 2 为展示反射式移相器的图；

[0016] 图 3 为展示基于耦合传输线与奇模及偶模特性阻抗的设计等式的正交混合电路的图；

[0017] 图 4A 为 60Hz 反射式移相器的相移相对反射端子的电容的曲线图；

[0018] 图 4B 为可在反射端子中使用的串联 LC 电路；

[0019] 图 5 为根据本发明的移相器的方块图；

[0020] 图 6 说明性地展示根据本发明的经由垂直耦合的共平面带状线 (CPS) 实现的差动耦合器的区段；

[0021] 图 7A 为根据一实施例的移相器中使用的差动基于耦合 CPS 的混合电路的示例性配置；

[0022] 图 7B 为展示根据本发明的耦合 CPS 混合电路的电磁仿真的结果（差动端口 1 及 2 (S12) 与差动端口 1 及 3 (S13) 的间的功率及相位差）的曲线图；

[0023] 图 8 为根据本发明的移相器中使用的单端基于耦合 CPS 的混合电路的示例性布局；

[0024] 图 9A 为展示根据一实施例的用作反射端子的分流 LC 端子的示意图；

[0025] 图 9B 为展示根据一说明性实施例的针对将 100pH 的电感器与电容（其从 50fF 变化至 100fF 以将相移范围增加至 60GHz 处的 180 度）并联分路地放置的随电容而变的所得相移的曲线图；

[0026] 图 10A 为展示针对不同相移设定的经设计的 60GHz RTPS 的插入损耗的曲线图；

[0027] 图 10B 为展示针对不同相移设定的经设计的 60GHz RTPS 的插入相位的曲线图；

[0028] 图 11 为展示根据本发明在相对窄频带相控阵列中使用移相器而非延迟组件的延迟相移近似的方块图；及

[0029] 图 12 为展示根据一实施例的相控阵列收发器的方块图。

具体实施方式

[0030] 根据本发明，经接地屏蔽的耦合线耦合器与 LC 并联谐振反射负载整合以形成反射式移相器 (RTPS)，其适合用于硅实施及在毫米波频率下的操作。考虑单端实施例及差动实施例两者。选择耦合线耦合器以提供比其它替代例（例如，分支线耦合器）宽的操作带宽。可通过此耦合器在整合式实施中获取的偶模阻抗及奇模阻抗对于在毫米波频率下的反射式移相器 (RTPS) 为足够的。在差动情况下，一实施例中的耦合器包括使用不同金属层的彼此叠置的差动共平面带状线 (CPS)，使得垂直地发生耦合。此减少所用面积，且允许较容易的差动实施。在单端情况下，根据一实施例的耦合器包括经放置于金属带上 / 下的耦合线，所述金属带与耦合线垂直。所述带屏蔽及改良耦合隔离，具有较小的耦合器大小及较高的特性阻抗。

[0031] 在其它实施例中，通过并联谐振 LC 电路实施单端实施例及差动实施例两者中的混合式耦合器的反射负载端子。硅技术中的可变电抗器的电容的有限变化限制了在 RTPS 中可达成的相移变化。在本实施例中，电感器将反射负载阻抗的虚数部分设定为一值，其中电容的改变得到较大的相位改变。此结构适合用于毫米波，因为电感器的寄生电容可吸收入分流电感器值中。

[0032] 本发明的实施例可采用完全硬件实施例或包括硬件及软件组件两者的实施例（其包括但不限于固件、常驻软件、微码等）的形式。

[0033] 如本文中所描述的实施例可为集成电路芯片、光具座 (optical bench)、发射器或接收器、或使用无线电传输或无线通信的任何其它装置或器件的设计的部分。芯片设计可以图形计算机编程语言建立，且存储于计算机存储媒体（诸如盘片、磁带、物理硬盘驱动器或诸如在存储存取网络中的虚拟硬盘驱动器）中。若设计者不制造芯片或不制造用于制造芯片的光刻屏蔽，则设计者通过物理构件（例如，通过提供存储该设计的存储媒体的复本）或电子地（例如，经由因特网）将所得设计直接或间接地传输至这样的实体。接着将存储的设计转换为适当格式（例如，图形数据系统 (GDSII)）以用于制造光刻屏蔽，所述屏蔽通常包括待形成于晶圆上的所涉及芯片设计的多个复本。光刻屏蔽用于界定晶圆的待蚀刻或以其它方式处理的区域（和 / 或其上的层）。

[0034] 所得集成电路芯片可由制造者以原始晶圆形式（即，作为具有多个未封装芯片的单个晶圆）、作为裸片、或以封装形式散布。在后一种情况下，芯片安装于单个芯片封装（诸如塑料载体，其具有附接至主机板或其它较高层级载体的引线）中或多芯片封装（诸如具有表面互连或嵌入式互连，或者表面互连与嵌入式互连两者的陶瓷载体）中。在任何情况

下,接着将该芯片与其它芯片、离散电路组件,和/或其它信号处理器件整合,作为(a)中间产品(诸如主机板)的部分或(b)最终产品的部分。最终产品可为包括集成电路芯片的任何产品,其范围自玩具及其它低端应用至具有显示器、键盘或其它输入器件,及中央处理器的高级计算机产品。

[0035] 现参看其中类似数字表示相同或类似组件的图示,且首先参看图2,描绘反射式移相器(RTPS)的总方块图。RTPS包括3dB、90°混合式耦合器22,及纯电抗性、可变负载端子24。当输入信号26入射于RTPS的输入端口28上时,其分成到达具有90°相位差的通过输出30及耦合输出32的两个相等功率的分量。在这样的端口30及32处,归因于端子24的电抗性性质(reactive nature),信号经受完全反射。此完全反射伴随有取决于可变电抗性负载24的值的相移。接着,在输出端口34(其为耦合器的隔离端口)处相干地组合经反射的信号,因为输入端口与耦合端口的间的90°相移由通过端口30与输出端口32的间的90°偏移平衡。因为来自耦合端口的经反射信号遭受额外的90°偏移,所以在输入端口28处破坏地(destructively)组合经反射的信号。

[0036] RTPS中的两个主要损耗源为用于实施耦合器22的传输线中的损耗,及反射端子24中的损耗。芯片上电抗性分量的有限质量因子在反射端子中引入电阻分量。此使反射不完全,因此引入损耗。可使用耦合传输线实施3-dB 90°混合式耦合器。

[0037] 参看图3,说明性地描绘双耦合线耦合器40。为正常运作,必须根据等式46及48给定耦合传输线42及44的偶模特性阻抗 $Z_{0,e}$ 及奇模特性阻抗 $Z_{0,o}$ 。对于3dB耦合器,耦合因子 c 为0.7。另外,偶模及奇模中的波长必须相等,且耦合传输线的长度必须为该值的四分之一。反射端子的设计也要求仔细考虑。在设计频率下的RTPS的相移为反射端子处的有效电容。

[0038] 参看图4A,说明性地展示相移对电容的依赖性。若仅使用可变电抗器实施反射端子以达成180°的相移范围,则可变电抗器的电容必须自0至 ∞ 变化。为克服此问题,可使用较高阶反射端子。图4B中展示一实例,其中电感器(Ls)与可变电抗器(Cv)串联连接以形成反射端子。使用这样的概念,根据本发明而提供改良的移相器。

[0039] 参看图5,方块图说明性地展示根据本发明的移相器100。经接地屏蔽的耦合线耦合器102与LC并联谐振反射负载104及106整合以形成RTPS,其适合用于硅实施且在毫米波频率下的操作。选择耦合线耦合器102以提供比其它替代例(例如,分支线耦合器)宽的操作带宽。可通过此耦合器102在整合式实施中获取的偶模阻抗104及奇模阻抗106对于在毫米波频率下的RTPS为足够的。在差动情况下,耦合器可包括使用不同金属层的彼此叠置的差动共平面带状线(CPS),使得垂直地发生耦合。此减少所用面积,且允许较容易的差动实施。在单端情况下,耦合器包括经放置于金属带上/下的耦合线,所述金属带与耦合线垂直。

[0040] 优选地通过并联谐振LC电路实施单端实施例及差动实施例两者中的混合式耦合器的反射负载端子104及106。硅技术中的可变电抗器的电容的有限变化限制了RTPS中可达成的相移变化。电感器将反射负载阻抗的虚数部分设定为一值,其中电容的改变得到较大的相位改变。此结构适合用于毫米波,因为电感器的寄生电容可吸收入分流电感器值中。

[0041] 耦合器102在其输入端口/输出端口的间执行90度相移。为了作为移相器(例如,对于任意相位)操作,耦合器102连接至反射负载104及106。耦合器102经设计为形

成移相器的部分且达到良好效能,尤其在整合式实施中。

[0042] 参看图 6,说明性地描绘差动垂直耦合线耦合器 200 的区段。在此实施例中,共平面带状线 (CPS) 202 实施于两个不同金属层 204 及 206 (以下称为信号金属层) 中,且在其间采用垂直耦合 210。在偶模中,当两个 CPS 中的电流 (箭头 A 及 B) 平行时,所述线 (线 211) 之间的磁场相加,因此增加每一线的每单位长度电感及特性阻抗。在奇模中,磁场归因于电流 (箭头 A 及 C) 而抵消,因此减少每一线 (线 212) 的每单位长度电感。此外,层 204 及 206 的两条线 202 的间存在显著平行板电容,其减少特性阻抗。

[0043] 屏蔽金属带 (例如,带 208) 实施于不同于前述两个金属层 204 及 206 的金属层或多个层中,以使线 202 与有损耗的硅基板 215 隔离。由于此屏蔽,在偶模及奇模两者中,在较靠近屏蔽层的信号层上有较高电容。为了在偶模及奇模中平衡此效应且维持相等阻抗,根据本发明的一方面,将信号金属层级 CPS (206) 中之一的宽度相对于另一信号金属 CPS (204) 的宽度减少。

[0044] 应理解尤其有用的实施例的耦合器 200 形成于基板 215 上。基板 215 可包括硅基板、SiGe 或任何其它适当的基板材料。优选地预期差动实施例或单端实施例的形成以用于使用半导体处理操作的硅整合。可使用类似于 CMOS 型整合的集成电路处理来沉积及蚀刻金属层。特征的形成可以高精度度执行。举例而言,可选择耦合 CPS 的宽度及间距以达成所要特性阻抗。另外,将屏蔽带放置于金属层 (例如,M1) 中以减少基板损耗及耦合器的大小。

[0045] 参看图 7A,说明性地展示 RTPS 中使用的差动基于耦合 CPS 的混合电路的示例性布局 302。该混合电路弯曲以节省芯片面积。耦合器 302 包括两个带状线 304,其各自包括两个金属层 (见图 6)。耦合器 302 包括耦合线 304,接地带 306 在另一金属层中。图 7B 描绘耦合的 CPS 混合电路的电磁仿真的结果。端口 1、2、3 及 4 分别表示差动输入端口、耦合端口、通过端口及隔离端口。图 7B 的一曲线图中展示从输入端口至通过端口的转移函数 (S_{13}) 及从输入端口至耦合端口的转移函数 (S_{12}) (例如,-3.3dB 及 -3.7dB)。在图 7B 的另一曲线图中也可见,从输入端口至耦合端口的转移函数与从输入端口至通过端口的转移函数之间的相位差 (度) 在模拟中接近 90° 。

[0046] 参看图 8,说明性地展示说明性单端 RTPS 耦合器布局 402。耦合器 402 包括耦合线 404,接地带 406 在另一金属层中。接地带 406 与耦合线 404 垂直。与连续的“接地平面”比较,不连续的垂直金属带 406 的存在导致耦合线 404 中较高的偶模阻抗。此导致耦合线 404 中较高的偶模对奇模阻抗,从而导致耦合器 402 中较紧密的耦合,改良的隔离及较高的特性阻抗。

[0047] 参看图 9A,使用并联 LC 端子 502 以与混合式耦合器 302 (图 7) 一起实施 RTPS。图 9B 展示针对给定量的并联电容 (C_v),并联电感器 (L_p) 的放置如何使可达成的相位范围偏移。图 9B 中的有效电容由 $C_{eff} = C_v - 1/\omega^2 L_p$ 判定。在单端实施例中,每一 LC 端子的一侧连接至耦合器中的适当端口,且另一侧连接至接地。在差动实施例中,不同组件放置服从于等效并联差动 LC 端子。一选项为在耦合器的每一差动端口处使用两个单端并联 LC 网络。另一选项为使电感器在端口处以差动方式连接,且电容器以单端方式连接。本领域技术人员显而易见配置中的此灵活性。在一说明性实施例中,电感器 L_p 可包括 100pH 的电感,且电容可在 50fF 与 100fF 之间变化以将相移范围增加至在 60Hz 处的 180 度,如图 9B 中所展

示。举例而言,通过并联的 100pH,从 50f 至 100f 的改变变换为自 -20f 至 30f,导致 180 度相位改变。谐振负载允许将达成的电容范围移动至最大相位改变的区域。

[0048] 基于差动耦合 CPS 耦合器及分流 LC 反射端子,设计 60GHz RTPS。图 10A 及图 10B 中展示 RTPS 的电磁模拟的结果。对于反射端子,选择可变电抗器大小以得到 24fF 至 66fF 变化的电容,且可变电抗器与 150pH 的电感器并联分路。基于电磁模拟,电感器的 Q 为大约 45,且假设可变电抗器的 Q 在最大电容状态下为 9。图 10A 及图 10B 中分别展示针对不同可变电抗器控制电压的所得插入损耗及插入相位。在不同相移设定中在 57GHz 至 64GHz 频率范围中的最大插入损耗为 5.1dB。

[0049] 参看图 11,说明性地展示一展示延迟 / 相移近似的曲线图。替代延迟组件,可使用移相器来使由天线发送或接收的信号偏移。已绘制针对延迟组件 551 及移相器 552 的相位响应。在两者的交叉点 555 处,提供频带 556,在其中容许且已达成以移相器取代延迟组件。

[0050] 参看图 12,一方块图说明具有组件间天线间距 $d = \lambda / 2$ 的 1-D N 组件相控阵列收发器 602,其中 λ 为对应于操作频率 ω 的自由空间波长。当来自电磁束的振幅 A 的信号 604 以角 θ_{in} (自法线方向测量) 入射至阵列 602 或自阵列 602 发送时,电磁波在到达连续的天线 606 或当发射时到达接收器的过程中经历时间延迟。应注意,本发明可应用于单独或一起操作的接收器和 / 或发射器。接收器中每一信号路径中的可变移相器 608 补偿此传播延迟。以此方式,通过每一组件处的适当调整,来自求和器 / 分裂器 610 的经组合的输出信号 (或用于传输的预散布的输入信号) $S_{comb}(t)$ 将具有比在充当接收器时可通过单个组件获取的振幅大的振幅。在接收器的背景下,将相控阵列因子 (AF) 定义为由阵列相对于单元件接收器所达成的额外功率增益。

[0051] 相控阵列因子随入射角 (θ) 及此处依据相移而表达的阵列的递增延迟差 (τ) 而变,且因此反映阵列的空间选择性。射束指向方向 θ_m 为对应于最大功率增益的入射角。

[0052] 另外,在接收器的情况下,归因于经接收的信号的不相干累加及噪声的不相干累加,假设每一天线处有不相关噪声,相控阵列将信杂比 (SNR) 增强 $10\log(N)$ 的因子。在发射器的背景下,归因于由天线发射的信号的不相干累加,相控阵列将有效等向辐射功率 (EIRP) 增强 $20\log(N)$ 的因子。在相对窄频带的相控阵列中,用根据本发明的可变移相器 608 近似每一信号路径所需的可变延迟组件。

[0053] 毫米波 (mm 波) 技术的关键区分性质为在特定方向中感测或传输电磁能量的能力。此属性 (指向性) 对于近年已开始在硅上实施的非视线无线通信系统及雷达而言为必需的。指向性为具有多个天线及改变来自每一天线组件或发送至每一天线组件的信号的能力的结果。需要用于相控阵列集成电路的具有用于硅整合的便利特性的移相器电路。

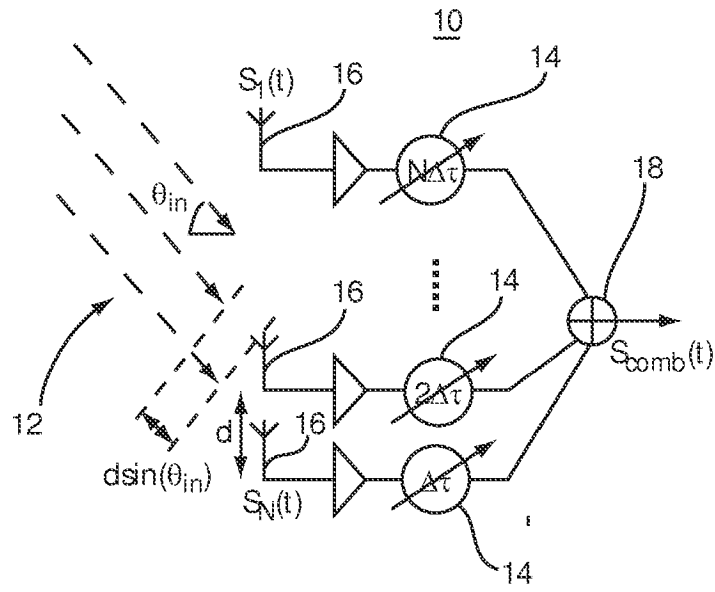


图 1A(现有技术)

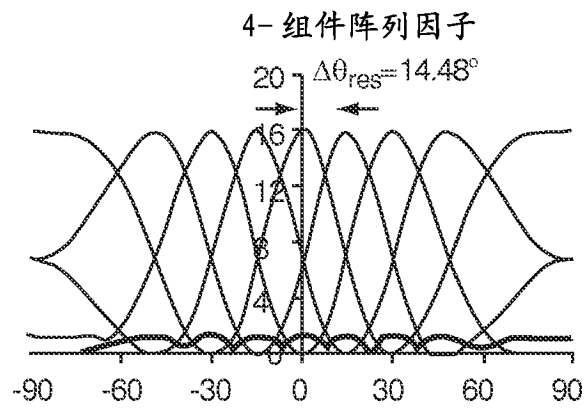


图 2B(现有技术)

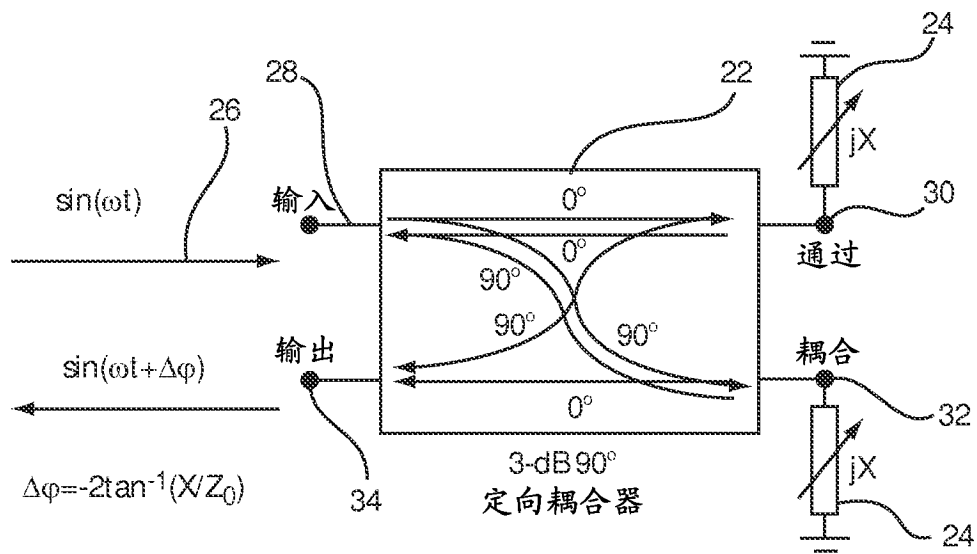


图 2

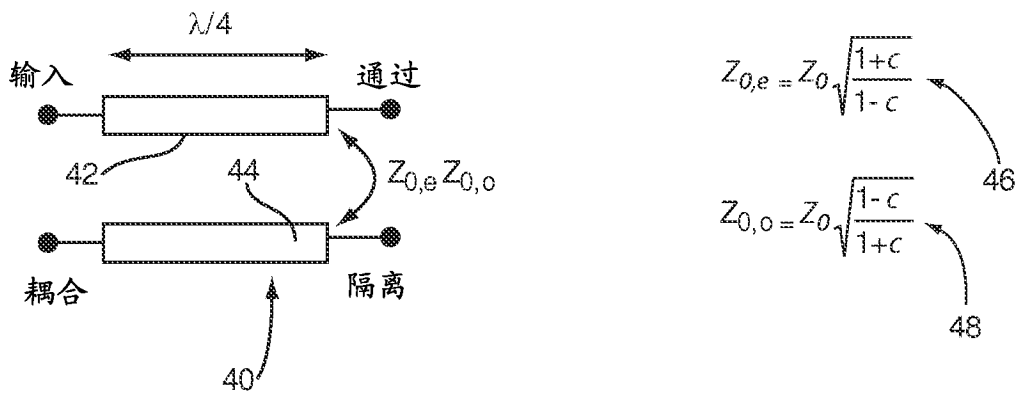


图 3

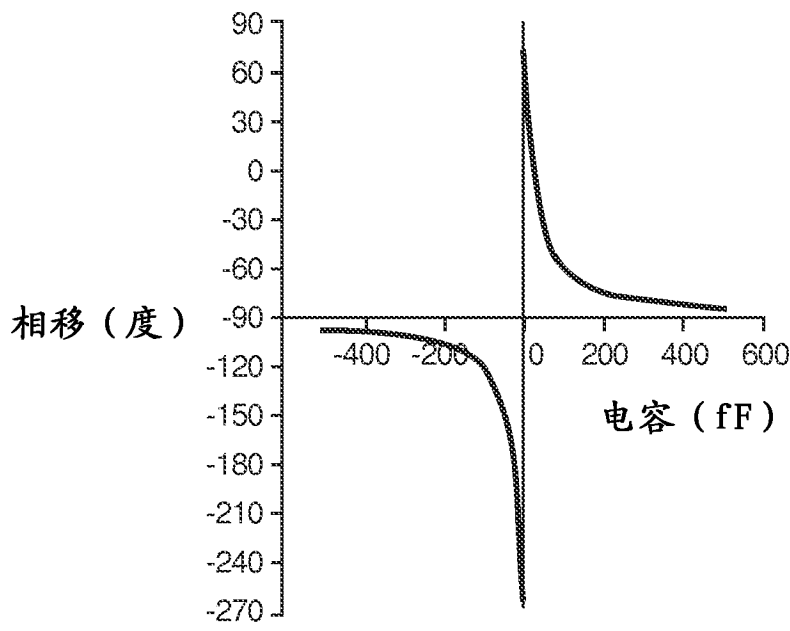


图 4A

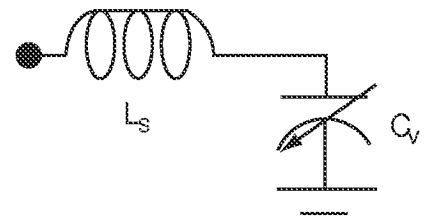


图 4B

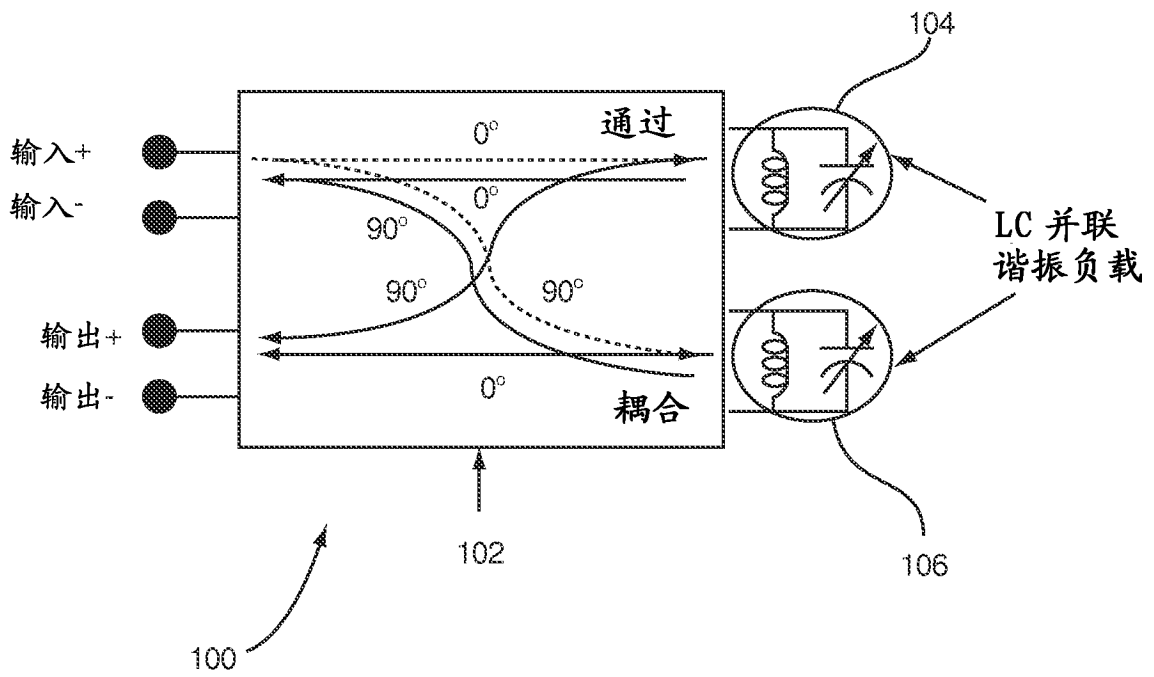


图 5

200

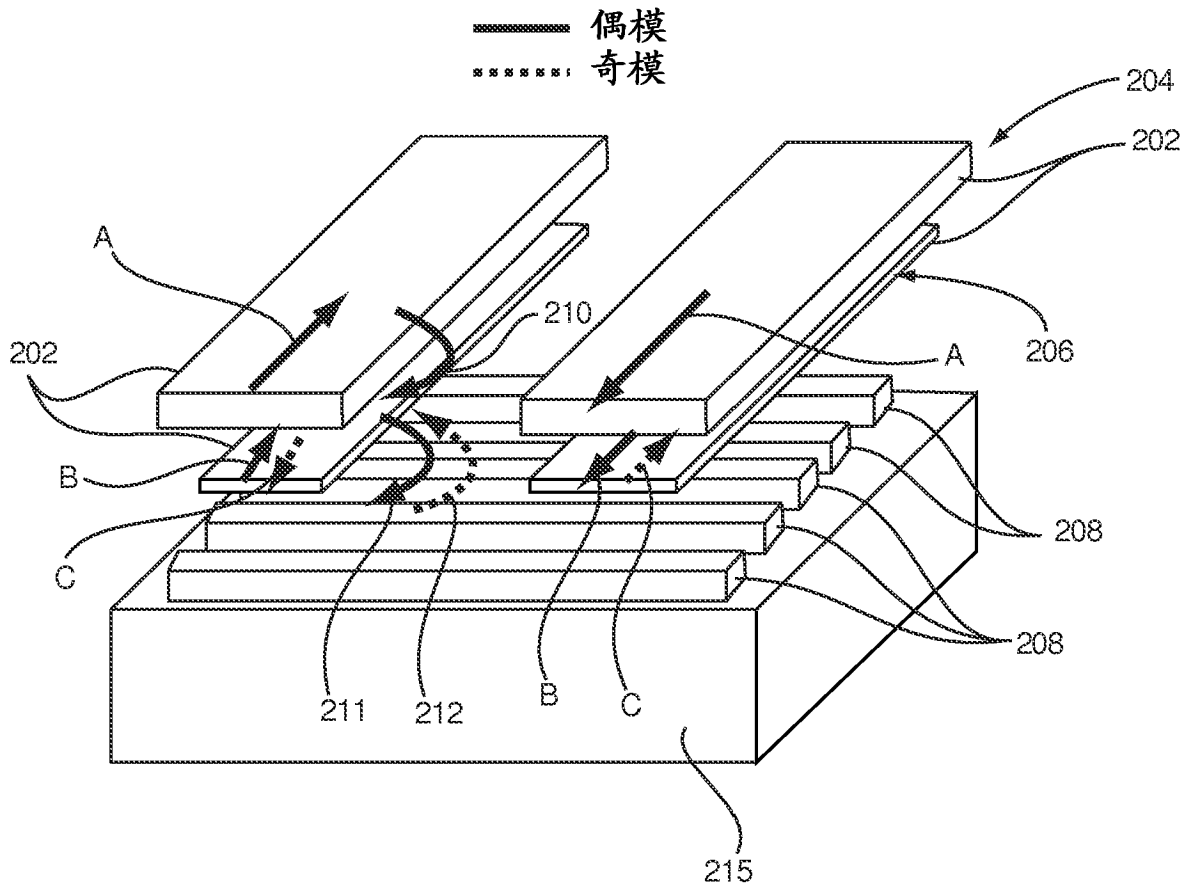


图 6

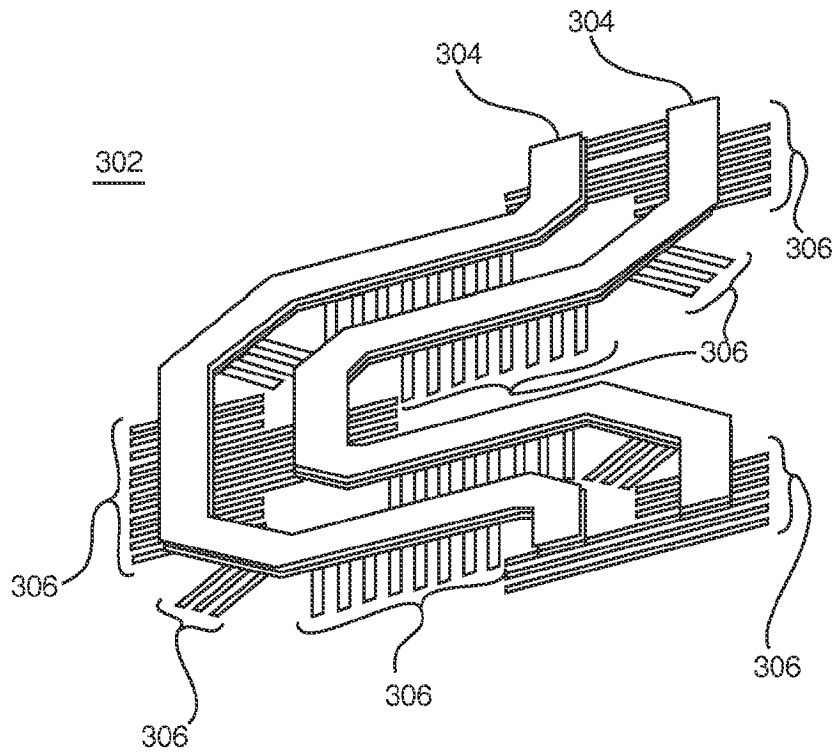


图 7A

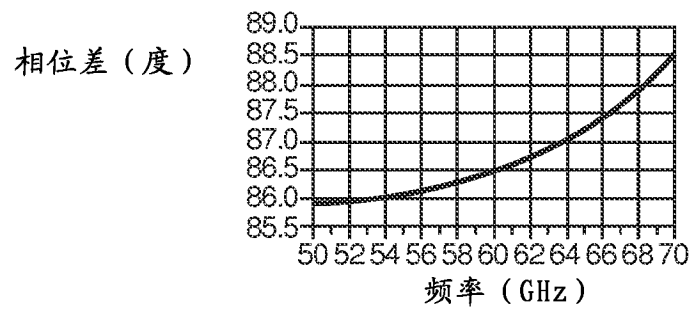
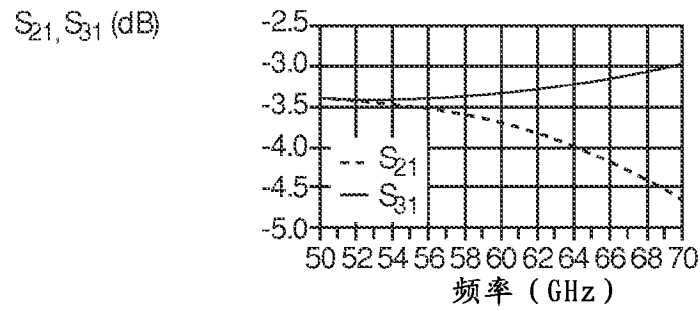


图 7B

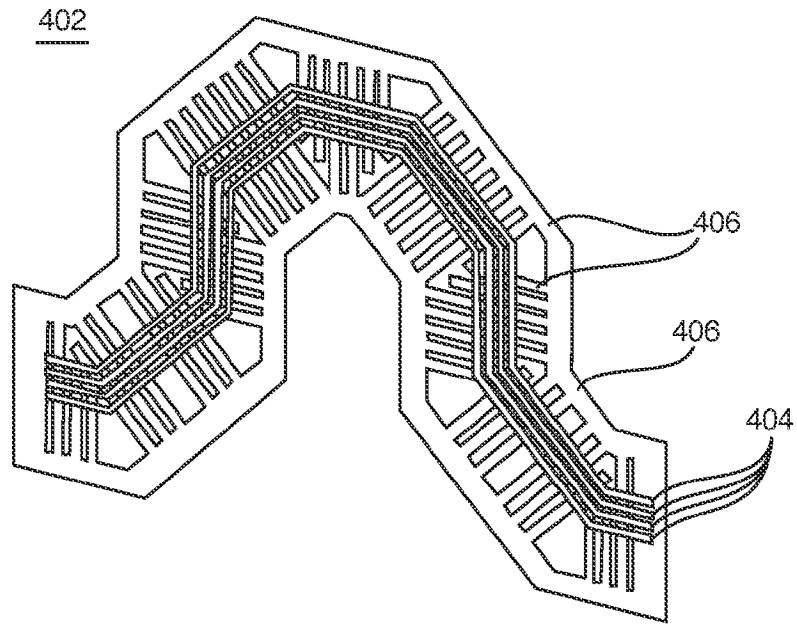


图 8

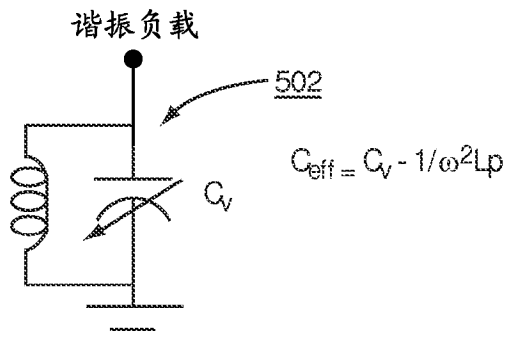


图 9A

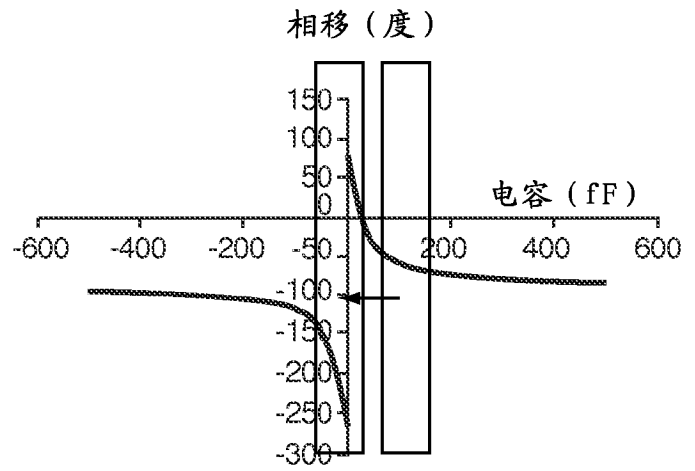


图 9B

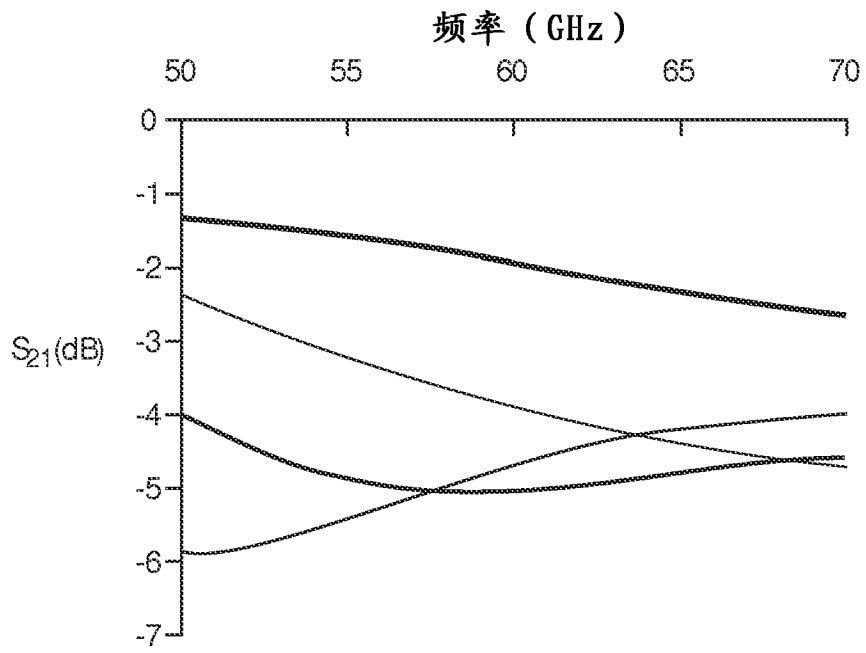


图 10A

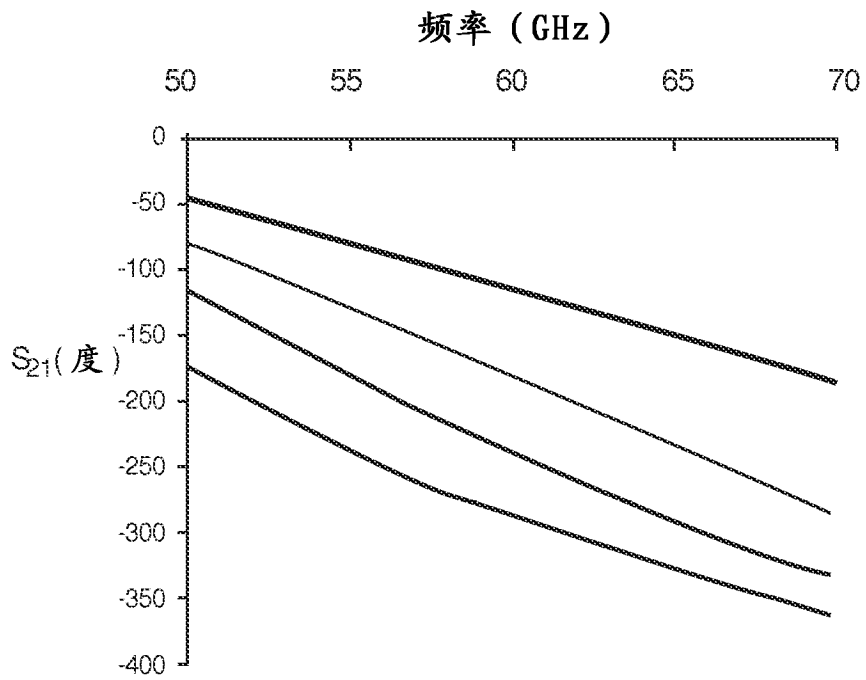


图 10B

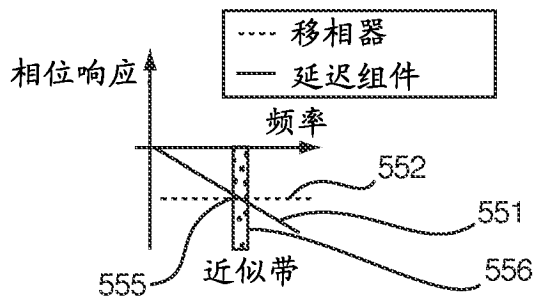


图 11

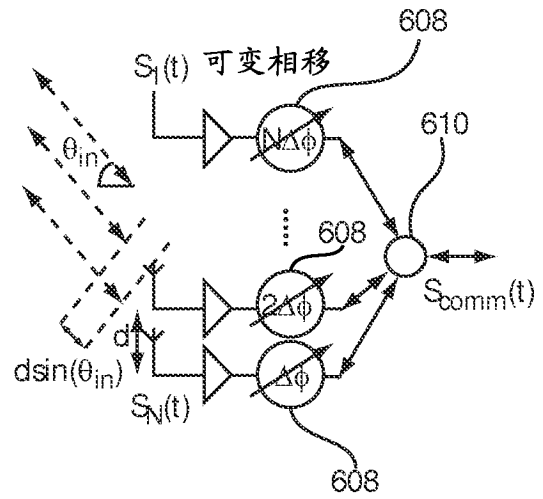


图 12