[19]中华人民共和国专利局

[51]Int.Cl[6]
G11C 29/00
H01L 27/04

[12] 发明专利申请公开说明书

[21] 申请号 97118209.4

[43]公开日 1998 年 3 月 18 日

[11] 公开号 CN 1176467A

[22]申请日 97.9.3

[30]优先权

[32]96.9.3 [33]JP[31]232851/96

[71]申请人 冲电气工业株式会社

地址 日本东京

[72]发明人 岩切逸郎

[74]专利代理机构 上海专利商标事务所

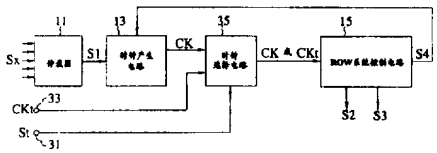
代理人 沈昭坤

权利要求书 4 页 说明书 11 页 附图页数 14 页

[54]发明名称 一种测试半导体存储器件的方法及一种半导体存储器件

[57]摘要

揭示了用于在半导体存储器件上完成指定的测试的方法和设备。此半导体存储器件有一个时钟产生电路和一个控制电路，时钟产生电路响应于操作请求信号，产生时钟信号，而控制电路产生复位信号，以在一段预定的时间之后停止产生时钟信号。控制电路还响应于时钟信号产生至少一个操作控制信号，以执行存储器件的基本操作。



权 利 要 求 书

1.一种在包括时钟产生电路和控制电路的半导体存储器件上完成指定测试的方法，所述时钟产生电路响应于操作请求信号产生时钟信号，所述控制电路产生复位信号，以在经过所指定的一段时间后停止所述时钟信号的产生，所述控制电路还响应于所述时钟信号至少产生一个操作控制信号来完成所述存储器件的基本操作，其特征在于包括下面的步骤:

向半导体存储器件输入测试方式信号以启动指定的测试;

延迟复位信号的产生，使之超出预定的时间一段时间;

当输入所述测试方式信号时，执行指定的测试；以及

通过终止所述测试方式信号的输入结束指定的测试。

2.一种在包括时钟产生电路和控制电路的半导体存储器件上完成指定测试的方法，所述时钟产生电路响应于操作请求信号产生时钟信号，所述控制电路产生复位信号，以在经过段预定的时间后停止所述时钟信号的产生，所述控制电路还响应于所述时钟信号至少产生一个操作控制信号来完成所述存储器件的基本操作，其特征在于包括下面的步骤:

向时钟选择电路输入一个测试方式信号和测试时钟信号，所述时钟选择电路响应于所述测试方式信号用所述测试时钟信号作为所述控制电路的输入代替所述时钟信号;

通过继续向所述时钟选择电路输入所述测试方式信号和向所述控制电路输入所述测试时钟信号来执行所述指定的测试，所述控制电路至少产生一个操作控制信号，用于执行所述半导体存储器件的基本操作，所用的时间超出预定的时间;以及

通过终止所述测试方式信号向所述时钟选择电路的输入来结束指定的测试。

3.如权利要求 2 所述的测试半导体存储器件的方法，其特征在于，所述测试时钟信号的频率比所述时钟信号的频率低。

4.一种在有包括时钟产生电路和控制电路的半导体存储器件完成指定的测试的方法，所述时钟产生电路响应于操作请求信号产生时钟信号，所述控制电路产生复位信号，以在经过一段预定的时间后终止所述时钟信号的产生，所述控制电路还响应于时钟信号产生至少一个操作控制信号来完成所述半导体存储器件的基本操作，其特征在于包括下面的步骤:

向延迟电路输入从控制电路输出的复位信号，以产生经延迟的复位信号;

向复位信号选择电路输入测试方式信号、所述复位信号和所述经延迟的复位信号，当接收到所述测试方式信号时，所述复位信号选择电路用所述经延迟的复

位信号代替所述复位信号;

在超出预定时间一段时间后，向时钟产生电路输入所述经延迟的复位信号以停止所述时钟信号;

通过继续向所述复位信号选择电路输入所述测试方式信号，执行指定的测试，所述控制电路至少产生一个操作控制信号，以执行所述半导体存储器件的基本操作，所用时间超出了预定的时间；以及

通过从所述复位信号选择电路上去除所述测试方式信号来终止所述指定的测试。

5.如权利要求 1 所述的测试半导体存储器件的方法，其特征在于还包括下面的步骤:

将所述半导体存储器件分成多个存储器块;

向块选择电路输入所述测试方式信号;

向所述块选择电路输入块选择信号，以选择要测试的存储器块；以及

在输入所述测试方式信号的时，对所述多个存储器块相继地执所述所指定的测试。

6.如权利要求 2 所述的测试半导体存储器件的方法，其特征在于还包括下面的步骤:

将所述半导体存储器件分成多个存储器块;

向块选择电路输入所述测试方式信号;

向所述块选择电路输入块选择信号，以选择要测试的存储器块；以及

在输入所述测试方式信号时，对所述多个存储器块相继的执行所述指定的测试。

7.如权利要求 4 所述的测试半导体存储器件的方法，其特征在于还包括下面的步骤:

将所述半导体存储器件分成多个存储器块;

向块选择电路输入所述测试方式信号;

向所述块选择电路输入块选择信号，以选择要测试的存储器块；以及

在输入所述测试方式信号时，对所述多个存储器块相继地执行所指定的测试。

8.如权利要求 1 所述的测试半导体存储器件的方法，其特征在于，所述存储器件具有位线和单元板，而且所述指定的测试是测试位线和单元板之间的高阻短路。

9.如权利要求 2 所述的测试半导体存储器件的方法，其特征在于，所述存储器件具有位线和单元板，而且所述指定的测试是测试位线和单元板之间的高阻短

路。

10.如权利要求 4 所述的测试半导体存储器件的方法，其特征在于，所述存储器件具有位线和单元板，而且所述指定的测试是测试位线和单元板之间的高阻短路。

11.一种半导体存储器件，其特征在于包括:

时钟产生电路，用于响应于操作请求信号产生一个时钟信号，所述时钟信号有一个给定的频率;

控制电路，用于响应于所述时钟信号至少产生一个操作控制信号，执行所述存储器件的基本操作，所述控制电路还产生一个输出到所述时钟产生电路的复位信号，以在预定的时间间隔后停止产生所述时钟信号；以及

时钟选择电路，把它插在所述时钟产生电路和所述控制电路之间，用于接收测试方式信号和测试时钟信号，所述测试时钟信号有比时钟信号低的频率，当所述时钟选择电路不在接收时所述测试方式信号，所述时钟选择电路将所述时钟信号耦合至所述控制电路，而当所述时钟选择电路在接收所述测试方式信号时，所述时种选择电路把所述测试时钟信号耦合至所述控制电路。

12.一种半导体存储器件，其特征在于包括:

时钟产生电路，用于响应于操作请求信号，产生一个时钟信号;

控制电路，用于产生复位信号和至少一个操作控制信号，以在一段预定的时间间隔里响应于所述时钟信号，完成所述存储器件的基本操作;

延迟电路，用于接收所述复位信号并产生经延迟的复位信号；以及

复位信号选择电路，把它连接到所述时钟产生电路，以接收测试方式信号、所述复位信号和所述经延迟的复位信号，当所述复位信号选择电路不在接收所述测试方式信号时，把所述测试信号耦合至所述时钟产生电路，而当所述复位信号选择电路在接收所述测试方式信号时，把所述经延迟的复位信号耦合至所述时钟产生电路。

13.如权利要求 11 所述的一种半导体存储器件，包括被分成多个块的一个存储器单元组，其特征在于还包含用于向所述存储器件输入块信号以从所述多个块中选择任意一块的端子，这些端子被设置在位于所述半导体存储器件内的多块选择电路上。

14.如权利要求 12 所述的一种半导体存储器件，包括被分成多个块的一个存储器单元组，其特征在于还包含用于向所述存储器件输入块信号以从所述多个块中选择任意一块的端子，这些端子被设置在位于所述半导体存储器件内的多块选择电路上。

15.如权利要求 11 所述的半导体存储器件，包括被分成多个块的一个存储器

单元组，其特征在于，还包括

块选择地址计数器，它由输入到地址计数器的增量信号启动，此地址计数器位于所述半导体存储器件内；以及

计数器选择电路，当输入所述测试方式信号时，确认所述块选择地址计数器的操作，并确认所述地址计数器的操作。

16.如权利要求 12 所述的半导体存储器件，它包括被分成多个块的一个存储器单元组，其特征在于，还包括

块选择地址计数器，它由输入到地址计数器增量信号启动，此地址计数器位于所述半导体存储器件内；以及

计数器选择电路，当输入所述测试方式信号时，确认所述块选择地址计数器的操作，并确认所述地址计数器的操作。

17.如权利要求 11 所述的半导体存储器件，其特征在于，所述半导体存储器件是一个串行存取存储器。

18.如权利要求 17 所述的半导体存储器件，其特征在于，所述串行存取存储器是字段存储器或行存储器。

说　明　书

一种测试半导体存储器件的方法及一种半导体存储器件

本发明涉及测试一种设置可产生时钟信号的操作时钟的半导体存储器件的一种方法，还涉及一种具有新结构的半导体存储器件。该半导体存储器件可以是行存储器、字段存储器等。该存储器件根据时钟信号执行一基本操作，并在操作结束后自动复位。“基本操作”一词在这里被定义为诸如读和/或写数据、更新数据等一般由一存储器件进行的操作。

在一种类型的半导体存储器件诸如动态随机存储器(DRAM)的运行中，假设电源电压为 V_{cc}，常常会向每个存储单元的单元板施加具有 $V_{cc}/2$ 的电平的电压。向单元板施加这一电压的理由是，可将单元板电压的变化减小到电源电压变化的一半，并且当逻辑电平“H”和“L”被写入存储单元时可以得到相同的余量。此 $V_{cc}/2$ 电压在 DRAM 内产生。

在一个 DRAM 内，在一条位线和一个单元板之间或一条字线和一个单元板之间经常会形成由图案形成残留(patterning residual)之类造成的高阻(下面称为高阻短路，或称短路)电流通路。形成它的原因是该 DRAM 的这些部件是在接近微印刷术(microlithography)的处理极限的严格的精度下进行加工的。由于此短路具有高阻，它不会影响器件的基本操作。然而这种短路状态常常在较长一段时间后引起 DRAM 内绝缘膜的击穿，结果，这将破坏半导体存储器件的可靠性。相应地，此短路状态有时通过监视电路的电压电平来进行检测，该电路在设置在 DRAM 上的一个端子处产生 $V_{cc}/2$ 的电压。

有两种方法监视 $V_{cc}/2$ 端的电平。在第一种方法中，通过使 DRAM 处于备用状态来监视电平，而在第二种方法中通过使 DRAM 处于工作状态来监视电平。第一种方法可以用于检测一条字线和一个单元板之间的短路，但不能用于检测一条位线和一个单元板之间的短路。其原因在于，由于当使 DRAM 处于备用状态时，字线被置于地电平，若字线和单元板有高阻短路，则 $V_{cc}/2$ 端的电平会在字线电平变化的影响下变化。这样，便可检测出短路来。另一方面，当 DRAM 处于备用状态时，位线电平一般被置于 $V_{cc}/2$，即把位线置于与单元板相同的电平。这种情况下，由于即使位线和单元板短路，$V_{cc}/2$ 端的电平也不变化，所以无法检测出高阻短路。

这样，通过使 DRAM 处于工作状态可检测出一条位线和一个单元板是否短路。即，采用第二种方法，此方法中，将 DRAM 的一个检测放大器置于启动状

态(工作状态)，位线可置于“H”或“L”逻辑电平，而在其一种状态下对 $V_{cc}/2$ 端的电平进行监视。理由如下，使用第二种方法，在位线和单元板具有不同电平的状态，可以监视单元板的电平。

然而，当用这种方式监视 DRAM 时，必要监视在这样一种状态下的 DRAM 的指定部分的电平，在此状态下，其基本操作时间比普通用途的基本操作的操作时间延长了一段时间。理由如下，如前所述，由于在单元板和位线之间形成了高阻短路，要用较长的时间使单元板的电平受位线“H”或“L”的电平的影响，因此需要使位线处于“H”或“L”电平的时间与一般的基本操作所需的时间相比要较长些。这样的长时间检测也称为“长周期检测”。

参照图 11 特别地描述这一点。图 11 显示了 $V_{cc}/2$ 端电平随经过时间的变化，从时刻“0”开始的所经过的时间由横坐标轴表示，在“0”时刻使检测放大器处于工作状态，而电压电平由纵座标轴表示。图 11 中，I 是位线被置于 V_{cc} 电平的情况下的特性曲线，II 是位线被置于地电平情况下的特性曲线。如图 11 所示，如果在一个单元板和一订位线之间存有高阻短路，即使当检测放大器处于工作状态，而位线被置于“H”或“L”电平，$V_{cc}/2$ 端电平(图 11 中的 VCP 电平)需要较长的时间才变化到短路能够被检测到的电平。特别地，假设在对 DRAM 的一般使用中使检测放大器返回非工作状态的所需的时间是 T1，如果至少在一个时间 T2(它大大迟于 T1)之前检测放大器不处于工作状态，则一个异常状态(比如高阻短路)，就不会出现在 VCP 电平上。因此，当使用这种方法时，如果不使用频率比 DRAM 通常使用的时钟信号频率低的时钟信号，短路状态就不能被检测出来。

然而，此长周期的测试无法用于一种存储器内产生一个时钟信号的半导体存储器件，比如，一个诸如现有的字段存储器、行存储之类的串行存取存储器。原因是在一个此现有类型的半导体存储器件中，时钟信号的工作周期由设置在器件内的时钟产生电路确定，而且把此时钟信号作为一般基本操作的频率使用。此外，此时钟信号不能从半导体存储器件的外部进行控制。因此在目前状态下，不可能检测到比如在一种在存储器内产生时钟信号的半导体存储器件内的一条位线和一个单元板之间的短路。

参见图 12 到 14，更加详细地描述这一点。图 12 是方框图，显示了设置在半导体存储器件内的时钟产生电路 13 外围的电路，此半导体存储器件在存储器内产生一个时钟信号 CK。图 13 是方框图，显示了存储器的存储单元组外围的检测放大器、存储单元、位线和字线。图 14 是定时图，用于解释存储器的工作。

在现有的字段存储器、行存储器等存储器中，把各种操作请求信号 Sx 输入到一个仲裁器 11。仲裁器 11 为每一操作建立优先级，并且对应于其优先级将操作

请求信号 S1 输出到时钟产生电路 13 。如图 14 所示，响应于操作请求信号 S1，时钟产生电路产生一个时钟信号 CK 。把时钟信号 CK 输入到对应 ROW 系统控制电路或控制电路 15 。 ROW 系统控制电路 15 控制(驱动或使之不活动)字线、一个 ROW 地址计数器和检测放大器。它还根据时钟信号 CK 产生各种驱动信号，并将这些信号输出到存储器件的相应部分。

存储器件根据驱动信号执行基本操作。如图 14 所示，各种驱动信号包括字线驱动信号 S2 和检测放大器驱动信号 S3 。如图 13 所示，把字线驱动信号输入到一个 X 译码器 21，此译码器根据字线驱动信号 S2 的定时驱动字线。把检测放大器驱动信号 S3 输入到检测放大器 23，因此驱动此检测放大器转入工作状态。如图 13 所示， B 和 C 分别代表一条位线和一个单元板。

在完成了从字线启动操作到检测操作的过程序列后的一个指定时刻， ROW 系统控制电路 15 向时钟产生电路输出一个复位信号 S4，以使其复位。当时钟产生电路 13 被复位后， ROW 系统控制电路 15 被复位，如图 14 所示。因为在一个现有的字段存储器或行存储器中，字线、检测放大器等驱动的定时是通过半导体存储器件内部产生的信号完成的，检测放大器或字线处于工作状态的时间不能从存储器件外部进行控制。因此，不可能完成长周期检测。

相应地，本发明的一个目的是为在存储器件里产生时钟信号的半导体存储器件提供一种完成长周期测试的方法，并开发一种适合此方法的新结构的半导体存储器件。

本发明包括一种方法和设备，以在具有时钟产生电路和控制电路的半导体存储器件上完成指定的测试。时钟产生电路响应于个操作请求信号产生一个时钟信号，而控制电路产生复位信号以在一段指定的时间后终止时钟信号的产生。控制电路响应于时钟信号，产生至少一种操作控制信号，以完成存储器件的基本操作。

这一检测是这样执行的，向半导体存储器件输入测试方式信号来驱动指定的测试；把复位信号的产生延迟一段超过预定的时间间隔的时间；当输入测试方式信号时执行所指定的测试；并通过停止输入测试方式信号来终止指定的测试。

这样，在内部产生时钟信号的半导体存储器件中，经过一段较长的时间(一个长周期)完成基本操作。由于可以检测到仅在长周期操作中才出现的故障，故可完成对一条位线和一个单元板之间的短路测试。

本发明的上述的和其它的目的、特点和优点将通过下文结合附图进行的描述而更好的理解。

图 1 是方框图，显示了本发明的半导体存储器件的第一实施例；

图 2 是定时图，显示了图 1 的半导体存储器件在测试方式下的操作；

图 3 是方框图，显示了本发明的半导体存储器件的第二实施例；

图 4 是定时图，显示了图 3 的半导体存储器件在测试方式下的操作；

图 5 是方框图，显示了本发明的半导体存储器件的第三实施例；

图 6 是方框图，显示了本发明的半导体存储器件的第四实施例；

图 7 显示了一种时钟选择电路；

图 8 显示了一种延迟电路和一种复位信号选择电路；

图 9 显示了一种块选择电路；

图 10 显示了一种计数器选择电路；

图 11 是一个曲线图，用于解释现有技术和本发明，显示了当一条位线和一个单元板之间被短路时单元板电压电平的变化；

图 12 是一个方框图，用于解释一种，产生时钟信号的现有的半导体存储器件；

图 13 是一个简图，显示了已知的半导体存储器的存储单元组外围的元件；以及

图 14 是一个用于解释图 12 的半导体存储器件的操作的图。

在下文中，结合附图对本发明的一种检测半导体存储器件的方法和一种适合这种检测的半导体存储器件的几个实施例进行了描述。图中相同的部件标以同一标号。

第一实施例

图 1 所示为本发明的第一实施例的方框图。该实施例提供了一种半导体存储器件，它包括仲裁器 11，用于优先输出一个从作为到仲裁器的输入的各个操作请求信号 S_x 中选出的操作请求信号 S1，时钟产生电路 13，用于在接收到信号 S1 时输出一个时钟信号 CK，还有 ROW 系统控制电路 15，或是用于在收到时钟信号 CK 后至少输出操作信号 S2 和 S3 以分别驱动一个字线和一个检测放大器的控制电路。

这个半导体存储器件还有第一端子 31，第二端子 33，和时钟选择电路 35。当将要执行规定的检测时，第一端子 31 从半导体存储器件的外部输入产生于外部的测试信号 St 到时钟选择电路 35。当将要执行规定的检测时，第二端子 33 从半导体存储器件的外部输入产生于外部的时钟信号 CKt 到时钟选择电路 35。测试方式信号和测试时钟信号延长了基本操作的操作时间，这和半导体存储器件的一般用途的基本操作的操作时间形成对照。这样，如果想要确定半导体存储器件中是否存有异常状态，基本操作的操作时间会通过输入测试信号而延长。

考虑结合图 11 所讨论的例子，一个普通的时钟信号是一个能够在时刻 T1 时将检测放大器从工作状态转入非工作状态的信号。作为对照，测试时钟信号 CKt

是一个能够在时刻T2或在时刻T2之后将检测放大器从工作状态转入非工作状态的信号。在测试时，测试时钟信号CKt取代普通的内部时钟信号CK。

测试时钟信号 CKt 例如可以是频率比时钟信号 CK 的频率低的一种时钟信号。测试时钟信号的最佳频率可以通过考虑要检测的项目(诸如要检测的短路电阻)来确定。

当把测试方式信号St输入进时钟选择电路35后，时钟选择电路35向ROW系统控制电路15提供测试时钟信号CKt，代替了来自时钟产生电路13的时钟信号CK。当未把测试方式信号St输入进时钟选择电路35时，时钟选择电路35向ROW系统控制电路提供由时钟产生电路13产生的时钟信号CK。

时钟选择电路35包括已知的逻辑电路。参见图7，时钟选择电路35由第一双输入“与”电路35a、第二双输入“与”电路35b，双输入“或”电路35c和一个反相器电路35d构成。第一双输入“与“电路35a接收测试方式信号St和测试时钟信号CKt。第二双输入“与”电路35b接收来自时钟产生电路13的时钟信号CK和经过反相器电路35d的测试方式信号St。把从第一和第二“与”电路35a和35b分别输出的信号输入进双输入“或”电路35c。双输入“或”电路35c的输出是时钟选择电路35的输出，把它输入进ROW系统控制电路15。

如果测试方式信号St处于“L”状态，“与”电路35b通过“或”电路35c输出来自时钟产生电路13的时钟信号CK到控制电路15。在这一操作方式下，完成参照图12到14所解释的一般基本操作。另一方面，当测试方式信号St被置于“H”状态时，“与”电路35a通过“或”电路35c向控制电路15输出提供给端子33的测试时钟信号CKt。在这一操作状态下，时钟选择电路35的输出被转换成测试时钟信号CKt，将半导体存储器件转入测试状态。在测试状态下当输入测试方式信号St后，此实施例的操作图2的定时图在下文中描述。

在测试状态下，时钟选择电路35向ROW系统控制电路15输出测试时钟信号CKt。响应于测试时钟信号CKt，ROW系统控制电路15使半导体存储器件完成基本操作。具体地说，此ROW系统控制电路15输出了启动一条字线和启动一个检测放大器的驱动信号S2和S3。

ROW系统控制电路15还产生一个复位信号S4，在产生测试时钟信号CKt后的规定时刻，以与在一般操作中相同的方式将它输入至时钟产生电路13。时钟产生电路13在收到复位信号S4后停止产生时钟信号CK。然而，由于半导体存储器件处于测试状态，时钟产生电路13和ROW系统控制电路15并不相互连接。这样，即使不再产生来自时钟产生电路13的时钟信号CK，ROW系统控制电路的操作仍将继续。

在测试状态下，只要测试时钟信号CKt不切换到“L”电平时ROW系统控

制电路 15 就不复位．相应地，检测放大器保持在工作状态．因此，如果在一条位线和一个单元板之间产生了一个短路，就能够监视此短路，直到 $V_{cc}/2$ 端的电平发生变化。

这样，可以完成一个长周期的测试．此测试并不限于一条位线和一个单元板之间的短路测试．也可以完成各种在半导体存储器件的基本操作中反映出来的异常状态的测试．这对于下文中将要描述的本发明的其它实施例也是如此．例如，一个半导体存储器件经常包括有一个电压提升电路，以提供一个接近 $2V_{cc}$ 的电压，用作字线的驱动信号．也能完成对此电压提升线路的测试，以确定在长周期测试中是否保持已提升的电压电平。

第二实施例

图 3 是表示出本发明第二实施例的方框图．和第一实施例相似，此半导体存储器件设置有仲裁器 11、时钟产生电路 13、 ROW 系统控制电路 15，和在执行规定测试时用于输入测试方式信号 St 的端子 31．第二实施例还设有延迟电路 41 和复位信号选择电路 43．把端子 31、复位信号 S4 和延迟电路 41 的输出连接到复位信号选择电路 43．

延迟电路 41 的输入端接收由 ROW 系统控制电路 15 所产生的复位信号 S4．延迟电路 41 提供一个延迟，此延迟足以延长复位信号 S4 到达时钟产生电路 13 所需的时间，从而，在其间为进行测试而完成半导体存储器件的基本操作的操作时间比半导体存储器件用作一般用途完成的基本操作的操作时间要长．相应地，如果存储器件中存在异常状态，则将延长基本操作的操作时间。

例如，考虑参照图 11 解释的例子，由延迟电路 41 所提供的延迟足以延迟复位信号 S4，因此它在时刻 T2 或在其后到达时钟产生电路 13．当输入测试方式信号 St 时，复位信号选择电路 43 向时钟产生电路 13 输出一个从延迟电路 41 输出的复位信号 Sd；不然，它向时钟产生电路 13 输出从 ROW 系统控制电路 15 输出的复位信号 S4．

延迟电路 41 和复位信号选择电路 43 包括已知的逻辑电路．参见图 8，延迟电路 41 为包括多个延迟器件的电路，需要这些延迟器件提供所需的延迟量．每个延迟器件包括反相器电路 41a、连接到反相器输出侧的电阻器 R 和一个连接在电阻器 R 输出端和地之间的电容器 C．调整反相器的级数，以使延迟电路 41 的输出侧和输入侧有相同的逻辑。

复位信号选择电路 43 是一个包括第一双输入“与”电路 43a，第二双输入“与”电路 43b，两个输入的“或”电路 43c 和反相器电路 43d 的电路．第一双输入“与”电路 43a 接收经过延迟电路 41 的经延迟的复位信号 S4’和测试方式信号 St．第二双输入“与”电路 43b 接收经过反相器电路 43d 的测试方式信号 St 和复位信号

S4．把第一和第二个“与”电路 43a 和 43b 的输出分别输入到双输入“或”电路 43c．双输入“或”电路 43c 的输出是复位信号选择电路 43 的输出。

当测试方式信号 St 处于“L”状态时，半导体存储器件执行一般操作，即参照图 12 到图 14 所解释的基本操作。具体地说，当信号 St 处于“L”状态时，把由 ROW 系统控制电路 15 产生的复位信号 S4 通过复位信号选择电路 43 的“与”电路 43b 和“或”电路 43c 连接到时钟产生电路 13．另一方面，当测试方式信号 St 处于“H”状态时，把经延迟的复位信号 S4'通过复位信号选择电路 43 的“与”电路 43a 和“或”电路 43c 连接到时钟产生电路 13，而将半导体存储器件转入测试状态。

下文中参照图 4 的定时图描述此实施例在测试状态下的操作。当测试方式信号处于“L”状态时，时钟信号 CK，字线驱动信号 S2、检测放大器驱动信号 S3 和复位信号 S4 在同一时刻产生，如对图 14 所示的现有技术系统进行的解释那样。然而，当测试方式信号处于“H”状态时，把复位信号 Sd 到达时钟产生电路 13 的时刻延迟由延迟电路 41 提供的延迟量 Td．由于须停止由时钟产生电路 13 产生的时钟信号 CK 的时刻延迟一延迟量 Td，因而延长 ROW 系统控制电路 15 复位的时间。结果延长了诸如驱动字线，或启动检测放大器之类的基本操作的操作时间。因此，检测放大器处于工作状态的时间比一般用途下的时间要长。相应地，如果在一条位线和一个单元板之间产生了一个短路，便能够监视此短路，直到 $V_{cc}/2$ 端的电平发生变化。这样，一个长周期的测试。

在第二实施例中，由于省略了用来输入第一实施例中所需的测试时钟信号 CKt 的端子 33，故能够显著地减小芯片封装的大小。

第三实施例

在一个半导体存储器件中，当许多存储单元和一条字线或位线连接时，要启动每个存储单元是困难的。因此，在一个大容量的半导体存储器件中，存储单元组被分成多个单元块。本发明的第三实施例包括一个半导体存储器件，其中，时钟信号产生于此半导体存储器件内部，并且它的存储单元组被分成多个单元块。

当半导体存储器件的一个存储单元组被分成多个单元块时，需要对每一单元块上进行测试，以确定在一个单元板和一条位线之间是否存在高阻短路。这一测试可以通过对一个单元块驱动任何一条字线以实行上述的长周期测试来完成。理由如下，由于一个单元组中所有的检测放大器可同时转入工作状态，如果在一个单元板和任何一条位线之间产生了短路，则在 VCP 电平上便会显示出短路的影响。因此，为了缩短测试时间，最好是在一个单元块的测试一结束就驱动下一个单元块中的任何一条字线以跳到此单元块。然而，由于在一个域字段存储器(field memory)和一个行存储器(line memory)等当中，只能够执行串行存取，故需要在

器件中的地址计数器中对相应于每一单元块的地址加 1，以对每一单元块，以在每一单元组进行测试。因此，在本发明的第一或第二实施例中，必须对每个地址执行一个长周期测试，这需要大量的测试时间。相应地，在第三实施例中，半导体存储器件使用了图 5 所示的结构，其存储单元被分成各个单元块 1-4 。

图 5 中，单元块 1-4 中的每一块设置有一个用于选择一条字线的 X 译码器。还设置有块选择电路 51；端子 53a 到 53d；第一端子 31，用于输入测入方式信号 St 和 ROW 地址计数器 55，用于输出地址数据以选择字线。ROW 地址计数器 55 根据增量信号 INC 进行计数操作，输出地址数据 A0 到 A9 以选择一个存储单元块的一条字线。在此实施例中，规定地址数据 A8 到 A9 为输入到块选择大电路 51 的块选择位。把剩下的数据 A0 到 A7 被分别输入到单元块 1 到 4 的 X 译码器。

在半导体存储器件的一般操作中，根据地址数据 A0 到 A9 把存储单元组的字线从单元块 1 到 4 中一个接一个选出。另一方面，在测试方式中，只使用地址数据 A0 到 A7，如下文中所描述的那样。端子 53a 到 53d 分别根据地址数据 A8 和 A9 连接到块选择电路 51 。这些端子 53a 到 53d 是用于输入一个块选择信号，以从多个单元块 1 到 4 中选出任意一个单元块的端子。把用于输入测试方式信号的第一端子 31 也连接到块选择电路 51 。当输入了一个测试方式信号 St 时，块选择电路 51 确认了来自终端子 53a 到 53d 的块选择信号，否则确认从 ROW 地址计数器 55 中输出的地址数据中规定位 A8 和 A9 的块的信号。可以通过组合已知的逻辑电路来得到块选择电路 51 。

图 9 表示出一种块选择电路的例子。在这一例子中，从 ROW 地址计数器 55 输入的数据是位 A8 和位 A9，而且设置了一个信号输入系统，此系统中端 53a 到 53d 有四个位。这个例子中的块选择电路 51 是一个有作为输入数据的从 ROW 地址计数器 55 输出的块选择位 A8 和 A9，还包括有四个输出的译码器 51a，第一到第八双输入“与”电路 51b 到 51i 、第一到第四双输入“或”电路 51j 到 51m 和倒相器电路 51n 。把用于输入测试方式信号 St 的第一端子 31 连接到第一到第四双输入“与”电路 51b 到 51e 的每个“与”电路的一个输入侧。把端子 53a 到 53d 的每个端子不重复地分别连接到第一到第四双输入“与”电路 51b 到 51e 的另一输入侧。把第一端子 31 通过侧相器电路 51n 连接到第五到第八双输入“与”电路 51f 到 51i 中每个电路的一个输出侧。把译码器 51a 的四个输出的每个不重复地分别连接到第五到第八双输入“与”电路 51f 到 51i 中的每个“与”电路的另外的输入侧。把第一到第四双输入“与”电路 51b 到 51e 的每个输出不重复地分别连接到第一到第四双输入“或”电路 51j 到 51m 的每个“或”电路的一个输入侧。把第五到第八双输入“与”电路 51f 到 51i 的每个输出不重复地分别连接到第一到第四双输入“或”电路 51j 到 51m 的每一个电路的另外一个输出侧。把

第一到第四双输入“或”电路 51j 到 51m 的输出分别是单元块选择电路 51 的输出。

在第三实施例中，当执行一指定测试时，把处于“H”状态的测试方式信号 St 输入到第一端子 31，并且把单元块选择信号通过终端 53a 到 53d 逐个地输入。然后，由来自端子 53a 到 53d 的输入信号选择块 1 到 4。即，在不逐个地增加 ROW 地址计数器 55 的计数时，可以改变要被指定的单元块。在一个选出的单元块中的对一条字线的选择是通过地址数据 A0 到 A9 中的地址数据 A0 到 A7 完成的。于是，一个长周期测试便完成了。由于第一和第二实施例都可以完成这一测试，故省略进一步的解释。

另一方面，当存储器件不处于测试状态时，通过来自 ROW 地址计数器 55 的数据 A0 到 A9 完成一般的串行存取。虽然此实施例有四个端子来从外源输入块选择信号，但这仅仅是因为考虑了这样一个例子，在此例子中图 5 所述的单元块 1 到 4 在一对一的基础上被选择。本发明并不限于这一特殊的实施例。

第三实施例还可以规定一个要从半导体存储器件的外面进行测试的单元块，在此半导体存储器件内产生一个时钟，而且它的存储单元组被分成多个单元块。相应地，由于不需选择所有地址，故可以缩短测试时间。

第四实施例

第三实施例使对每一单元块完成测试成为可能，方法是设置端子，用于从一个半导体存储器件的外部输入块选择信号。参见图 6，本发明的第四实施例设置有一个第一端子 31，用于按和第一到第三实施例相同的方式输入测试方式信号。存储器件还设置有 ROW 地址计数器 55、块选择电路 51、单元组选择地址计数器 61 和计数器选择电路 63。

如果单元块选择电路 51 要同图 13 的存储单元组一起使用，则此电路 51 可以只包括译码器 51a(见图 9)。选择地址计数器 61 是一个由输入在半导体存储器件中设置的 ROW 地址计数器 55 的增量信号 INC 驱动的计数器。当输入测试方式信号 St 后，计数器选择电路 63 确认块选择地址计数器 61 的操作，否则确认地址计数器 55 的操作。详细而言，当输入一个测试方式信号 St 后，计数器选择电路 63 确认选择块地址计数器 61 的输出，否则确认 ROW 地址计数器 55 中的块规定位(图 6 中的 A8 和 A9)的输出。

计数器选择电路 63(它的一个例子示于图 10)可包含一个由已知逻辑电路组合而成的电路。此例子中的计数器选择电路 63 是一个由第一到第四双输入“与”电路 63a 到 63d、第一和第二双输入“或”电路 63e 到 63f 和反相器电路 63g 组成的电路。把用于输入测试方式信号 St 的第一端子 31 连接到第一到第二双输入“与”电路 63a 和 63b 的每个“与”电路的一个输入侧，而把块选择地址计数器

61 的输出 A8 和 A9 的每个输出不重复地分别连接到第一和第二双输入“与”电路 63a 和 63b 的每个“与”电路另外一个输入侧。把第一端子 31 通过反相器电路 63g 连接到第三和第四双输入“与”电路 63c 和 63d 的每个“与”电路的一个输入侧，而把从 ROW 地址计数器 55 输出的块指定位 A8 和 A9 中的每一个都不重复地分别连接到第三和第四双输入“与”电路 63c 和 63d 的每个“与”电路的另一个输入侧。把具有计数器 55 和 61 各自的输出 A8 作为输入的双输入“与”电路 63c 和 63a 的各自的输出输入到第一双输入“或”电路 63e。把具有计数器 55 和 61 各自的输出 A9 作为输入的双输入“与”电路 63d 和 63b 的各自的输出输入到双输入“或”电路 63f。第一和第二双输入“或”电路 63e 和 63f 的输出是计数器选择电路 63 的输出。把计数器选择电路 63 的输出输入到块选择电路 51 的数据 A8 和 A9 输入端。

在第四实施例的半导体存储器件中，当输入一个测试方式信号 St 后，计数器选择电路 63 确认块选择地址计数器 61 的操作。当在已输入测试方式信号 St 的状态下输入一个增量信号，块选择地址计数器 61 中的数据对于每个增量操作会被逐个更新。即，相应于地址数据中块选择位，在计数器 61 侧根据增量信号更新位 A8 和 A9。因此，在测试方式下，每次接收到一个增量信号，就逐个改变被指定的块。补充说一下，上述长周期测试是通过驱动一个字线而对一个指定的单元块完成，该字线是由地址数据 A0 到 A9 中的 A0 到 A7 选出的。

为了更好地理解，描述一下使用图 6 电路的测试。第一个单元块中的第一条字线由第一个增量信号选择，而完成第一和第二实施例中描述的长周期测试。第二个单元块中的第二条字线由第二个增量信号选择，以此类推；而第四单元组中的第四条字线由第四个增量信号选择。在这种方法下进行长周期测试，且当这种选择结束时，测试也终止了。所以，在此测试方式中，这种测试可以对各单元块相继进行。在第四实施例中，由于不需要第三实施例中所设置的用于输入来自外源的块选择信号的端子 53a 到 53d，故可以大大地减小芯片和封装的尺寸。在此例子中，已经解释了多个单元块存取的一种特定序列。然而，可以接另一种更可取的顺序选择此单元块。

总之，揭示了一种用于测试半导体存储器件的方法，此半导体存储器件有一个时钟产生电路，用于相应于请求信号的接收而产生一个时钟信号，并响应从控制电路输出的复位信号而终止时钟，其中，控制电路使半导体存储器件在时钟信号产生时，完成它的基本操作并在时钟信号产生后的一指定时刻输出一个复位信号；第一和第二终端；还有一个时钟选择电路。当执行一个指定的测试时，把一个测试方式信号输入到第一端子，并把测试时钟信号输入到第二端子。和一般的操作时间相比，测试时钟信号延长了基本操作的操作时间，所以，当半导体存储

器件中有异常状态时，是可以检测出的。

根据另外一种用于测试半导体存储器件的方法，设置了一种允许省略第二端子和时钟选择电路的延迟电路。当执行一指定的测试时，把测试方式信号输入到第一端子。

根据这些方法，可以完成一个长周期的测试。这样，由于对在内部产生时钟信号的半导体存储器件可完成长周期的测试，故可以完成对一条位线和一个单元板之间的高阻短路的测试。

说 明 书 附 图

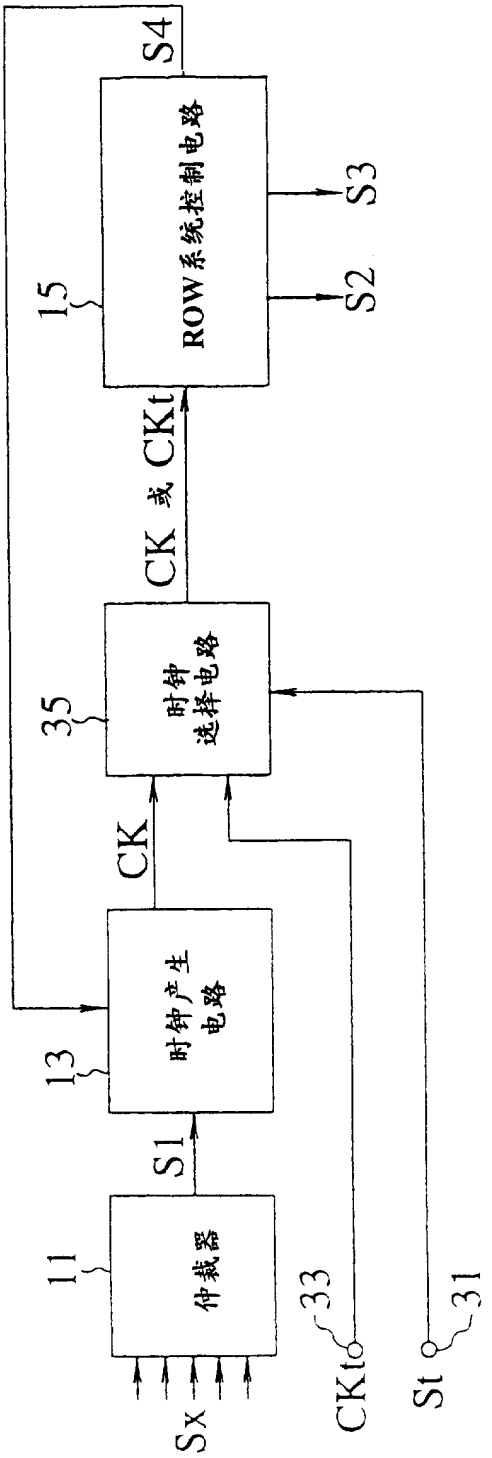

S4
ROW系统控制电路
S3
S2
15
CK 或 CKt
35
时钟
选择电路
CK
13
时钟产生
电路
S1
11
仲裁器
33
31
Sx
CKto
St

图 1

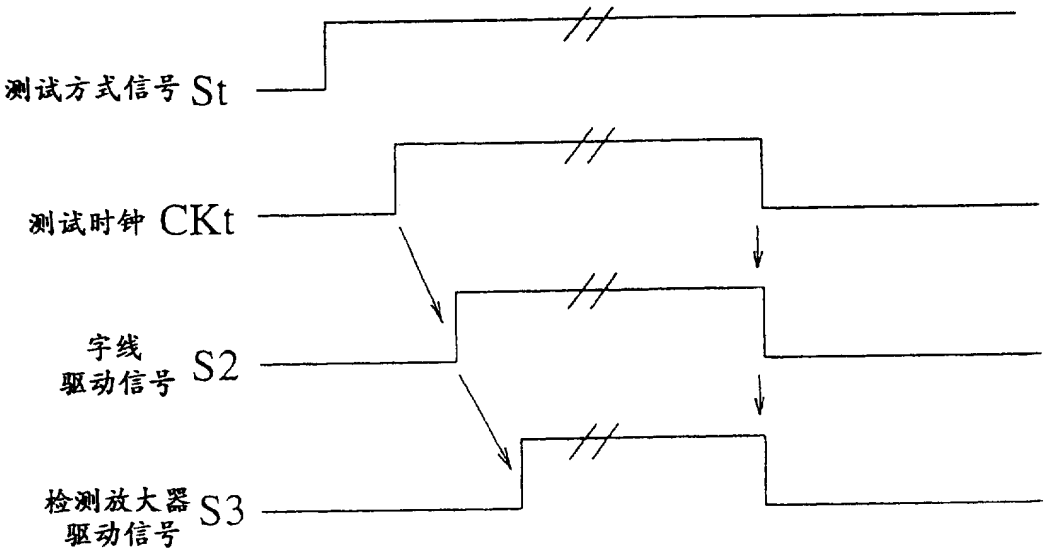


图 2

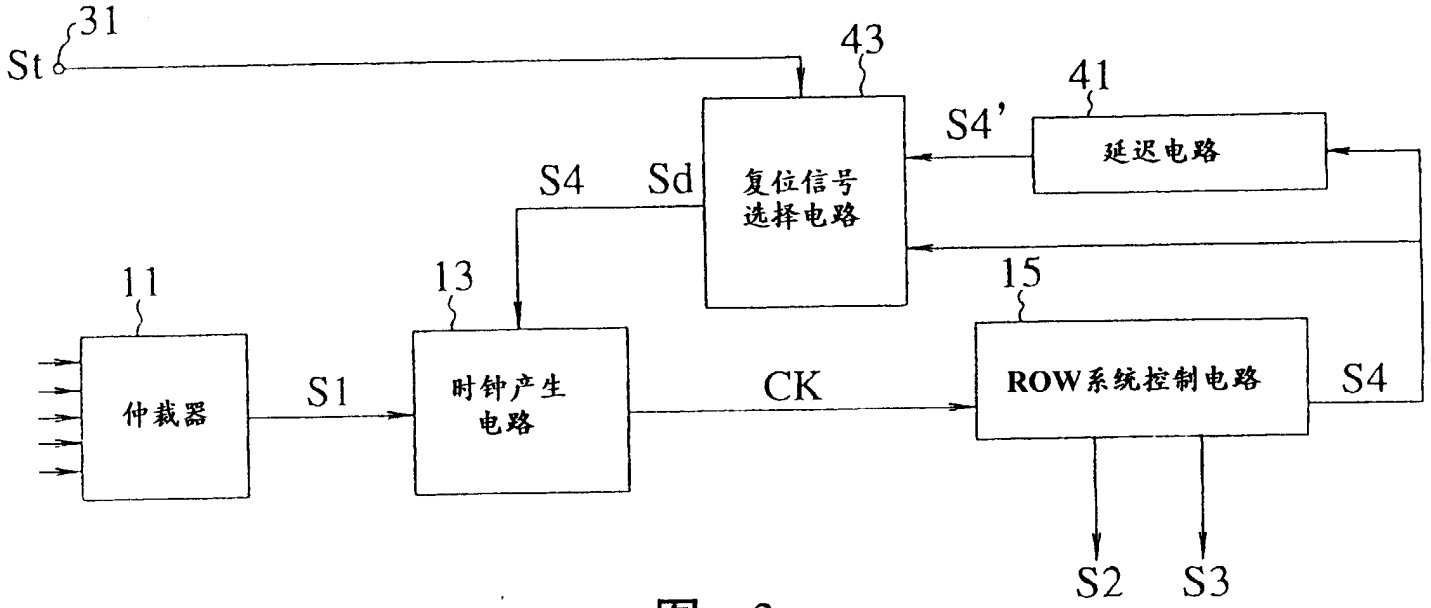

St
31
43
41
S4'
延迟电路
S4
Sd
复位信号
选择电路
11
13
15
仲裁器
S1
时钟产生
电路
CK
ROW系统控制电路
S4
S2
S3

图 3

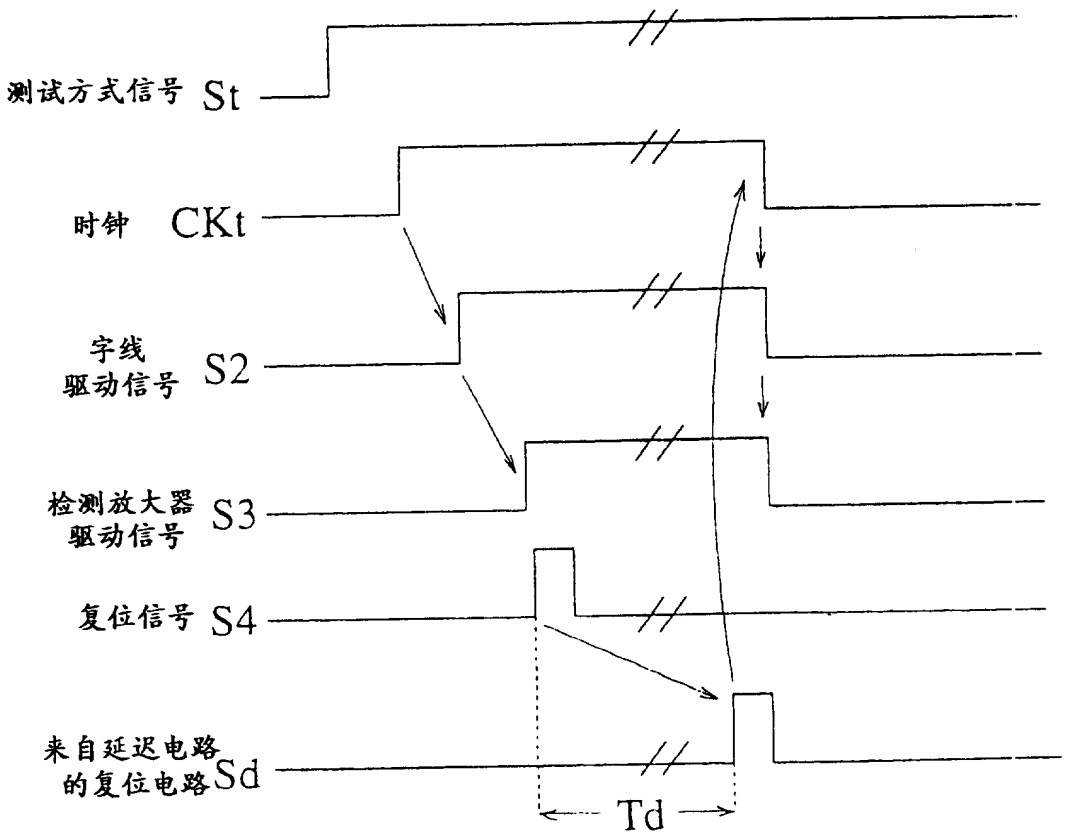

测试方式信号 St
时钟 CKt
字线
驱动信号 S2
检测放大器
驱动信号 S3
复位信号 S4
来自延迟电路
的复位电路 Sd
Td

图 4

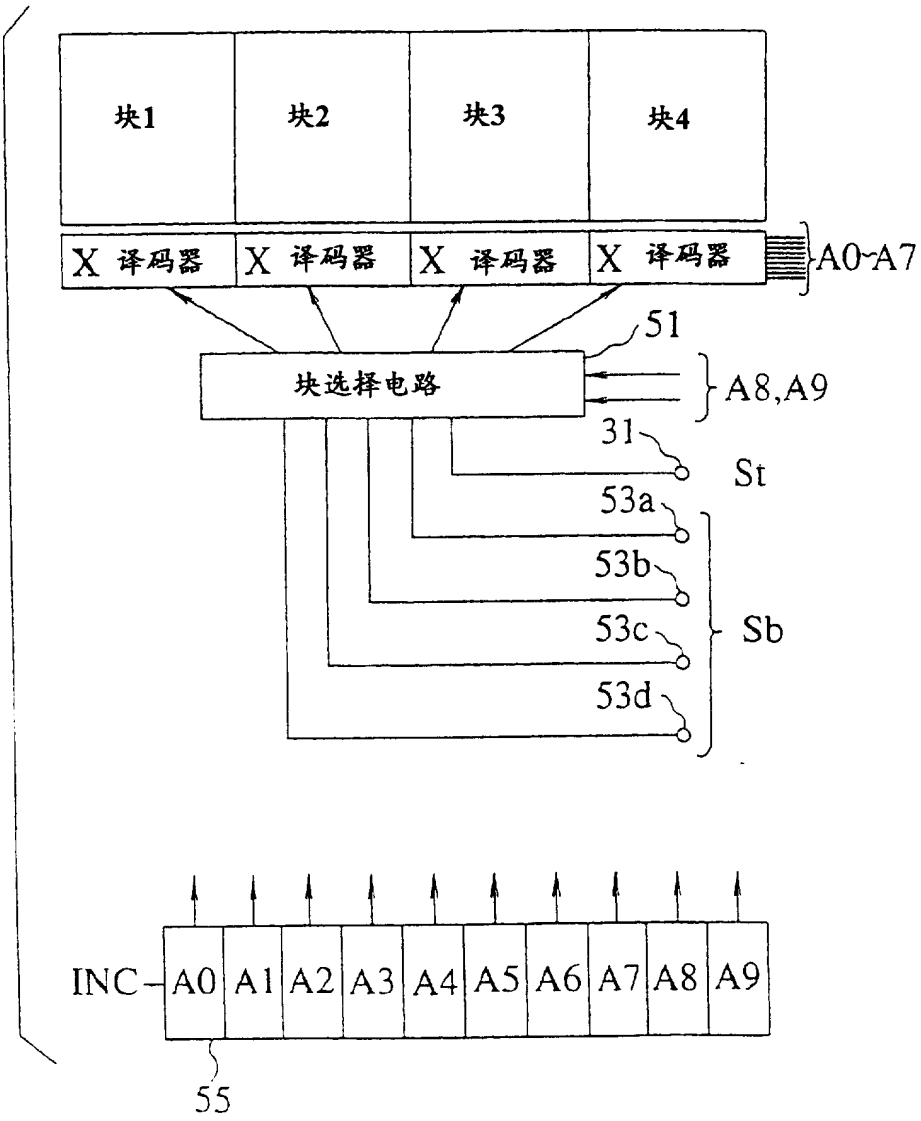

块1
块2
块3
块4
X 译码器
X 译码器
X 译码器
X 译码器
A0~A7
51
块选择电路
A8,A9
31
St
53a
53b
53c
53d
Sb
INC
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
55

图 5

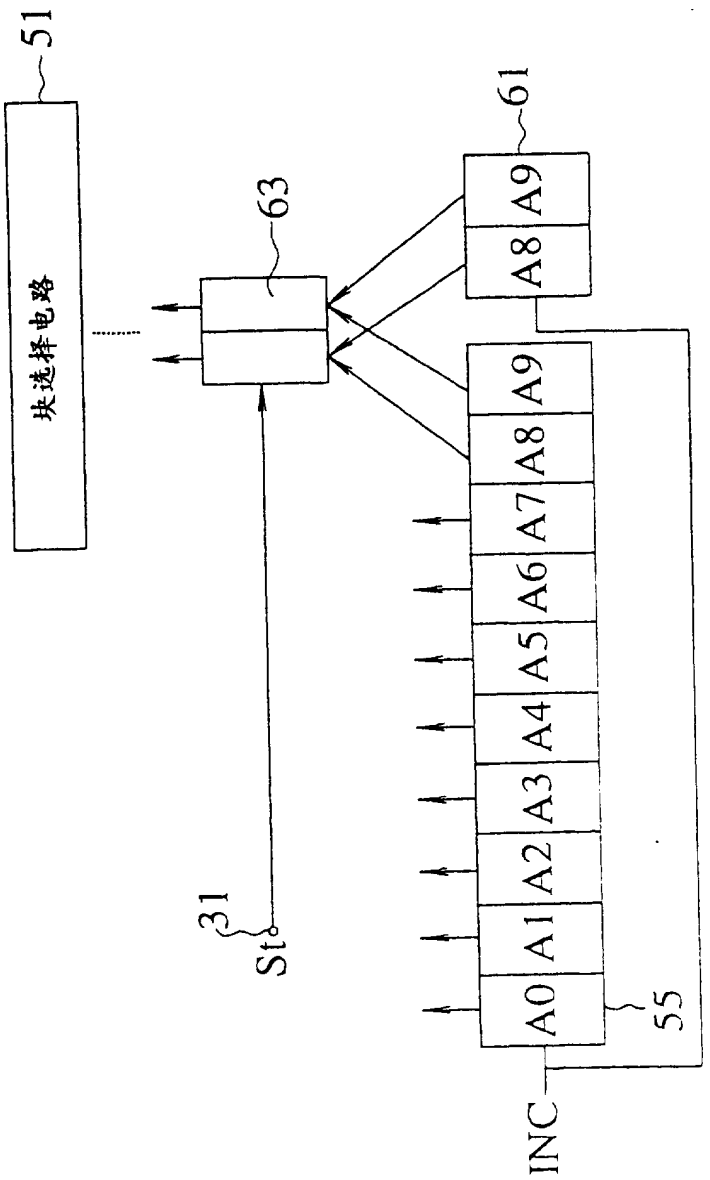


图 6

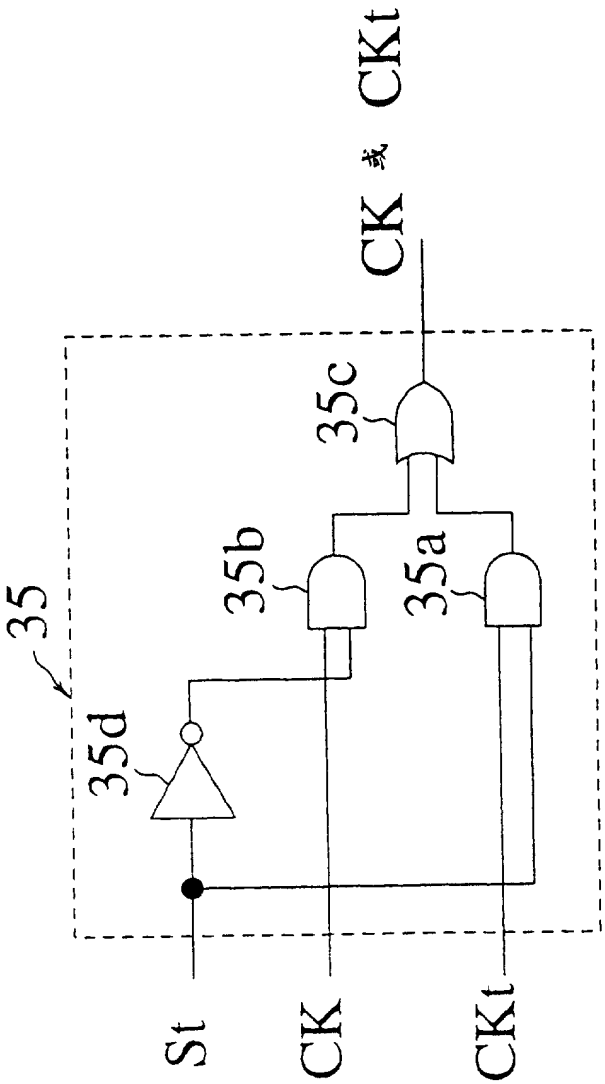


图 7

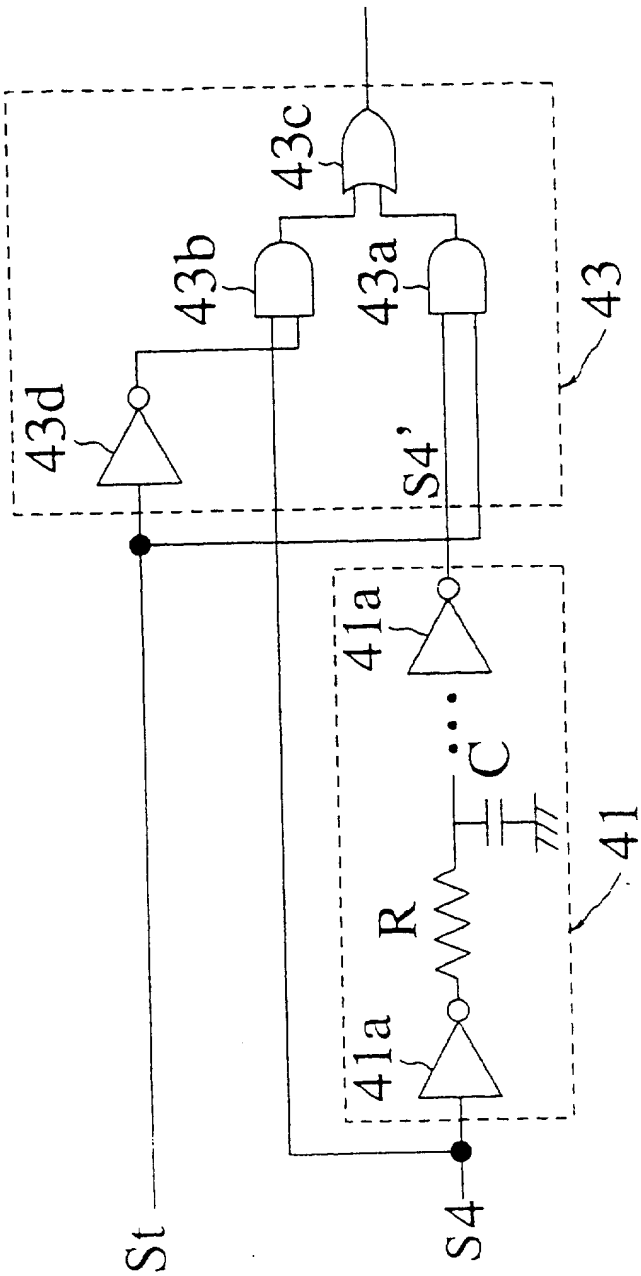


図 8

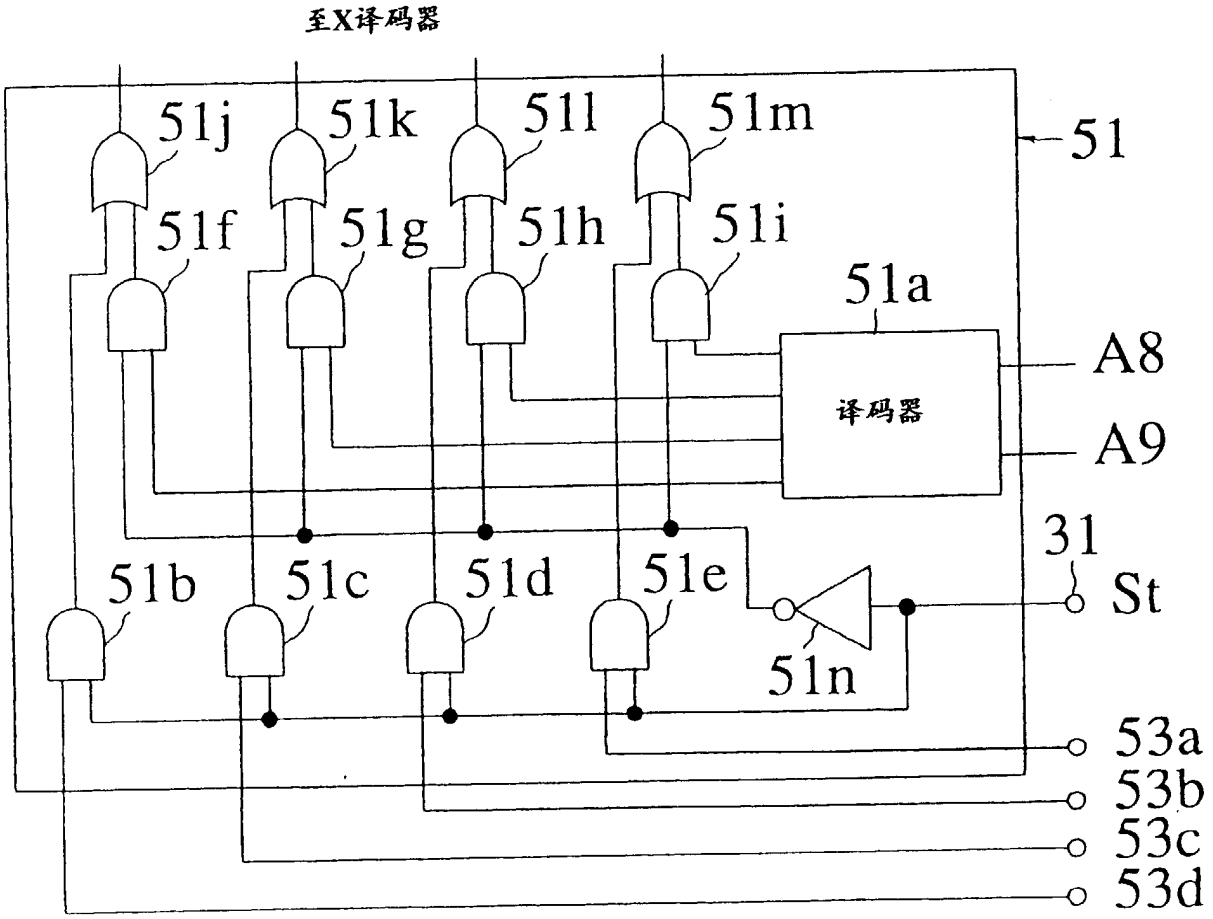

至X译码器
51j
51k
51l
51m
51
51f
51g
51h
51i
51a
译码器
A8
A9
31
St
51b
51c
51d
51e
51n
53a
53b
53c
53d

图 9

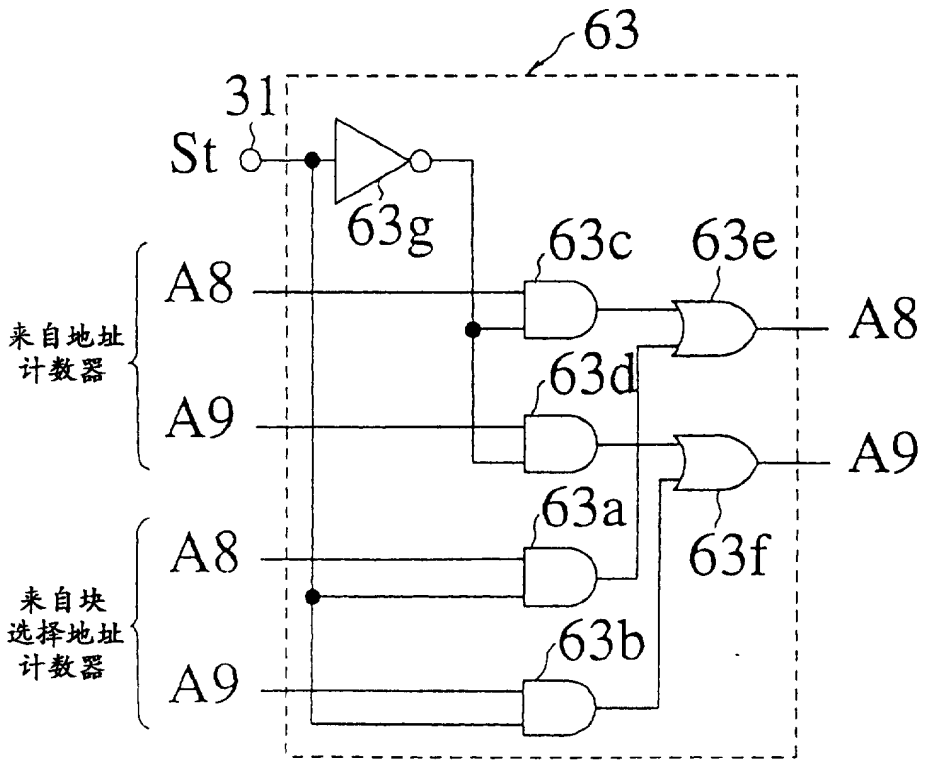

63
31
St
63g
63c
63e
A8
来自地址
计数器
A9
63d
A8
A9
63a
63f
A8
来自块
选择地址
计数器
A9
63b

图 10

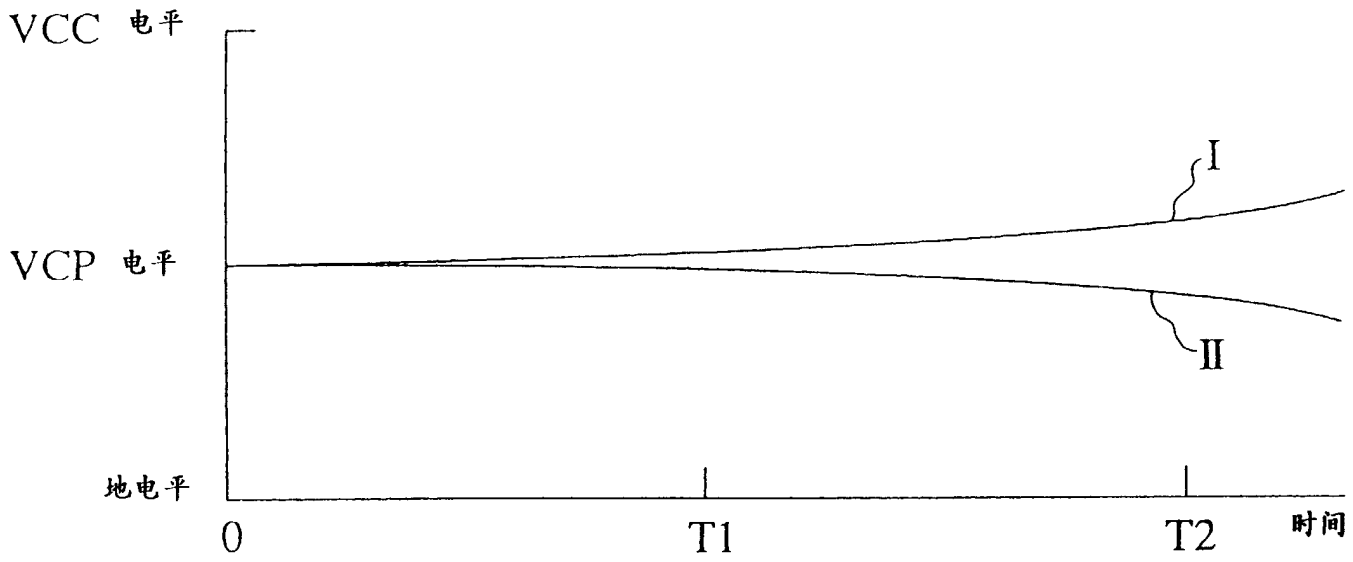


图 11

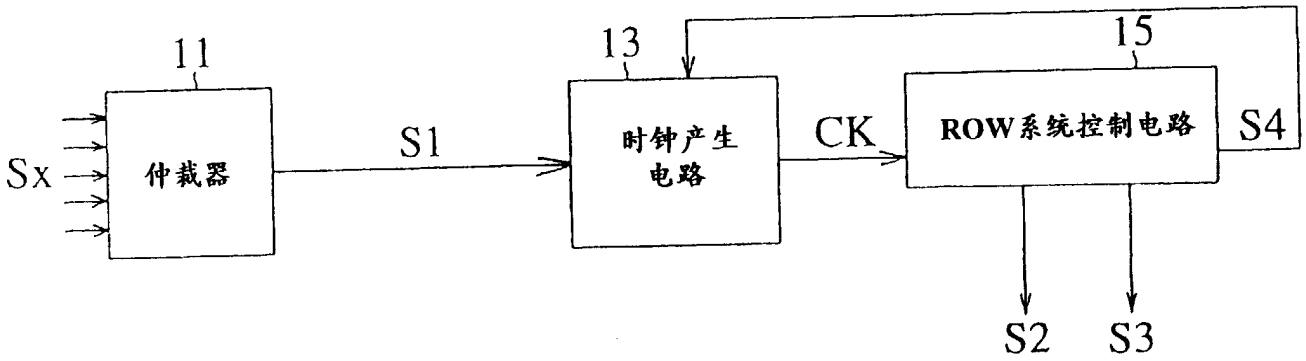


图 12

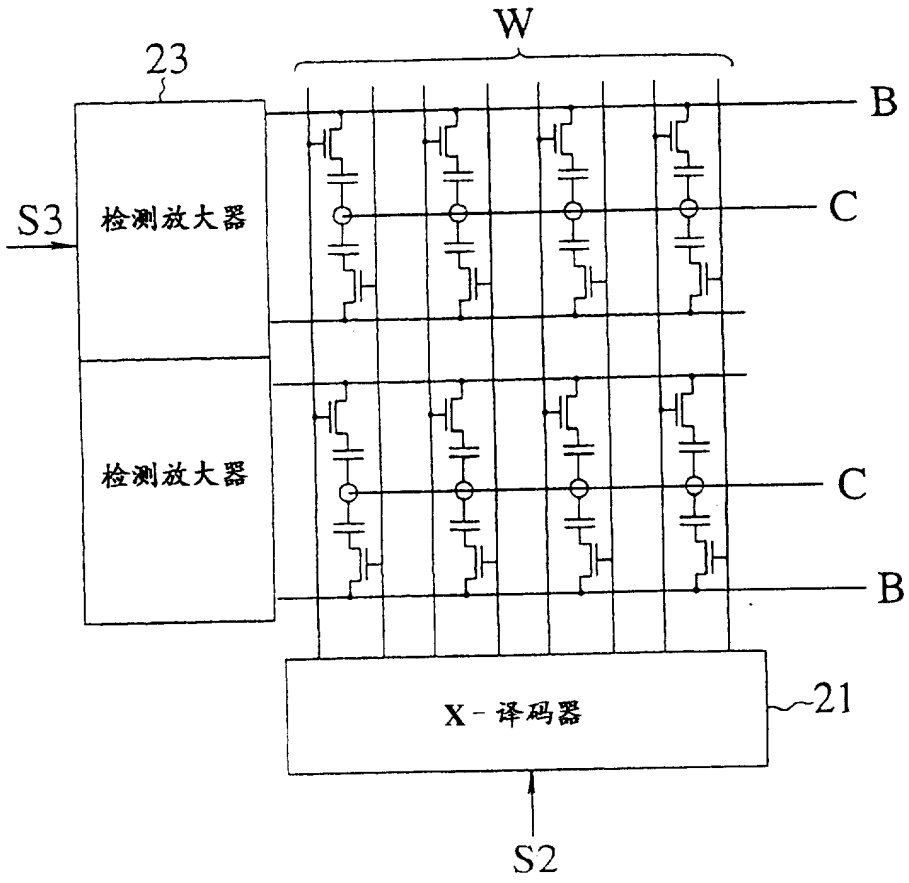


图 13

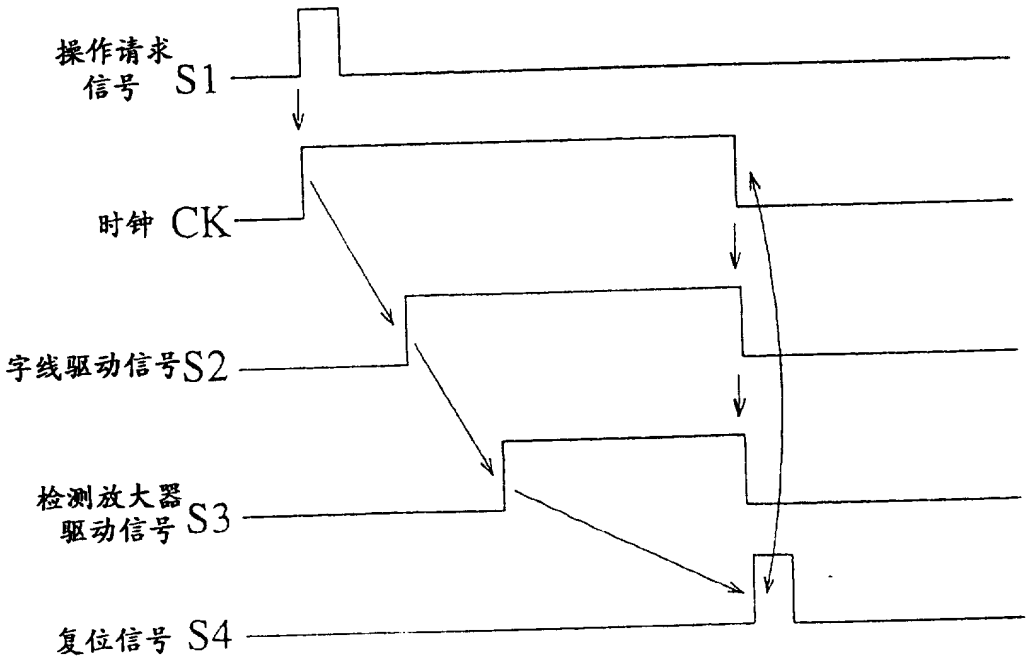


图 14