



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0000696
(43) 공개일자 2013년01월03일

(51) 국제특허분류(Int. Cl.)

H03F 3/70 (2006.01) *H03H 19/00* (2006.01)

(21) 출원번호 10-2011-0061381

(22) 출원일자 2011년06월23일

심사청구일자 2011년06월23일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

안길초

인천광역시 서구 도요지로189번길 104, 마젤란 21아파트 (검암동)

신창섭

서울특별시 성북구 월계로40길 36, 101호 (장위동)

(74) 대리인

특허법인충현

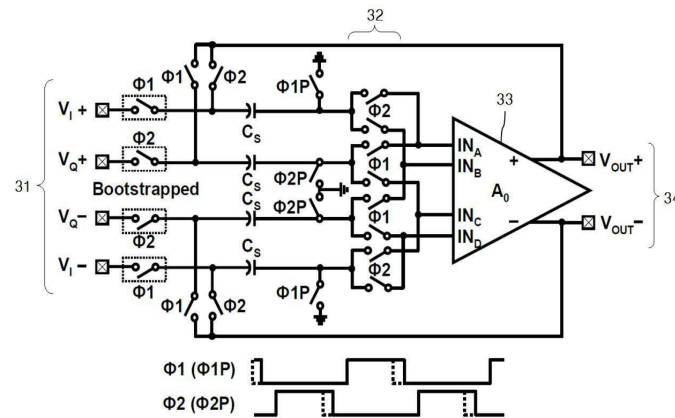
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 증폭기를 공유하는 회로에서 메모리 효과를 제거하는 장치 및 방법

(57) 요약

본 발명은 증폭기를 공유하는 회로에서 메모리 효과를 제거하는 장치 및 방법에 관한 것으로, 본 발명에 따른 장치에 구비된 회로는, 짝수 개의 신호를 입력받아 신호를 증폭하는 증폭기, 증폭기에 전기적으로 연결되어 신호를 입력하는 짝수 개의 신호 경로 및 짝수 개의 신호 경로들 간에 전기적으로 연결되고 클럭 단에 따라 증폭기에 입력되는 신호 경로를 변경함으로써 매 클럭 단마다 증폭기의 기생 커패시터에 대전된 전하를 저장하는 짝수 개의 스위치를 포함한다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호	201050014
부처명	지식경제부
연구사업명	대학 IT 연구센터 육성.지원사업
연구과제명	차세대 융복합 시스템용 아날로그 IP 핵심설계 기술개발
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2010.12.31

특허청구의 범위

청구항 1

입력 전압을 기억하여 공유 증폭기에 공급하는 기억 회로를 구비한 장치에 있어서,

상기 기억 회로는,

짝수 개의 신호를 입력받아 신호를 증폭하는 증폭기;

상기 증폭기에 전기적으로 연결되어 신호를 입력하는 짝수 개의 신호 경로; 및

상기 짝수 개의 신호 경로들 간에 전기적으로 연결되고 클럭 단(clock phase)에 따라 상기 증폭기에 입력되는 신호 경로를 변경함으로써 매 클럭 단마다 상기 증폭기의 기생 커패시터에 대전된 전하를 저장하는 짝수 개의 스위치를 포함하는 것을 특징으로 하는 장치.

청구항 2

제 1 항에 있어서,

상기 스위치는 제 1 클럭 단에 상기 증폭기 입력단의 절반의 극성과 상기 제 1 클럭 단에 연속하는 제 2 클럭 단에 상기 증폭기 입력단의 절반의 극성을 연속적으로 반대로 변경함으로써 상기 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거하는 것을 특징으로 하는 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 클럭 단에 상기 증폭기에 입력되는 신호의 크기와 상기 제 2 클럭 단에 상기 증폭기에 입력되는 신호는 동일한 크기를 갖는 것을 특징으로 하는 장치.

청구항 4

제 1 항에 있어서,

상기 스위치는 상기 짝수 개의 신호 경로를 통해 각각 절반씩 서로 다른 극성의 신호를 상기 클럭 단마다 상기 증폭기에 입력하는 것을 특징으로 하는 장치.

청구항 5

제 1 항에 있어서,

상기 증폭기에 입력되는 신호는 2개의 채널을 갖고 연속하는 2개의 클럭 단에서 번갈아가며 입력되고,

상기 2개의 채널 입력 신호는 상기 연속하는 2개의 클럭 단에서 번갈아가며 샘플링과 증폭을 반복하는 것을 특징으로 하는 장치.

청구항 6

제 1 항에 있어서,

제 1 클럭 단에 상기 기억 회로가 제 1 채널 입력 신호를 샘플링하는 한편, 제 2 채널의 샘플링된 입력 신호를 증폭하고,

제 2 클럭 단에 상기 기억 회로가 상기 샘플링된 제 1 채널 입력 신호를 증폭하는 한편, 제 2 채널 입력 신호를 샘플링하고,

상기 스위치는 상기 제 1 클럭 단에 증폭기 입력단의 절반의 극성과 상기 제 2 클럭 단에 증폭기 입력단의 절반의 극성을 반대로 변경하는 것을 특징으로 하는 장치.

청구항 7

제 1 항에 있어서,

상기 공유 증폭기는 대체 클럭 단(alternative clock phase)에서 적어도 2개의 인접 기능 블록에 전기적으로 연결됨으로써 입력 신호를 증폭하는 것을 특징으로 하는 장치.

청구항 8

제 1 항에 있어서,

상기 기억 회로는 샘플-앤드-홀드(sample-and-hold, SHA) 회로이고,

상기 장치는 ADC(analog-to-digital converter)인 것을 특징으로 하는 장치.

청구항 9

제 1 항에 있어서,

상기 증폭기는 폴디드-캐스코드(folded-cascode) 증폭기이고,

상기 스위치는 상기 증폭기에 입력되는 드레인 노드 연결(drain node connection)을 내부 스위칭(internal switching)함으로써 극성이 반대인 입력 신호를 제거하는 것을 특징으로 하는 장치.

청구항 10

제 9 항에 있어서,

상기 클럭 단은 연속하는 클럭 단의 일부가 중첩되는 것을 특징으로 하는 장치.

청구항 11

복수 개의 MDAC(multiplying digital-to-analog converter)을 포함하는 파이프라인(pipeline) 구조의 ADC에 있어서,

상기 MDAC은,

짝수 개의 신호를 입력받아 신호를 증폭하는 증폭기;

상기 증폭기에 전기적으로 연결되어 신호를 입력하는 짝수 개의 신호 경로; 및

상기 짝수 개의 신호 경로들 간에 전기적으로 연결되고 클럭 단에 따라 상기 증폭기에 입력단의 절반의 극성을 반대로 변경함으로써 매 클럭 단마다 상기 증폭기의 기생 커패시터에 대전된 전하를 저장하는 짝수 개의 스위치를 포함하는 것을 특징으로 하는 ADC.

청구항 12

제 11 항에 있어서,

상기 스위치는 제 1 클럭 단에 상기 증폭기 입력단의 절반의 극성과 상기 제 1 클럭 단에 연속하는 제 2 클럭 단에 상기 증폭기 입력단의 절반의 극성을 연속적으로 반대로 변경함으로써 상기 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거하는 것을 특징으로 하는 ADC.

청구항 13

제 12 항에 있어서,

상기 제 1 클럭 단에 상기 증폭기에 입력되는 신호의 크기와 상기 제 2 클럭 단에 상기 증폭기에 입력되는 신호는 동일한 크기를 갖는 것을 특징으로 하는 ADC.

청구항 14

제 11 항에 있어서,

상기 증폭기에 입력되는 신호는 2개의 채널을 갖고 연속하는 2개의 클럭 단에서 번갈아가며 입력되고,

상기 MDAC은 상기 채널들 간에 상기 증폭기를 공유하며 상기 입력된 신호들로부터 소정 해상도의 신호를 생성하

는 것을 특징으로 하는 ADC.

청구항 15

제 11 항에 있어서,

상기 파이프라인은 폴디드-캐스코드 구조를 갖는 복수 개의 단(stage)을 갖고,

상기 복수 개의 단 중 일부는 이득 부스팅(gain boosting)을 갖는 폴디드-캐스코드 구조인 것을 특징으로 하는 ADC.

청구항 16

증폭기를 공유하는 회로에서 메모리 효과를 제거하는 방법에 있어서,

제 1 클럭 단에 짝수 개의 신호 경로를 통해 짝수 개의 입력 신호를 증폭기에 입력하는 단계;

스위치를 이용하여 상기 제 1 클럭 단에 증폭기 입력단의 절반의 극성과 상기 제 1 클럭 단에 연속하는 제 2 클럭 단에 증폭기 입력단의 절반의 극성을 연속적으로 반대로 변경하는 단계; 및

상기 제 2 클럭 단에 상기 증폭기 입력단을 통해 변경된 극성을 증폭기에 입력하는 단계를 포함하고,

상기 스위치는 클럭 단 마다 상기 증폭기 입력단의 절반의 극성을 변경함으로써 상기 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거하는 것을 특징으로 하는 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 클럭 단에 상기 증폭기에 입력되는 신호의 크기와 상기 제 2 클럭 단에 상기 증폭기에 입력되는 신호는 동일한 크기를 갖는 것을 특징으로 하는 방법.

청구항 18

제 16 항에 있어서,

상기 입력 신호는 2개의 채널을 갖고 연속하는 2개의 클럭 단에서 번갈아가며 입력되고,

상기 2개의 채널 입력 신호는 각각 상기 제 1 클럭 및 상기 제 2 클럭에 번갈아가며 증폭기를 통해 증폭되는 것을 특징으로 하는 방법.

명세서

기술분야

[0001] 본 발명은 증폭기를 공유하는 구조를 갖는 회로에 관한 것으로, 더욱 상세하게는 증폭기를 공유하는 구조를 갖는 회로, 특히 파이프라인 구조의 ADC에서 증폭기 공유로 인한 잔류 전하로부터 발생할 수 있는 메모리 효과를 제거하는 장치 및 그 방법에 관한 것이다.

배경기술

[0002] 반도체 공정 기술의 발달로 인해 시스템의 집적도가 증가함과 동시에 복잡하고 다양한 기능의 디지털 신호 처리 회로 구현이 가능해졌다. 또한, 유사 공정에 따른 재설계의 용이함과 수십 나노미터의 선폭을 갖는 미세 공정의 개발에 따라 저전압, 저전력 동작 특성을 지닌 다기능의 디지털 신호 처리 회로가 무선 통신 및 멀티미디어 시스템과 같은 다양한 응용 분야에 사용되고 있다. 그러나, 아날로그로 이루어진 자연계의 원 신호를 디지털 신호로 변환하기 위해서는 아날로그-디지털 변환기(analog-to-digital converter, ADC)가 반드시 필요하며, 시스템의 성능이 향상됨에 따라 요구되는 ADC의 성능 또한 높아지고 있다.

[0003] 한편, 배터리를 이용한 휴대용 시스템의 수요가 급격히 증가하면서, 동작 시간 연장을 위해 저전력 회로 설계의 중요성이 점차 부각되고 있다. CMOS 기술의 소형화로 인해 단일 칩(chip)에 많은 기능들을 집적시키고, 디지털 영역에서 모든 신호를 처리할 수 있게 되었다. 동시에, ADC를 포함하는 아날로그 인터페이스 회로망 역시 저비용 고집적 시스템-온-칩(system-on-a-chip, SoC)에 대해 동일하게 소형화된 프로세스를 사용함으로써 디지털 시

시스템에 집적될 필요가 있다. 다양한 ADC 아키텍처 중에서, 특히 파이프라인(pipeline) ADC는 동작 속도와 소비 전력 간에 최적의 트레이드-오프(trade-off) 특성을 제공할 수 있어 무선 통신 및 비디오 신호 처리를 위한 프런트-엔드(front-end) 회로에 널리 채용되고 있다. 이 때, 시스템-온-칩 내에 다중 ADC가 활용되기 때문에 이들 영역과 소비 전력을 최소화하는 것이 필수적이다. 특히, 배터리로 구동되는 휴대용 기기들의 급증으로 인해 보다 더 긴 배터리 수명을 보장하기 위해서 해당 기기에 채택된 회로의 저전력 소모에 대한 요구가 증가하고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 저전력 소모를 위해 증폭기를 공유하는 구조를 갖는 장치 내지 ADC에서 출력 신호가 비선형성을 나타내는 한계를 극복하고, 이러한 비선형성으로 인해 발생하는 메모리 효과(memory effect) 및 ADC의 해상도가 제한되는 문제점을 해소하는 ADC 및 그 구현 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상기 기술적 과제를 해결하기 위하여, 본 발명에 따른 메모리 효과 제거 장치에 구비된 기억 회로는, 짝수 개의 신호를 입력받아 신호를 증폭하는 증폭기; 상기 증폭기에 전기적으로 연결되어 신호를 입력하는 짝수 개의 신호 경로; 및 상기 짝수 개의 신호 경로들 간에 전기적으로 연결되고 클럭 단(clock phase)에 따라 상기 증폭기에 입력되는 신호 경로를 변경함으로써 매 클럭 단마다 상기 증폭기의 기생 커패시터에 대전된 전하를 저장하는 짝수 개의 스위치를 포함한다.

[0006] 상기된 장치에 구비된 기억 회로에 포함된 스위치는 제 1 클럭 단에 상기 증폭기 입력단의 절반의 극성과 상기 제 1 클럭 단에 연속하는 제 2 클럭 단에 상기 증폭기 입력단의 절반의 극성을 연속적으로 반대로 변경함으로써 상기 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거한다. 또한, 상기 제 1 클럭 단에 상기 증폭기에 입력되는 신호의 크기와 상기 제 2 클럭 단에 상기 증폭기에 입력되는 신호는 동일한 크기를 갖는 것이 바람직하다.

[0007] 상기 기술적 과제를 해결하기 위하여, 본 발명에 따른 파이프라인 구조의 ADC에 구비된 복수 개의 MDAC은, 짝수 개의 신호를 입력받아 신호를 증폭하는 증폭기; 상기 증폭기에 전기적으로 연결되어 신호를 입력하는 짝수 개의 신호 경로; 및 상기 짝수 개의 신호 경로들 간에 전기적으로 연결되고 클럭 단에 따라 상기 증폭기에 입력되는 신호 경로를 변경함으로써 매 클럭 단마다 상기 증폭기의 기생 커패시터에 대전된 전하를 저장하는 짝수 개의 스위치를 포함한다.

[0008] 상기된 ADC에 구비된 복수 개의 MDAC에 포함된 스위치는 제 1 클럭 단에 상기 증폭기 입력단의 절반의 극성과 상기 제 1 클럭 단에 연속하는 제 2 클럭 단에 상기 증폭기 입력단의 절반의 극성을 연속적으로 반대로 변경함으로써 상기 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거한다. 또한, 상기 제 1 클럭 단에 상기 증폭기에 입력되는 신호의 크기와 상기 제 2 클럭 단에 상기 증폭기에 입력되는 신호는 동일한 크기를 갖는 것이 바람직하다.

[0009] 상기 기술적 과제를 해결하기 위하여, 본 발명에 따른 증폭기를 공유하는 회로에서 메모리 효과를 제거하는 방법은, 제 1 클럭 단에 짝수 개의 신호 경로를 통해 짝수 개의 입력 신호를 증폭기에 입력하는 단계; 스위치를 이용하여 상기 제 1 클럭 단에 증폭기에 입력되는 신호의 극성과 상기 제 1 클럭 단에 연속하는 제 2 클럭 단에 증폭기에 입력되는 신호의 극성이 반대가 되도록 상기 신호 경로를 변경하는 단계; 및 상기 제 2 클럭 단에 상기 변경된 신호 경로를 통해 짝수 개의 입력 신호를 증폭기에 입력하는 단계를 포함하고, 상기 스위치는 클럭 단을 주기로 상기 신호 경로 중 절반을 변경함으로써 상기 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거한다.

[0010] 나아가, 상기 제 1 클럭 단에 상기 증폭기에 입력되는 신호의 크기와 상기 제 2 클럭 단에 상기 증폭기에 입력되는 신호는 동일한 크기를 갖는 것이 바람직하다.

발명의 효과

[0011] 본 발명은 증폭기에 입력되는 신호의 극성이 반대가 되도록 클럭 단을 주기로 신호 경로를 변경하여 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거함으로써 증폭기를 공유하는 구조를 갖는 장치 내지 ADC를 통

해 저전력 소모를 달성함과 동시에 기생 정전 용량 및 증폭기의 유한한 전압 이득으로 인한 메모리 효과를 제거할 수 있으며, 나아가 파이프라인 구조의 ADC를 통해 고해상도의 출력 신호를 생성하는 것이 가능하다.

도면의 간단한 설명

[0012] 도 1은 증폭기를 공유하는 구조를 갖는 SHA의 구현 환경과 문제 상황을 설명하기 위한 도면이다.

도 2는 본 발명의 일 실시예에 따른 증폭기를 공유하는 SHA에서 메모리 효과를 제거하는 방법을 도시한 흐름도이다.

도 3은 본 발명의 일 실시예에 따른 증폭기를 공유하는 SHA에서 증폭기 입력단의 잔류 전압에 의한 메모리 효과를 제거하는 회로를 도시한 회로도이다.

도 4a 및 도 4b는 도 3의 증폭기를 공유하는 SHA 회로에서 메모리 효과를 제거하는 방법을 보다 구체적으로 설명하기 위한 회로도이다.

도 5는 본 발명의 일 실시예에 따른 메모리 효과 제거 기술을 채택한 SHA 회로에 사용된 폴딩드-캐스코드 증폭기를 도시한 회로도이다.

도 6은 본 발명의 일 실시예에 따른 메모리 효과 제거 기술을 채택한 듀얼 채널 파이프라인 ADC를 도시한 블록도이다.

도 7은 본 발명의 일 실시예에 따른 메모리 효과 제거 기술을 채택한 증폭기 공유 구조의 MDAC을 도시한 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 실시예들을 설명하기에 앞서 실시예들이 구현되는 환경 및 기본 개념들에 대해 개괄적으로 소개하도록 한다. 본 발명의 기본 아이디어는 증폭기를 공유하는 구조를 갖는 다양한 장치 내지 회로에서 적용이 가능하나, 이하에서는 설명의 편의를 위해 그 실시예들을 ADC에 집중하여 기술하도록 하겠다.

[0014] ADC의 전력 소모를 감소시키기 위한 많은 설계 기술들이 존재한다. 이러한 대부분의 기술들은 주로 가장 많은 전력을 소비하는 회로인 연산 증폭기(op-amp)의 소비 전력을 감소시키는데 초점을 맞추고 있다. 이러한 다양한 설계 기술들 중, 본 발명의 실시예들은 대체 클럭 단계(alternative clock phase)에서 증폭 동작이 필요한 2개의 인접 기능 블록들 간에 증폭기를 공유하는 기술에 기초하고 있다.

[0015] 이러한 증폭기 공유 기술이 다이 영역(die area)을 감소시킬 수 있다는 장점을 가짐에도 불구하고, 해당 기술을 채택한 ADC의 선형성은 메모리 효과에 시달리게 된다. 구체적으로 증폭기 공유 기술의 경우 증폭기가 전체 한 주기 동안 반복적으로 사용되어야 하기 때문에 별도의 리셋(reset) 주기가 없는데, 이는 증폭기의 입력 단 기생 정전 용량 및 증폭기의 유한한 DC 전압 이득으로 인한 메모리 효과 문제가 발생한다는 것을 의미한다. 즉, 증폭기의 0이 아닌 입력 전압이 리셋되지 않기 때문에, 증폭기의 입력에서의 잔류 전하는 이전 단계의 출력에 연관되고, 다음 단계에서의 증폭기 출력에 영향을 미친다. 이러한 전하 공유는 ADC 출력에서 신호간섭으로서 나타나게 된다.

[0016] 도 1은 증폭기를 공유하는 구조를 갖는 ADC의 구현 환경과 문제 상황을 설명하기 위한 도면으로서, 증폭기 공유 기술과 플립-어라운드 커패시터(flip-around capacitor)를 사용한 듀얼 채널 샘플-앤드-홀드(sample-and-hold, SHA) 회로를 도식화하여 나타내었다. 도 1을 포함한 이하의 도면들에서 C_S 는 샘플링 커패시터(capacitors)를 나타내고, V_I 및 V_Q 는 샘플 입력 신호(11)를 나타내고, Φ_1 및 Φ_2 는 클럭 단(phase)을 나타내며, CP는 증폭기 입력 단의 기생 정전 용량(parasitic capacitance)을 나타내는 기호로 사용되었다.

[0017] 입력 신호(11)들을 각각 Φ_1 및 Φ_2 의 클럭 단계 따라 증폭기(13)에 공급하는 복수 개의 스위치(12)가 도시되어 있으며, 증폭기(13)를 통해 증폭된 출력 신호(14)가 생성된다. 증폭기의 입력 전압이 증폭기 이득(gain) A_0 에 의해 제산되는 출력 전압 V_{OUT} 으로서 정의되었기 때문에, 기생 정전 용량 C_P 는 0이 아닌 전압에 의해 대전된다. 이러한 신호 의존적인 잔류 전하는 C_P 에 남겨지며 다음 클럭 단계에서 출력으로 변환된다. 따라서, A_0 의 유한 개방-루프(finite open-loop) DC 이득을 갖는 증폭기를 채택하고 있는 듀얼 채널 SHA 회로의 I-채널 및 Q-채널 출력은 다음의 수학식 1 및 수학식 2와 같이 유도될 수 있다.

수학식 1

$$V_{OUT,I}[n] = \sum_{k=-\infty}^n \left\{ V_I[k - \frac{1}{2}] \cdot \frac{A_0 \cdot \left(\frac{C_P}{C_S} \right)^{2 \cdot (n-k)}}{\left(A_0 + 1 + \frac{C_P}{C_S} \right)^{2 \cdot (n-k)+1}} \right\} \\ + \sum_{k=-\infty}^n \left\{ V_Q[k - 1] \cdot \frac{A_0 \cdot \left(\frac{C_P}{C_S} \right)^{2 \cdot (n-k)+1}}{\left(A_0 + 1 + \frac{C_P}{C_S} \right)^{2 \cdot (n-k)+2}} \right\}$$

[0018]

수학식 2

$$V_{OUT,Q}[n - \frac{1}{2}] = \sum_{k=-\infty}^n \left\{ V_Q[k - 1] \cdot \frac{A_0 \cdot \left(\frac{C_P}{C_S} \right)^{2 \cdot (n-k)}}{\left(A_0 + 1 + \frac{C_P}{C_S} \right)^{2 \cdot (n-k)+1}} \right\} \\ + \sum_{k=-\infty}^n \left\{ V_I[k - \frac{3}{2}] \cdot \frac{A_0 \cdot \left(\frac{C_P}{C_S} \right)^{2 \cdot (n-k)+1}}{\left(A_0 + 1 + \frac{C_P}{C_S} \right)^{2 \cdot (n-k)+2}} \right\}$$

[0019]

[0020] 상기 수학식 1 및 수학식 2에서, 첫 번째 항(term)은 희망하는 신호, 기생 커패시터 C_P 에 의해 주로 발생하는 메모리 효과 성분의 급수 및 증폭기의 유한 이득 A_0 를 포함한다. 메모리 효과로 인하여 첫 번째 항에서는 희망하는 신호에 대한 전압 이득 오차를 발생시키고, 둘째 급수에서는 양 채널간의 교차 커플링(cross coupling)을 야기시킨다. 수학식 1 및 수학식 2에서 보여진 것과 같이, 메모리 효과는 증폭기의 큰 DC 이득 및 작은 기생 정전 용량에 의해 희석될 수 있다. 그러나, 초미세 CMOS 기술 분야에서 높은 DC 이득의 증폭기를 설계하는 것은 소비 전력 및 다이 영역의 증가를 초래한다. 더욱이, 넓은 대역폭을 달성하기 위해 필요한 큰 입력 트랜지스터는 입력 기생 정전 용량을 증가시키게 된다.

[0021] 이상의 메모리 효과 문제를 억제하기 위해 활용될 수 있는 기술들은 다음과 같다.

[0022] 첫째, 증폭기의 입력을 리셋시키기 위해 추가적인 클럭 단계를 채택할 수 있다. 비록 증폭기의 입력에서의 잔류 전하를 리셋함으로써 메모리 효과를 제거할 수 있지만, 추가적인 리셋 단계로 인해 정정 시간(settling time)이 줄어들기 때문에 이러한 접근법은 증폭기의 대역폭 요구를 증가시킨다.

- [0023] 둘째, 증폭기는 대체 클럭 단계에서 동작하는 듀얼 입력 쌍을 채택할 수 있다. 즉, 하나의 입력 쌍이 증폭기의 입력으로써 사용되는 동안, 사용되지 않는 다른 하나의 입력 쌍은 이전 단계의 출력과 관련된 잔류 전하를 방출시키기 위해 공통 바이어스 전압(common bias voltage)에 리셋된다.
- [0024] 셋째, 배경 디지털 자기-보정(background digital self-calibration)이 ADC에 사용될 수 있다. 그러나, 보정의 구현은 복잡해지는 경향이 있으며, 더 많은 실리콘 영역을 차지하게 될 우려가 있다.
- [0025] 따라서, 이하에서는 증폭기를 공유하는 구조를 갖는 장치에서 메모리 효과를 제거할 수 있는 새로운 방법과 이를 구현한 ADC 구조를 제시하고자 한다. 본 발명의 실시예들은 증폭기를 공유하는 구조의 장치 내지 ADC를 중심으로 듀얼 채널을 채택하거나, 파이프라인 구조를 채택하는 회로에서 다양하게 활용될 수 있을 것이다. 이하에서 도면을 참조하여 본 발명의 다양한 실시예들을 순서대로 설명한다.
- [0026] 도 2는 본 발명의 일 실시예에 따른 증폭기를 공유하는 SHA에서 메모리 효과를 제거하는 방법을 도시한 흐름도로서, 추가적인 스위치를 이용하여 메모리 효과를 제거하는 아이디어를 제시하고 있다. 이 때, 비록 스위치의 개수는 추가되었으나, 실질적으로는 스위치를 나누어 스위치의 개수를 증가시키게 되므로 칩 면적의 변화는 없게 된다.
- [0027] 210 단계에서 제 1 클럭 단에 짝수 개의 신호 경로를 통해 짝수 개의 입력 신호를 증폭기에 입력한다. 이러한 신호 경로는 증폭기에 입력 신호를 공급하기 위한 것으로 복수 개 존재할 수 있으며, 메모리 효과를 효과적으로 제거하기 위해서는 짝수 개 구비되는 것이 바람직하다.
- [0028] 다음으로 220 단계에서는 스위치를 이용하여 제 1 클럭 단의 증폭기 $\pm$ 입력단의 절반을 각각 반대 극성으로 연결하여 신호 경로를 변경한다. 이러한 변경 과정을 통해 증폭기 입력단의 기생 커패시터에 저장된 제 1 클럭 단의 입력 신호 성분을 포함하는 전하가 변경된 신호 경로를 통해 크기는 같고 반대 극성의 특성을 갖는 전하에 의해 제거된다.
- [0029] 이어서, 230 단계에서는 제 2 클럭 단에 이상의 220 단계를 통해 변경된 신호 경로를 통해 짝수 개의 입력 신호를 증폭기에 입력한다. 이러한 과정을 통해 기생 커패시터에 저장된 입력 신호 성분을 포함하는 전하가 제거되어서 메모리 효과의 영향이 크게 줄어든다. 230 단계에서는 제 2 클럭 단으로 입력되는 신호에 대한 출력이 나타난다.
- [0030] 나아가, 공유 증폭기 구조의 ADC에서 짝수 개의 입력 신호는 2개의 채널을 갖고 연속하는 2개의 클럭 단에서 번갈아가며 입력되고, 이러한 2개의 채널 입력 신호는 각각 제 1 클럭 및 제 2 클럭에 번갈아가며 증폭기를 통해 증폭된다. 왜냐하면 증폭기를 공유할 경우 별도의 리셋 주기 없이 증폭기가 전체 한 주기 동안 반복적으로 사용되기 때문이다.
- [0031] 즉, 본 발명의 기본 아이디어는 이상과 같이 스위치를 분할하여 스위치의 개수를 증가시키고, 이러한 스위치를 클럭 단에 따라 신호 경로를 변경함으로써 공유 증폭기 구조를 갖는 ADC에서 발생하는 메모리 효과를 제거하고자 한다. 이하에서는 이러한 본 발명의 기본 아이디어를 이용하여 구현된 ADC의 다양한 실시예를 설명한다.
- [0032] 도 3은 본 발명의 일 실시예에 따른 증폭기를 공유하는 SHA에서 증폭기 입력단의 잔류 전압에 의한 메모리 효과를 제거하는 회로를 도시한 회로도로서, 도 1의 SHA에 클럭 단에 따라 증폭기(33)에 입력 신호(31)를 공급하는 신호 경로를 변경할 수 있도록 기존의 스위치(12)를 절반 크기로 분할하여 스위치(32)의 개수를 증가시킨 것이다. 도 3에서 본 스위치 커패시터(switched capacitor) 회로는 입력 전압을 샘플링 커패시터 CS에 기억하여 저장된 전하를 공유 증폭기를 이용하여 유지하는 기억 회로를 포함하며, 이러한 기억 회로는 샘플-앤드-홀드(sample-and-hold, SHA) 회로가 될 수 있다.
- [0033] 보다 구체적으로 도 3의 기억 회로는 앞서 설명한 도 2의 메모리 효과 제거 방법을 다음과 같이 채용하고 있다.
- [0034] 증폭기(33)는 짝수 개의 신호를 입력받아 신호를 증폭하여 출력 신호 V_{OUT} (34)을 생성한다.
- [0035] 또한, 짝수 개의 신호 경로는 증폭기(33)에 전기적으로 연결되어 신호를 입력한다. 앞서 설명한 바와 같이 신호 경로는 증폭기에 입력 신호를 공급하기 위한 것으로 복수 개 존재할 수 있으며, 메모리 효과를 효과적으로 제거하기 위해서는 짝수 개 구비되는 것이 바람직하다.
- [0036] 짝수 개의 스위치(32)는 제 1 클럭 단의 증폭기(33) 절반의 $\pm$ 입력단의 신호 경로를 각각 반대 극성으로 연결하여 증폭기 입력단의 기생 커패시터에 대전된 전하를 반대 극성의 특성을 이용하여 제거한다. 제 1 클럭 단에 연속하는 제 2 클럭 단에는 새로운 입력 신호를 증폭기(33)가 처리하여 새로운 출력이 나타난다. 즉, 스위치

(32)는 짝수 개의 신호 경로를 통해 각각 절반씩의 증폭기(33) 입력단을 제 1 클럭과 제 2 클럭에서 각각 반대의 신호 경로를 구성하도록 한다.

[0037] 보다 구체적으로, 도 3은 듀얼 채널 플립-어라운드(dual-channel flip-around) SHA 회로를 도시하고 있다. 앞서 소개한 도 1의 증폭기 공유 구조의 SHA 회로와 비교할 때, 도 3을 통해 제안된 장치는 기존의 스위치(12)를 분할함으로써 4개의 스위치(33)들이 더 추가되었으나, 면적에 있어서는 추가적인 면적을 이용하지 않는다. 도 3에서 공유 증폭기(33)는 대체 클럭 단(alternative clock phase)에서 적어도 2개의 인접 기능 블록에 전기적으로 연결됨으로써 입력 신호를 증폭한다. 즉, 증폭기(33)는 2 개의 채널들 간에 공유되고 있으며, 듀얼 차동(differential) 입력 포트, IN_A , IN_B , IN_C 및 IN_D 를 갖는다.

[0038] 입력 포트 IN_A 와 IN_D 는 각각 양의 신호 경로 및 음의 신호 경로에 사용된다. 입력 포트 IN_D 가 입력 신호 V_{I-} 및 V_{Q-} 를 입력받는 신호 경로들 간에서 스위치되는 동안, 입력 포트 IN_A 는 클럭 단에 따라 입력 신호 V_{I+} 및 V_{Q+} 를 입력받는 신호 경로들 간에서 선택적으로 스위치된다. 반면, 입력 포트 IN_B 및 IN_C 는 클럭 단에 따라 양의 신호 경로 및 음의 신호 경로 간에서 토글(toggle)된다. 즉, 입력 포트 IN_C 가 입력 신호 V_{I-} 및 V_{Q+} 를 입력받는 신호 경로들 간에서 스위치되는 동안, 입력 포트 IN_B 는 입력 신호 V_{I+} 및 V_{Q-} 를 입력받는 신호 경로들 간에서 스위치된다.

[0039] 도 4a 및 도 4b는 도 3의 증폭기를 공유하는 SHA 회로에서 메모리 효과를 제거하는 방법을 보다 구체적으로 설명하기 위한 회로도로서, 각각 클럭 단 $\Phi 2$ 및 $\Phi 1$ 에서 스위치(41, 42)가 토글되는 방법을 도시하고 있다. 또한, $+Q[n]$ 는 기생 커패시터 C_{PA} 및 C_{PB} 에 저장된 전하를 나타내고, $-Q[n]$ 는 기생 커패시터 C_{PC} 및 C_{PD} 에 저장된 전하를 나타낸다. 각각의 클럭 단에서 수행되는 동작들은 다음과 같다.

[0040] 우선, 제 1 클럭 단에 기억 회로가 제 1 채널 입력 신호를 샘플링하는 한편, 제 2 채널의 샘플링된 입력 신호를 증폭한다. 다음으로, 제 2 클럭 단에 기억 회로가 앞서 샘플링된 제 1 채널 입력 신호를 증폭하는 한편, 제 2 채널 입력 신호를 샘플링한다. 즉, 각각의 클럭 단에는 서로 다른 채널의 입력 신호를 샘플링하고, 증폭하게 된다. 다시 말해, 증폭기에 입력되는 신호는 2개의 채널을 갖고 연속하는 2개의 클럭 단에서 번갈아가며 입력되고, 2개의 채널 입력 신호는 연속하는 2개의 클럭 단에서 번갈아가며 샘플링과 증폭을 반복하게 된다. 이와 함께 스위치(41, 42)는 입력단 절반의 극성을 매 클럭단마다 바꾸어 주어서 각 입력단의 기생 커패시터에 저장된 잔존 전하를 연속적으로 제거할 수 있다.

[0041] 도 4a 및 도 4b를 참고하여 기억 회로에서 메모리 효과를 제거하는 절차를 보다 구체적으로 설명하면 다음과 같다.

[0042] 우선, 도 4a에 도시된 바와 같이 $\Phi 2$ 단에서 Q-채널 입력 신호 V_Q 는 커패시터 C_S 에 샘플링되는 한편, 이전의 단계($\Phi 1$ 클럭 단을 의미한다.) 중에 샘플링된 I-채널 입력 신호는 증폭된다. 동시에, 증폭기의 입력 포트의 기생 커패시터들은 증폭기의 출력 전압과 제한된 DC 이득(finite DC gain)에 의해 정의되는 가상 그라운드 레벨(virtual ground level)에 의해 대전된다. 완전-차동 구조(fully-differential topology) 때문에 양의 신호 경로 및 음의 신호 경로에 저장된 전하는 반대 극성을 가지며 동일한 크기를 가질 것이다.

[0043] 이어서, 도 4b에 도시된 바와 같이 $\Phi 1$ 단에서 증폭기 입력 포트 IN_B 및 IN_C 는 반대 극성의 신호 경로로 스위치된다. 따라서, 기생 커패시터 C_{PB} 및 C_{PD} 에 저장된 반대 극성의 전하, $+Q[n]$ 및 $-Q[n]$ 는 서로 상쇄되어 제거된다. 그 결과, 증폭기의 입력 포트상의 잔류 전하는 제거된다.

[0044] 상기된 본 발명의 실시예들에 따르면 증폭기를 공유하는 구조를 갖는 ADC를 통해 저전력 소모를 달성함과 동시에 기생 정전 용량 및 증폭기의 유한한 전압 이득으로 인한 메모리 효과를 제거할 수 있다.

[0045] 도 5는 본 발명의 일 실시예에 따른 메모리 효과 제거 기술을 채택한 SHA 회로에 사용된 폴디드-캐스코드(folded-cascode) 증폭기를 도시한 회로도이다. 제안된 SHA 회로에서 기생 정전 용량을 갖는 제한된 증폭기 이득에 의해 야기된 메모리 효과가 제거됨으로써 증폭기의 이득 조건(gain requirement)이 완화될 수 있으므로 단일 단의 증폭기를 사용하였다.

[0046] 도 5의 폴디드-캐스코드 증폭기는 스위치를 이용하여 증폭기에 입력되는 입력 트랜지스터의 드레인 노드 연결들(drain node connection)을 내부 스위칭(internal switching)함으로써 입력단 신호 경로의 극성을 변경할 수 있다. 즉, 도 5를 통해 제안된 회로 역시 증폭기의 내부 스위칭에 의해서 입력 포트 IN_B 및 IN_C 의 극성이 대체

클럭 단계에서 교체됨으로써, 입력 트랜지스터의 드레인 노드 연결들인 MI_B 및 MI_C 는 각각 양의 출력 경로 및 음의 출력 경로 간에서 스위칭된다.

[0047] 한편, 이상의 클럭 단은 연속하는 클럭 단의 일부가 중첩될 수 있다. 도 5를 참조하면 Φ_{1B} 및 Φ_{2B} 의 클럭 단 중 일부가 중첩되는 구간(overlap time)이 존재함을 확인할 수 있다. 이러한 중첩 구간은 갑작스러운 전류 변화를 피하고, 정정 시간(settling time)을 향상시키기 위해 사용될 수 있다. 나아가, 증폭기 공유를 위해 중첩되지 않은 클럭의 역(inverse)을 사용할 경우 추가적인 클럭 단계가 필요 없다. 이러한 클럭 계획을 이용해 모든 트랜지스터들은 늘 켜지게 됨으로써 내부 노드의 전압 과도(voltage transients)가 최소화된다.

[0048] 이상의 실시예들을 통해 알 수 있듯이 제안된 메모리 효과 제거 기술은 차등 전하에 기초하고 있다. 그로 인해, 기생 정전 용량 간의 부조화(mismatch)가 발생할 경우 잔류 전하들이 완전하게 상쇄되지 못하게 되므로, 결과적으로 메모리 효과를 완전하게 제거할 수 없게 된다. 따라서, 입력 트랜지스터 및 금속 라우팅(metal routings)은 대칭 구조로 조심스럽게 설계되어야만 한다. 기생 정전 용량의 부조화 효과를 고려함으로써 앞서 설명한 수학적 식 1은 다음의 수학적 식 3과 같은 수정될 수 있다.

수학적 식 3

$$V_{OUT,I}[n] = \frac{A_0}{A_0 + 1 + \frac{C_P}{C_S}} \cdot V_I[n - \frac{1}{2}] + \sum_{k=-\infty}^{n-1} \left\{ V_I[k - \frac{1}{2}] \cdot \frac{A_0 \cdot \left(\frac{C_P}{C_S} \cdot \varepsilon \right)^{2 \cdot (n-k)}}{\left(A_0 + 1 + \frac{C_P}{C_S} \right)^{2 \cdot (n-k)+1}} \right\} + \sum_{k=-\infty}^n \left\{ V_Q[k - 1] \cdot \frac{A_0 \cdot \left(\frac{C_P}{C_S} \cdot \varepsilon \right)^{2 \cdot (n-k)+1}}{\left(A_0 + 1 + \frac{C_P}{C_S} \right)^{2 \cdot (n-k)+2}} \right\}$$

[0049] 여기서, ε 는 C_{PA} 및 C_{PB} , 그리고 C_{PC} 및 C_{PD} 간의 기생 커패시터의 부조화 계수이다. 모델의 단순화를 위해 각각의 기생 커패시터들에 대해 동일한 부조화 오차가 가정되었다. 이상적인 경우 모든 기생 정전 용량은 동일할 것(즉, ε 는 0이 될 것이다.)이므로, 기생 커패시터의 부조화가 발생하지 않으며, 잔류 전하들을 완전하게 제거할 수 있을 것이다.

[0051] 도 6은 본 발명의 일 실시예에 따른 메모리 효과 제거 기술을 채택한 듀얼 채널 파이프라인(pipeline) ADC를 도시한 블록도로서, 복수 개의 MDAC(multiplying digital-to-analog converter)을 포함한다. MDAC은 짝수 개의 신호를 입력받아 신호를 증폭하는 증폭기를 포함하며, 이러한 증폭기에 전기적으로 연결되어 신호를 입력하는 짝수 개의 신호 경로(미도시)와 신호 경로를 변경할 수 있는 스위치(미도시)를 구비한다. 증폭기에 입력되는 신호는 2개의 채널을 갖고 연속하는 2개의 클럭 단계에서 번갈아가며 입력되고, MDAC은 이러한 채널들 간에 증폭기를 공유하며 입력된 신호들로부터 필요로 하는 고해상도의 신호를 생성하게 된다.

[0052] 앞서 본 발명의 실시예들을 통해 설명한 바와 같이 도 6의 ADC에서 활용되는 스위치 역시 메모리 효과를 제거하기 위해 짝수 개의 신호 경로들 간에 전기적으로 연결되고 클럭 단계 따라 증폭기에 입력되는 신호 경로를 변경

함으로써 매 클럭 단마다 증폭기의 입력단 절반의 극성을 매 클럭 마다 변경함으로써 증폭기 입력단의 기생 커패시터에 대전된 전하를 매 클럭단 마다 제거한다. 즉, 이러한 스위치는 제 1 클럭 단의 증폭기 +/- 입력단의 절반을 각각 반대 극성으로 연결하여 신호 경로를 변경한다. 증폭기 입력단의 기생 커패시터에 저장된 제 1 클럭 단의 입력 신호 성분을 포함하는 전하가 변경된 신호 경로에 의해 크기가 같고 반대 극성을 특성으로 제거된다.

[0053] 보다 구체적으로, 도 6은 듀얼 채널 10-비트(bit) 파이프라인(pipeline) ADC를 도시하고 있다. 본 ADC는 I/Q 2개의 채널로 구성되어 있으며 각 채널은 SHA, 1.5-비트 MDAC(multiplying digital-to-analog converter)에 기반한 8개의 파이프라인 단, 2-비트 플래시(flash) ADC 및 DCL(digital correction logic)을 갖는다.

[0054] 도 6을 통해 제안된 ADC는 최초의 단계에서 MDAC과 sub-ADC 간의 샘플링 시간 부조화를 피하기 위해 각각의 채널에 대해 SHA 회로를 채용하고 있다. SHA 회로 및 MDAC은 전력 소모 및 영역을 최적화하기 위해 채널들 간에 증폭기를 공유한다. SHA 회로 및 최초 단계 MDAC의 샘플링 커패시터는 kT/C 잡음 조건(noise requirement)을 만족할 수 있도록 800 fF가 되도록 설계되었다. 증폭기 상세 내역과 다음 단계의 유닛 커패시터 크기는 정정 정확도(settling accuracy), 열잡음(thermal noise), 및 매칭 조건(matching requirements)을 고려하여 전력 소모 및 영역을 감소시키기 위해 단계적으로 소형화될 수 있으며, 본 실시예에는 메모리 효과를 제거할 수 있는 스위칭 기술을 채용한 하나의 예로서 설계, 구현된 것이다.

[0055] 도 7은 본 발명의 일 실시예에 따른 메모리 효과 제거 기술을 채택한 증폭기 공유 구조의 1.5-비트 MDAC을 도시한 회로도로서, 도 6을 통해 제안된 파이프라인 ADC의 각 단(stage)은 폴딩드-캐스코드 구조의 증폭기를 사용한 MDAC을 포함하고 있으며, 복수 개의 단 중 일부에 사용된 MDAC은 이득 부스팅(gain boosting)을 갖는 폴딩드-캐스코드 구조의 증폭기를 사용한다.

[0056] ADC의 전체 선형성을 제한하는 MDAC 이득 정확도는 증폭기 이득에 의해 결정된다. 높은 DC 이득을 얻기 위해 파이프라인의 최초 6개 단계에 사용된 증폭기들은 이득 부스팅(gain boosting)을 갖는 폴딩드-캐스코드 구조를 사용하여 구현되었다. 반면, 뒤따르는 7번째 및 8번째 단계들은 통상적인 폴딩드-캐스코드 단계들을 사용한다.

[0057] 비록 증폭기의 큰 DC 이득이 교차 커플링을 최소화하고, 가산 노드(summing node)에서의 전하 충실도(charge fidelity)를 유지함으로써 메모리 효과를 완화시키는데 도움을 주지만, 앞서 본 발명의 다양한 실시예들을 통해 제안된 스위치를 이용한 동적 메모리 효과 제거 기술이 채택됨으로써 메모리 효과 제거 성능을 향상시킬 수 있다.

[0058] 제안된 듀얼 채널 MDAC의 동작 절차는 DAC 연산을 위한 추가적인 스위치 커패시터(switched capacitor, SC) 네트워크를 제외하고는 듀얼 채널 SHA 회로와 동작 절차가 유사하다. 각 단계마다 1.5-비트 양자화를 위해, 비교기(comparators)의 클럭 구조를 단순화하기 위한 독립적인 sub-ADC가 각각의 채널들 내에 구현되었다.

[0059] 상기된 실시예들에 따르면 스위치를 이용하여 증폭기의 입력단 절반의 극성을 매 클럭단 마다 변경하여 증폭기의 기생 커패시터에 저장된 반대 극성의 전하를 제거함으로써 증폭기를 공유하는 구조를 갖는 ADC를 통해 저전력 소모를 달성함과 동시에 기생 정전 용량 및 증폭기의 유한한 전압 이득으로 인한 메모리 효과를 제거할 수 있으며, 나아가 파이프라인 구조의 ADC를 통해 고해상도의 출력 신호를 생성하는 것이 가능하다.

[0060] 이상의 실시예들을 통해 전력 소모 및 영역을 감소시키기 위해 증폭기를 공유하는 구조가 듀얼 채널 파이프라인 ADC에 채택되었다. 이러한 증폭기 공유 구조 하에서 메모리 효과에 의해 야기되는 교차 커플링을 감소시키기 위해 스위치를 사용한 동적 메모리 효과 제거 기술이 제안되었다. 비록 이상의 실시예들이 ADC를 예시하여 기술하고는 있으나, 이러한 메모리 효과 제거 기술은 본 발명의 제시하고 있는 실시예들 이외에도 증폭기 공유 기술이 사용되는 어떠한 어플리케이션에도 채택이 가능하다.

[0061] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

[0062] 11, 31 : 입력 전압

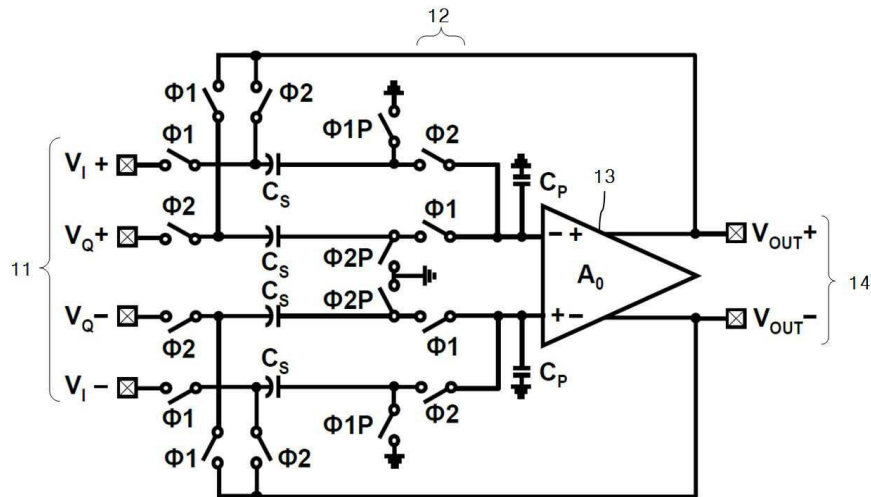
12, 32, 41, 42 : 스위치

13, 33 : 증폭기

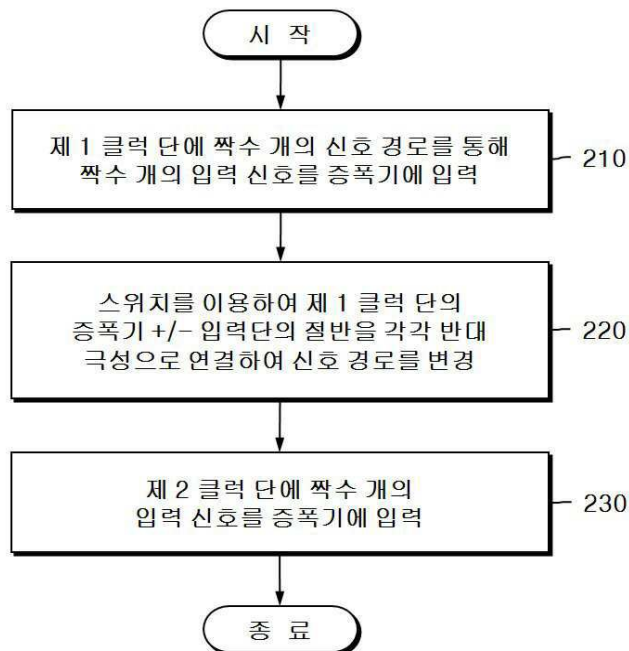
14, 34 : 증폭된 출력 전압

도면

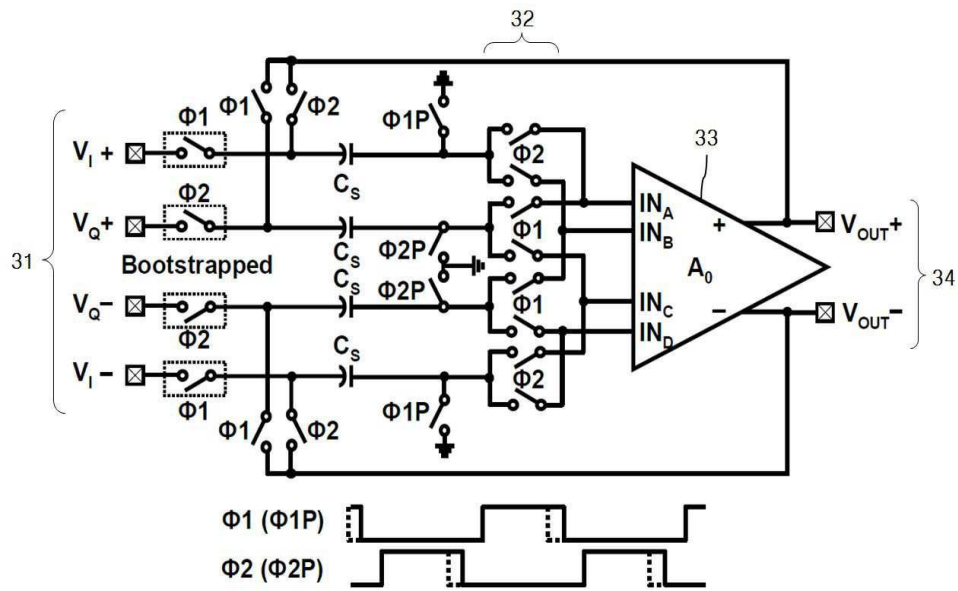
도면1



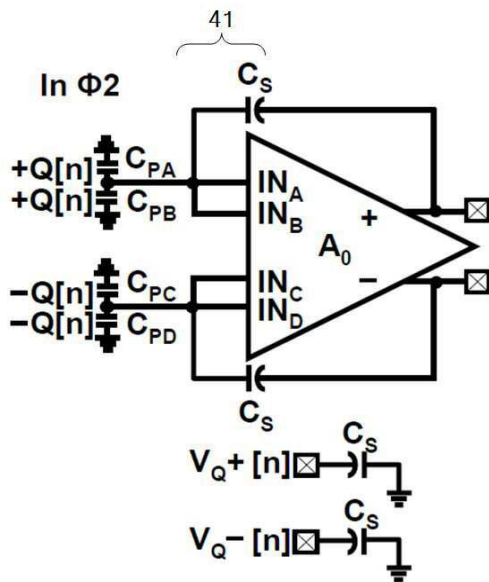
도면2



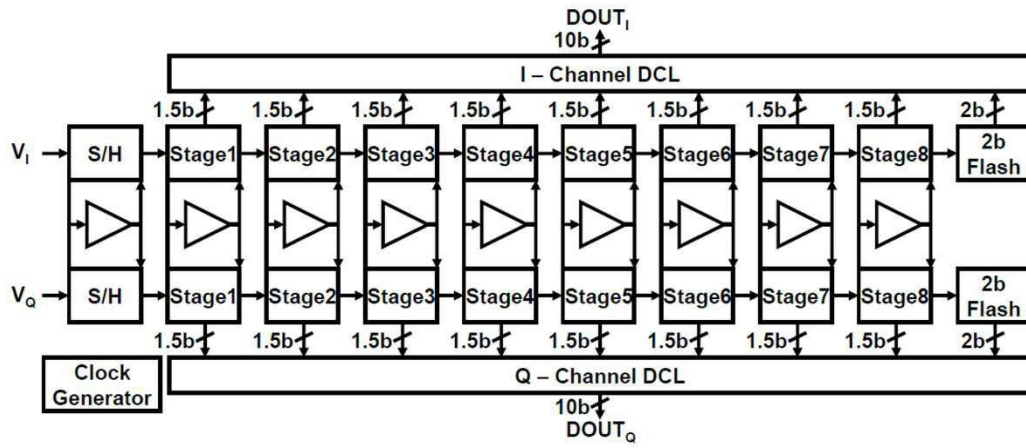
도면3



도면4a



도면6



도면7

