

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年8月14日(14.08.2014)



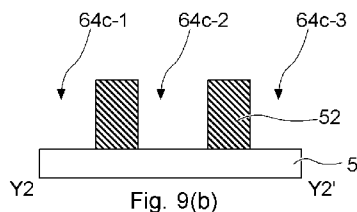
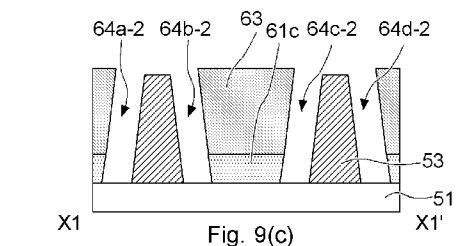
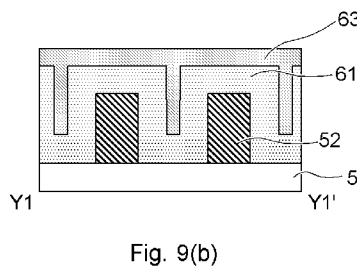
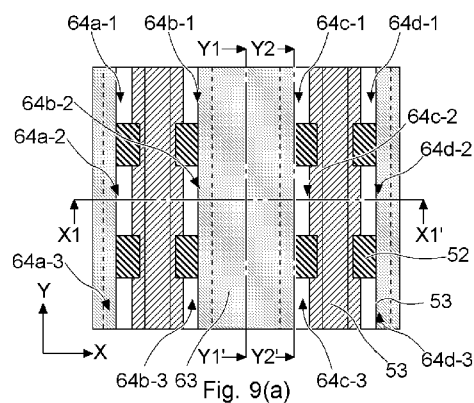
(10) 国際公開番号
WO 2014/123177 A1

- (51) 国際特許分類:
H01L 21/28 (2006.01) H01L 21/8242 (2006.01)
H01L 21/768 (2006.01) H01L 27/108 (2006.01)
- (21) 国際出願番号: PCT/JP2014/052724
- (22) 国際出願日: 2014年2月6日(06.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-023194 2013年2月8日(08.02.2013) JP
- (71) 出願人(米国を除く全ての指定国について): ピー
エスフォー ルクスコ エスエイアールエル
(PS4 LUXCO S.A.R.L.) [LU/LU]; エルー 2 1 2 1
ルクセンブルク、ヴァル デ ボン マラデ
ス、 2 0 8 Luxembourg (LU).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 横道 政宏(YOKO-
MICHI, Masahiro) [JP/JP]; 〒1040028 東京都中央区
八重洲二丁目2番1号 エルピーダメモリ株式
会社内 Tokyo (JP).
- (74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.);
〒1050001 東京都港区虎ノ門2丁目10番1号
虎ノ門ツインビルディング西棟11階 Tokyo
(JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: In the present invention, a first insulating film (61) is formed with a recess portion (62) left therein in a contact hole (54), and the contact hole is surrounded by a first line pattern (52) and a second line pattern (53), the first line pattern and the second line pattern having different heights. The recess portion (62) is filled so as to form a first mask film (63), and the first insulating film (61) except for the recess portion (62) is etched back so as to be removed, thereby forming a second contact hole (64). After that, a conductive material is implanted in the second contact hole (64), and the top surface of the first line pattern (52) having a low height is exposed, thereby forming a contact plug.

(57) 要約: 高さの異なる第1のラインパターン52と第2のラインパターン53とに囲まれたコンタクトホール54に第1の絶縁膜61を凹部62を残して成膜し、凹部62を埋めて第1のマスク膜63を形成し、エッチバックして凹部62下以外の第1の絶縁膜61を除去して第

2のコンタクトホール64を形成する。その後、導電材料を第2のコンタクトホール64に埋め込み、高さの低い第1のラインパターン52上面を露出させることで、コンタクトプラグを形成する。



WO 2014/123177 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 半導体装置の微細化に伴い、微細なコンタクトプラグの形成方法が検討されている。このような中で、特許文献1に記載の方法は、予め、大きなコンタクトホールに形成した導電材料を分割して微細化する方法であり、加工マージンに大きな余裕があるため、極めて有効な方法である。

[0003] 図1～6は、特許文献1に記載のコンタクトプラグ形成方法を模式的に示す概念図であり、(a)は平面図、(b)は(a)のY1-Y1'断面図、(c)は(a)のX1-X1'断面図、(d)は(a)のY2-Y2'断面図、(e)は部分拡大図を示す。なお、これらの図は、特許文献1に記載のコンタクトプラグ形成方法の理解と起こり得る問題を説明するために本発明者が作成したもので、従来技術そのものではない。

[0004] まず、図1に示すように、基板51上に、X方向に延在する第1ラインパターンと、第1ラインパターン52を跨いでY方向に延在し、傾斜した側面を有する第2ラインパターン53を形成し、第1及び第2ラインパターンで囲まれた大きなコンタクトホール54を形成する。次に、図2に示すように、コンタクトホール54を埋めて、第2ラインパターン53の上部より低い位置まで導電材料55を埋め込む。続いて、図3に示すように、第2ラインパターン53側壁にサイドウォール56を形成して、導電材料55の一部を露出させる。更に、図4に示すように、サイドウォール56をマスクに、導電材料55をエッチングして、開口部57を形成し、導電材料55をX方向に分割する。X方向に分割された導電材料55を55a～55dと表示する。この段階では、第1ラインパターン52上でY方向に繋がっている。その後、図5に示すように、開口部57に分離絶縁膜58を埋め込み、図6に示

すように、第1ラインパターンが露出するまでCMP等で平坦化することで、導電材料55がY方向にも分割されることでコンタクトプラグが完成する。Y方向に分割され完成したコンタクトプラグを55c-1~55c-3のように表示する。ここで、図6(c)に示すコンタクトプラグ55b-2と55c-2に着目すると、分離絶縁膜58を挟んで対称構造の2つのプラグが形成されていることから、ツインプラグと称している。このツインプラグは、底面の中心間距離より、上面の中心間距離の方が広く形成されており、狭い間隔の下層構造から広い間隔の上層構造への接続が可能となっている。

[0005] 特許文献1では、このツインプラグ形成方法を、埋め込みゲート型メモリセルの容量コンタクトプラグに適用して、狭い拡散層間隔をキャパシタ配置に適した広い間隔に拡張可能なコンタクトプラグ形成を可能としている。このとき、第1ラインパターンとしてメモリセルのビット線を有効活用している。

先行技術文献

特許文献

[0006] 特許文献1：特開2011-243960号公報

発明の概要

発明が解決しようとする課題

[0007] 上記従来技術では、図4に示す工程で、開口部57の底部では、第1ラインパターン52の段差により分離がエッチングの面内不均一によって稀に不十分となり、同図(e)に示すように残渣55rが残る場合がある。その後、分離絶縁膜58で埋め込まれるため、残渣55rはそのまま残り(図6(e))、X方向に分割した2つのプラグ55b-2と55c-2がショートし、歩留まりが低下する場合がある。このように、従来技術にはさらに改善の余地がある。

課題を解決するための手段

[0008] 本発明では、分離絶縁膜を先に形成することで、ツインプラグにおけるコ

ンタクトプラグの分離不足を解消する。

[0009] すなわち、本発明の一実施形態によれば、

基板上に、第1の方向に延在し、所定間隔で配置された複数の第1のラインパターンを形成する工程と、

前記基板上に、前記第1のラインパターンより高く、前記第1の方向と交差する第2の方向に前記第1のラインパターン上を跨いで延在する複数の第2のラインパターンを形成する工程と、

前記第2のラインパターンの上面間に凹部を形成する膜厚で、前記第1及び第2のラインパターンの表面とエッチング選択比の異なる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、前記凹部を埋めて前記第1の絶縁膜とエッチング選択比の異なる第1のマスク膜を形成する工程と、

前記第1のマスク膜をエッチングして前記第1の絶縁膜を露出させ、更に第1の絶縁膜を優先的にエッチングして、前記凹部の第1のマスク膜下の前記第1の絶縁膜を残し、前記第2のラインパターン側面に沿って、前記第1及び第2のラインパターンで囲まれた基板表面の一部を露出する開口部を形成する工程と、

前記開口部を埋めて導電材料を形成する工程と、

前記導電材料をエッチバックして前記第1のラインパターンの上面を露出させ、前記第2の方向で前記第1のラインパターンで分離され、前記第1の方向で、前記第2のラインパターンと前記第1の絶縁膜で分離された複数のコンタクトプラグを形成する工程と、

を備えた半導体装置の製造方法、が提供される。

発明の効果

[0010] 本発明の一実施形態によれば、ツインプラグを分離する絶縁膜をツインプラグ形成前にツインプラグ形成用のコンタクトホール中央に配置するため、導電材料の除去不足によるプラグ間ショートの問題は皆無となる。

図面の簡単な説明

[0011] [図1]本発明及び従来例に係るコンタクトプラグ形成方法を説明する概念図であり、図1 (a) は平面図、図1 (b)、図1 (c) はそれぞれ図1 (a) のY1-Y1' 断面図、X1-X1' 断面図を示す。

[図2]従来例に係るコンタクトプラグ形成方法を説明する概念図であり、図2 (a) は平面図、図2 (b)、図2 (c) はそれぞれ図2 (a) のY1-Y1' 断面図、X1-X1' 断面図を示す。

[図3]従来例に係るコンタクトプラグ形成方法を説明する概念図であり、図3 (a) は平面図、図3 (b)、図3 (c)、図3 (d) はそれぞれ図3 (a) のY1-Y1' 断面図、X1-X1' 断面図、Y2-Y2' 断面図を示す。

[図4]従来例に係るコンタクトプラグ形成方法を説明する概念図であり、図4 (a) は平面図、図4 (b)、図4 (c)、図4 (d) はそれぞれ図4 (a) のY1-Y1' 断面図、X1-X1' 断面図、Y2-Y2' 断面図を示す。

[図5]従来例に係るコンタクトプラグ形成方法を説明する概念図であり、図5 (a) は平面図、図5 (b)、図5 (c)、図5 (d) はそれぞれ図5 (a) のY1-Y1' 断面図、X1-X1' 断面図、Y2-Y2' 断面図を示す。

[図6]従来例に係るコンタクトプラグ形成方法を説明する概念図であり、図6 (a) は平面図、図6 (b)、図6 (c)、図6 (d) はそれぞれ図6 (a) のY1-Y1' 断面図、X1-X1' 断面図、Y2-Y2' 断面図を示す。

[図7]本発明の一実施形態例に係るコンタクトプラグ形成方法を説明する概念図であり、図7 (a) は平面図、図7 (b)、図7 (c) はそれぞれ図7 (a) のY1-Y1' 断面図、X1-X1' 断面図を示す。

[図8]本発明の一実施形態例に係るコンタクトプラグ形成方法を説明する概念図であり、図8 (a) は平面図、図8 (b)、図8 (c)、図8 (d) はそれぞれ図8 (a) のY1-Y1' 断面図、X1-X1' 断面図、Y2-Y2

’ 断面図を示す。

[図9]本発明の一実施形態例に係るコンタクトプラグ形成方法を説明する概念図であり、図9 (a) は平面図、図9 (b)、図9 (c)、図9 (d) はそれぞれ図9 (a) のY1-Y1’ 断面図、X1-X1’ 断面図、Y2-Y2’ 断面図を示す。

[図10]本発明の一実施形態例に係るコンタクトプラグ形成方法を説明する概念図であり、図10 (a) は平面図、図10 (b)、図10 (c)、図10 (d) はそれぞれ図10 (a) のY1-Y1’ 断面図、X1-X1’ 断面図、Y2-Y2’ 断面図を示す。

[図11]本発明の一実施形態例に係るコンタクトプラグ形成方法を説明する概念図であり、図11 (a) は平面図、図11 (b)、図11 (c)、図11 (d) はそれぞれ図11 (a) のY1-Y1’ 断面図、X1-X1’ 断面図、Y2-Y2’ 断面図を示す。

[図12]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図12 (a) は平面図、図12 (b1)、図12 (c1)、図12 (c2) はそれぞれ図12 (a) のY1-Y1’ 断面図、X1-X1’ 断面図、X2-X2’ 断面図を示す。

[図13]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図13 (a) は平面図、図13 (b1)、図13 (c1)、図13 (c2) は、それぞれ図13 (a) のY1-Y1’ 断面図、X1-X1’ 断面図、X2-X2’ 断面図を示す。

[図14]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図14 (a) は平面図、図14 (b1)、図14 (c1)、図14 (c2) は、それぞれ図14 (a) のY1-Y1’ 断面図、X1-X1’ 断面図、X2-X2’ 断面図を示す。

[図15]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図15 (a) は平面図、図15 (b1)、図15 (c1)、図15 (c2) は、それぞれ図15 (a) のY1-Y1’ 断面図、X1-X1’

断面図、X2-X2' 断面図を示す。

[図16]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図16(a)は平面図、図16(b1)、図16(c1)、図16(c2)は、それぞれ図16(a)のY1-Y1' 断面図、X1-X1' 断面図、X2-X2' 断面図を示す。

[図17]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図17(a)は平面図、図17(b1)、図17(b2)、図17(c1)、図17(c2)は、それぞれ図17(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図、X2-X2' 断面図を示す。

[図18]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図18(a)は平面図、図18(b1)、図18(b2)、図18(c1)、図18(c2)は、それぞれ図18(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図、X2-X2' 断面図を示す。

[図19]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図19(a)は平面図、図19(b1)、図19(b2)、図19(c1)、図19(c2)は、それぞれ図19(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図、X2-X2' 断面図を示す。

[図20]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図20(a)は平面図、図20(b1)、図20(b2)、図20(c1)、図20(c2)は、それぞれ図20(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図、X2-X2' 断面図を示す。

[図21]本発明の別の実施形態例に係る半導体装置の製造方法を説明する概念図であり、図21(a)は平面図、図21(b1)、図21(b2)、図21(c1)、図21(c2)は、それぞれ図21(a)のY1-Y1' 断面

図、Y2-Y2' 断面図、X1-X1' 断面図、X2-X2' 断面図を示す。

[図22]本発明の別の実施形態例の変形例に係る半導体装置の製造方法を説明する概念図であり、図22(a)は平面図、図22(b1)、図22(b2)、図22(c)はそれぞれ図22(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図を示す。

[図23]本発明の別の実施形態例の変形例に係る半導体装置の製造方法を説明する概念図であり、図23(a)は平面図、図23(b1)、図23(b2)、図23(c)はそれぞれ図23(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図を示す。

[図24]本発明の別の実施形態例の変形例に係る半導体装置の製造方法を説明する概念図であり、図24(a)は平面図、図24(b1)、図24(b2)、図24(c)はそれぞれ図24(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図を示す。

[図25]本発明の別の実施形態例の変形例に係る半導体装置の製造方法を説明する概念図であり、図25(a)は平面図、図25(b1)、図25(b2)、図25(c)はそれぞれ図25(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図を示す。

[図26]本発明の別の実施形態例の変形例に係る半導体装置の製造方法を説明する概念図であり、図26(a)は平面図、図26(b1)、図26(b2)、図26(c)はそれぞれ図26(a)のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図を示す。

[図27A]図27(a)は、本発明の一実施形態例になる半導体装置100の模式的平面図である。

[図27B]図27(b1)は、図27(a)のY1-Y1' 断面図である。

[図27C]図27(b2)は、図27(a)のY2-Y2' 断面図である。

[図27D]図27(c)は、図27(a)のX1-X1' 断面図である。

[図28]図27に示す半導体装置100の製造工程を説明する図であり、図2

8 (a) は模式的平面図、図 28 (b)、図 28 (c) は、それぞれ図 28 (a) の Y1-Y1' 断面図、X1-X1' 断面図である。

[図29]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 29 (a) は模式的平面図、図 29 (b)、図 29 (c) は、それぞれ図 29 (a) の Y1-Y1' 断面図、X1-X1' 断面図である。

[図30]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 30 (a) は模式的平面図、図 30 (b)、図 30 (c) は、それぞれ図 30 (a) の Y1-Y1' 断面図、X1-X1' 断面図である。

[図31]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 31 (a) は模式的平面図、図 31 (b)、図 31 (c) は、それぞれ図 31 (a) の Y1-Y1' 断面図、X1-X1' 断面図である。

[図32]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 32 (a) は模式的平面図、図 32 (b)、図 32 (c)、図 32 (d) は、それぞれ図 32 (a) の Y1-Y1' 断面図、X1-X1' 断面図、X2-X2' 断面図である。

[図33]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 33 (a) は模式的平面図、図 33 (b)、図 33 (c)、図 33 (d) は、それぞれ図 33 (a) の Y1-Y1' 断面図、X1-X1' 断面図、X2-X2' 断面図である。

[図34]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 34 (a) は模式的平面図、図 34 (b)、図 34 (c)、図 34 (d) は、それぞれ図 34 (a) の Y1-Y1' 断面図、X1-X1' 断面図、X2-X2' 断面図である。

[図35]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 35 (a) は模式的平面図、図 35 (b)、図 35 (c)、図 35 (d) は、それぞれ図 35 (a) の Y1-Y1' 断面図、X1-X1' 断面図、X2-X2' 断面図である。

[図36]図 27 に示す半導体装置 100 の製造工程を説明する図であり、図 3

6 (a) は模式的平面図、図36 (b)、図36 (c) は、それぞれ図36 (a) のY1-Y1' 断面図、X1-X1' 断面図である。

[図37A]図27に示す半導体装置100の製造工程を説明する図であり、図37 (a) は模式的平面図を示す。

[図37B]図37 (b) は図37 (a) のY1-Y1' 断面図である。

[図37C]図37 (c) は図37 (a) のX1-X1' 断面図である。

[図38A]図27に示す半導体装置100の製造工程を説明する図であり、図38 (a) は模式的平面図を示す。

[図38B]図38 (b1)、図38 (b2)、図38 (c) は、それぞれ図38 (a) のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図である。

[図39]図27に示す半導体装置100の製造工程を説明する図であり、図39 (b1)、図39 (b2)、図39 (c) は、それぞれ図38 (a) のY1-Y1' 断面、Y2-Y2' 断面、X1-X1' 断面に相当する断面図である。

[図40A]図27に示す半導体装置100の製造工程を説明する図であり、図40 (a) は模式的平面図を示す。

[図40B]図40 (b1)、図40 (b2)、図40 (c) は、それぞれ図40 (a) のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図である。

[図41A]図27に示す半導体装置100の製造工程を説明する図であり、図41 (a) は模式的平面図を示す。

[図41B]図41 (b1)、図41 (b2)、図41 (c) は、それぞれ図41 (a) のY1-Y1' 断面図、Y2-Y2' 断面図、X1-X1' 断面図である。

発明を実施するための形態

[0012] 以下、図面を参照して、本発明の好ましい実施形態例について説明するが、本発明はこれらの実施形態例のみに限定されるものではなく、当業者が必

要に応じて本発明の範囲内で適宜変更可能な構成を含む。

[0013] (実施形態例1)

図1, 図7~図11は、本発明の一実施形態に係るコンタクトプラグ形成方法を模式的に示す概念図であり、(a)は平面図、(b)は(a)のY1-Y1'断面図、(c)は(a)のX1-X1'断面図、(d)は(a)のY2-Y2'断面図を示す。図1については、従来例と共通する。

[0014] まず、従来例と同様に、図1に示すように、基板51上に、第1の方向(X方向)に延在する第1ラインパターンと、第1ラインパターン52を跨いで第2の方向(Y方向)に延在し、傾斜した側面を有する第2ラインパターン53を形成し、第1及び第2ラインパターンで囲まれた大きなコンタクトホール(以下第1コンタクトホールという)54を形成する。第1ラインパターン52は、Y方向に所定間隔で複数形成され、第2ラインパターン53は、X方向に所定の底面間隔と、底面間隔より広い上面間隔で複数形成される。第2ラインパターン53は、図1に示すような傾斜した側面を有する形状に限定されず、垂直な側面を有するラインパターンとしても良い。逆に第1ラインパターン52も垂直な側面を有する形状に限定されず、第2ラインパターン53と同様に傾斜した側面を有するパターンであっても良い。第1ラインパターン52及び第2ラインパターン53は1種の材料で構成される必要はなく、複数の材料で構成されていても良いが、その表面は、後工程で形成される第1の絶縁膜とエッチング選択比の異なる絶縁材料で構成されていることが好ましい。例えば、第1の絶縁膜が酸化シリコン膜である場合、第1ラインパターン52及び第2ラインパターン53の表面は窒化シリコン膜などで被覆されていることが好ましい。一括して第1ラインパターン52及び第2ラインパターン53の表面を窒化シリコン膜などで被覆した場合、基板51の表面も被覆されるが何ら問題はない。また、この例では、第1ラインパターン52と第2ラインパターン53とが直交するパターンに形成され、第1コンタクトホール54は矩形パターンに形成されているが、これに限定されず、第1ラインパターン52と第2ラインパターン53とが直交し

ない場合でも良い。その場合、第1コンタクトホール54は平行四辺形パターンとなる。

[0015] 次に、図7に示すように、第2ラインパターン53の上面間で凹部62を形成する膜厚で第1の絶縁膜61を成膜する。通常は、形成すべきコンタクトプラグのX方向の幅となる膜厚に形成する。このとき、第2ラインパターン53上面の第1の絶縁膜61を61a、第2ラインパターン53側面の第1の絶縁膜61を61b、基板51上、すなわち凹部62の底部の第1の絶縁膜61を61cとする。第1ラインパターン52の間隔が第1の絶縁膜61の膜厚の2倍より広ければ、第1ラインパターン52の上面間にも凹部62が形成され、第1の絶縁膜61cは第1の絶縁膜61aと第1の絶縁膜61bとほぼ同等の膜厚となる。このとき、凹部62は、第1ラインパターン52上面で、第1の底部62aを有し、第1ラインパターン52間に第1の底部より低い第2の底部62bを有するものとなる。第1ラインパターン52の間隔が第1の絶縁膜61の膜厚の2倍以下の場合、第1ラインパターン52上面と第1ラインパターン52間とで凹部62の底部はY方向に略平坦となり、第1の底部62aとなる。凹部62は、第2ラインパターン53の間のほぼ中央部に自己整合的に形成される。本発明では、第2ラインパターン53を第1ラインパターン52より高く形成しているため、第1ラインパターン間が狭く、第1パターン52間が第1の絶縁膜61で埋められても、第2ラインパターン53間に凹部62を形成することができる。また、第2ラインパターン53の側面を傾斜形状とすることで、凹部62を形成するマージンの確保が容易となる。

[0016] 次に、図8に示すように、凹部62を埋めて第1のマスク膜63を成膜する。第1のマスク膜63は、第1の絶縁膜61とエッチング選択比の異なる材料であれば、いずれも採用できる。但し、第1のラインパターン間が広く、凹部62に第2の底部62bが形成される場合には、最終的に形成されるコンタクトプラグに接して残留するため、その接触面が絶縁材料である。従って、第1のマスク膜63は、第1の絶縁膜61とエッチング選択比の異な

る第2の絶縁膜の単層膜、第2の絶縁膜上にポリシリコンなどの導電性または半導電性の膜を積層した積層膜とすることができる。例えば、第1の絶縁膜61が酸化シリコン膜である場合、第2の絶縁膜は窒化シリコン膜などで形成することができる。また、第1のマスク膜はBARC (Bottom Anti-Reflection Coating) 膜などの有機膜とすることもできる。

[0017] 次に、図9に示すように、第1のマスク膜63及び第1の絶縁膜61をドライエッチング法で、第1のマスク膜63より下層の第1の絶縁膜61のエッチレートが速い条件を用いてエッチバックする。そうすることで、エッチングが進み、下層の第1の絶縁膜61の上面61aが露出した時点で、第1の絶縁膜61のエッチングが第1のマスク膜63より速く進む。この結果、エッチングが終了した時点では下層の第1の絶縁膜61は、凹部62内の第1のマスク膜63下部の第1の絶縁膜61cのみ絶縁膜として残り、側壁部の第1の絶縁膜61bは残らない。このようにして第2のコンタクトホール64が形成される。図1の工程で一括して第1ラインパターン52及び第2ラインパターン53の表面を窒化シリコン膜など第1の絶縁膜とエッチング選択比の異なる絶縁材料で被覆した場合、第2のコンタクトホール64の底に窒化シリコン膜が残留しているが、これを更にエッチングして基板1の表面を露出させる。第2のコンタクトホール64は、第1ラインパターン52及び第2ラインパターン53並びに残留する第1の絶縁膜61cにより個々に底部で分離されており、X方向に64a, 64b, 64c、Y方向に64c-1, 64c-2, 64c-3のように区別される。

[0018] 次に、図10に示すように、第2のコンタクトホール64を埋めて全面に導電材料55を成膜する。最後に、図11に示すように、第1ラインパターン52上面が露出するように平坦化することで、各第2のコンタクトホール64に埋め込まれた導電材料55は、Y方向に第1ラインパターンで分離され、X方向に第2ラインパターン53と第1の絶縁膜61cで分離され、コンタクトプラグ55a-1~55a-3、55b-1~55b-3、55c-1~55c-3、55d-1~55d-3が完成する。図11では、第1

のマスク膜63が残留している構成を示しているが、第1ラインパターン52の間隔により第1の絶縁膜61c部分が第1ラインパターン52の高さよりも厚くなる場合には第1のマスク膜63は残留しない。第1のマスク膜63が残留しない場合には、第1のマスク膜63として導電材料や半導電材料を使用することができ、例えば、コンタクトプラグを構成する導電材料と同じ材料で形成すれば、コンタクトプラグのエッチバックと同時にエッチバックすることができる。各コンタクトプラグは更にエッチバックして第1ラインパターン等の上面より低くすることができる。

[0019] 本実施形態例によれば、分離絶縁膜となる第1の絶縁膜を第1のコンタクトホール54内に先に形成するため、図6(e)に示したように、分離絶縁膜58下に導電材料の残渣55rが残って、第1のコンタクトホール54内に形成される2つのコンタクトプラグ(ツインプラグ)間のショートが発生するという可能性は皆無となる。

[0020] また、本発明の一実施形態によれば、マージン余裕のある大きな第1のコンタクトホールから、自己整合的に対称構造の2つの第2のコンタクトホールが形成できる。第2のコンタクトホールの第1の方向の幅は、第1の絶縁膜の厚みで調整できるため、リソグラフィ限界以下の微細な幅の第2のコンタクトホールの形成が可能となり、素子の微細化に適している。

[0021] [実施形態例2]

上記実施形態例1では、2種の高さの異なるラインパターンを用いて第1のコンタクトホールを形成していたが、第1のコンタクトホールはラインパターンの組み合わせ以外に、デュアルダマシン法などで採用されている2段階エッチングによって形成してもよい。本実施形態例では、デュアルダマシン法でコンタクトプラグ付き配線を形成する方法について説明する。

[0022] 図12~図21は、本実施形態例に係る半導体装置の製造方法を説明する工程断面図であり、各図(a)は平面図、各図(b1)はY1-Y1'断面図、各図(b2)はY2-Y2'断面図、各図(c1)はX1-X1'断面図、各図(c2)はX2-X2'断面図をそれぞれ示す。

[0023] まず、図12に示すように、基板71上に形成した層間膜72に1段階目のエッチングにより第1の凹部73を形成し、続いて、図13に示すように、2段階目のエッチングより第1の凹部73部分で基板71表面が露出する第1のコンタクトホール73'を含む溝74を形成する。ここで、第1のコンタクトホール73'は、矩形形状に形成されているがこれに限定されず、1段階目エッチングの形状を変更することで他の形状、例えば、楕円形としても良い。形成される第1のコンタクトホール73'の底は基板71表面が露出する第2の底面73aを構成し、溝74の底面は層間膜72中に形成された第1の底面74aを構成する。また、溝74のX方向の側壁を第1の側壁74bとする。第1の側壁74bはこの例では垂直に形成されているが、実施形態例1で説明したようなテーパ形状を有していても良い。また、溝74は1段階目エッチングによる第1の凹部73よりX方向に幅広に形成しているため、第2の底部74aはX方向にも形成されるが、そのような段差形状が形成されていても問題はない。但し、第1のコンタクトホール73'が後工程で形成される第1の絶縁膜による凹部の下に全て隠れてしまうと、第2の底面73aの露出が困難となり、また、凹部の下からX方向の外側になる第1のコンタクトホール73'の幅が不十分となると下層との接触面積が十分に確保できない場合がある。その点を考慮して段差を調整する。

[0024] 次に、図14に示すように、全面にライナー絶縁膜75を形成する。この例では、層間膜72として、次に形成する第1の絶縁膜（例えば、酸化シリコン膜）とエッチング選択比が十分にとれない、例えば、酸化シリコン膜で形成した場合に、第1の絶縁膜とエッチング選択比のとれる絶縁膜、例えば、窒化シリコン膜でライナー絶縁膜75を形成する。層間膜72が第1の絶縁膜と十分にエッチング選択比のとれる材料である場合は、本工程は不要である。ライナー絶縁膜形成後の第1のコンタクトホールを73''、溝を74'と表示する。

[0025] 次に、図15に示すように、第1の絶縁膜（酸化シリコン膜）76を第1の側壁74b間に凹部77を形成するように成膜する。このとき、第1の

ンタクトホール 73” の Y 方向の幅は第 1 の絶縁膜の膜厚の 2 倍よりも狭いため埋め尽くされ、配線溝 74’ の中央部分に Y 方向に延在する凹部 77 が形成される。

[0026] その後は、実施形態例 1 と同様に、第 1 のマスク膜（第 2 の絶縁膜（窒化シリコン膜）） 78 を凹部 77 を埋めて形成し（図 16）、第 1 のマスク膜 78 より下層の第 1 の絶縁膜 76 のエッチレートが速い条件を用いてエッチバックし（図 17）、更に、露出したライナー絶縁膜 75 をエッチバックして、第 2 の底面 73 a 及び第 1 の底面 74 a を露出する分割された配線溝 74 L 及び 74 R、第 2 のコンタクトホール 73 L 及び 73 R を形成する（図 18）。

[0027] その後、導電材料 79 を配線溝 74 L 及び 74 R、第 2 のコンタクトホール 73 L 及び 73 R を埋めて全面に形成し（図 19）、層間膜 72 の上面が露出するまで CMP 等でエッチバックすると、図 20 に示すように、2 本の配線 79 WL 及び 79 WR と 2 つのコンタクトプラグ 79 CL と 79 CR とが形成できる。また、第 2 の底部 74 a が露出するまでエッチバックすると、図 21 に示すように、2 つのコンタクトプラグ 79 CL と 79 CR とを形成することができる。

[0028] [変形例]

上記実施形態例では大きな第 1 のコンタクトホールを分割して、2 つの第 2 のコンタクトホールを形成し、2 つのコンタクトプラグを形成する場合について説明したが、本発明はこれに限定されるものではなく、大きな第 1 のコンタクトホールの片側を埋めて、1 つの小さな第 2 のコンタクトホールを形成することも可能である。

[0029] 図 22～図 26 は、本変形例を説明する工程図であり、(a) は平面図、(b1) は Y1-Y1’ 断面図、(b2) は Y2-Y2’ 断面図、(c) は X1-X1’ 断面図を示している。本変形例では、下地に第 1 層間絶縁膜 81 中に埋め込まれ、X 方向に延在する下層配線 82 A、82 B（以下、単に下層配線 82 と称する場合がある）に対して、本発明の方法に従って 2 本の

デュアルダマシンプ配線を形成する手順について説明する。

- [0030] まず、図22に示すように、下層配線82上に形成した第2層間絶縁膜83中に、実施形態例2と同様に1段目エッチングにより下層配線82の上方に2つの第1のコンタクトホール84Aと84Bを形成し、2段目エッチングによりY'方向に延在する溝85を形成し、第1のコンタクトホール84Aと84Bの底に下層配線82A、82Bをそれぞれ露出させる。第1のコンタクトホール84Aと84Bは、溝85の異なる側面に寄せて形成している。
- [0031] 次に、図23に示すように、実施形態例2と同様にライナー絶縁膜86を形成する。続いて、図24に示すように、溝85の中央部に凹部88を形成するように第1の絶縁膜（酸化シリコン膜）87を形成する。凹部88は溝85の延在方向（Y'方向）に延在して形成される。
- [0032] その後は、実施形態例1と同様に、第1のマスク膜（第2の絶縁膜（窒化シリコン膜））89を凹部88を埋めて形成し、第1のマスク膜89より下層の第1の絶縁膜87のエッチレートが速い条件を用いてエッチバックし、更に、露出したライナー窒化膜86をエッチバックして、下層配線82表面を露出する分割された配線溝85L及び85R、第2のコンタクトホール84A'及び84B'を形成する（図25）。
- [0033] その後、導電材料90を配線溝85L及び85R、第2のコンタクトホール84A'及び84B'を埋めて全面に形成し、平坦化することで、図26に示すように、下層配線82Aにコンタクト90CRで接続された上層配線90WRと、下層配線82Bにコンタクト90CLで接続された上層配線90WLとが形成される。
- [0034] このように、本変形例では、微細配線と共に微細コンタクトを形成することができると共に、コンタクト位置を任意に設定することができる。なお、最初に形成する溝85の幅は一定である必要はなく、また、直線的に延在している必要もない。形成される配線の幅は、第1の絶縁膜87の溝側壁での膜厚によって制御することができ、溝幅が広くなれば第1の絶縁膜87に形

成される凹部 88 の幅も広くなる。又、本変形例では、第 1 層間絶縁膜 81 と第 2 層間絶縁膜 83 とを分けているが、下層配線 82 を埋め込んだ一層の層間絶縁膜であっても良い。

[0035] 〔適用例〕

次に、本発明の方法を実際の半導体装置に適用した例について説明する。本適用例による半導体装置 100 は DRAM であり、図 27 (a) は模式的平面図、図 27 (b1) は図 27 (a) の Y1-Y1' 断面図、図 27 (b2) は図 27 (a) の Y2-Y2' 断面図、図 27 (c) は図 27 (a) の X1-X1' 断面図を示す。図 28~図 41 は本適用例に係る半導体装置 100 の一連の製造工程断面図を示しており、各分図はそれぞれ、(a) は模式的平面図、(b) 又は (b1) は (a) の Y1-Y1' 断面図、(b2) は (a) の Y2-Y2' 断面図、(c) は (a) の X1-X1' 断面図、(d) は X2-X2' 断面図である。

[0036] 最初に、図 27 を参照して、本適用例の半導体装置 100 について説明する。

半導体装置 100 は DRAM のメモリセルを構成するものである。半導体基板 1 上において、X' 方向 (第 3 の方向) に連続して延在する素子分離領域 2 と、同じく X' 方向に連続して延在する活性領域 1A とが Y 方向 (第 2 の方向) に交互に等間隔、等ピッチで複数配置されている。素子分離領域 2 は溝に埋設した素子分離絶縁膜で構成されている。複数の素子分離領域 2 および複数の活性領域 1A に跨って、Y 方向に連続して延在する第 1 埋め込みワード線 (以下、第 1 ワード線) 10a、第 2 埋め込みワード線 (以下、第 2 ワード線) 10b、第 3 埋め込みワード線 (以下、第 3 ワード線) 10d、および第 4 埋め込みワード線 (以下、第 4 ワード線) 10e が配置されている。また、第 2 ワード線 10b および第 3 ワード線 10d に挟まれるようにダミーワード線 10c が配置されている。活性領域 1A はダミーワード線 10 によるフィールドシールドにより素子分離されており、ダミーワード線 10c の左側に位置する活性領域 1A は第 1 活性領域 1Aa となり、右側に

位置する活性領域 1 A は第 2 活性領域 1 A b となっている。X 方向（第 1 の方向）に延在して、第 1 ～第 3 ビット線（BL）16 a ～16 c が設けられている。

[0037] 第 1 活性領域 1 A a は、ダミーワード線 10 c の左側に隣接して配置される第 2 容量コンタクト領域 30 b と、第 2 容量コンタクト領域 30 b に隣接して配置される第 2 ワード線 10 b と、第 2 ワード線 10 b に隣接して配置される第 3 BL 16 c とのコンタクト領域 17 c（第 3 BL コンタクト領域）と、第 3 BL コンタクト領域 17 c に隣接して配置される第 1 ワード線 10 a と、第 1 ワード線 10 a に隣接して配置される第 1 容量コンタクト領域 30 a とを含んで構成されている。第 1 容量コンタクト領域 30 a と、第 1 ワード線 10 a と、第 3 BL コンタクト領域 17 c とで第 1 セルトランジスタ Tr 1 が構成され、第 3 BL コンタクト領域 17 c と、第 2 ワード線 10 b と、第 2 容量コンタクト領域 30 b とで第 2 セルトランジスタ Tr 2 が構成されている。

[0038] 第 2 活性領域 1 A b は、ダミーワード線 10 c の右側に隣接して配置される第 3 容量コンタクト領域 30 c と、第 3 容量コンタクト領域 30 c に隣接して配置される第 3 ワード線 10 d と、第 3 ワード線 10 d に隣接して配置される第 2 BL 16 b とのコンタクト領域 17 b（第 2 BL コンタクト領域）と、第 2 BL コンタクト領域 17 b に隣接して配置される第 4 ワード線 10 e と、第 4 ワード線 10 e に隣接して配置される第 4 容量コンタクト領域（図示せず）とを含んで構成されている。第 3 容量コンタクト領域 30 c と、第 3 ワード線 10 d と、第 2 BL コンタクト領域 17 b とで第 3 セルトランジスタ Tr 3 が構成され、第 2 BL コンタクト領域 17 b と、第 4 ワード線 10 e と、図示していない第 4 容量コンタクト領域とで第 4 セルトランジスタ Tr 4 が構成されている。

[0039] 第 1 活性領域 1 A a と第 2 活性領域 1 A b との間には、ダミーワード線 10 c の左右に隣接して配置される第 2 容量コンタクト領域 30 b と第 3 容量コンタクト領域 30 c と、ダミーワード線 10 c とでダミートランジスタ D

Tr 1 が構成される。本適用例のメモリセルは、上記第 1 活性領域 1 A a および第 2 活性領域 1 A b の構成がダミーワード線 1 0 c を介して X 方向に複数配置されて構成されるものである。

[0040] 半導体基板 1 に、トランジスタのゲート電極を兼ねるワード線用の溝が設けられている。各々のワード線用の溝の内面を覆うゲート絶縁膜 6 を介してバリア膜 7 及びタングステンなどの金属膜 8 で構成される第 1 ワード線 1 0 a、第 2 ワード線 1 0 b、ダミーワード線 1 0 c、第 3 ワード線 1 0 d 及び第 4 ワード線 1 0 e が各々の溝の底部に設けられている。ここでは、便宜的に第 1 活性領域 1 A a' を通過するワード線を第 1 ワード線 1 0 a、第 2 ワード線 1 0 b、第 2 活性領域 1 A b' を通過するワード線を第 3 ワード線 1 0 d 及び第 4 ワード線 1 0 e と称しているが、各々の活性領域毎に 2 本のワード線を有し、活性領域間にダミーワード線が配置される。各々のワード線を覆い、且つ、各々の溝を埋設してキャップ絶縁膜 1 1 が設けられている。第 1 ワード線 1 0 a の左側に位置する半導体ピラーは第 1 容量コンタクト領域 3 0 a となり、その上面にはソース／ドレインの一方となる不純物拡散層 2 9 a が設けられている。第 1 ワード線 1 0 a と第 2 ワード線 1 0 b の間に位置する半導体ピラーは第 3 BL コンタクト領域 1 7 c となり、その上面にはソース／ドレインの他の一方となる不純物拡散層 1 2 c が設けられている。また、第 2 ワード線 1 0 b の右側に位置する半導体ピラーは第 2 容量コンタクト領域 3 0 b となり、その上面にはソース／ドレインの一方となる不純物拡散層 2 9 b が設けられている。さらに、第 3 ワード線 1 0 d の左側に位置する半導体ピラーは第 3 容量コンタクト領域 3 0 c となり、その上面にはソース／ドレインの一方となる不純物拡散層 2 9 c が設けられている。そして、第 3 ワード線 1 0 d の右側に位置する半導体ピラーは第 2 BL コンタクト領域 1 7 b となり、その上面にはソース／ドレインの他の一方となる不純物拡散層 1 2 b が設けられている。

[0041] 各々のワード線上面を覆うキャップ絶縁膜 1 1 上には、第 2 BL コンタクト領域 1 2 b において第 2 不純物拡散層 1 7 b に接続される第 2 ビット線（

BL) 16bが、第3BLコンタクト領域12cにおいて第3不純物拡散層17cに接続される第3ビット線(BL)16cが設けられる。各ビット線は、不純物拡散層に接続されるビットコンタクトプラグを含むポリシリコン層13とその上に形成されたビットメタル層14と更にその上面にカバー絶縁膜15が設けられている。各ビット線の側壁にサイドウォール18と、ビット線を覆うように、全面にライナー絶縁膜19が設けられる。ライナー絶縁膜19上には、隣接するBL間に形成されている凹部空間を埋設する埋設絶縁膜20が設けられている。埋設絶縁膜20、ライナー膜19を貫通して、容量コンタクト28が設けられている。この容量コンタクト28は、第1、第2、および第3容量コンタクト領域30a、30b、30cに各々第1、第2、および第3容量コンタクトプラグ28a、28b、28cが接続している。ダミーワード線10c上のキャップ絶縁膜11上には第2、および第3容量コンタクトプラグ28b、28cを分離している分離絶縁膜(ライナー絶縁膜19、サイドウォール絶縁膜24、第1の絶縁膜25)を有する。第1、第2、および第3容量コンタクトプラグ28a、28b、28cの上部に各々コンタクトパッド33が接続している。容量コンタクトパッド33を覆うように、ストッパー膜34が設けられる。容量コンタクトパッド33上には下部電極35が設けられる。下部電極35の内壁及び外壁表面を連続して覆う容量絶縁膜36および容量絶縁膜36上に上部電極37が設けられてキャパシタを構成している。上部電極37は複数の膜の積層とすることができ、容量絶縁膜36上にコンフォーマルに形成される窒化チタン等の第1の上部電極と、空隙を埋めるドープトポリシリコンなどの充填層(第2の上部電極)、さらには上層配線との接続部となるタングステンなどの金属からなるプレート電極(第3の上部電極)などを含んでも良い。

[0042] 以下、図28～図41を用いて、図27に示した半導体装置100の製造方法について説明する。

[0043] まず、図28に示すように、半導体基板1の上に、周知のSTI法により、第1の方向(X'方向)に延在する酸化シリコン膜を含む絶縁膜で埋設さ

れた素子分離領域 2 を形成する。これにより、素子分離領域 2 で囲まれ、半導体基板 1 からなる活性領域 1 A が形成される。なお、ここでは素子分離領域 2 は、ライナー窒化膜 2 a と酸化シリコン膜 2 b の積層構造を示しているがこれに限定されるものではない。

[0044] 次に、半導体基板 1 上全面に酸化シリコン膜からなるパッド酸化膜 3 を形成し、このパッド酸化膜 3 を通して、図示しない N ウェル領域および P ウェル領域を公知の方法で形成する。

[0045] 次に、図 29 に示すように、半導体基板 1 上に酸化シリコン膜等を堆積し、レジスト（図示せず）にて Y 方向に延在し、一定の間隔で複数の溝 5 を形成するためのハードマスク 4 をパターニングする。

[0046] そして、半導体基板 1 をドライエッチングによってエッチングし、溝 5 を形成する。溝 5 のうち隣接する 2 本一対の溝（5 a と 5 b 又は 5 d と 5 e）は、従来と同様にワード線用溝であり、二対の溝間（5 b と 5 d の間）の溝 5 c は従来のダミーワード線用溝に相当するが、本発明では後工程で溝 5 c を拡散層分離溝 29 とする。このとき、素子分離領域 2 の酸化シリコン膜を半導体基板 1 のシリコンよりも深くエッチングすることで、図 3（b）に示すように、サドルフィン 1 B を形成している。サドルフィン 1 B とすることは必須ではなく、活性領域 1 A と素子分離領域 2 における溝深さをほぼ同等にしてもよい。これにより、活性領域 1 A は、一対の溝 5 a と 5 b（又は 5 d と 5 e）に挟まれた第 1 部分と、一対の溝 5 a 又は 5 b と溝 5 c に挟まれた第 2 部分に分けられる。第 1 部分はビット線が接続されるビットコンタクト領域となり、第 2 部分は容量コンタクトプラグが接続される容量コンタクト領域となる。

[0047] その後、半導体基板 1 の活性領域 1 A 上に熱酸化および窒化プロセス等を用いてゲート絶縁膜 6 を形成する。熱酸化により素子分離領域 2 のライナー窒化膜も一部酸化され、続く窒化プロセスにより酸化シリコン膜が酸窒化シリコン膜に変換される。これによりゲート絶縁膜 6 は素子分離領域 2 の絶縁膜、ハードマスク 4 上にも連続して形成される。

[0048] さらに、図30に示すように、窒化チタン等のバリア膜7、タングステン等のメタル膜8等を、たとえばCVD法にて堆積させ、エッチバックすることにより、溝5a、5b、5d、5e内にワード線10a、10b、10d、10eを形成する。この時、溝5c内にも同様にダミーワード線10cが形成される。

[0049] 次に、図31に示すように、残存したメタル膜8上および溝5a~5eの内壁を覆うように、図示はしていないが窒化シリコン膜等でライナー膜をたとえばCVD法にて形成する。ライナー膜上に酸化シリコン膜を堆積する。その後、CMPを行って、ライナー膜が露出するまで表面を平坦化する。さらに、露出するライナー膜を除去し、ハードマスク4及び酸化シリコン膜を所定の高さまでエッチバックする。これにより、キャップ絶縁膜11で埋め込まれた埋込ワード線が形成される。キャップ絶縁膜11は、残存するハードマスク4が薄い場合には、ハードマスク4を覆うように形成してもよく、後工程で形成するビット線と容量コンタクトプラグを接続する拡散層との間に十分な距離を確保する。

[0050] 次に、図32に示すように、フォトリソグラフィ技術およびドライエッチング技術を用いて、ハードマスク4の一部を除去し、各ビット線コンタクト領域、図32(d)では第3BLコンタクト領域17cの上面に接続するビットコンタクトBCを形成する。ビットコンタクトは、ワード線10と同じ方向(Y方向)に延在するライン状の開口パターンとして形成される。ビットコンタクトBCのパターンと活性領域の交差した部分では、半導体基板1表面(第1部分)が露出する。ビットコンタクトBCを形成した後に、N型不純物(ヒ素等)をイオン注入し、シリコン表面近傍にN型不純物拡散層12を形成する。形成したN型不純物拡散層12は、トランジスタのソース・ドレイン領域として機能する。その後、ポリシリコン膜13、タングステン膜14、窒化シリコン膜15等の積層膜をたとえばCVD法にて形成する。そして、フォトリソグラフィ技術およびドライエッチング技術を用いてワード線10と交差する方向(X方向)に延在するライン形状にパターニングし

、ビット線16を形成する。ビットコンタクト内で露出しているシリコン表面部分で、ビット線下層のポリシリコン膜13とN型不純物拡散層12とが接続する。図32(d)に示す部分では、第3BL16cとN型不純物拡散層12cが接続される。

[0051] 次に、図33に示すように、各ビット線16の側面を覆う窒化シリコン膜18を形成した後に、エッチングによって酸化シリコン膜のハードマスク4、パッド酸化膜3およびキャップ絶縁膜11の一部を除去し、キャップ絶縁膜11の表面が、半導体基板1のシリコン表面と概略同程度の高さになるようエッチバックする。

[0052] 次に、図34に示すように、全面を覆うライナー膜19を窒化シリコン膜等でたとえばCVD法を用いて形成する。ビット線間のスペース部を充填するように、塗布膜であるSOD膜20を堆積した後に、高温の水蒸気(H₂O)雰囲気中でアニール処理を行い、固体の膜に改質する。ライナー膜19の上面が露出するまでCMPを行って平坦化した後に、キャップ酸化シリコン膜21として、たとえばCVD法で形成した酸化シリコン膜を形成し、SOD膜20の表面を覆う。さらに、キャップ酸化シリコン膜21の上にマスクポリシリコン膜22を形成する。

[0053] 次に、図35に示すように、フォトリソグラフィ技術およびドライエッチング技術を用いて、容量コンタクトホール23を形成する。具体的にはリソグラフィ技術を用いてライン状にパターニングし、ライナー膜19で覆われたビット線16を図1に示す第1のラインパターン52とし、SOD膜20、キャップ酸化シリコン膜21、マスクポリシリコン膜22を図1に示す第2のラインパターン53とする。第2のラインパターンは、ワード線10aと10b、10dと10e上にY方向に延在し、ダミーワード線10c上を開口するライン状の開口パターンとして形成される。また、その側面は傾斜しており、X方向にコンタクトホール23の底部よりも上部が広がっている。従来はこの段階でライナー膜19を除去して基板表面を露出させ、ビット線の側面にサイドウォールを形成していたが、本適用例ではライナー膜1

9は除去しない。

[0054] 次に、図36に示すように、全面にサイドウォール膜24をたとえばCVD法を用いて窒化シリコン膜で形成する。従来は、サイドウォール膜24をエッチバックして、第2のラインパターン側面のサイドウォール及びビット線側面の第3サイドウォールを形成し、半導体基板表面を露出させていたが、本適用例では半導体基板1の表面はライナー膜19とサイドウォール膜24で覆われている。

[0055] 次に、図37に示すように、第1の絶縁膜25と第1のマスク膜（第2の絶縁膜）26とを順次成膜する。例えば、第1の絶縁膜25は、CVD法を用いて酸化シリコン膜を20nm厚に形成する。このとき第2のラインパターン間に凹部が形成され、ビット線16間は第1の絶縁膜25で埋め尽くされる。第2の絶縁膜26は、例えば、CVD法を用いて窒化シリコン膜を50nm厚に形成する。これにより、第1の絶縁膜25に形成されていた凹部が埋められる。ここで、第2のラインパターン上の第1の絶縁膜を25a、第2のラインパターンの側面の第1の絶縁膜を25b、コンタクトホール23の底部の第1の絶縁膜を25cと表示し、第1の絶縁膜25a上の第2の絶縁膜を26a、第1の絶縁膜25に形成された凹部内の第2の絶縁膜を26bと表示する。

[0056] 次に、図38に示すように、ドライエッチングにより第2の絶縁膜26をエッチバックし、更に露出する第1の絶縁膜25をエッチバックする。このとき、第1の絶縁膜25と第2の絶縁膜26とが共に露出する段階、すなわち、第2の絶縁膜26aが除去された段階では、第1の絶縁膜25のエッチレートが速い条件を選択して実施する。第1の絶縁膜25が露出するまでは、第2の絶縁膜26に適したエッチング条件を選択できるが、第1の絶縁膜25のエッチレートが速い上記条件でエッチングすることで、エッチング条件を切り換えることなく、連続してエッチングしても良い。これにより、第1の絶縁膜25a、25bがエッチングされて、第2のコンタクトホール（容量コンタクト）27が形成される。第2の絶縁膜26bの下層の第1の絶

縁膜 25c はエッチングされずに残り、容量コンタクト分離絶縁膜となる。容量コンタクト 27 の底のサイドウォール絶縁膜 24 及びライナー膜 19 はそのままエッチングして、半導体基板 1 の表面を露出させる。このとき、容量コンタクト 27 に露出するビット線上面のサイドウォール絶縁膜 24 及びライナー膜 19 もエッチングされ、サイドウォール状になる。なお、サイドウォール絶縁膜 24 及びライナー膜 19 をエッチングする段階では、第 1 の絶縁膜（酸化シリコン膜）25 よりも窒化シリコン膜であるサイドウォール絶縁膜 24 及びライナー膜 19 のエッチレートが速い条件を選択しても良い。そうすることで、容量コンタクト 27 の底に露出する酸化シリコン膜であるキャップ絶縁膜 11 がエッチングされることを抑制することができ、また、第 1 の絶縁膜 25c の不要なサイドエッチングも抑制できる。容量コンタクト 27 は X 方向には第 2 ラインパターンと第 1 の絶縁膜 25 とサイドウォール絶縁膜 24 及びライナー膜 19 の積層膜により分離され、第 1 のコンタクトホール 23 を 2 分している。ビット線上では Y 方向に連続しているが、容量コンタクト 27 の底部では、ビット線 16 により Y 方向にも分離されている。

[0057] 次に、図 39 に示すように、容量コンタクト 27 の内部に、N 型不純物（リン等）をドーピングしたポリシリコン 28 をたとえば CVD 法を用いて埋め込む。ポリシリコン 28 にドーピングされた N 型不純物によって、活性領域 1A の第 2 部分である容量コンタクト領域 30a、30b、30c 表面近傍に N 型不純物拡散層 29a、29b、29c が形成される。形成された N 型不純物拡散層 29a、29b、29c は、トランジスタのソース・ドレイン領域として機能する。

[0058] 次に、図 40 に示すように、ポリシリコン 28、第 2 の絶縁膜 26b、第 2 のラインパターンを CMP により平坦化する。この際、ビット線上のカバー絶縁膜 15 をエッチングストッパとしてカバー絶縁膜 15 が露出するまで平坦化する。これにより、第 1 容量コンタクト領域 30a に接続された第 1 容量コンタクトプラグ 28a、第 2 容量コンタクト領域 30b に接続された

第2容量コンタクトプラグ28b、第3容量コンタクト領域30cに接続された第3容量コンタクトプラグ28cとをY方向に分離ができる。更にポリシリコンをエッチバックして、第1～第3容量コンタクトプラグ28a～28cを完成する。なお、CMPによる平坦化は、第1の絶縁膜25cの下のビット線16上のサイドウォール絶縁膜24やライナー膜19が露出する時点で終了しても良い。この場合、容量コンタクト27においては、ビット線上のカバー絶縁膜15上にポリシリコン28が形成されているため、Y方向には分離されていないが、続く、エッチバックでY方向に分離しても良い。

[0059] 次に、図41に示すように、容量コンタクト27内の容量コンタクトプラグ28a～28cが埋め込まれていない部分にCVD法を用いて窒化チタン等のバリア膜31、タングステン等のメタル膜32等の配線材料層を埋め込む。続いて、フォトリソグラフィ技術およびドライエッチング技術を用いて、容量コンタクトパッド33を形成する。容量コンタクトプラグ28a～28cの上面にコバルトシリサイド等のシリサイド膜を形成して、容量コンタクトパッド33との接触抵抗を低減させてもよい。

[0060] その後、図27に示すように、容量コンタクトパッド33上を覆うように、窒化シリコン膜を用いてストッパー膜34を形成する。容量コンタクトパッド33上に窒化チタン等でキャパシタ素子の下部電極35を形成する。そして、下部電極35の表面を覆うように容量絶縁膜36を形成した後に、窒化チタン等でキャパシタ素子の上部電極37を形成する。その後、図示していないが配線形成工程を繰り返すことで多層配線を形成し、半導体装置100を形成する。

[0061] なお、本適用例において、容量コンタクトプラグ28a～28cのエッチバックによりビット線上面のカバー絶縁膜15よりも低くすることやその後のコンタクトパッド33の形成は必須ではない。本発明では、一つのコンタクトホール23内に形成されたコンタクトプラグ、すなわち、第1の絶縁膜25cを介してX方向に対峙する2つの容量コンタクトプラグ（図では28bと28c）は、第2のラインパターンの傾斜面を利用して、上面の中心間

距離が下面の中心間距離よりも広く形成できるため、容量コンタクトプラグ上にキャパシタの下部電極を直接形成しても、キャパシタ間の間隔を十分に確保することができる。

符号の説明

- [0062] 1. 半導体基板
- 1 A. 活性領域
 - 1 A a. 第1活性領域
 - 1 A b. 第2活性領域
 - 1 B. サドルフィン
2. 素子分離領域
- 2 a. ライナー窒化膜
 - 2 b. 酸化シリコン膜
3. バッド酸化膜
4. ハードマスク
5. ワード線用の溝
6. ゲート絶縁膜
7. バリア膜
8. メタル膜
- 10 a, 10 b, 10 d, 10 d. ワード線
 - 10 c. ダミーワード線
 - 11. キャップ絶縁膜
 - 12. N型不純物拡散層
 - 13. ポリシリコン膜
 - 14. タングステン膜
 - 15. 窒化シリコン膜
 - 16. ビット線
 - 17. ビット線コンタクト領域
 - 18. 窒化シリコン膜

- 19. ライナー膜
- 20. SOD膜
- 21. キャップ酸化シリコン膜
- 22. マスクポリシリコン膜
- 23. 第1のコンタクトホール
- 24. サイドウォール絶縁膜
- 25. 第1の絶縁膜
- 26. 第1のマスク膜 (第2の絶縁膜)
- 27. 容量コンタクト (第2のコンタクトホール)
- 28. ポリシリコン
- 28a~28c. 容量コンタクトプラグ
- 29a~29c. N型不純物拡散層
- 30a~30c. 容量コンタクト領域
- 31. バリア膜
- 32. メタル膜
- 33. 容量コンタクトパッド
- 34. ストッパー膜
- 35. 下部電極
- 36. 容量絶縁膜
- 37. 上部電極
- 51. 基板
- 52. 第1ラインパターン
- 53. 第2ラインパターン
- 54. 第1コンタクトホール
- 55. 導電材料
 - 55a-1~55a-3、55b-1~55b-3、55c-1~55c-3、55d-1~55d-3. コンタクトプラグ
- 61. 第1の絶縁膜

- 62. 凹部
- 63. 第1のマスク膜
- 64. 第2コンタクトホール
- 71. 基板
- 72. 層間膜
- 73. 第1の凹部
- 73'、73". 第1のコンタクトホール
- 73a. 第2の底面
- 73L, 73R. 第2のコンタクトホール
- 74、74'. 溝
- 74a. 第1の底面
- 74b. 第1の側壁
- 74L, 74R. 配線溝
- 75. ライナー絶縁膜
- 76. 第1の絶縁膜
- 77. 凹部
- 78. 第1のマスク膜 (第2の絶縁膜)
- 79. 導電材料
- 79WL, 79WR. 配線
- 79CL, 79CR. コンタクトプラグ
- 81. 第1層間絶縁膜
- 82. 下層配線
- 83. 第2層間絶縁膜
- 84A, 84B. 第1のコンタクトホール
- 84A', 84B'. 第2のコンタクトホール
- 85. 溝
- 85L, 85R. 配線溝
- 86. ライナー絶縁膜

- 87. 第1の絶縁膜
- 88. 凹部
- 89. 第1のマスク膜（第2の絶縁膜）
- 90. 導電材料
- 90WL, 90WR. 配線
- 90CL, 90CR. コンタクトプラグ
- 100. 半導体装置

請求の範囲

- [請求項1] 基板上に、第1の方向に延在し、所定間隔で配置された複数の第1のラインパターンを形成する工程と、
- 前記基板上に、前記第1のラインパターンより高く、前記第1の方向と交差する第2の方向に前記第1のラインパターン上を跨いで延在する複数の第2のラインパターンを形成する工程と、
- 前記第2のラインパターン間に凹部を形成する膜厚で、前記第1及び第2のラインパターンの表面とエッチング選択比の異なる第1の絶縁膜を形成する工程と、
- 前記第1の絶縁膜上に、前記凹部を埋めて前記第1の絶縁膜とエッチング選択比の異なる第1のマスク膜を形成する工程と、
- 前記第1のマスク膜をエッチングして前記第1の絶縁膜を露出させ、更に第1の絶縁膜を優先的にエッチングして、前記凹部の第1のマスク膜下の前記第1の絶縁膜を残し、前記第2のラインパターン側面に沿って、前記第1及び第2のラインパターンで囲まれた基板表面の一部を露出する開口部を形成する工程と、
- 前記開口部を埋めて導電材料を形成する工程と、
- 前記導電材料をエッチバックして前記第1のラインパターンの上面を露出させ、前記第2の方向で前記第1のラインパターンで分離され、前記第1の方向で、前記第2のラインパターンと前記第1の絶縁膜で分離された複数のコンタクトプラグを形成する工程と、
- を備えた半導体装置の製造方法。
- [請求項2] 前記第2のラインパターンは、前記第1の方向に所定の底面間隔と、前記底面間隔より広い上面間隔となる傾斜した側面形状を有する請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記複数のコンタクトプラグを形成する工程は、前記第1のラインパターンの上面が露出するまで全体をエッチバックして実施される請求項1又は2に記載の半導体装置の製造方法。

- [請求項4] 前記複数のコンタクトプラグを形成する工程は、全体を所定の高さまでエッチバックした後、前記導電材料を、前記第1のラインパターンが露出し、前記第1のラインパターンの上面以下となるまでエッチバックすることで実施される請求項1又は2に記載の半導体装置の製造方法。
- [請求項5] 前記第2のラインパターンを形成した後、前記第1の絶縁膜を形成する前に、前記第1の絶縁膜とエッチング選択比の異なる絶縁材料で前記基板表面、前記第1及び第2のラインパターンの表面を被覆する工程を有する請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。
- [請求項6] 前記第1のラインパターンが、前記第1の絶縁膜の膜厚の2倍以下の間隔で配置されており、前記第1の絶縁膜が前記第1のラインパターン間を埋めて形成され、前記凹部は略平坦な底面を有する請求項1乃至5のいずれか1項に記載の半導体装置の製造方法。
- [請求項7] 前記第1のラインパターンが、前記第1の絶縁膜の膜厚の2倍より広い間隔で配置されており、前記凹部は前記第1のラインパターン上の第2の底面と、前記第1のラインパターン間に前記第2の底面よりも低い第1の底面を有する請求項1乃至5のいずれか1項に記載の半導体装置の製造方法。
- [請求項8] 前記第1のマスク膜は、前記第1の絶縁膜とエッチング選択比の異なる第2の絶縁膜を前記第2の底面と前記第1の底面とで構成される段差内に含む請求項7に記載の半導体装置の製造方法。
- [請求項9] 前記第1の絶縁膜が酸化シリコン膜であり、前記第1のマスク膜が窒化シリコン膜である請求項1乃至8のいずれか1項に記載の半導体装置の製造方法。
- [請求項10] 前記半導体基板上に、前記第1及び第2の方向と異なる第3の方向に延在する複数の素子分離領域を形成し、前記素子分離領域間に前記第3の方向に延在する活性領域を規定する工程と、

前記第2の方向に延在する隣接する2本一対の埋め込みワード線と、前記一対の埋め込みワード線間に埋め込みダミーワード線とを形成する工程と、

前記半導体基板上に、前記第1のラインパターンとして、2本一対の埋め込みワード線間の活性領域に接続され、上部及び側面を絶縁膜で覆われたビット線を形成する工程、

前記2本一対の埋め込みワード線上で前記第2の方向に延在し、前記埋め込みダミーワード線上及びその両側の前記活性領域上を開口する前記第2のラインパターンを形成する工程とを備え、

前記コンタクトプラグが、前記埋め込みダミーワード線の両側の前記活性領域に接続される請求項1乃至9のいずれか1項に記載の半導体装置の製造方法。

[請求項11]

前記ビット線の側壁に絶縁膜を形成した後、前記ビット線が形成されていない領域の前記半導体基板表面が露出するまでエッチバックする工程と、

前記第1の絶縁膜とエッチング選択比の異なるライナー絶縁膜で全面を覆う工程と、

前記ライナー絶縁膜上に埋め込み絶縁膜を形成し、前記ビット線間の間隙を埋める工程と、

前記ビット線上及び埋め込み絶縁膜上にマスク膜を形成し、前記埋め込み絶縁膜を含む前記第2のラインパターンを形成する工程と、

前記第2のラインパターンを含む全面に、前記第1の絶縁膜とエッチング選択比の異なるサイドウォール絶縁膜を形成する工程とをさらに有し、前記第1の絶縁膜を優先的に除去して形成した開口部底に露出する前記サイドウォール絶縁膜及びライナー絶縁膜を除去して、前記前記ダミーワード線の両側の活性領域を露出させる請求項10に記載の半導体装置の製造方法。

[請求項12]

前記第1の絶縁膜が酸化シリコン膜であり、前記ライナー絶縁膜及

び前記サイドウォール絶縁膜が窒化シリコン膜である請求項 11 に記載の半導体装置の製造方法。

[請求項13] 前記コンタクトプラグ上に、キャパシタを形成する工程を含む請求項 10 乃至 12 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項14] 前記キャパシタは、前記コンタクトプラグに電氣的に接続され、底面と側面を有する筒状の下部電極と、前記下部電極の内壁及び外壁に容量絶縁膜を介して対向する上部電極とを含む請求項 13 に記載の半導体装置の製造方法。

[請求項15] 前記コンタクトプラグと前記キャパシタの下部電極とを電氣的に接続するパッド電極を形成する工程を含む請求項 13 又は 14 に記載の半導体装置の製造方法。

[請求項16] 層間膜中に、第 1 の底面を有する溝と、前記溝内に、前記第 1 の底面よりも低い第 2 の底面を有する第 1 のコンタクトホールを形成する工程と、

前記溝の両側壁間の中央部に凹部を形成する膜厚で第 1 の絶縁膜を成膜する工程と、

前記凹部を埋めて第 1 のマスク膜を形成する工程と、

前記凹部内の前記第 1 のマスク膜下の前記第 1 の絶縁膜以外の前記第 1 の絶縁膜を除去して、前記第 1 の底面と前記第 2 の底面の一部を露出させる工程と、

前記第 1 の底面及び第 2 の底面に接して導電材料を埋め込む工程と、

、

を備えた半導体装置の製造方法。

[請求項17] 前記第 1 のコンタクトホールは、前記第 1 の絶縁膜に形成される凹部が前記溝幅方向で前記第 1 のコンタクトホールの中央に位置し、前記凹部の前記溝幅方向の側面よりも前記溝の両側壁側に張り出す形状に形成され、前記残存する第 1 の絶縁膜により、前記第 1 のコンタクトホールを分断して 2 つの第 2 のコンタクトホールを形成することを

特徴とする請求項 16 に記載の半導体装置の製造方法。

[請求項18] 前記第 1 のコンタクトホールは、前記溝幅方向で一方の側壁側に寄せて形成されており、前記第 1 の絶縁膜により形成される凹部が前記第 1 のコンタクトホールの片側端上に位置し、前記溝の一方の側面側の前記凹部の側面よりも前記溝の一方の側壁側に張り出す形状に形成され、前記残存する第 1 の絶縁膜により、前記第 1 のコンタクトホールより小さい第 2 のコンタクトホールを形成することを特徴とする請求項 16 に記載の半導体装置の製造方法。

[請求項19] 前記導電材料を埋め込んだ後、前記第 1 の底面上の前記導電材料を除去する請求項 16 乃至 18 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項20] 前記第 2 の底面は、前記導電材料との接触部分において、下層構造の導電部位を少なくとも含む請求項 16 乃至 19 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項21] 前記層間絶縁膜及び第 1 の絶縁膜が酸化シリコンを含む絶縁材料で構成され、前記第 1 の絶縁膜を成膜する前に、前記第 1 及び第 2 の底面を含む前記溝及び前記第 1 のコンタクトホール内壁に前記第 1 の絶縁膜とエッチング選択比の異なる第 2 の絶縁膜を形成する工程をさらに有する請求項 16 乃至 20 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項22] 前記第 1 のマスク膜及び前記第 2 の絶縁膜が窒化シリコン膜を含む請求項 21 に記載の半導体装置の製造方法。

[図1]

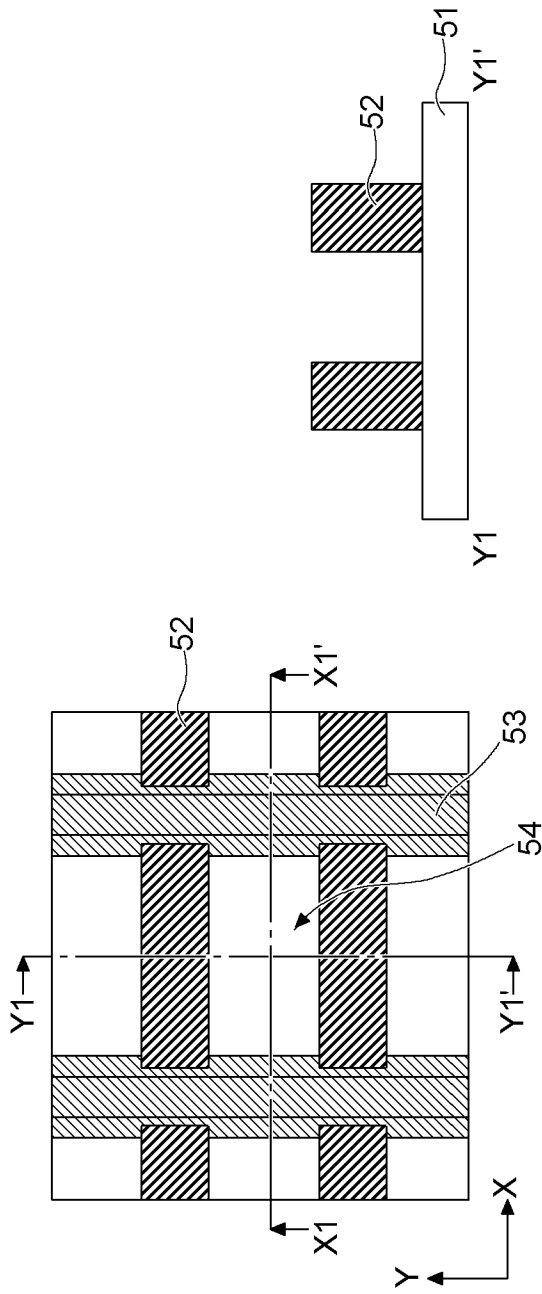


Fig. 1(a)

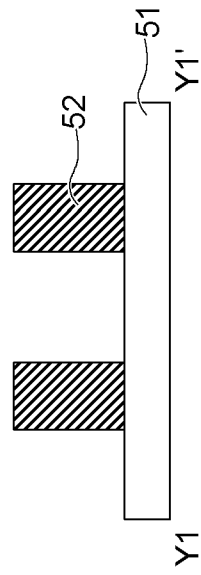


Fig. 1(b)

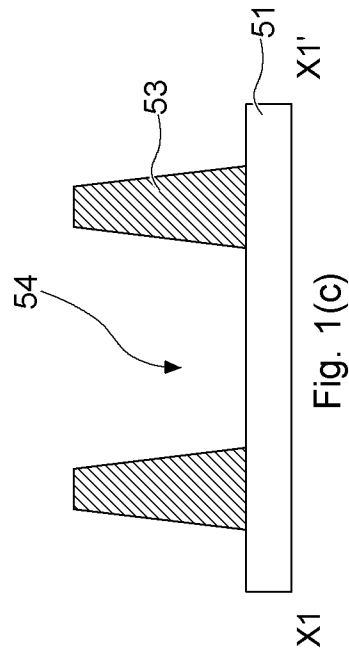


Fig. 1(c)

[圖2]

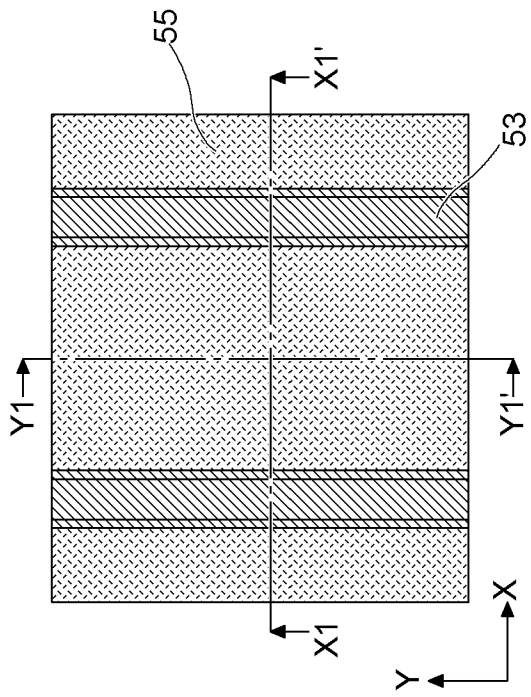


Fig. 2(a)

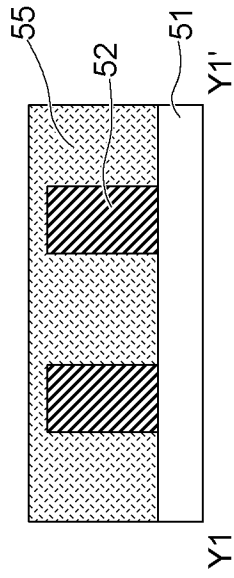


Fig. 2(b)

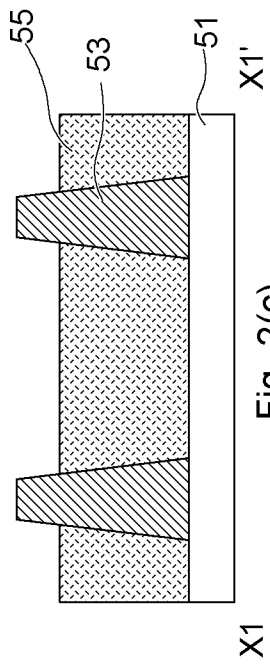


Fig. 2(c)

[圖3]

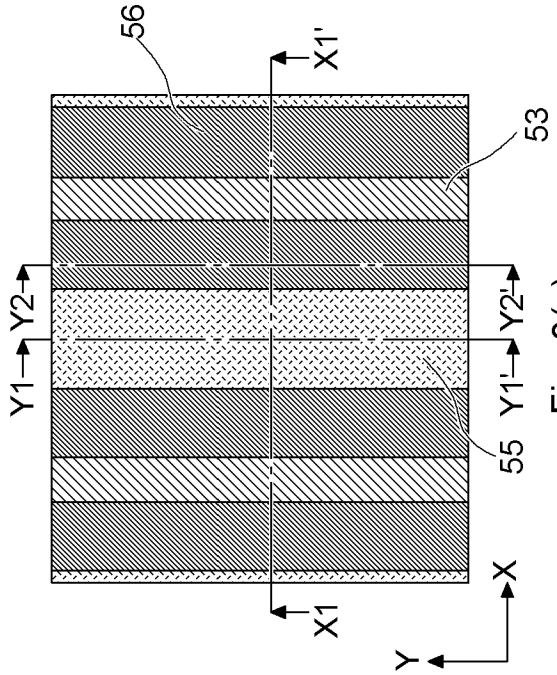


Fig. 3(a)

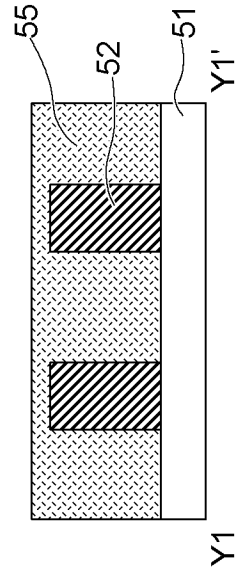


Fig. 3(b)

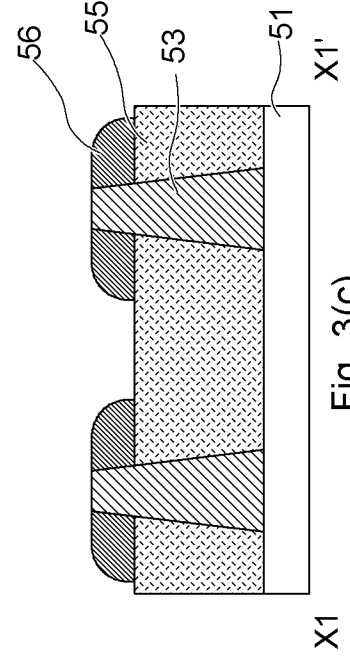


Fig. 3(c)

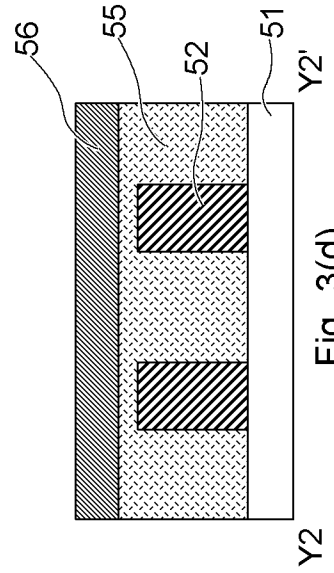
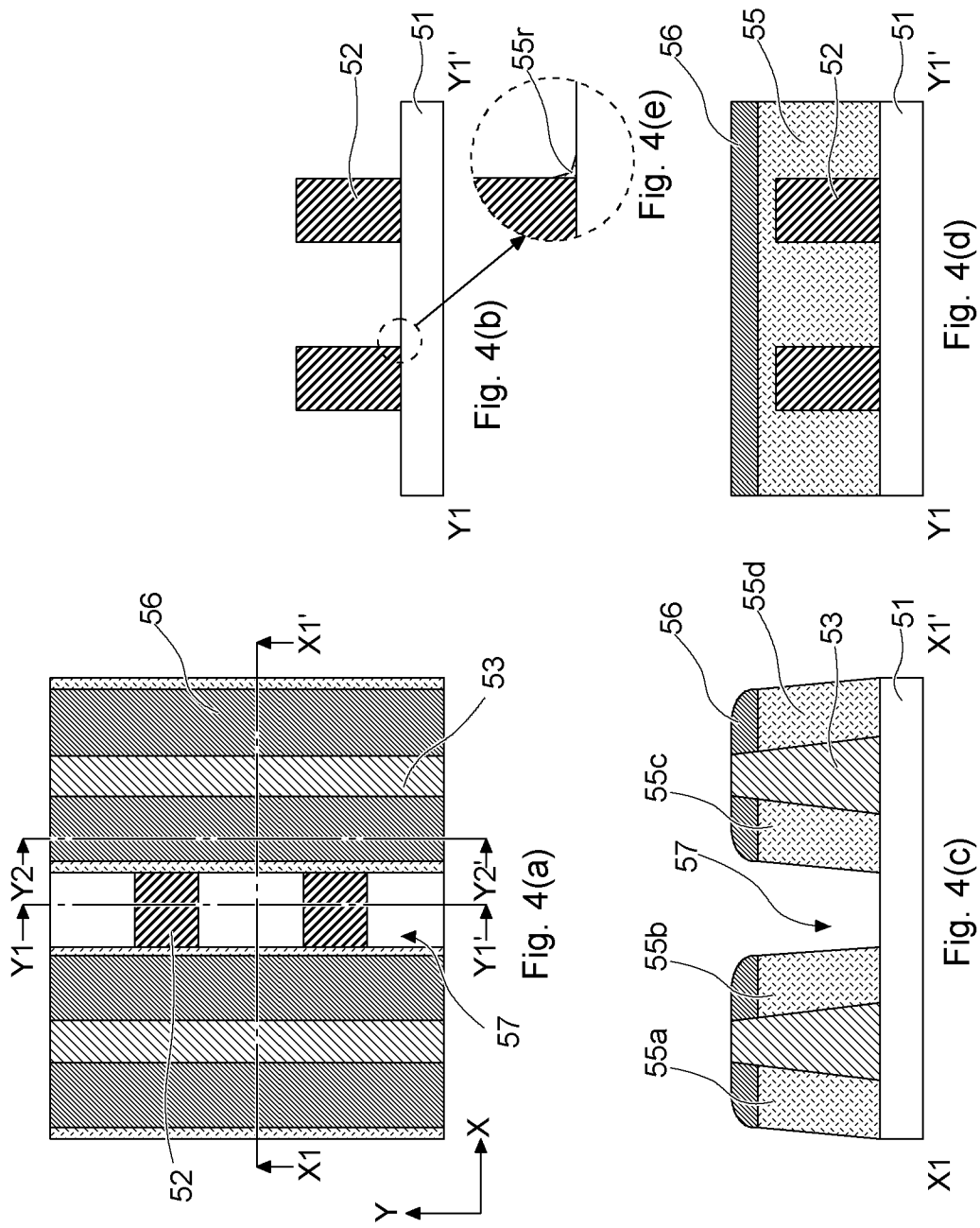


Fig. 3(d)

[図4]



[5]

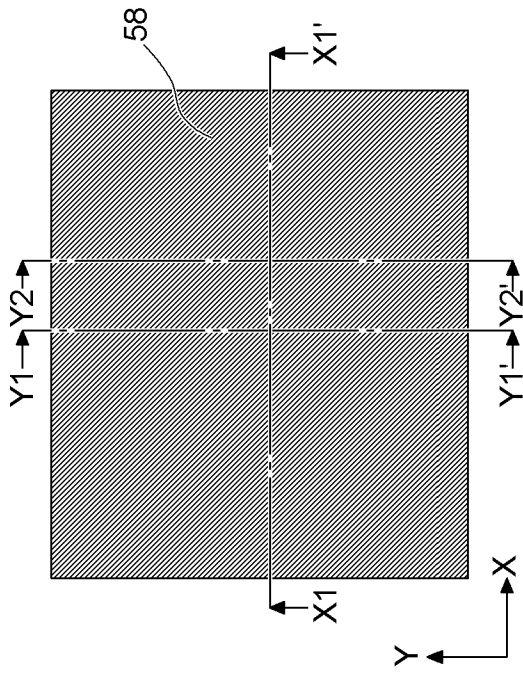


Fig. 5(a)

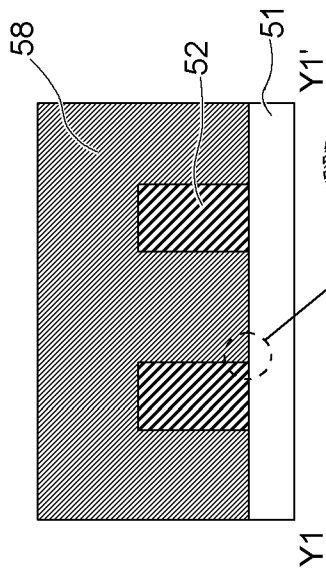


Fig. 5(b)

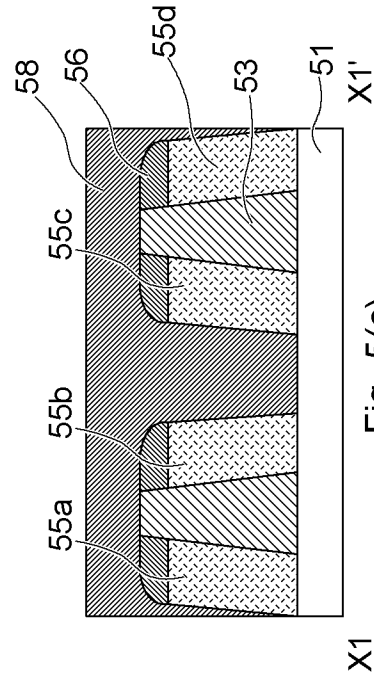
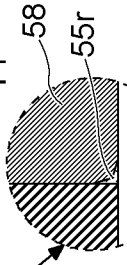


Fig. 5(c)

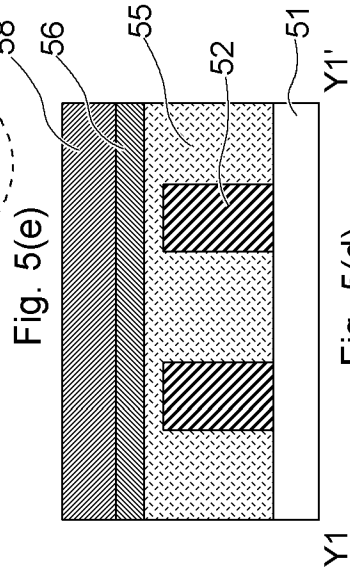


Fig. 5(d)

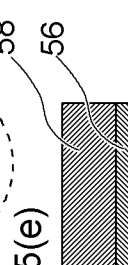
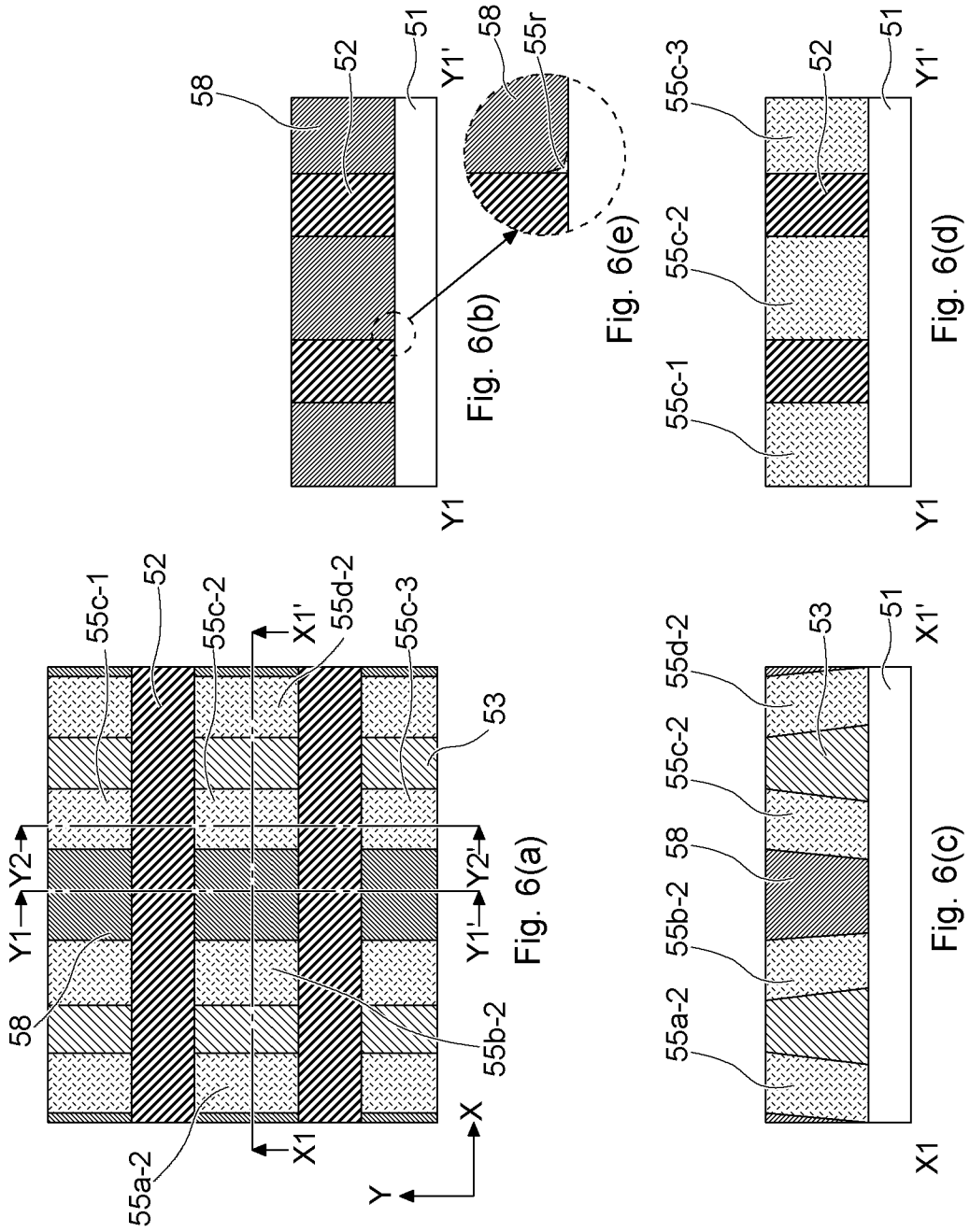


Fig. 5(e)

[圖6]



[図7]

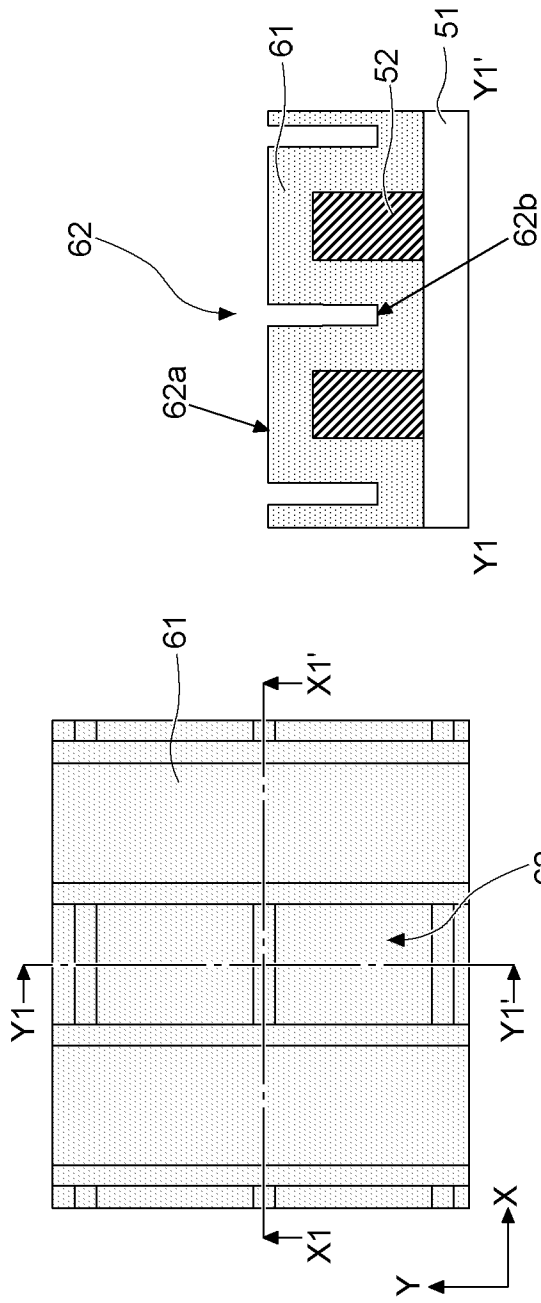


Fig. 7(b)

Fig. 7(a)

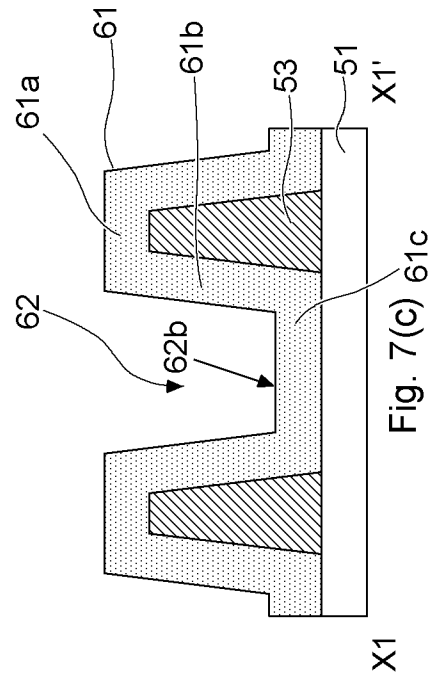


Fig. 7(c)

[8]

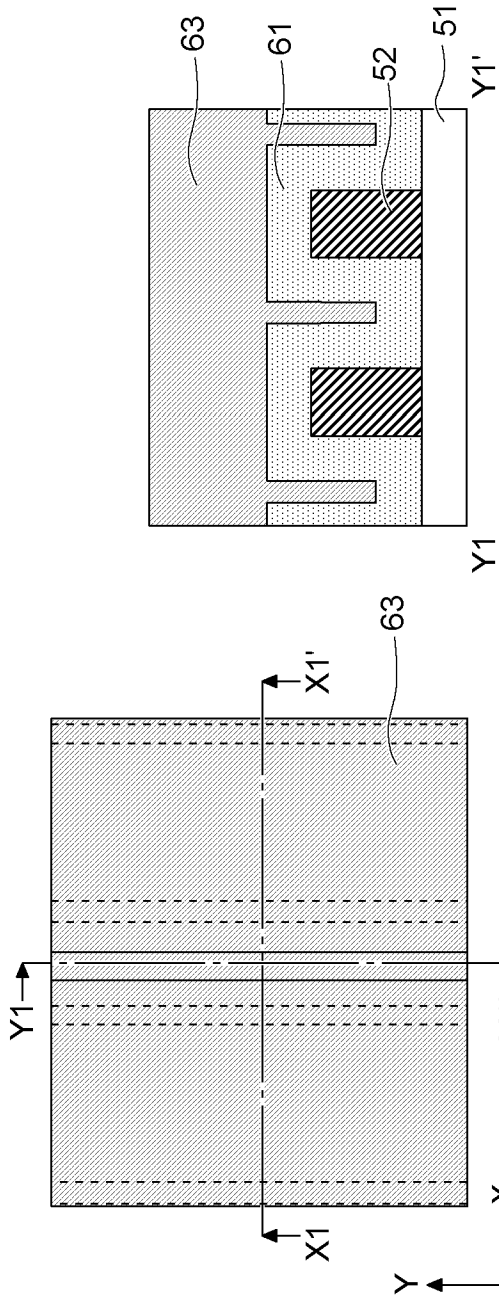


Fig. 8(b)

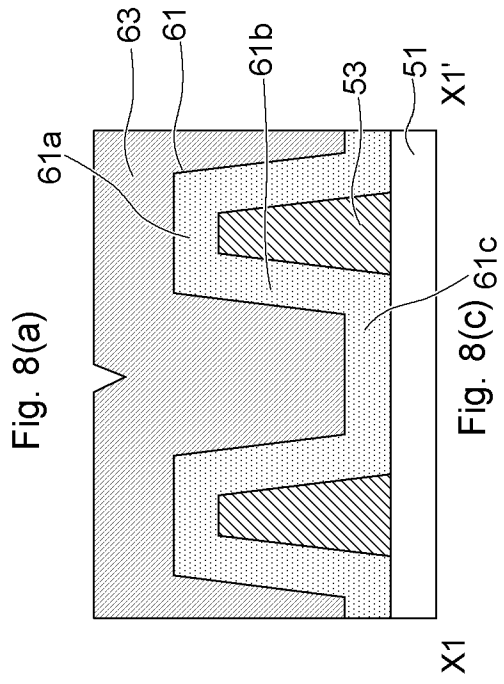


Fig. 8(a)

Fig. 8(c) 61c

[9]

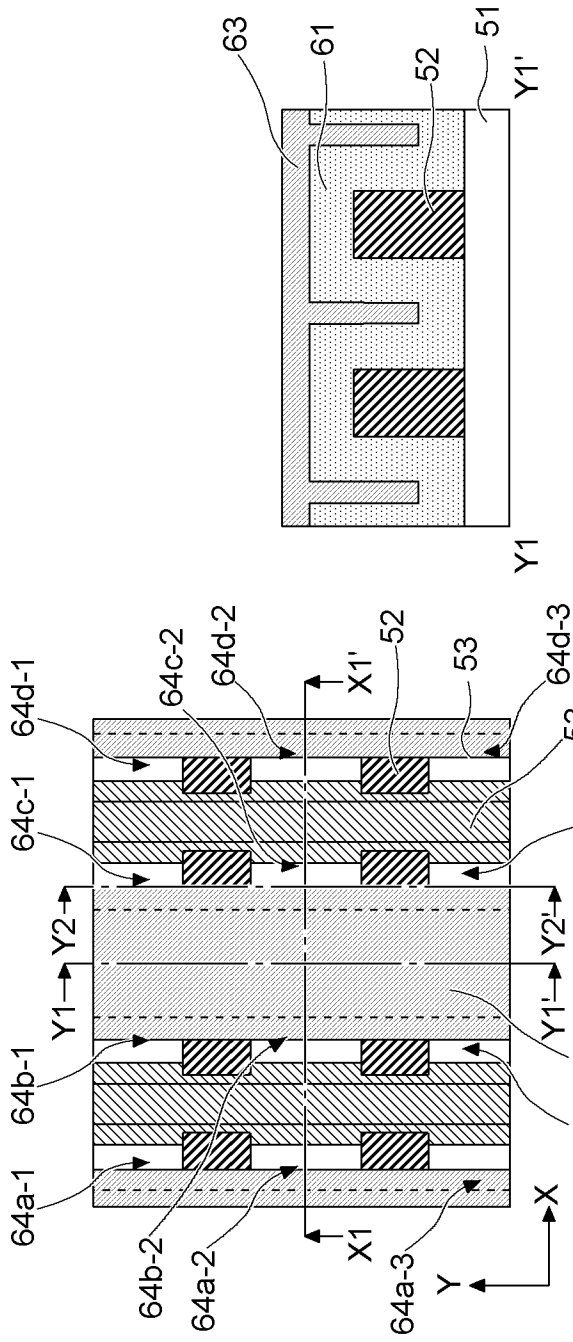


Fig. 9(b)

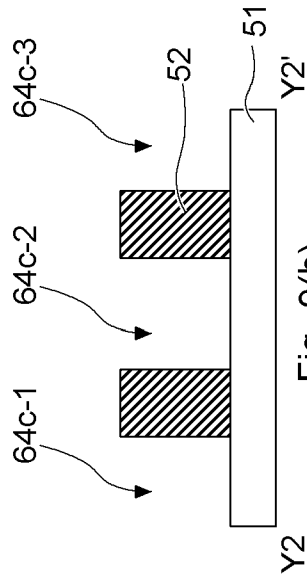


Fig. 9(b)

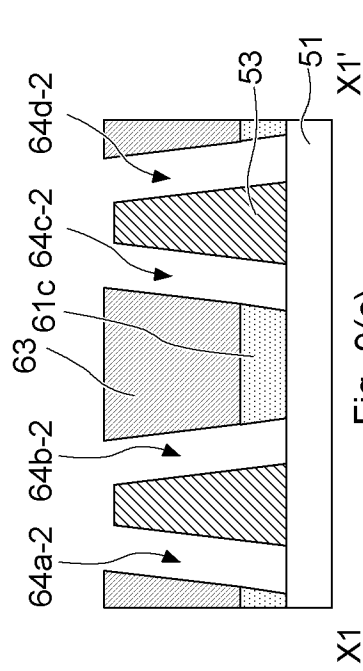


Fig. 9(c)

[図10]

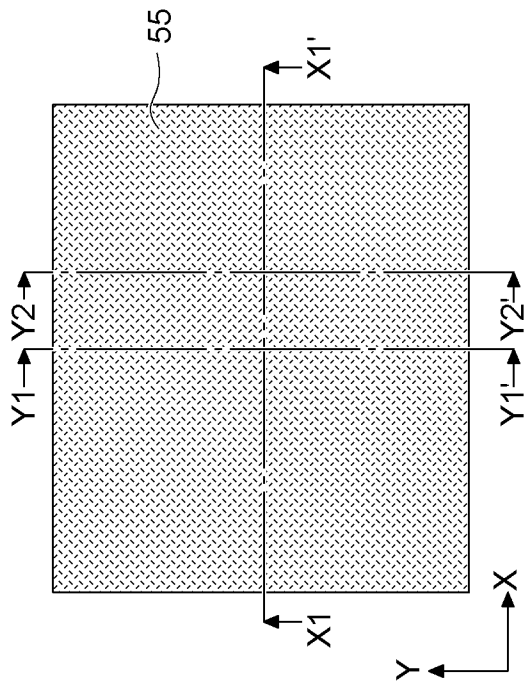


Fig. 10(a)

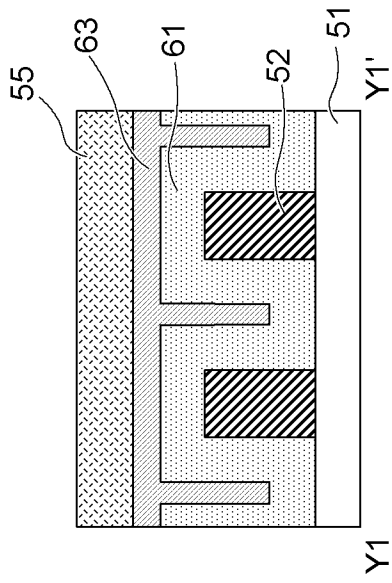


Fig. 10(b)

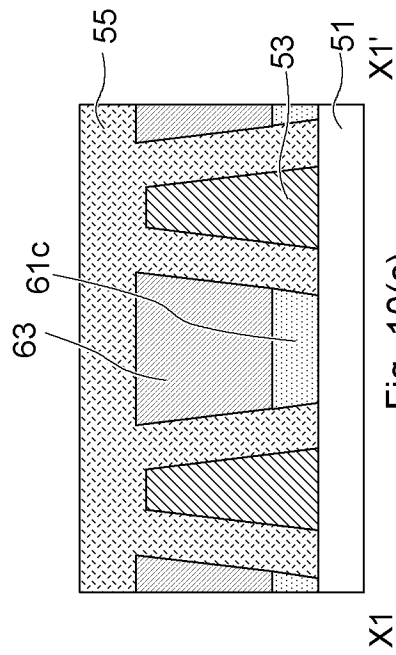


Fig. 10(c)

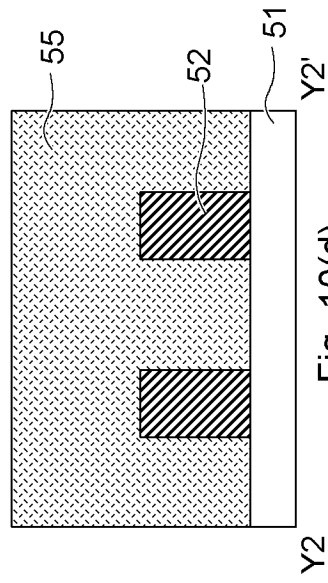


Fig. 10(d)

[図 11]

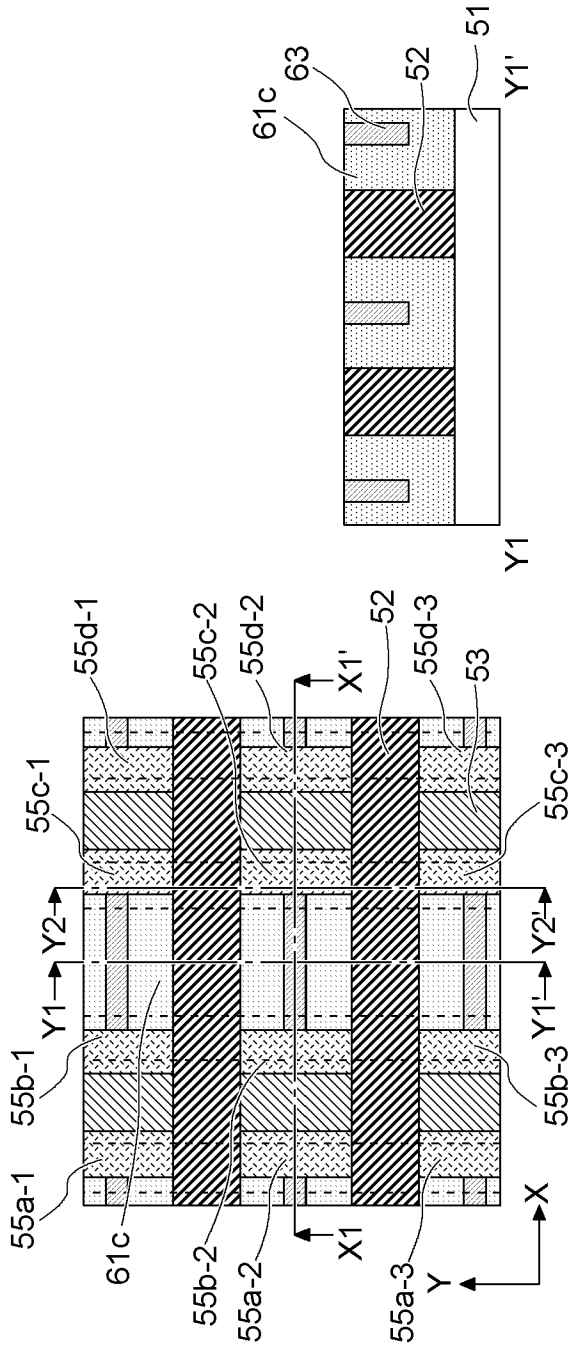


Fig. 11(a)

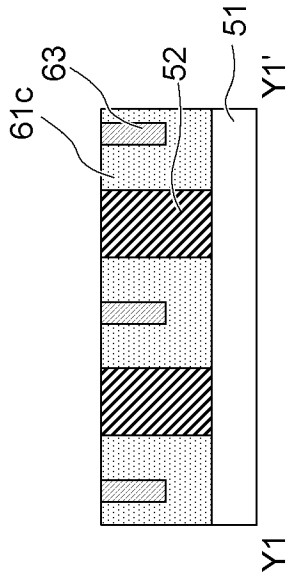


Fig. 11(b)

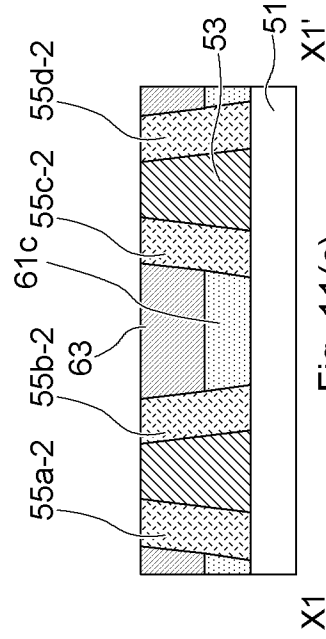


Fig. 11(c)

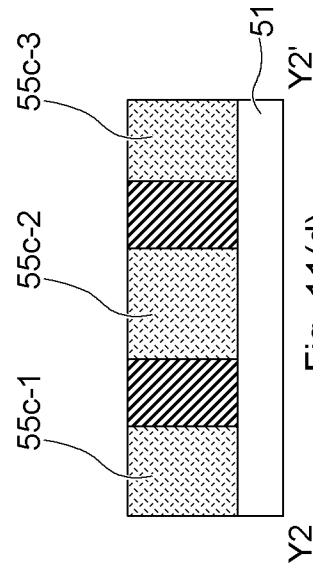


Fig. 11(d)

[図12]

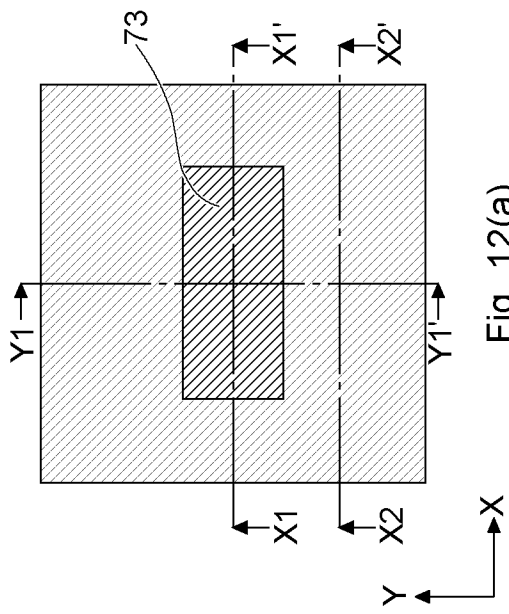


Fig. 12(a)

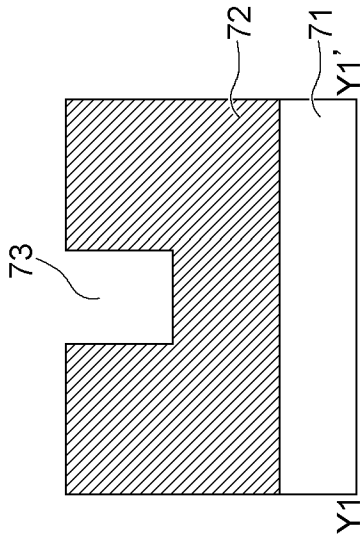


Fig. 12(b1)

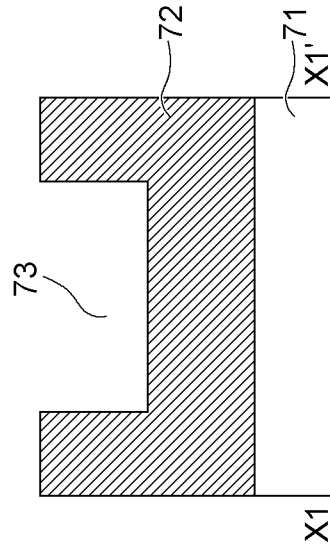


Fig. 12(c1)

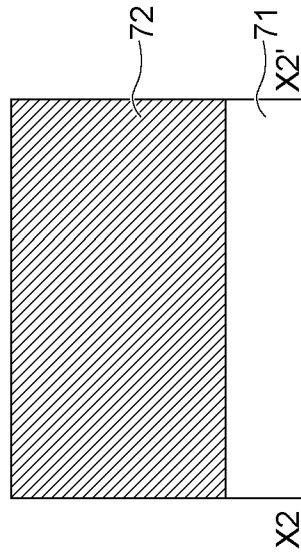


Fig. 12(c2)

[図13]

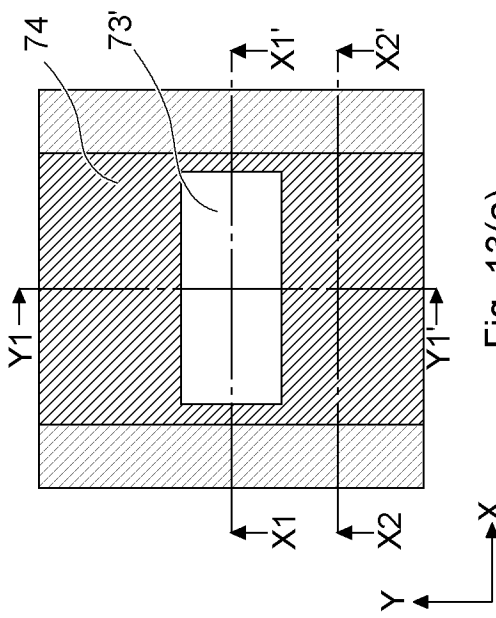


Fig. 13(a)

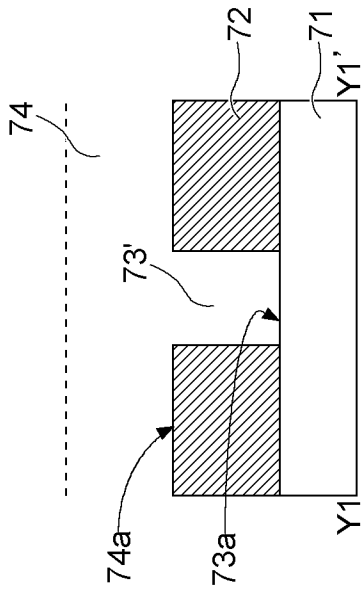


Fig. 13(b1)

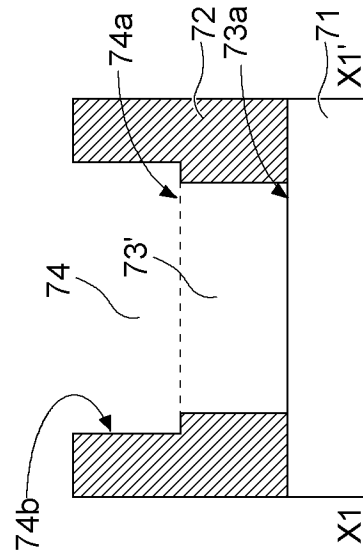


Fig. 13(c1)

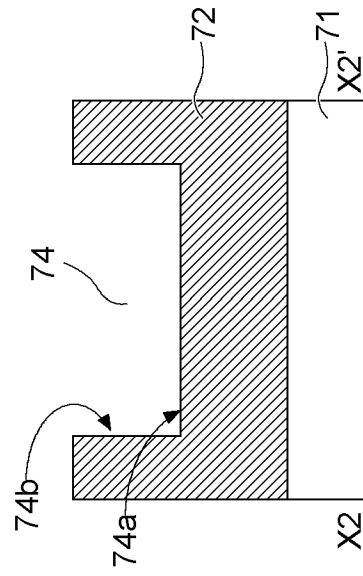


Fig. 13(c2)

[圖14]

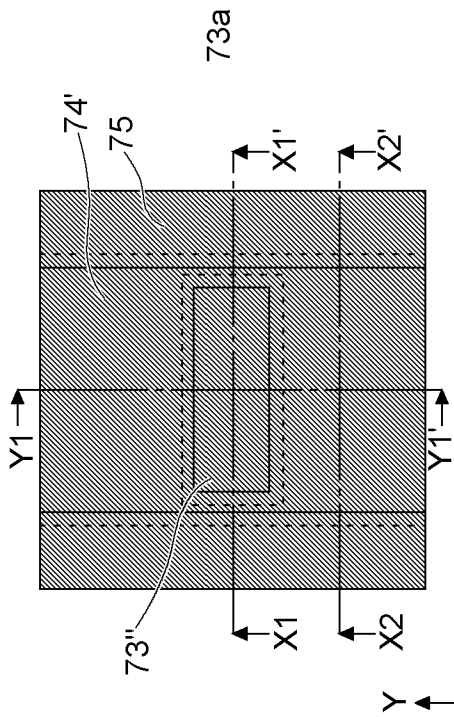


Fig. 14(a)

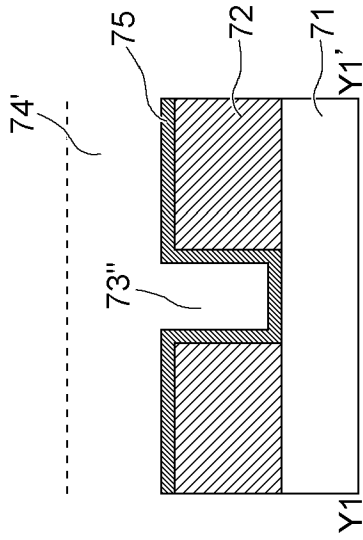


Fig. 14(b1)

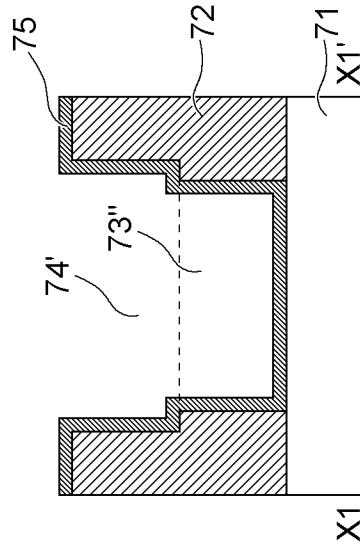


Fig. 14(c1)

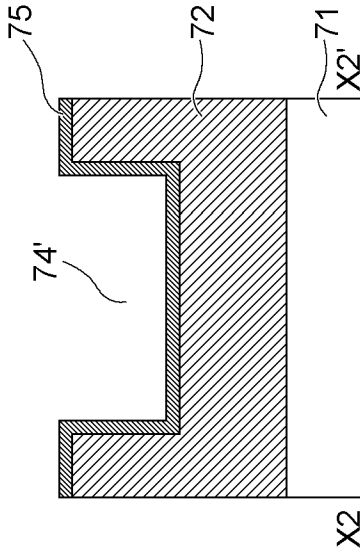


Fig. 14(c2)

[図15]

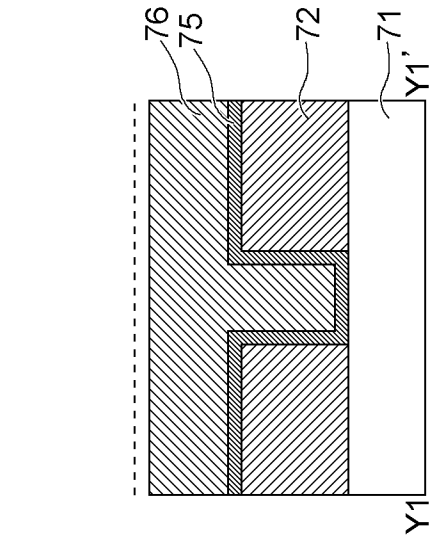


Fig. 15(a)

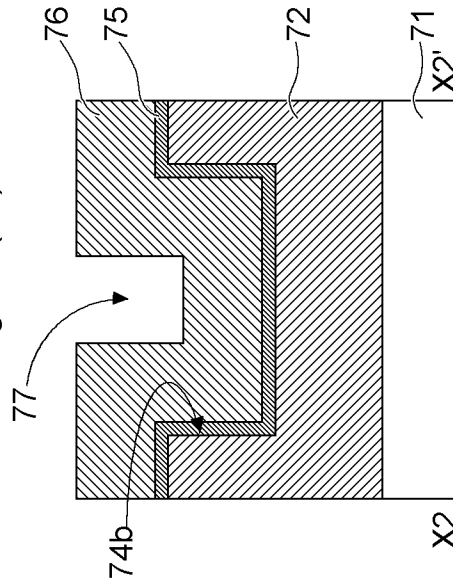


Fig. 15(b1)

Fig. 15(c2)

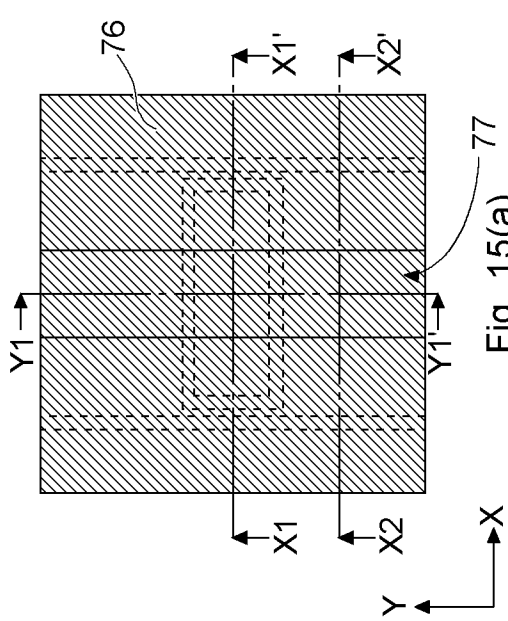


Fig. 15(a)

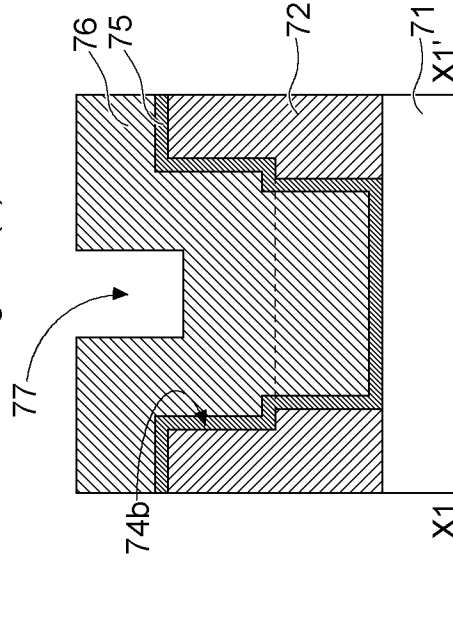


Fig. 15(c1)

[Fig. 16]

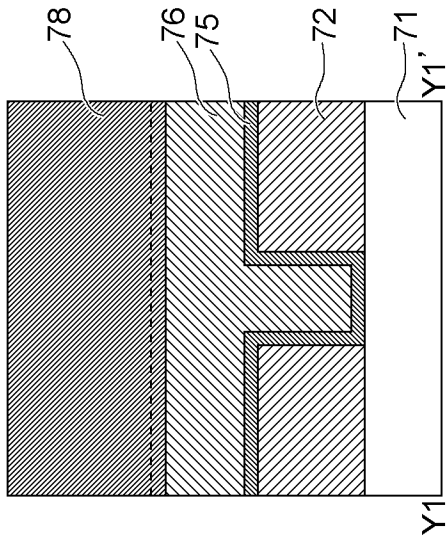


Fig. 16(a)

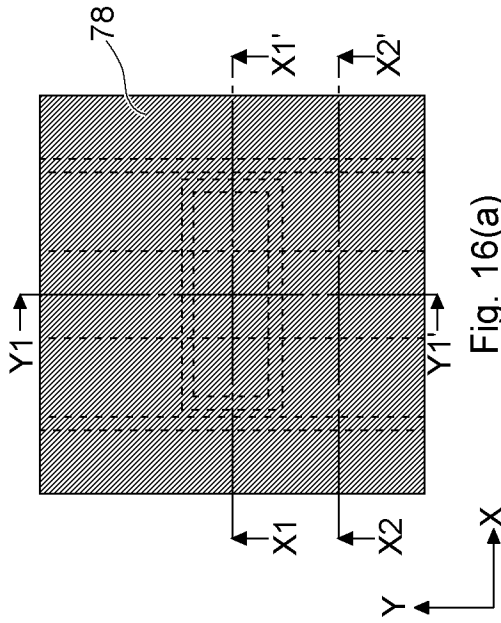


Fig. 16(b1)

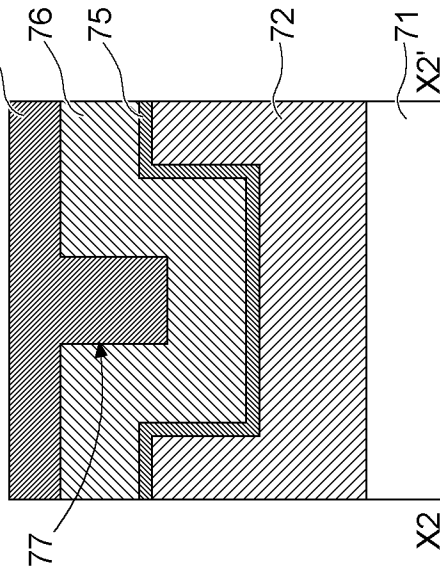


Fig. 16(c1)

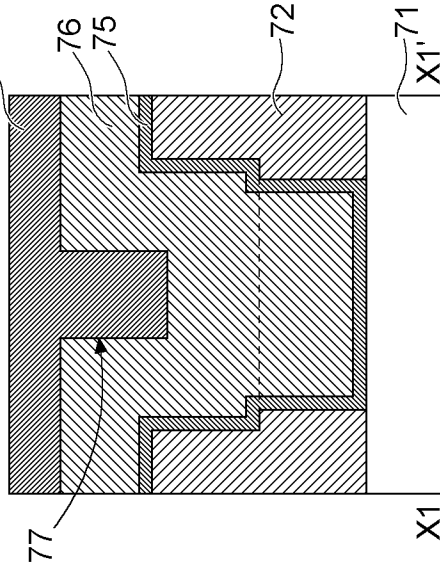


Fig. 16(c2)

[Fig. 17]

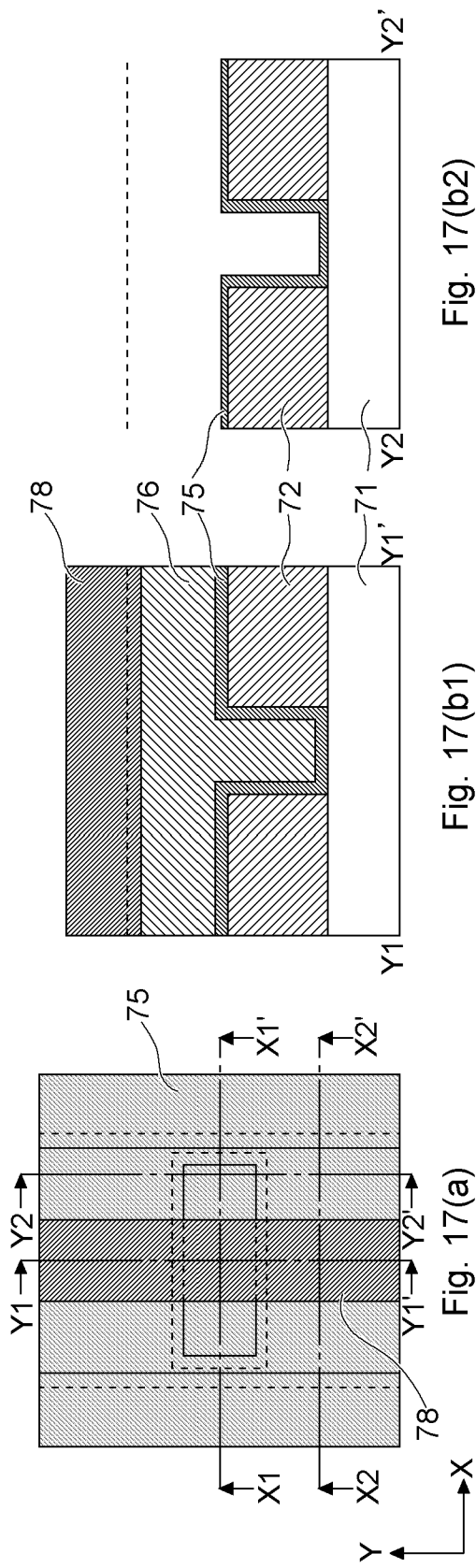


Fig. 17(a)

Fig. 17(b1)

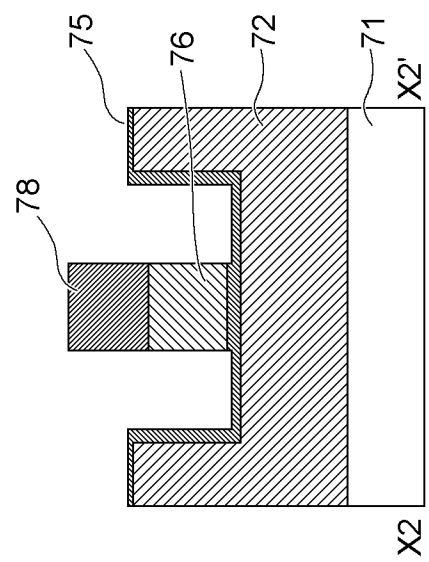


Fig. 17(c1)

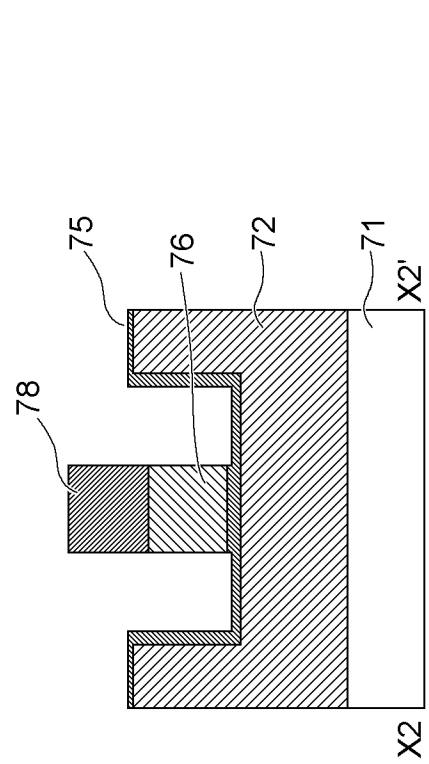


Fig. 17(c2)

Fig. 17(b2)

[Fig. 18]

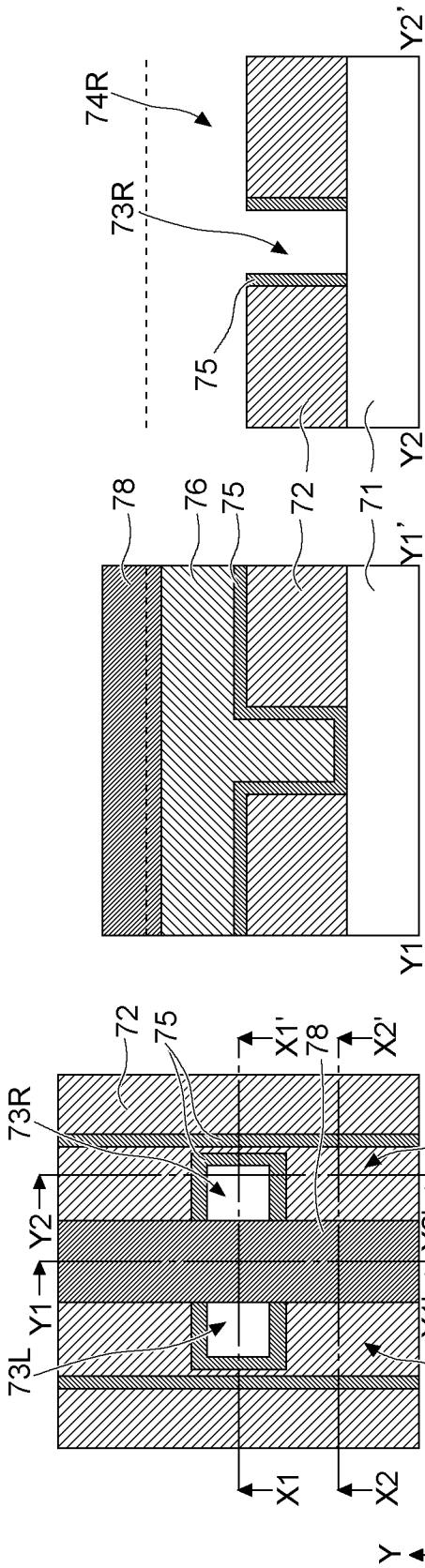


Fig. 18(a)

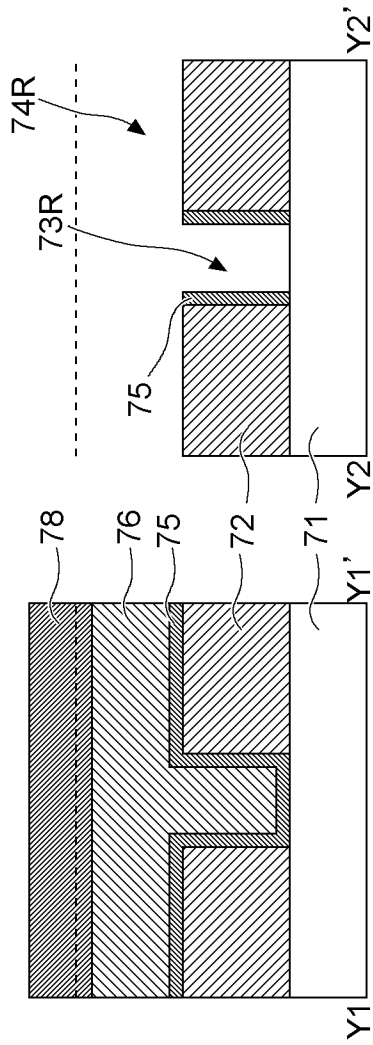


Fig. 18(b1)

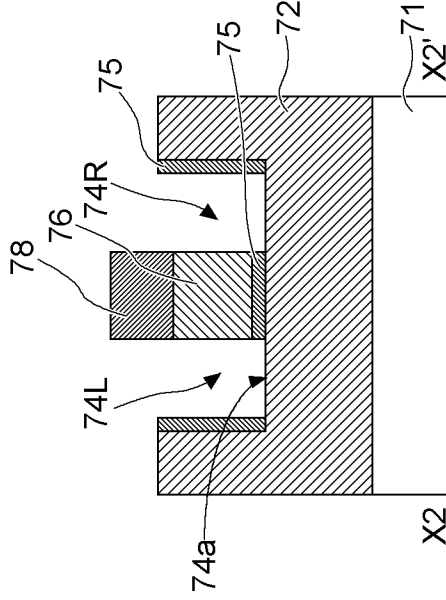


Fig. 18(c1)

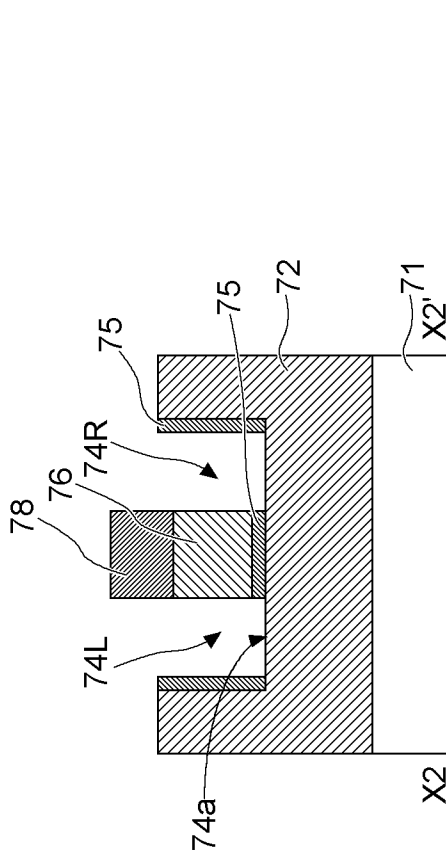


Fig. 18(c2)

[19]

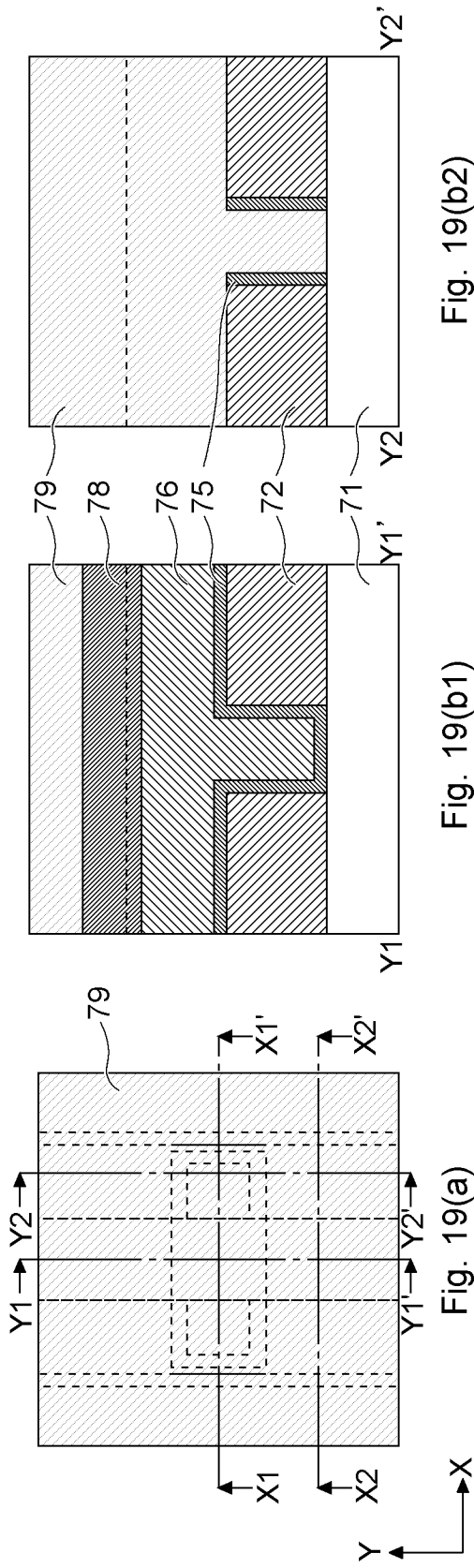


Fig. 19(a)

Fig. 19(b1)

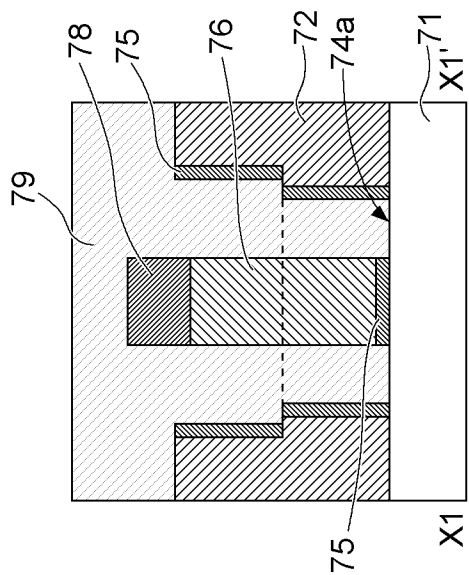


Fig. 19(c1)

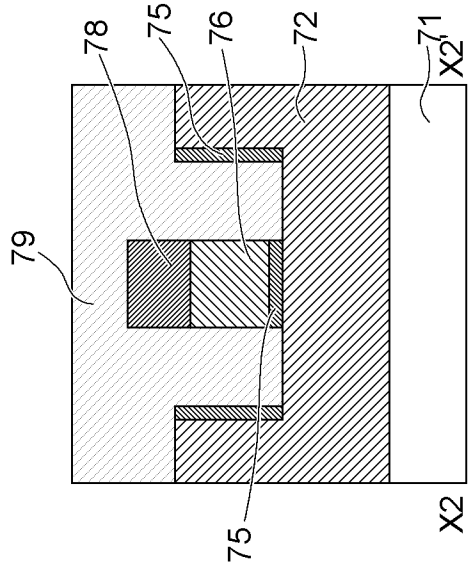


Fig. 19(c2)

[20]

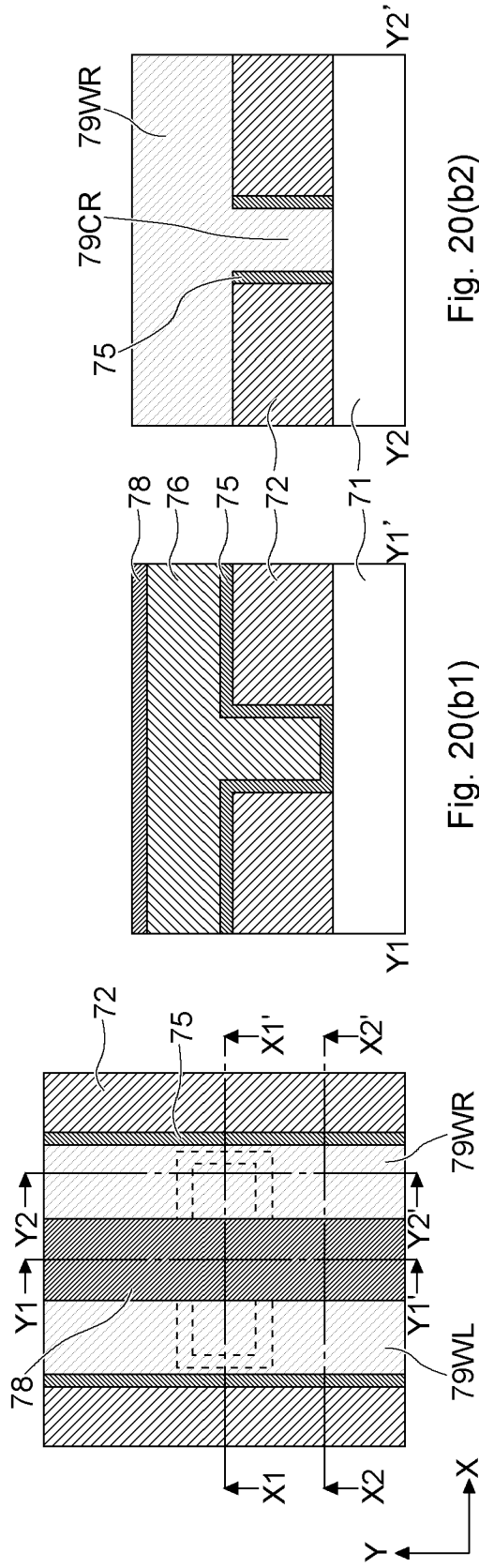


Fig. 20(b1)

Fig. 20(b2)

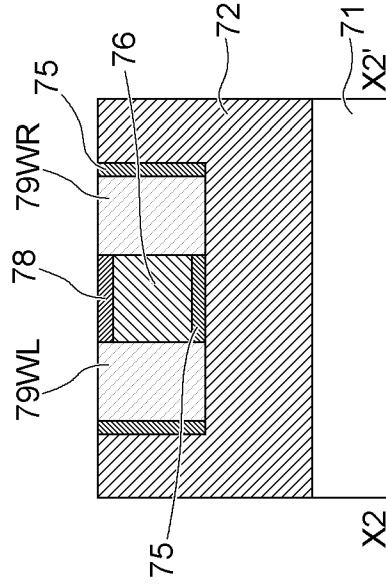


Fig. 20(c2)

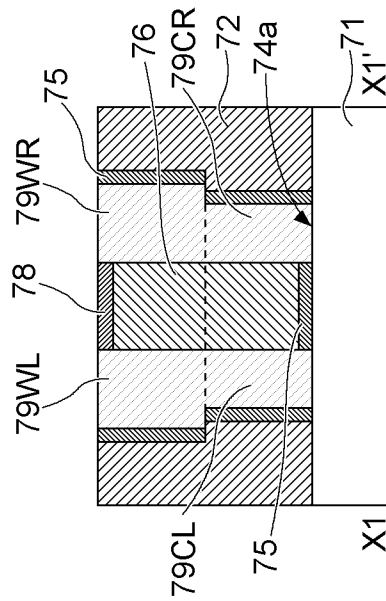


Fig. 20(c1)

[21]

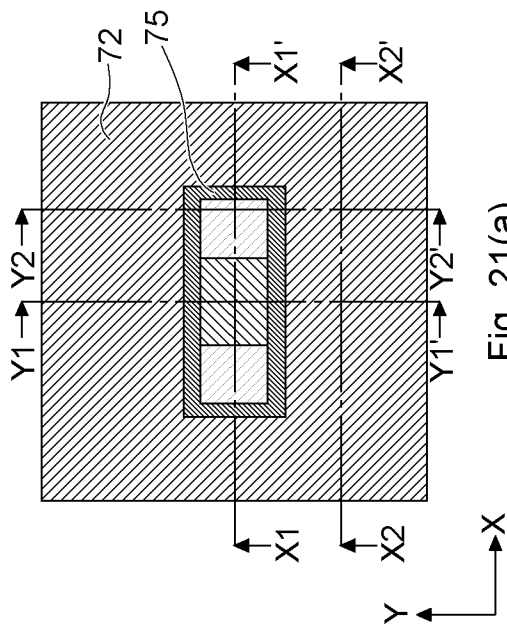


Fig. 21(a)

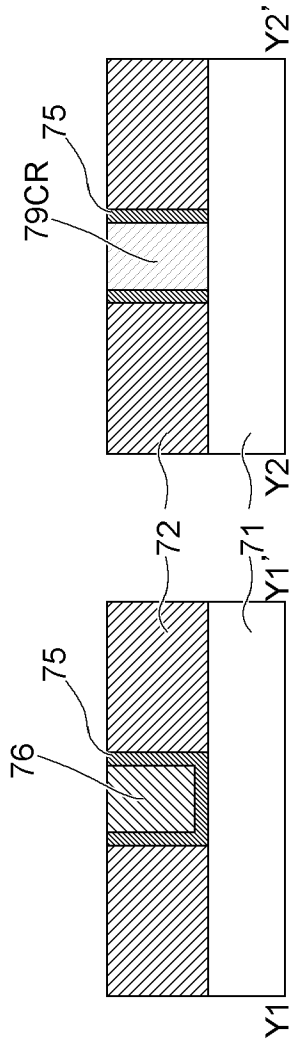


Fig. 21(b1)

Fig. 21(b2)

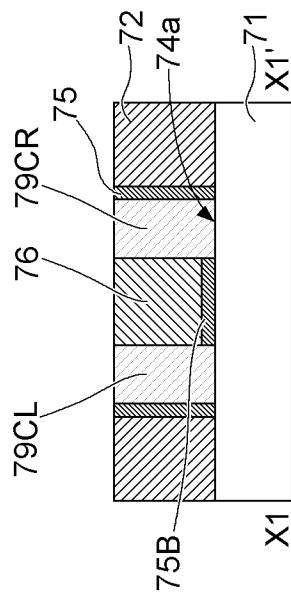


Fig. 21(c1)

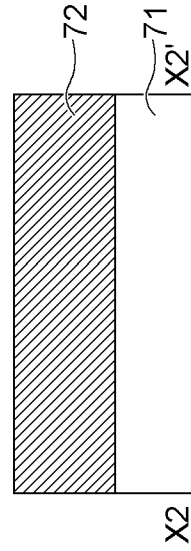


Fig. 21(c2)

[22]

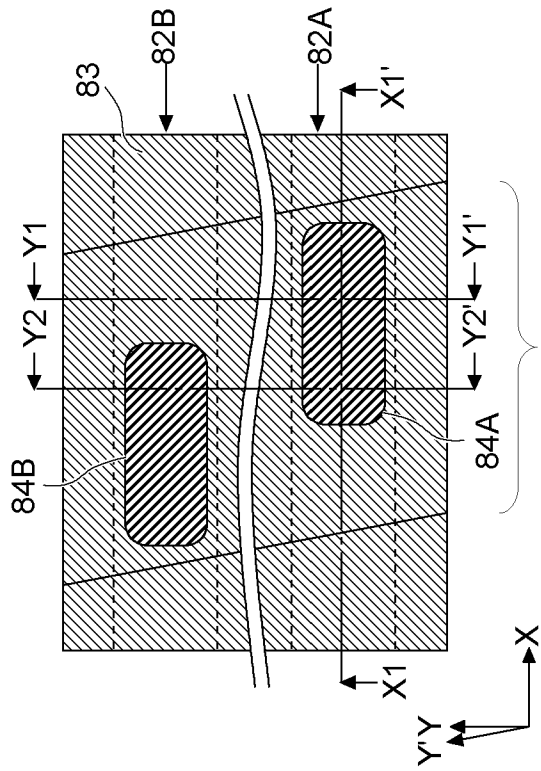


Fig. 22(a)

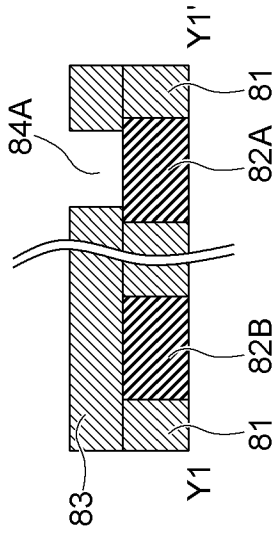


Fig. 22(b1)

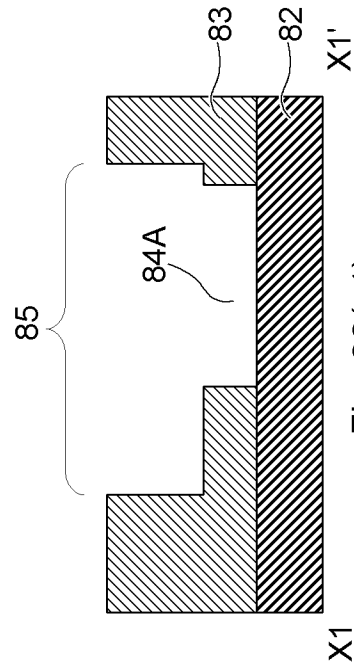


Fig. 22(c1)

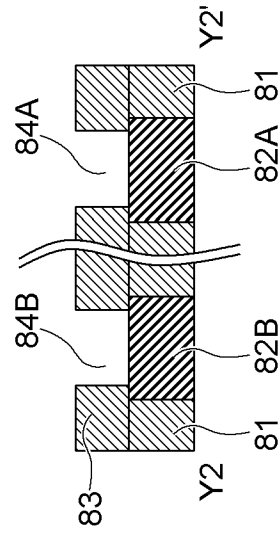


Fig. 22(b2)

[23]

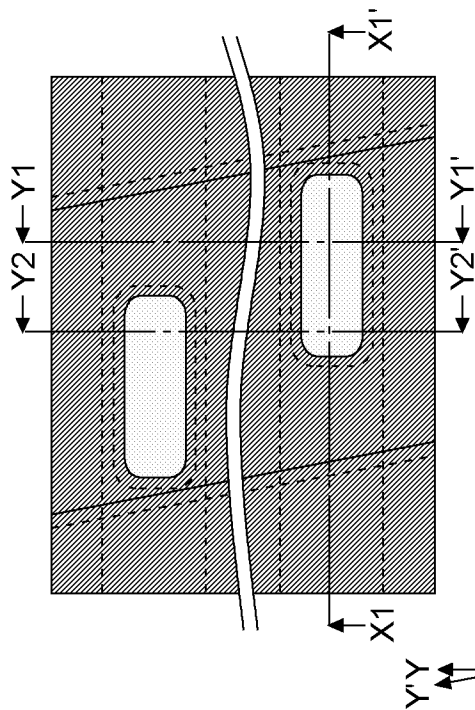


Fig. 23(a)

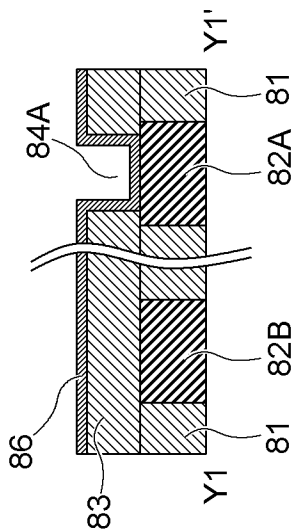


Fig. 23(b1)

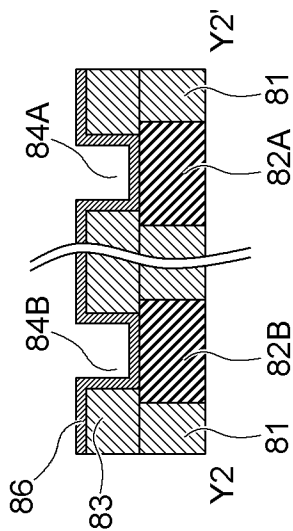


Fig. 23(b2)

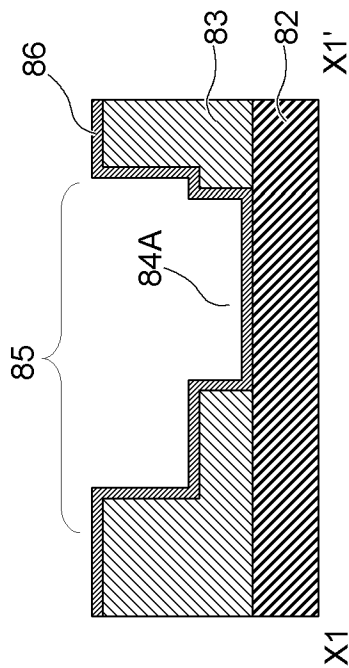


Fig. 23(c1)

[図24]

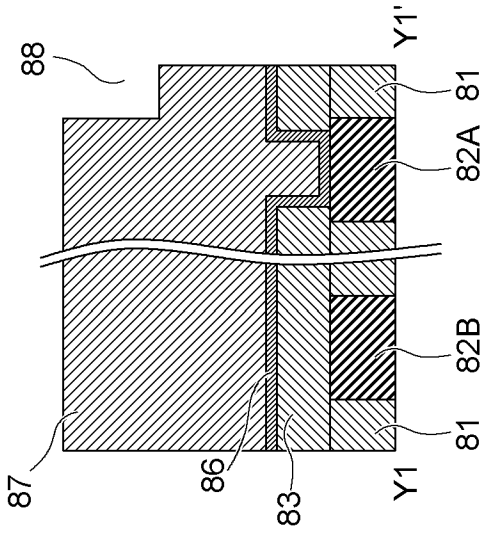


Fig. 24(b1)

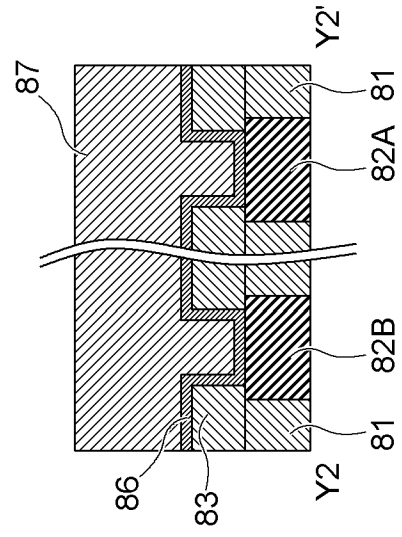


Fig. 24(b2)

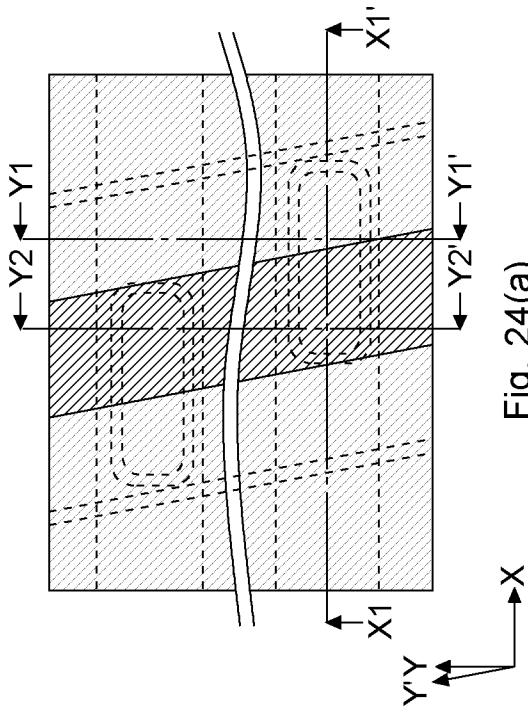


Fig. 24(a)

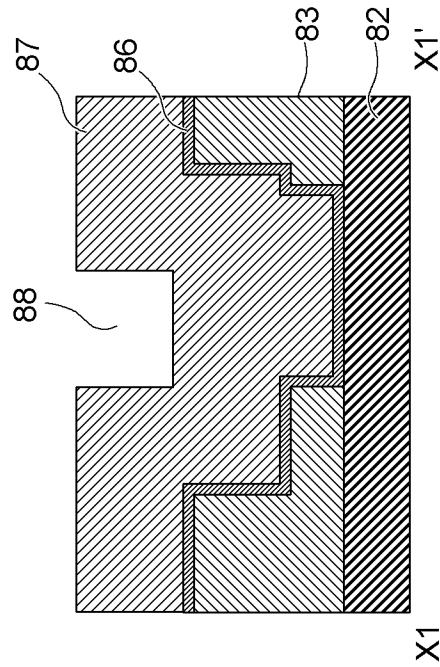
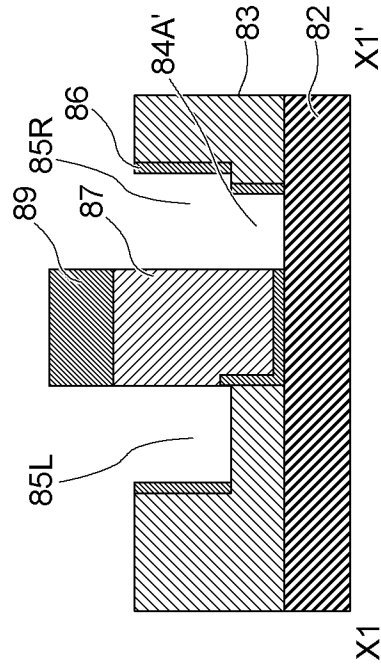
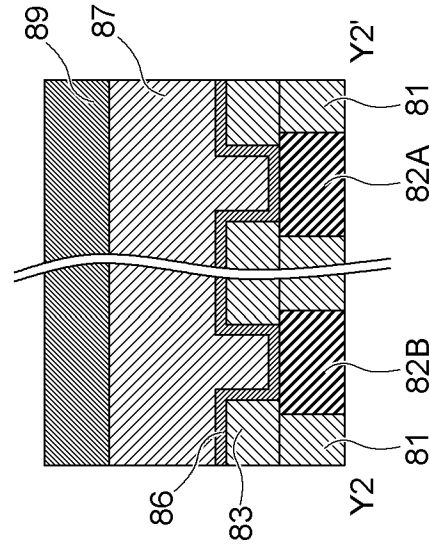
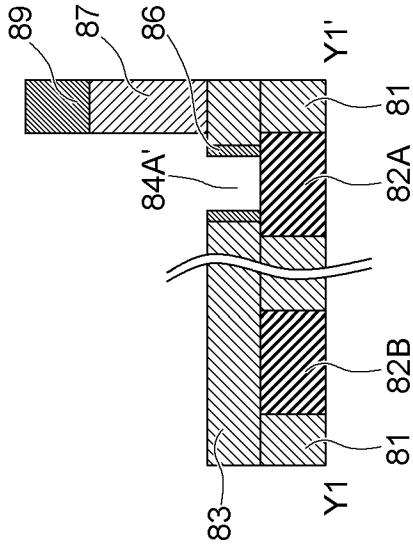
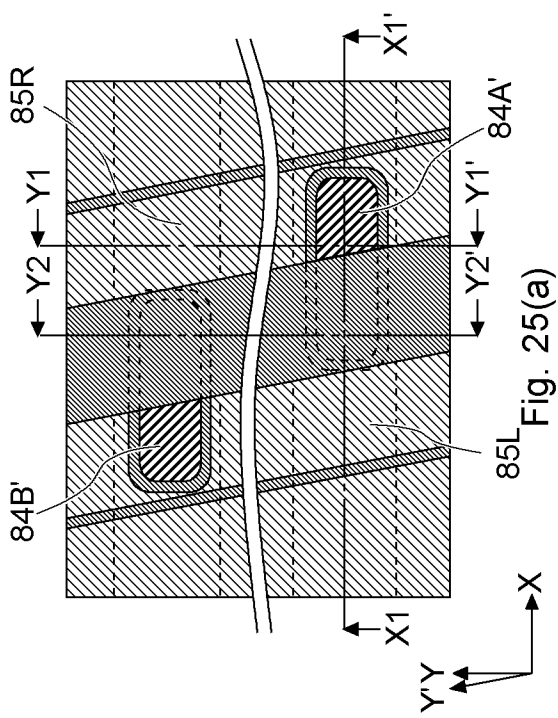


Fig. 24(c1)

[25]



[26]

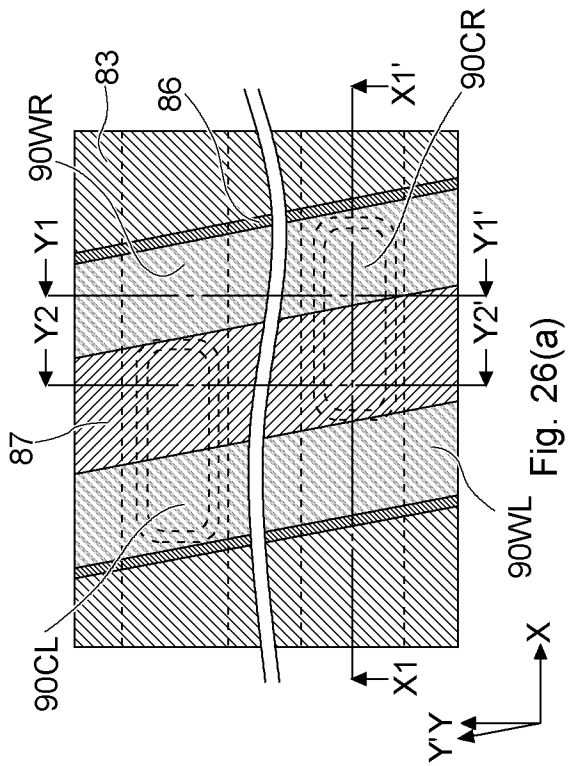


Fig. 26(a)

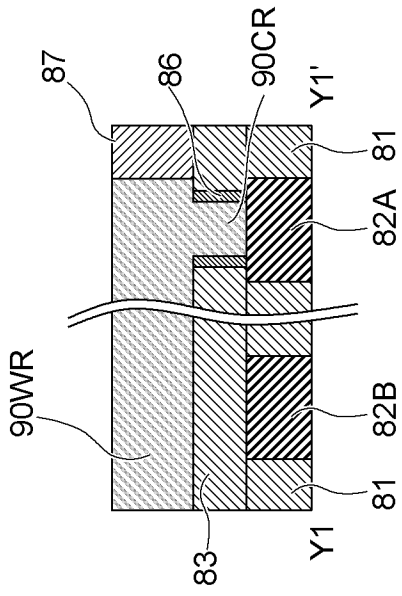


Fig. 26(b1)

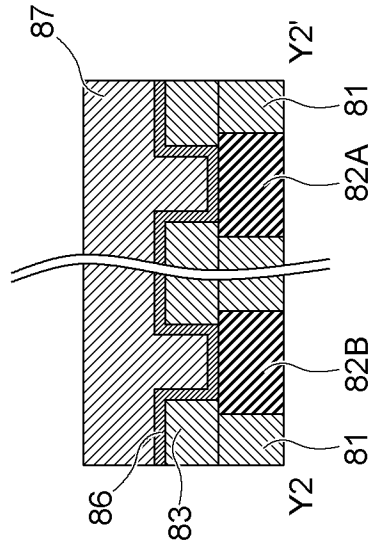


Fig. 26(b2)

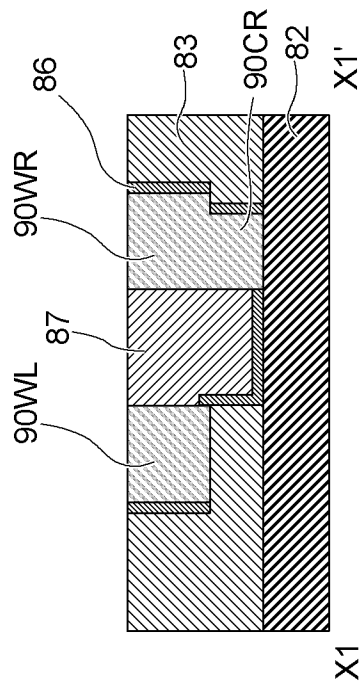


Fig. 26(c1)

[図27A]

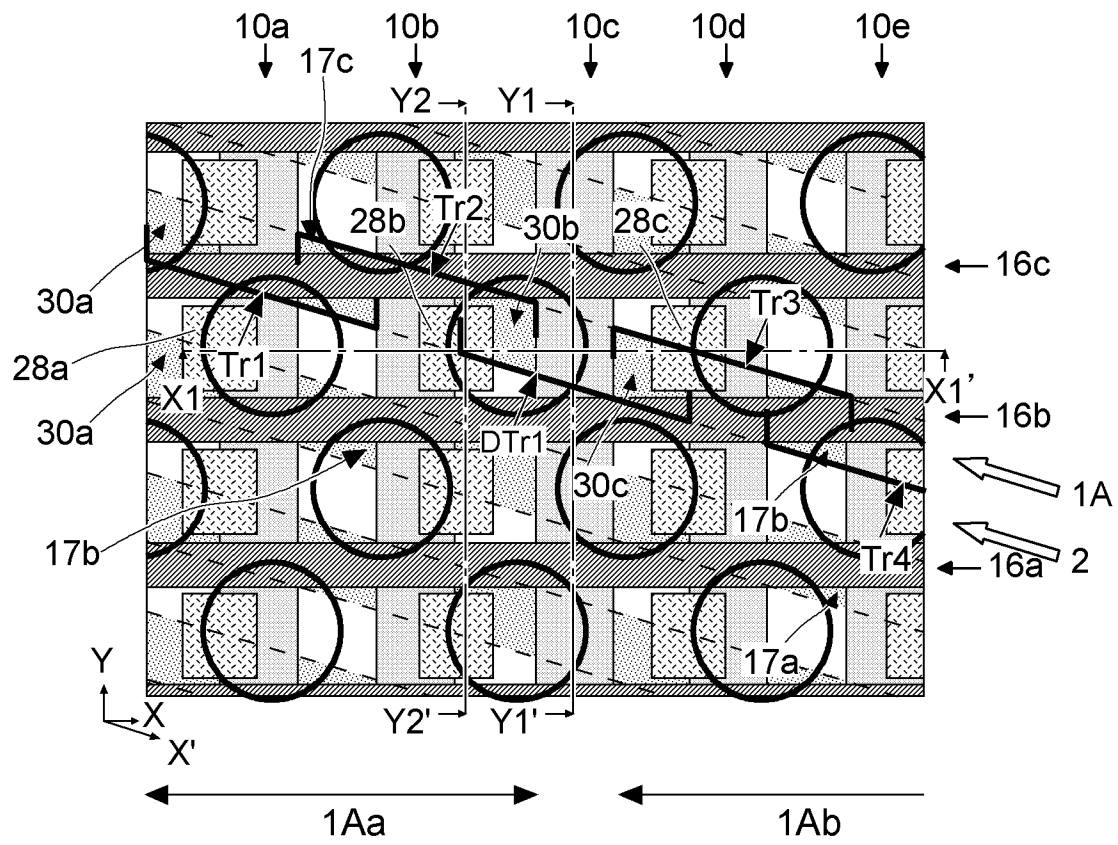


Fig. 27(a)

[図27B]

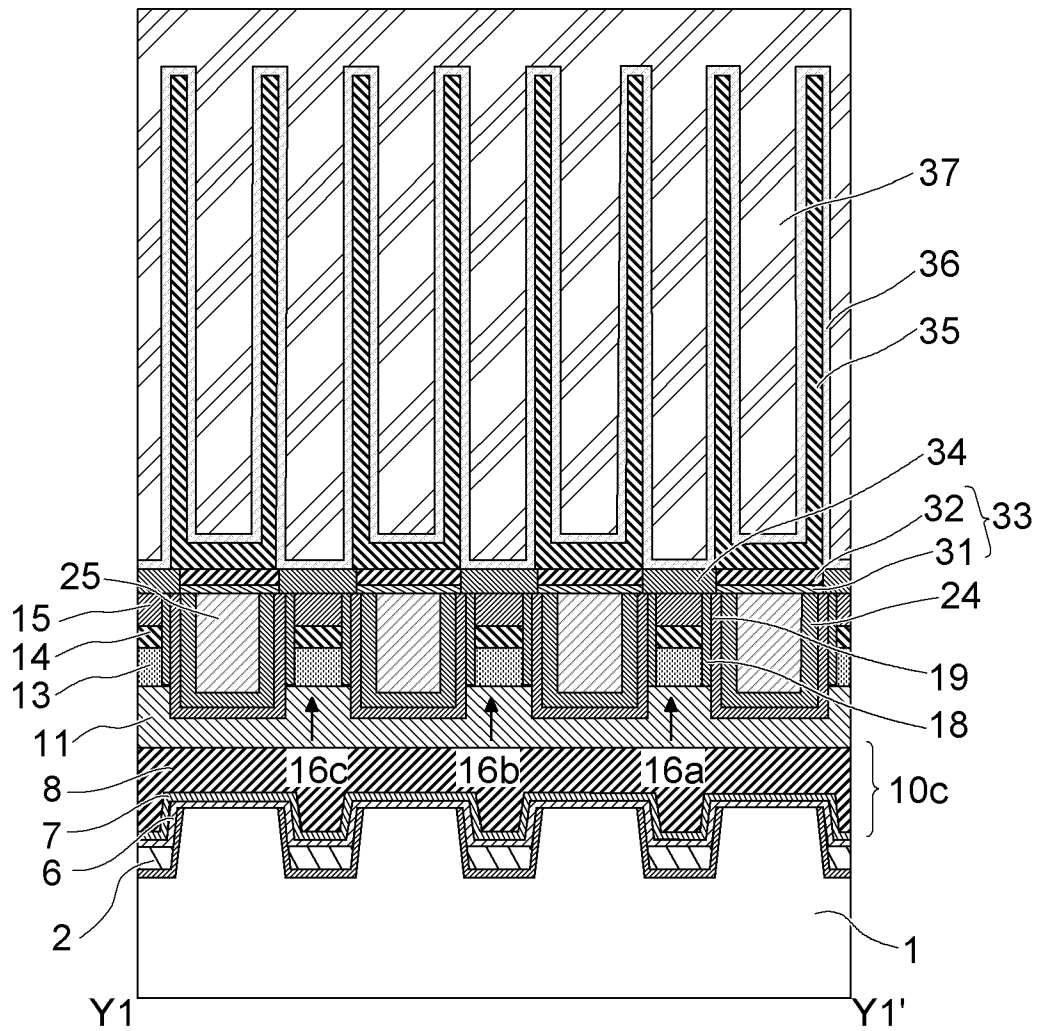


Fig. 27(b1)

[図27C]

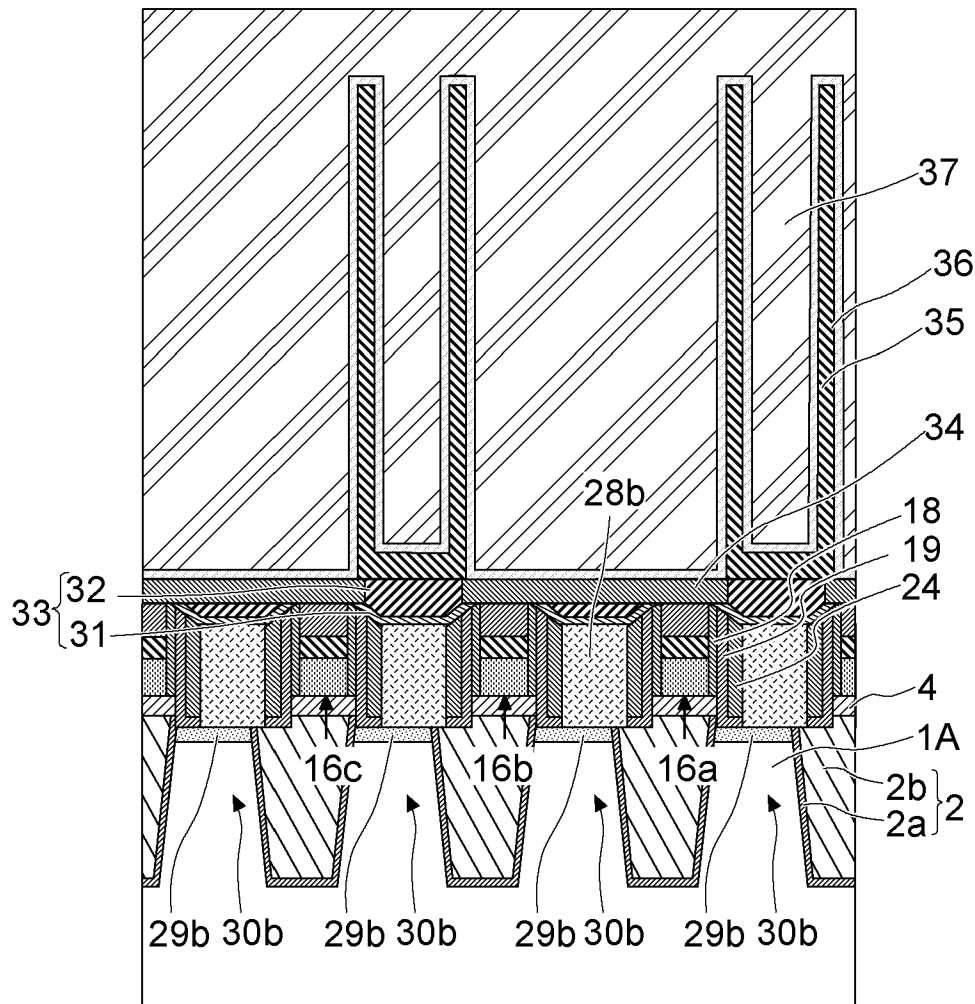
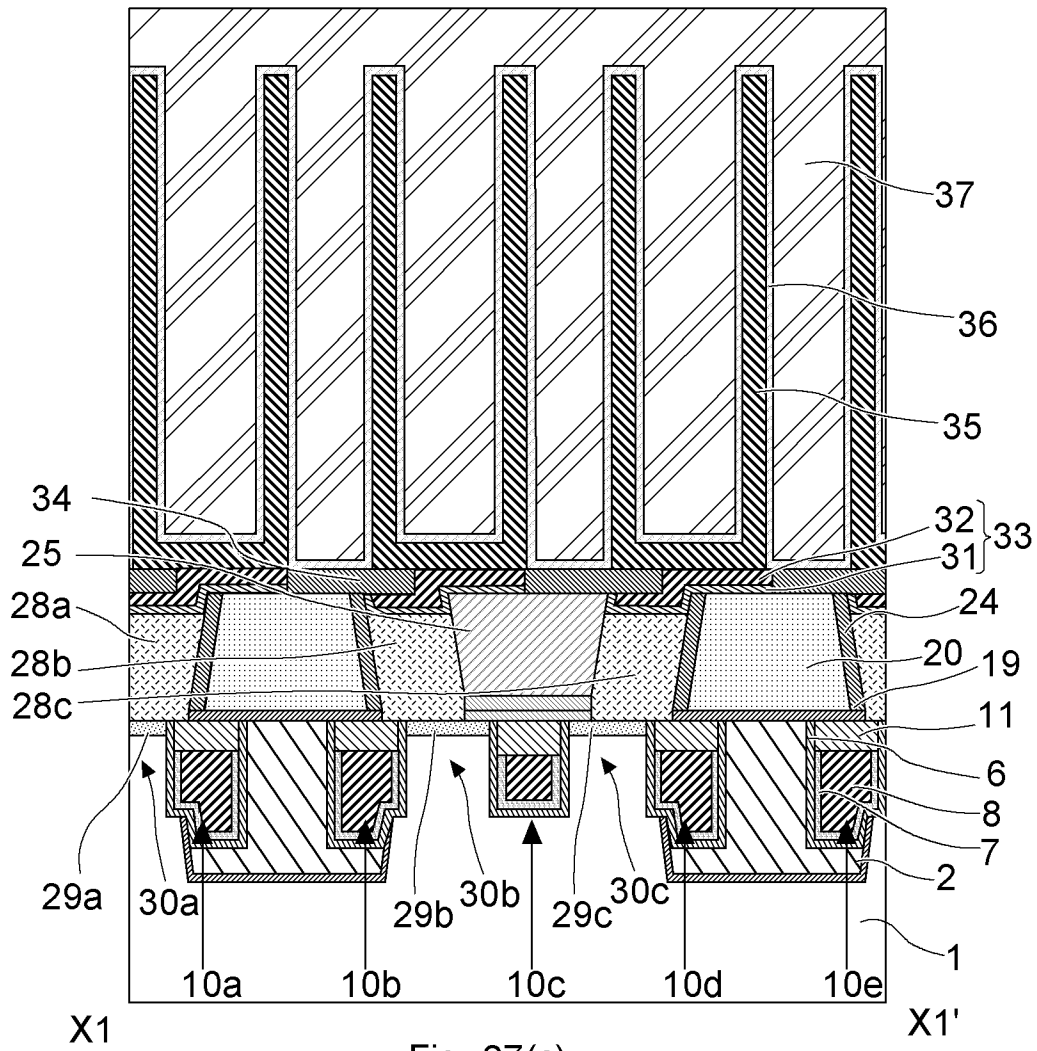


Fig. 27(b2)

[図27D]



[図28]

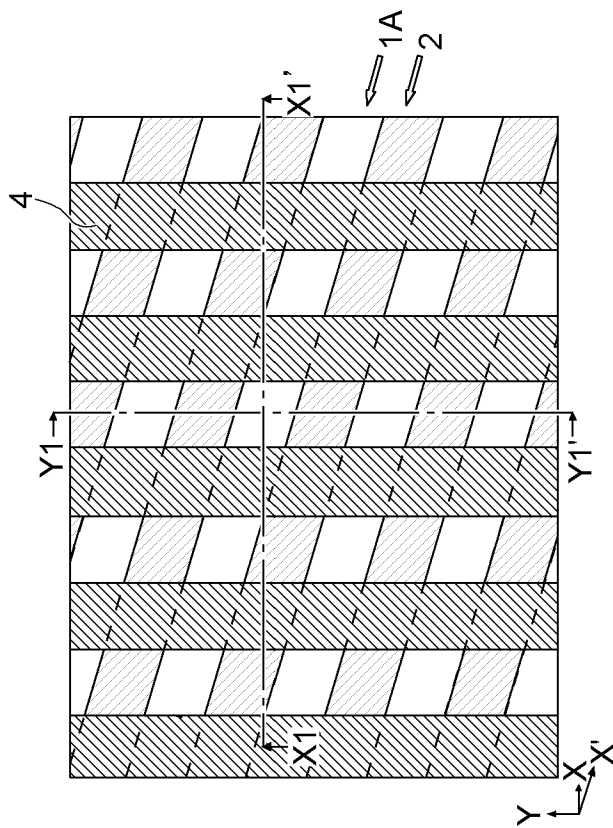


Fig. 28(a)

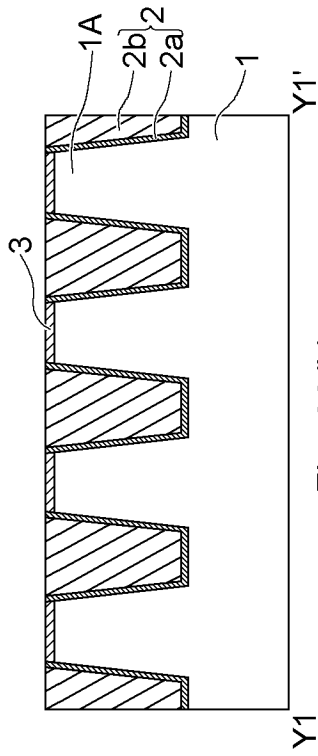


Fig. 28(b)

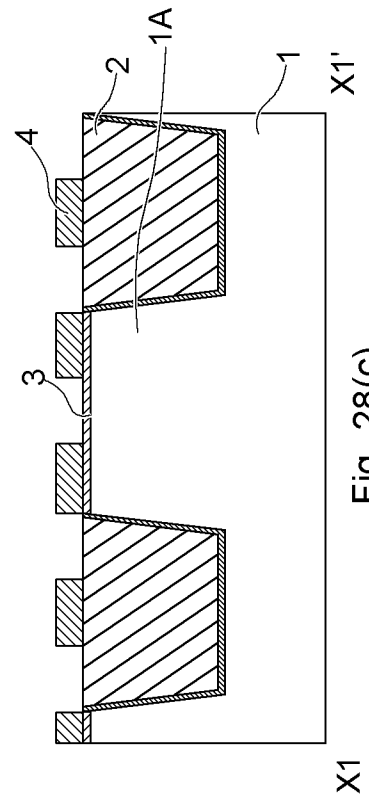


Fig. 28(c)

[29]

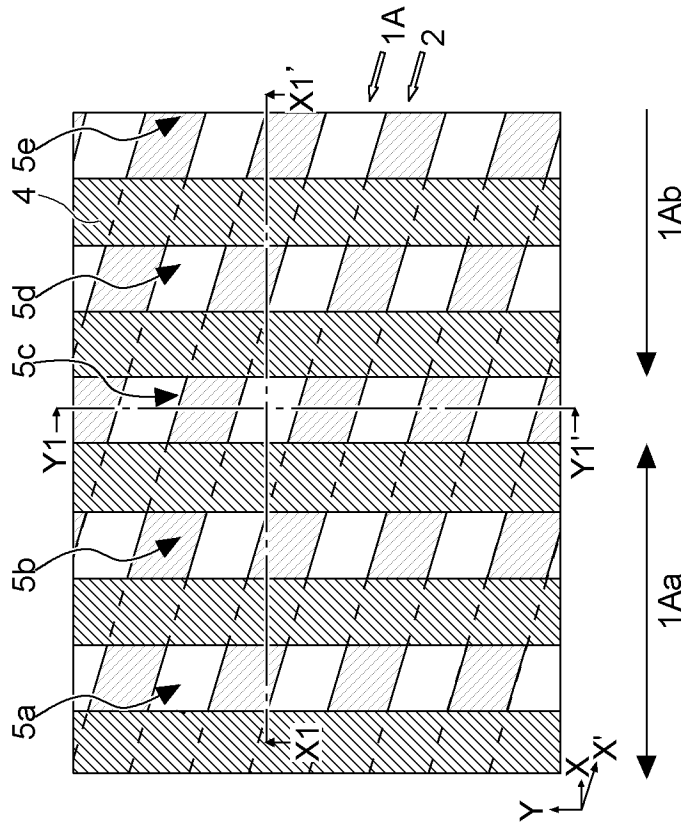


Fig. 29(a)

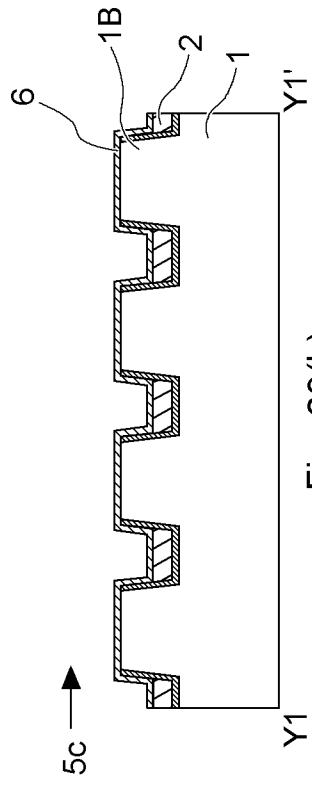


Fig. 29(b)

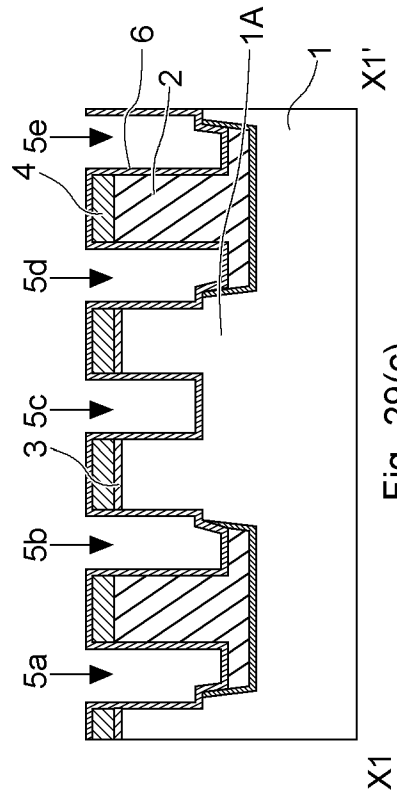


Fig. 29(c)

[図30]

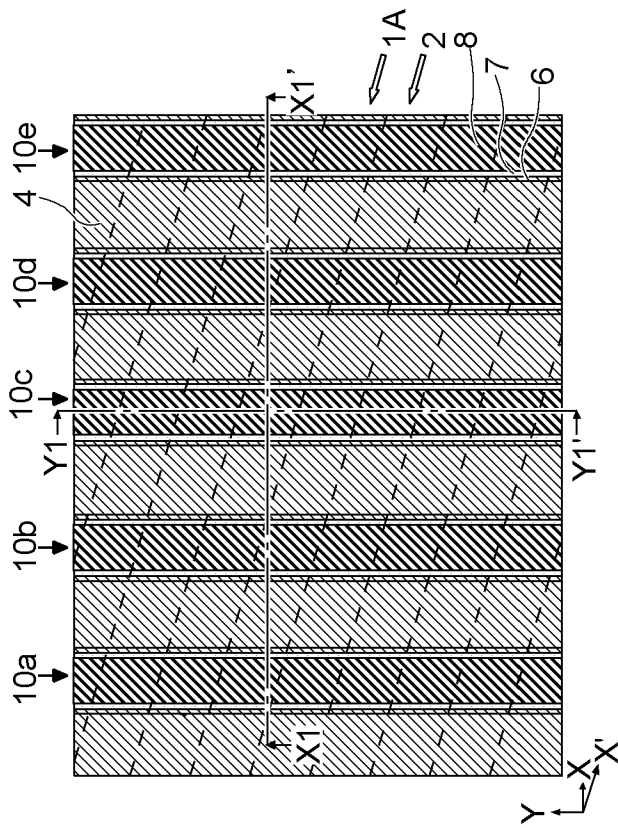


Fig. 30(a)

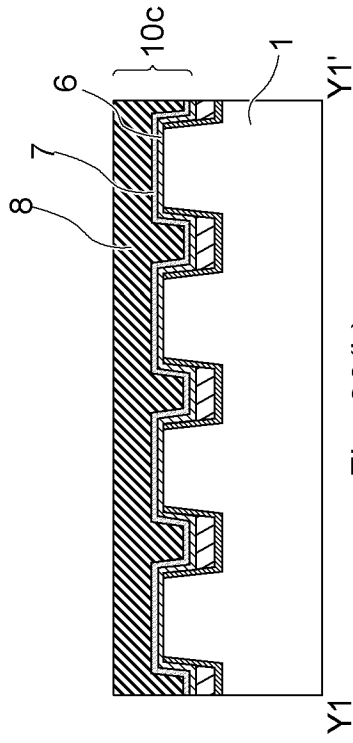


Fig. 30(b)

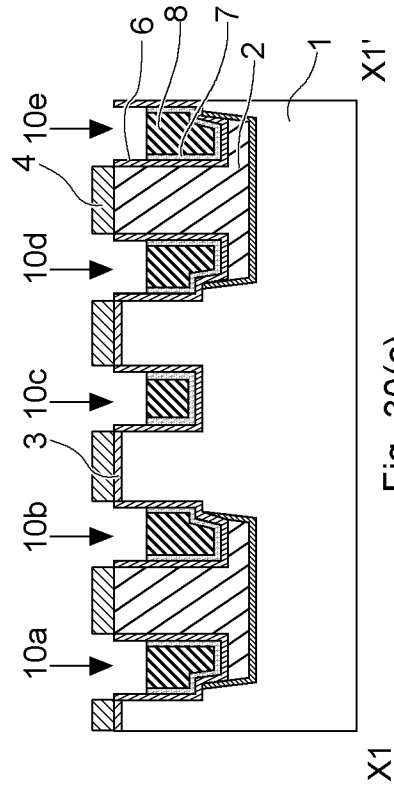


Fig. 30(c)

[図31]

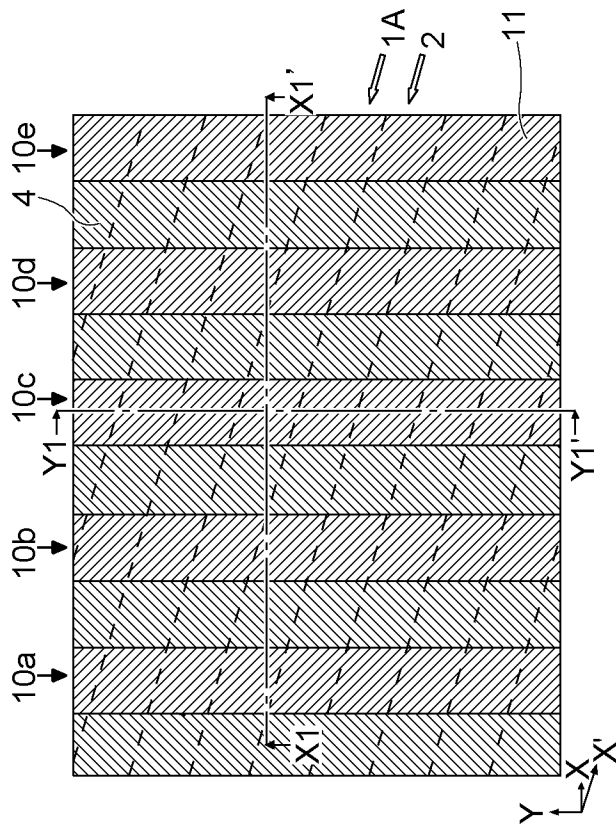


Fig. 31(a)

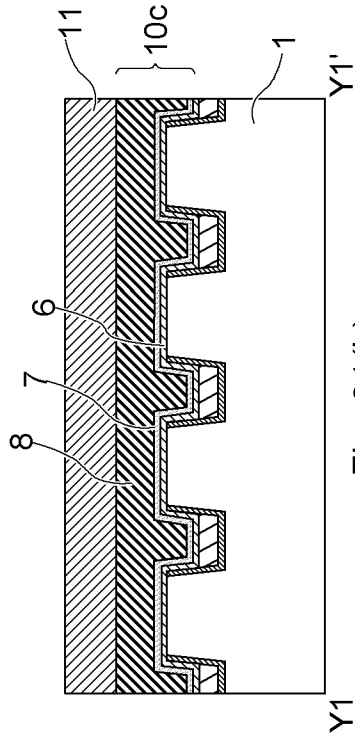


Fig. 31(b)

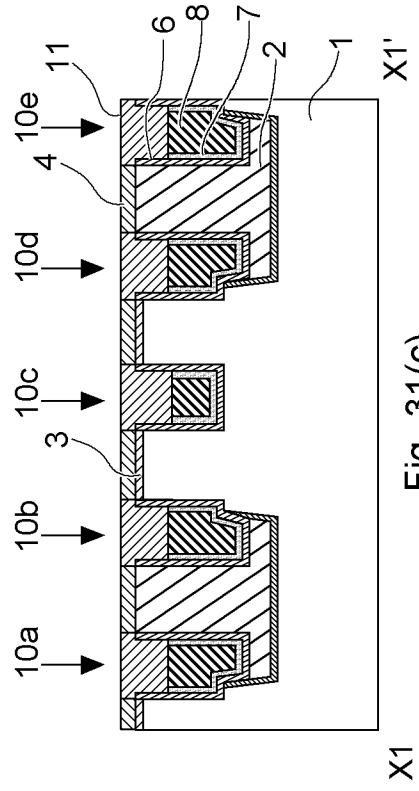


Fig. 31(c)

[Fig. 32]

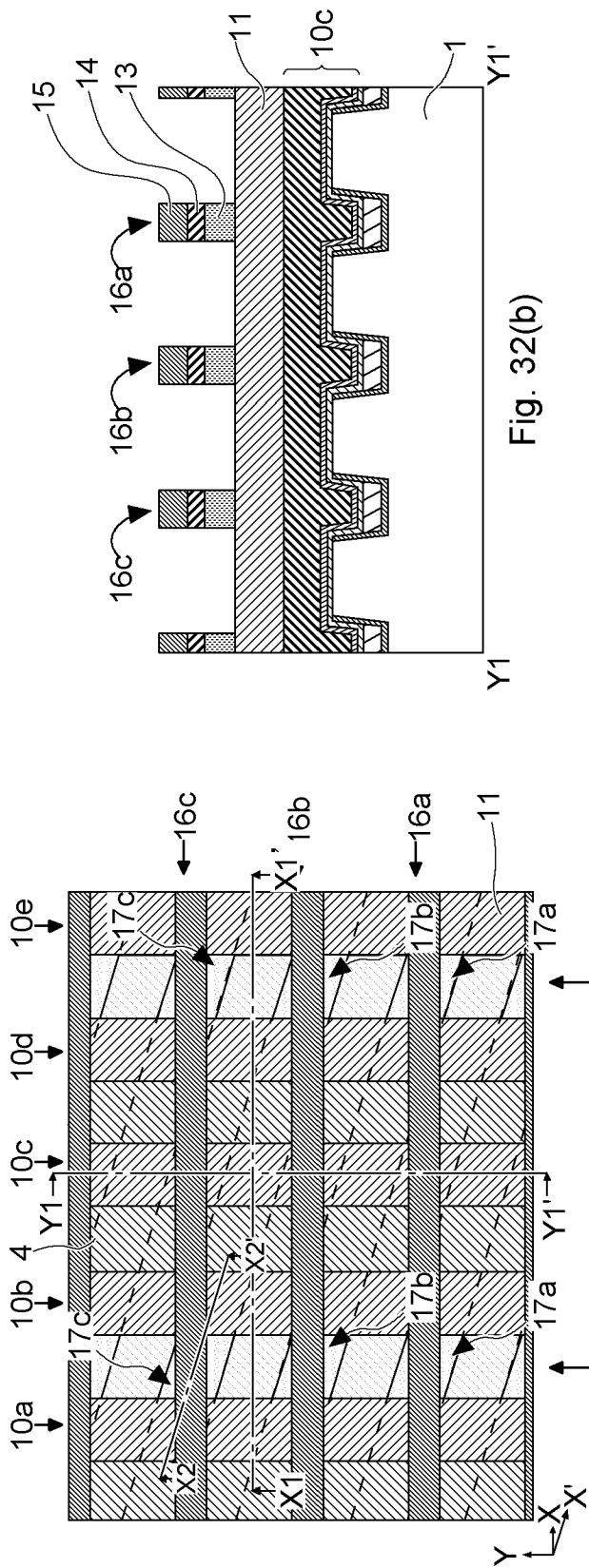


Fig. 32(b)

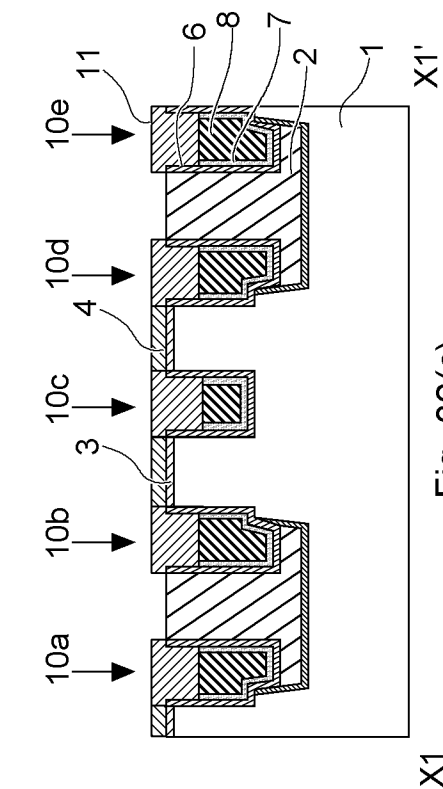


Fig. 32(c)

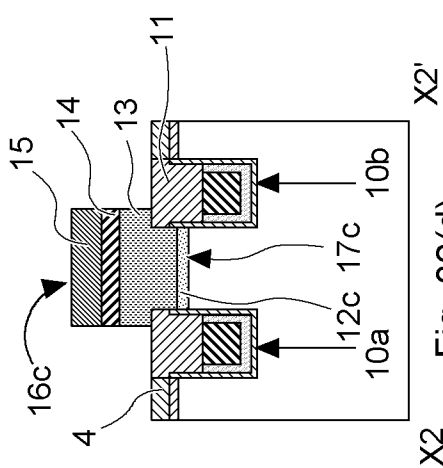


Fig. 32(d)

[Fig. 33]

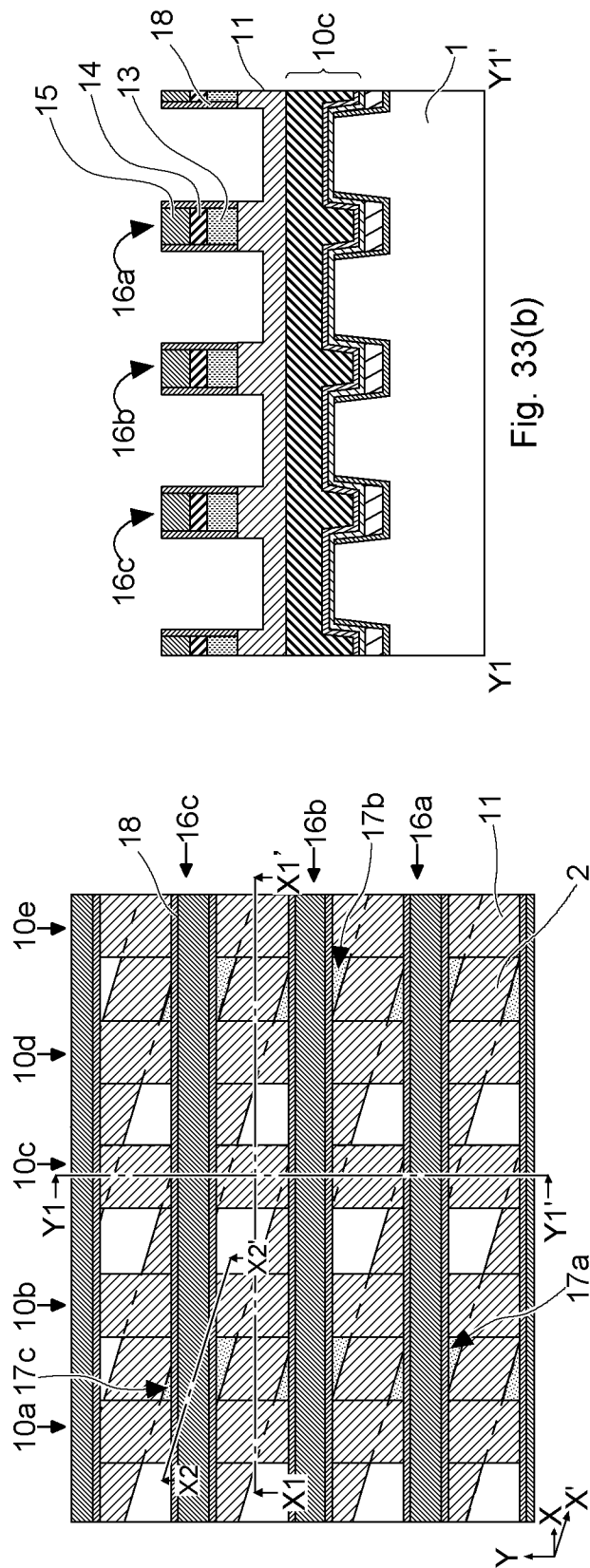


Fig. 33(b)

Fig. 33(a)

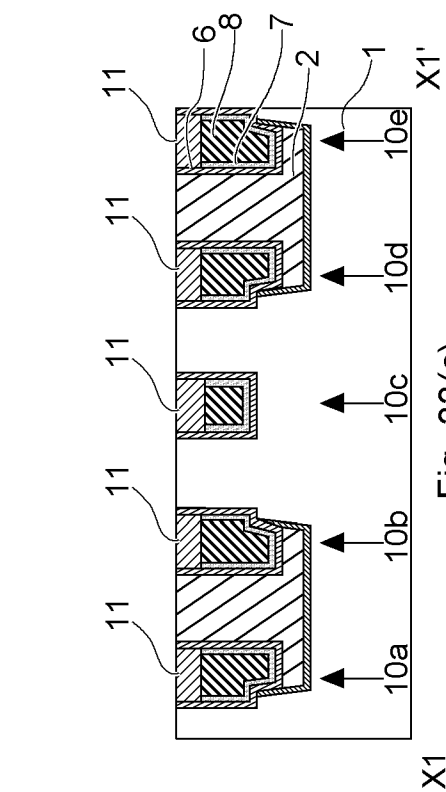


Fig. 33(c)

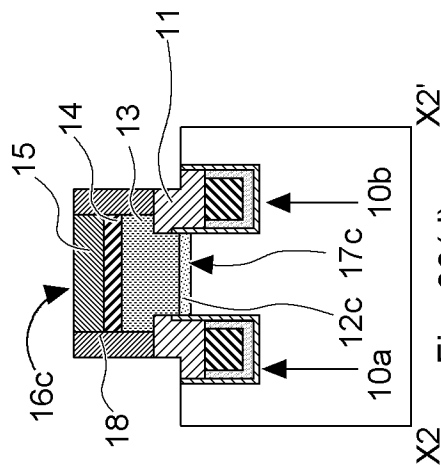


Fig. 33(d)

[図34]

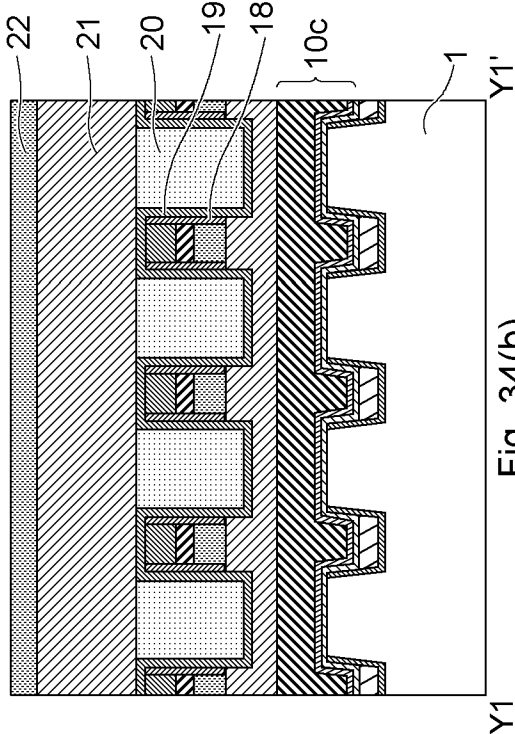


Fig. 34(b)

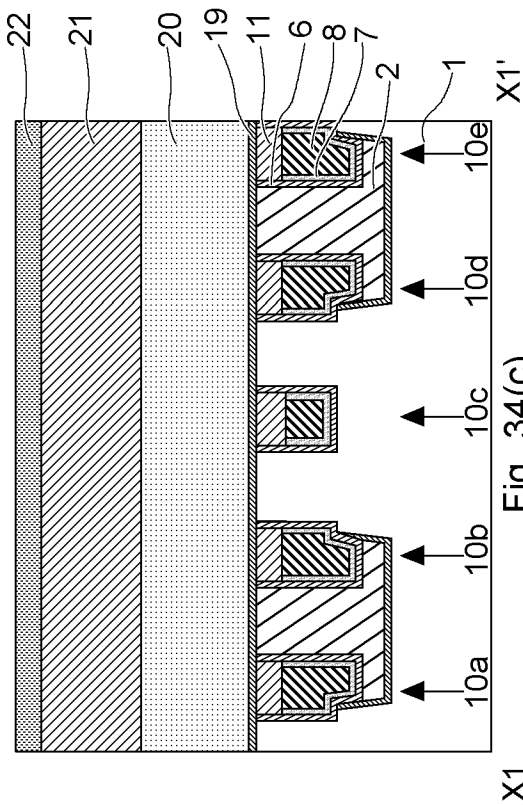


Fig. 34(c)

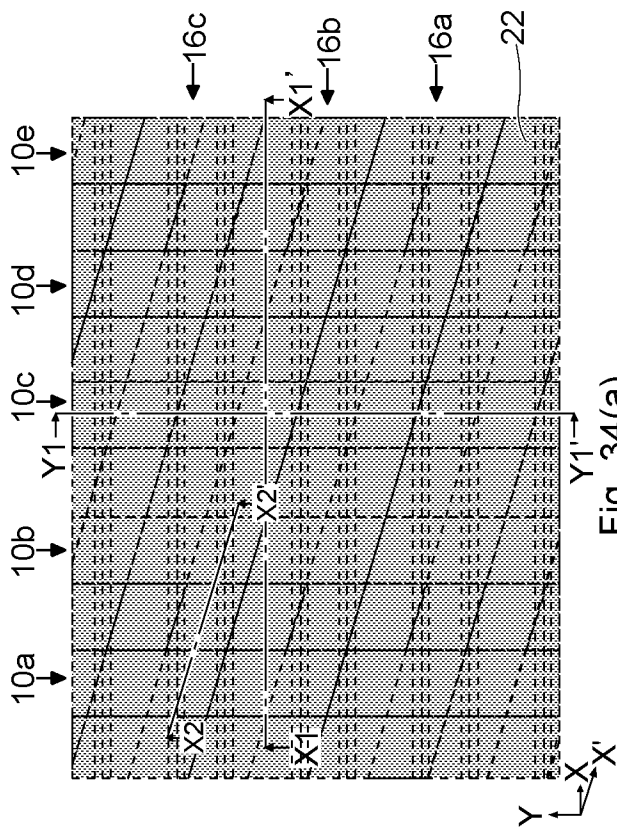


Fig. 34(a)

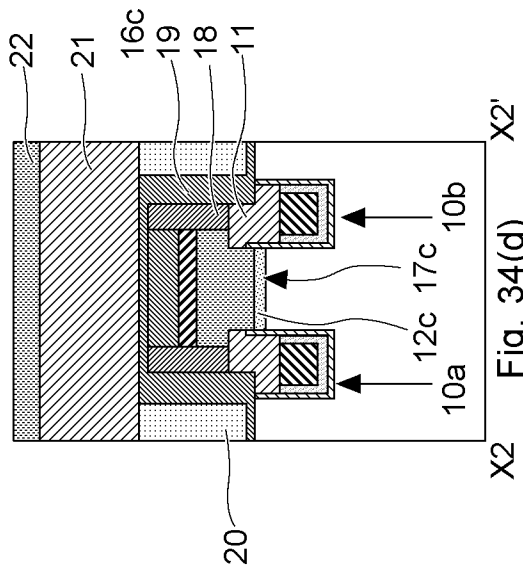
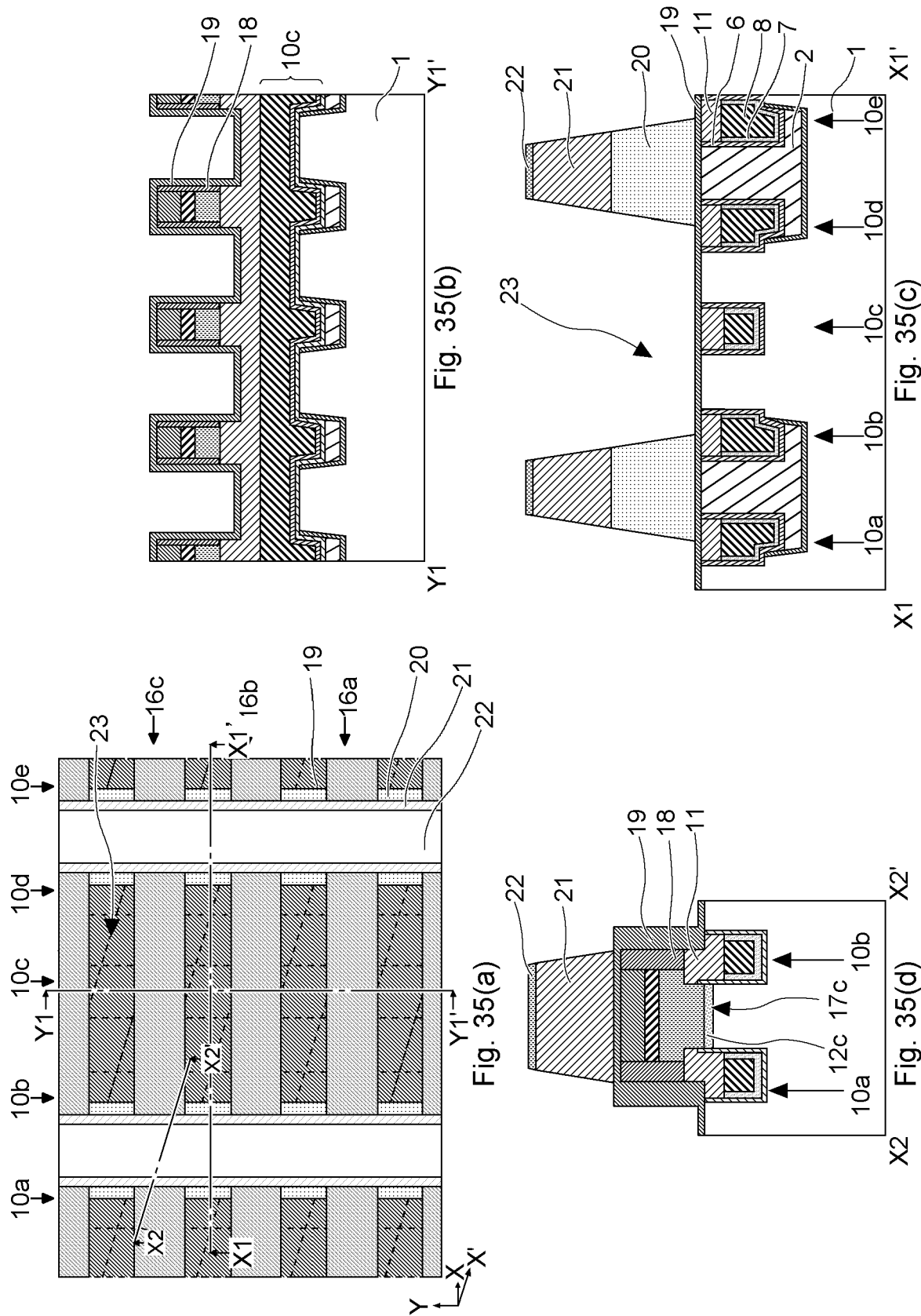


Fig. 34(d)

[図35]



[図36]

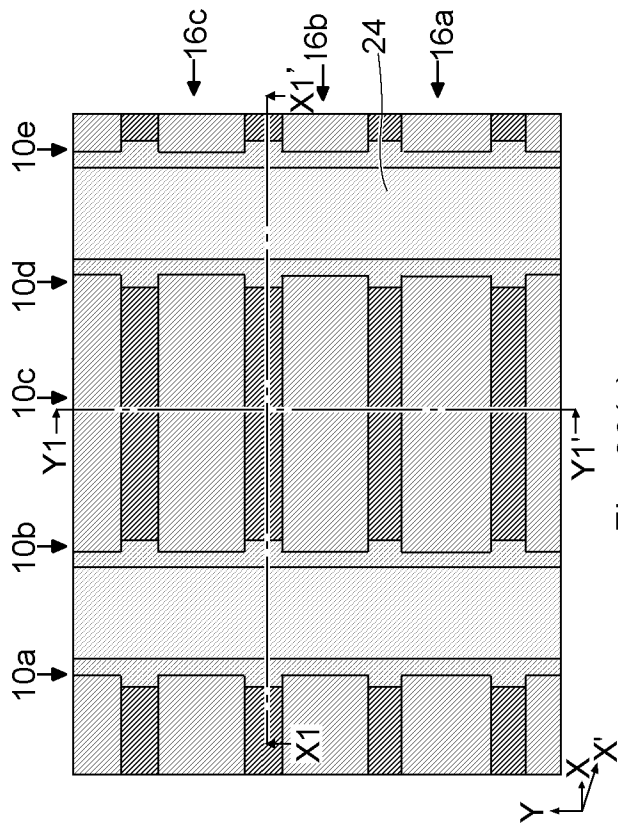


Fig. 36(a)

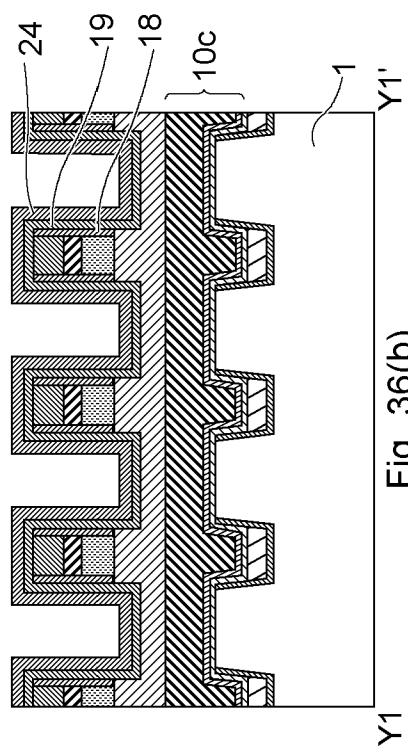


Fig. 36(b)

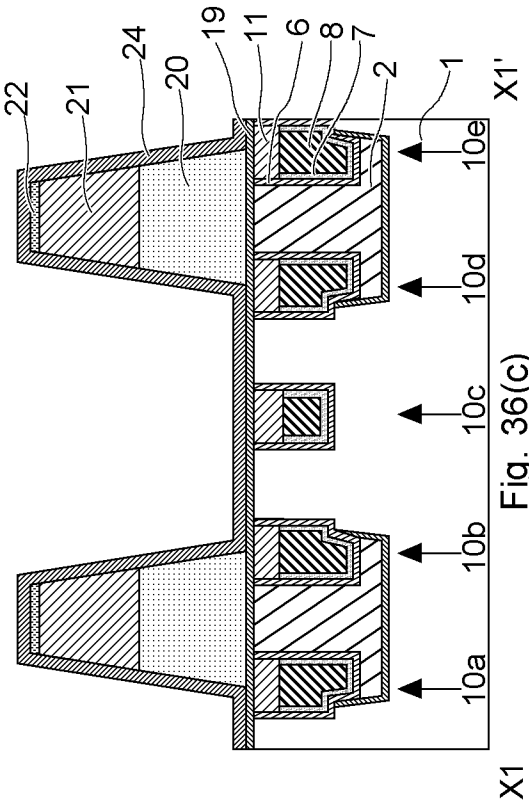


Fig. 36(c)

[Fig. 37A]

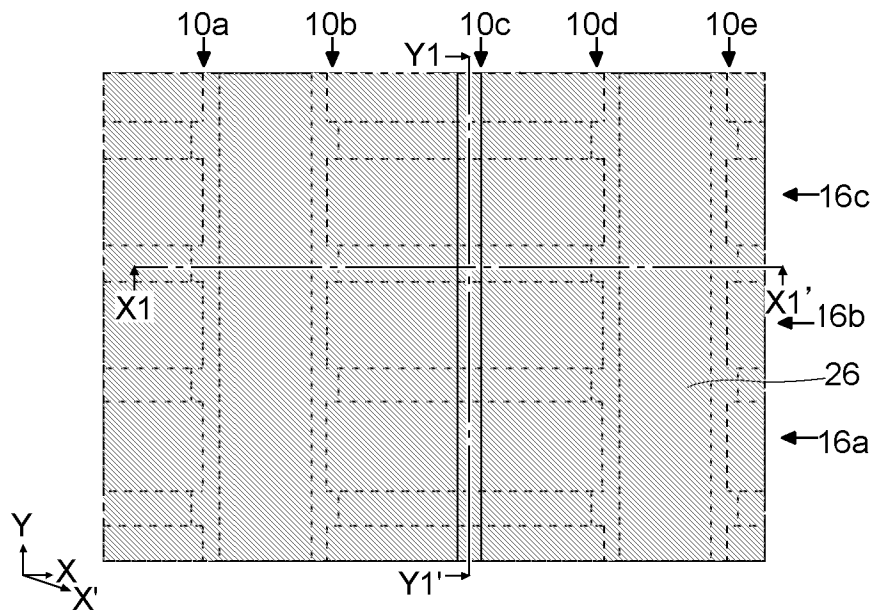


Fig. 37(a)

[Fig. 37B]

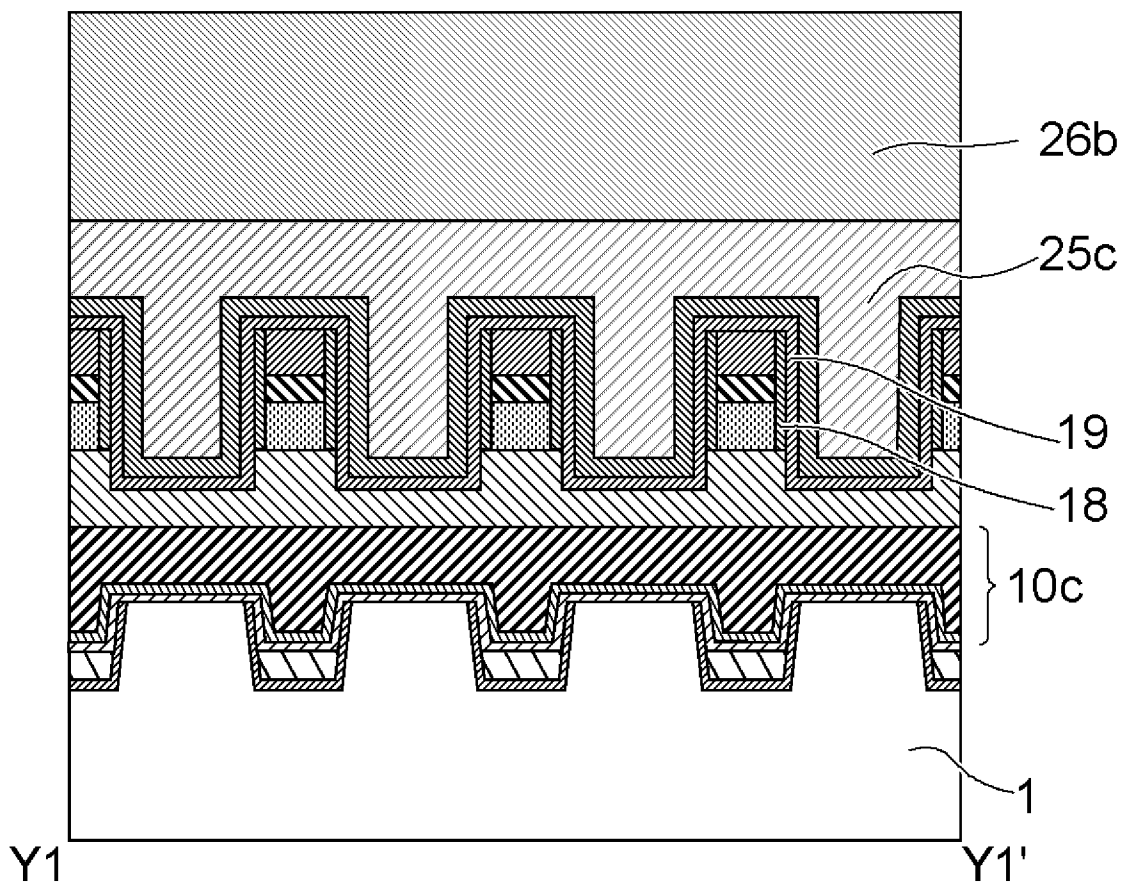


Fig. 37(b)

[図37C]

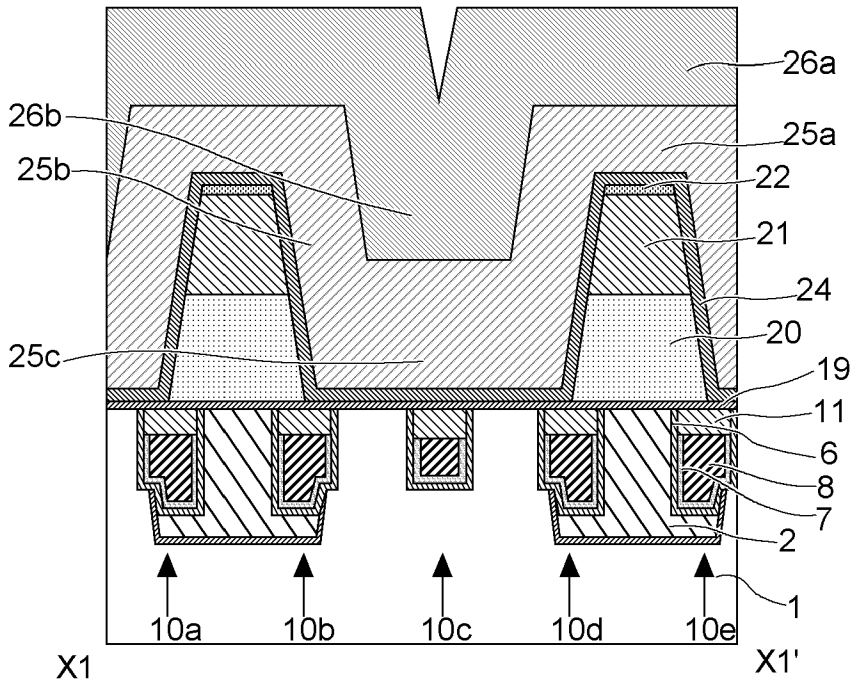


Fig. 37(c)

[図38A]

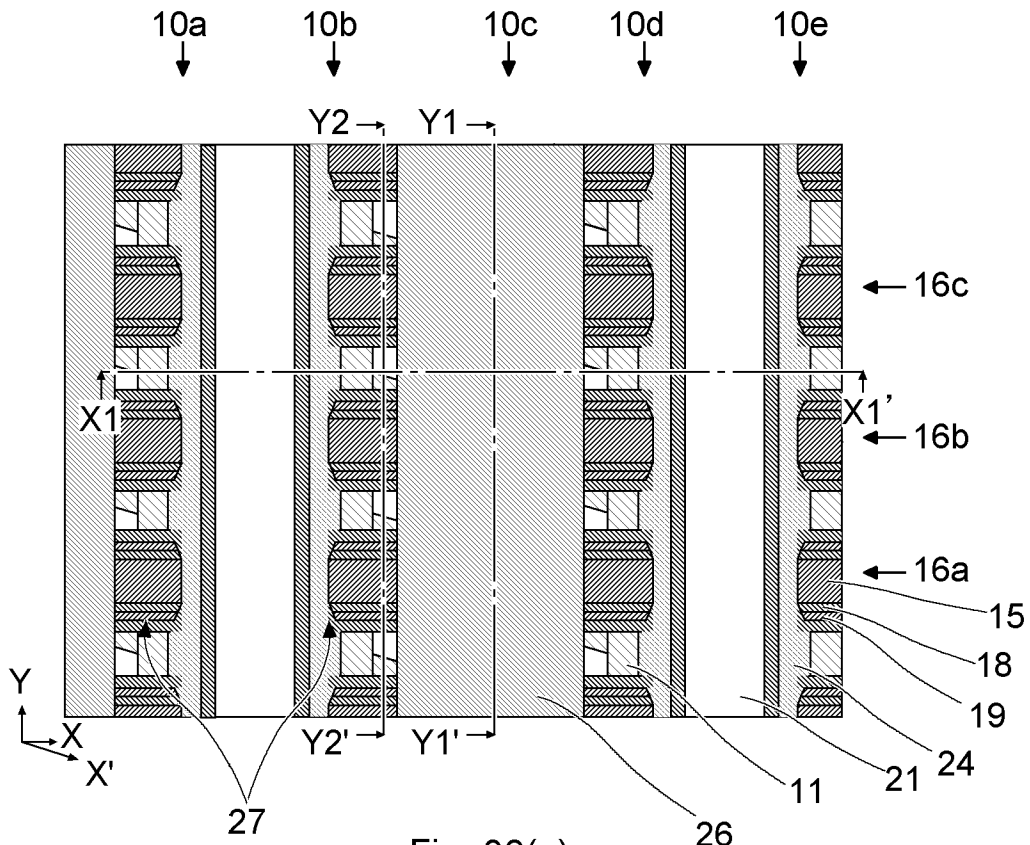


Fig. 38(a)

[38B]

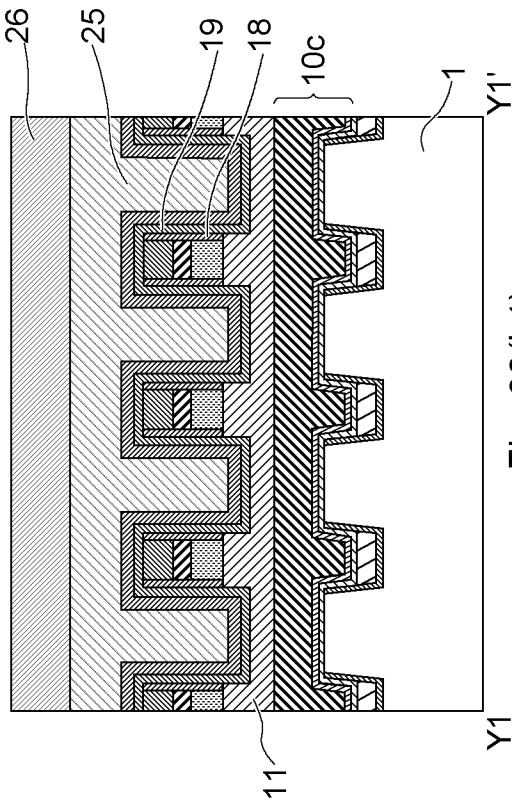


Fig. 38(b1)

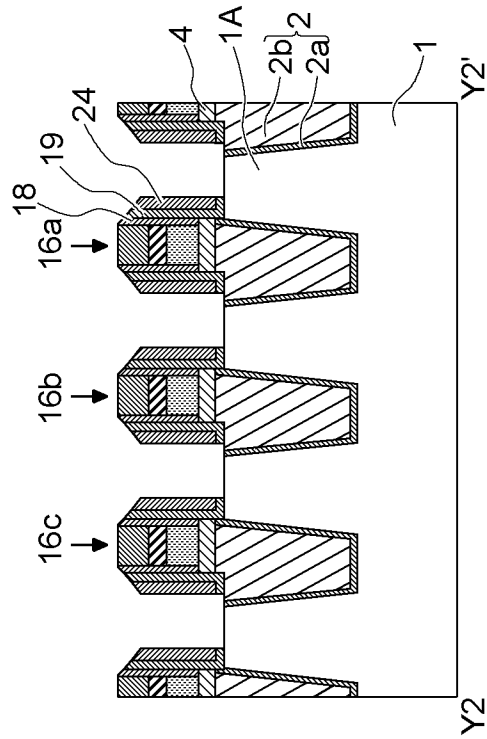


Fig. 38(b2)

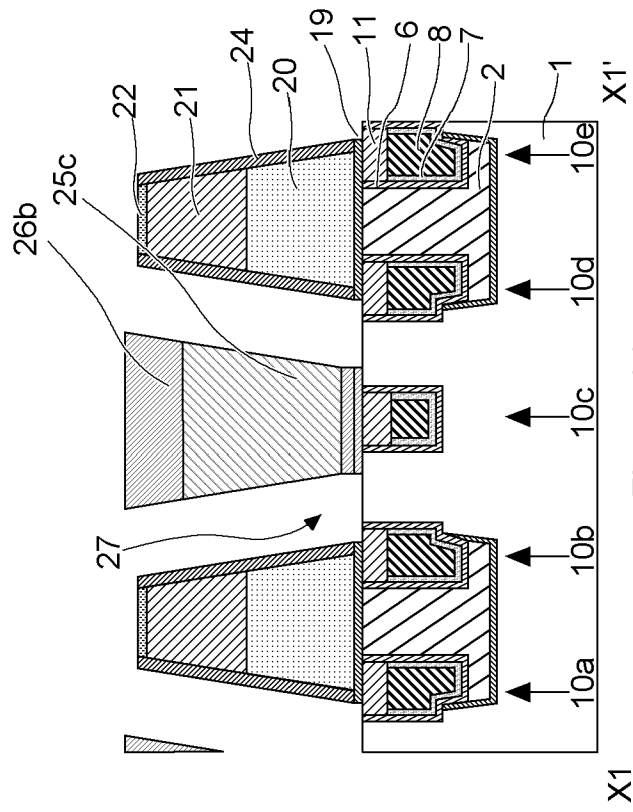


Fig. 38(c)

[Fig. 39]

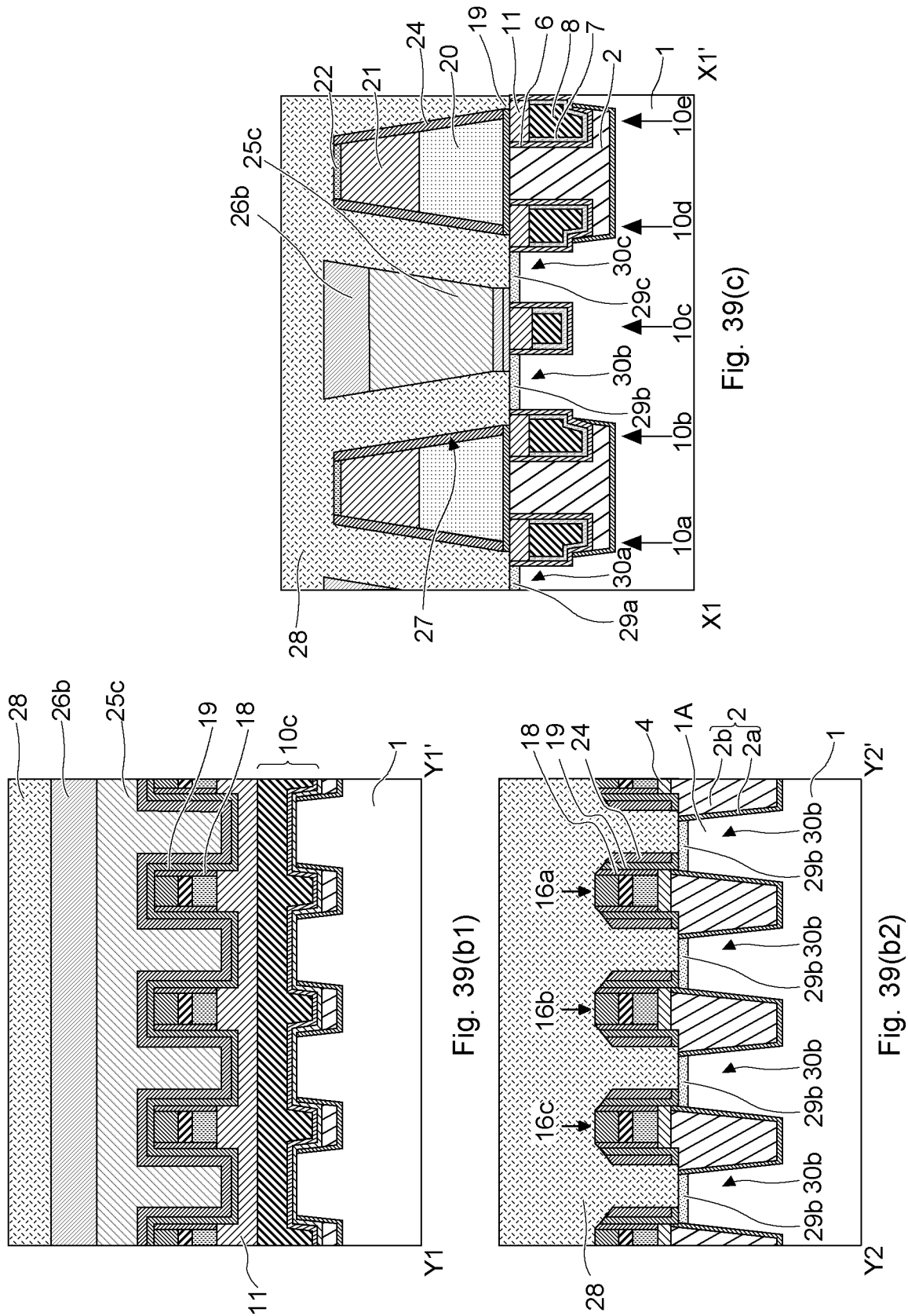


Fig. 39(b1)

Fig. 39(b2)

Fig. 39(c)

[図40A]

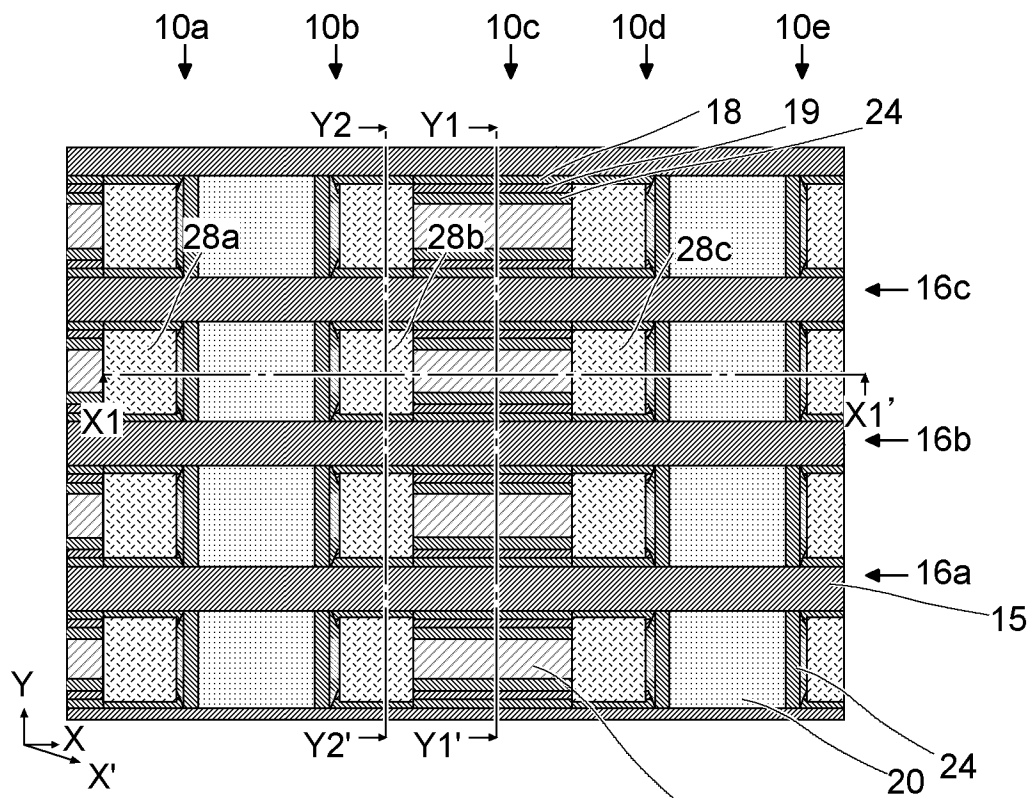



Fig. 40(a)

[40B]

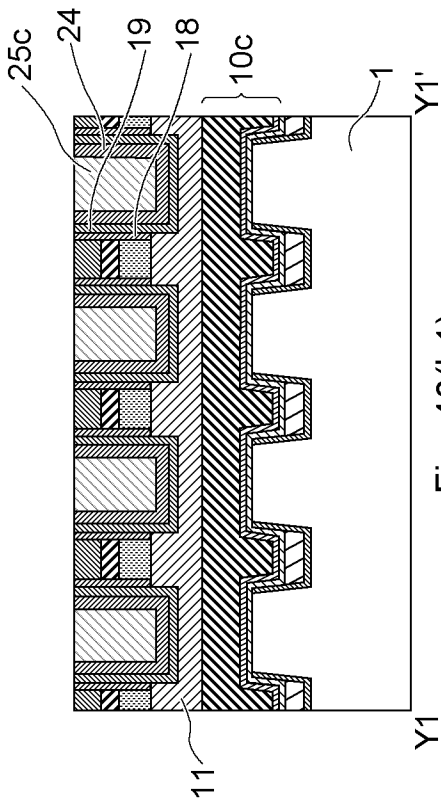


Fig. 40(b1)

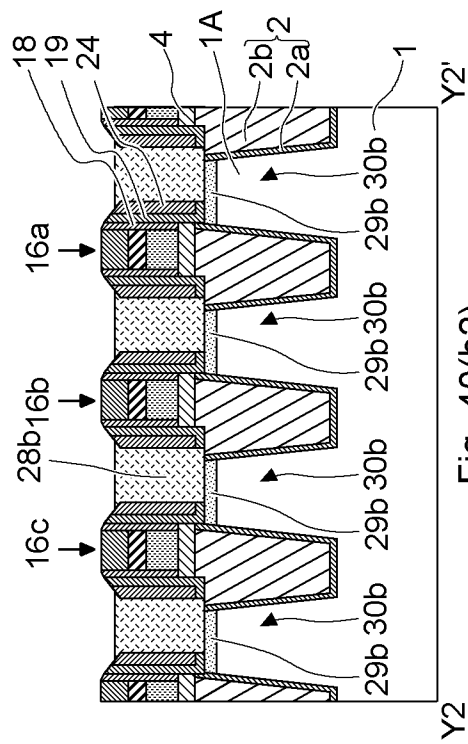


Fig. 40(b2)

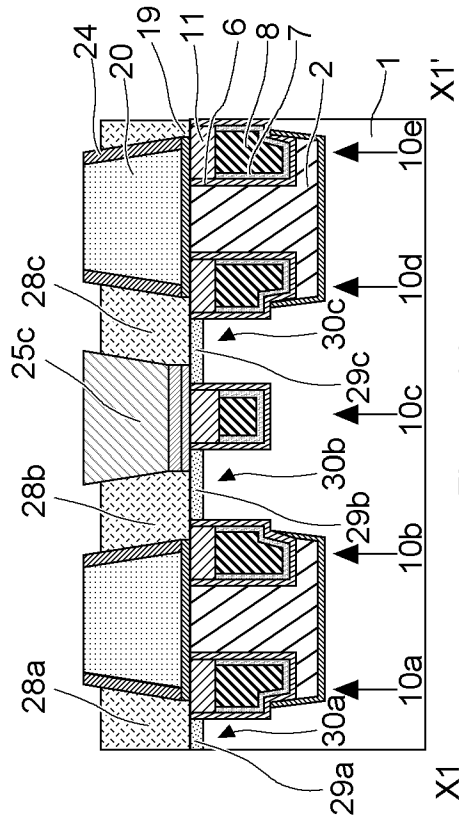


Fig. 40(c)

[図41A]

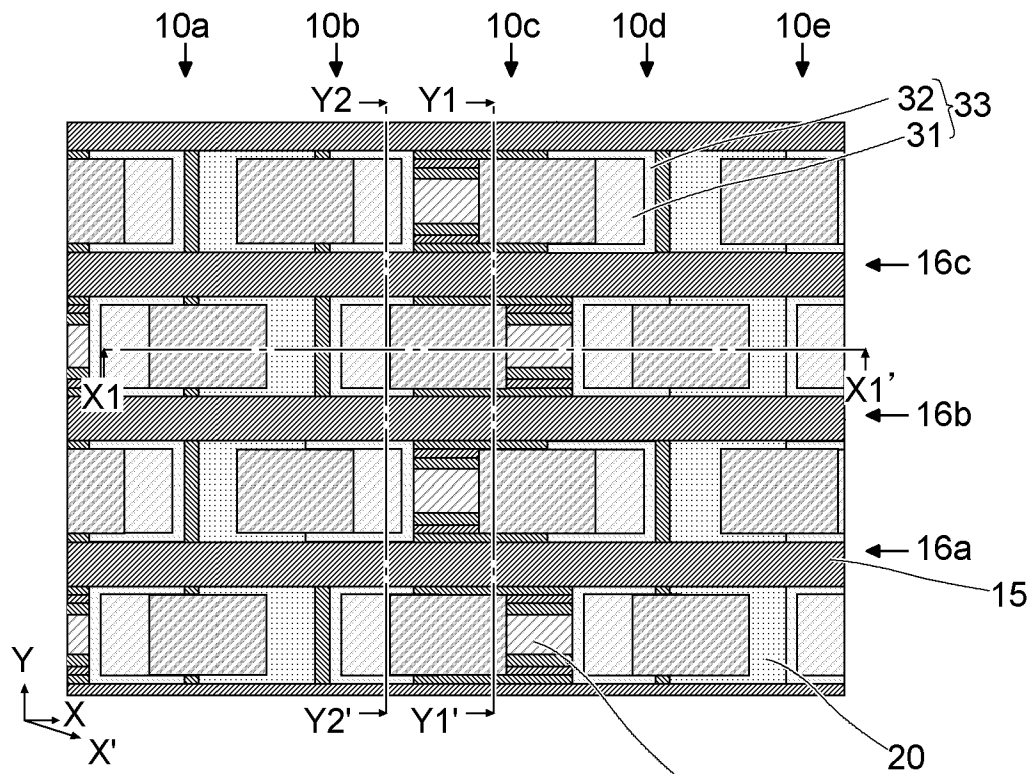
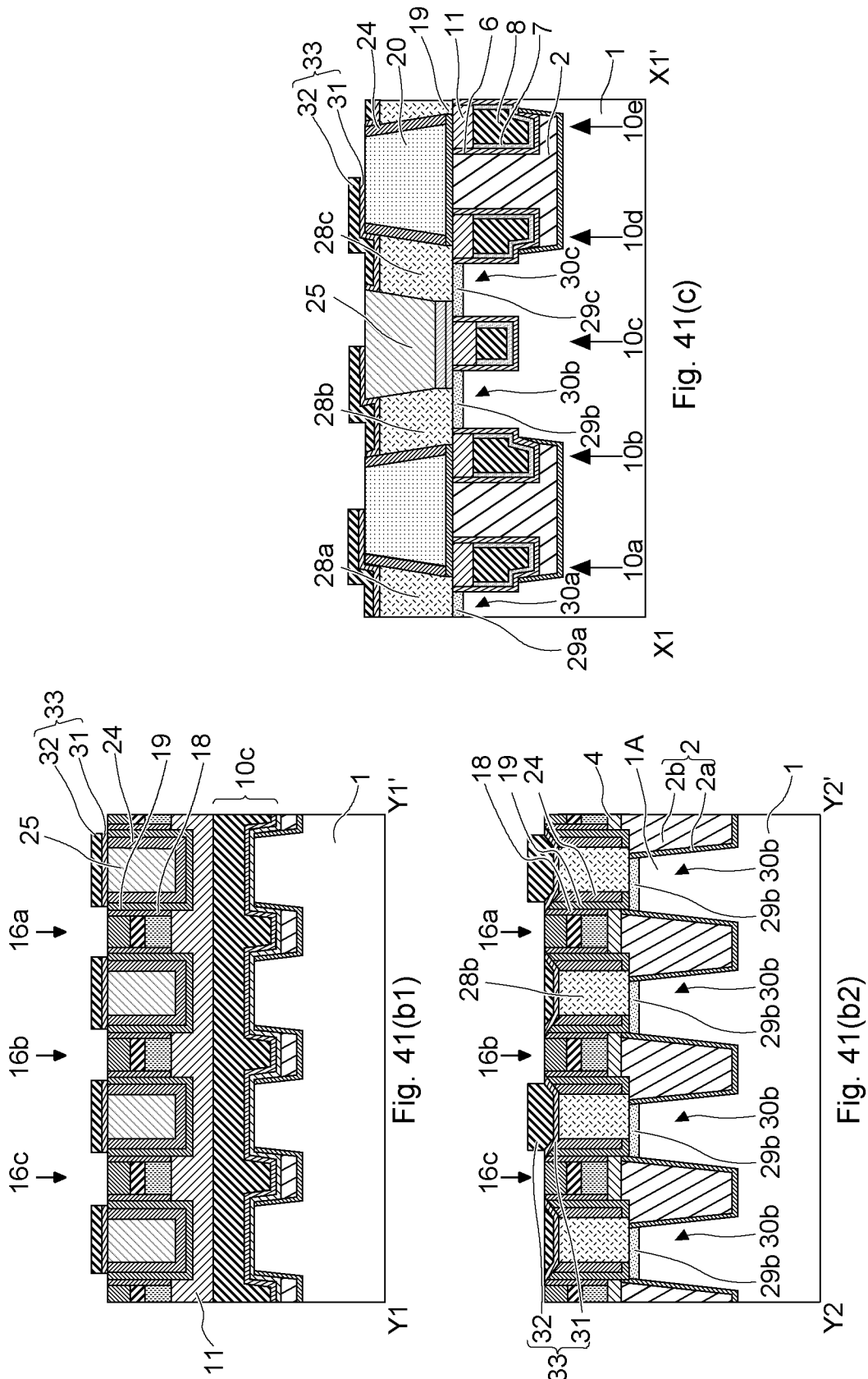


Fig. 41(a)

25

[41B]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/052724

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/28(2006.01)i, H01L21/768(2006.01)i, H01L21/8242(2006.01)i,
H01L27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/28, H01L21/768, H01L21/8242, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-243960 A (Elpida Memory, Inc.), 01 December 2011 (01.12.2011), entire text; all drawings & US 2011/0260288 A1	1-22
A	JP 2011-233878 A (Elpida Memory, Inc.), 17 November 2011 (17.11.2011), entire text; all drawings & US 2011/0250757 A1	1-22
A	JP 2006-261307 A (Toshiba Corp.), 28 September 2006 (28.09.2006), entire text; all drawings & US 2006/0216938 A1 & KR 10-2006-0100251 A	1-22

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 May, 2014 (02.05.14)	Date of mailing of the international search report 13 May, 2014 (13.05.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/052724

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-093033 A (Toshiba Corp.), 10 April 1998 (10.04.1998), entire text; all drawings (Family: none)	1-22

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L21/28(2006.01)i, H01L21/768(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L21/28, H01L21/768, H01L21/8242, H01L27/108

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2014年
 日本国実用新案登録公報 1996-2014年
 日本国登録実用新案公報 1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-243960 A (エルピーダメモリ株式会社) 2011.12.01, 全文、 全図 & US 2011/0260288 A1	1-22
A	JP 2011-233878 A (エルピーダメモリ株式会社) 2011.11.17, 全文、 全図 & US 2011/0250757 A1	1-22
A	JP 2006-261307 A (株式会社東芝) 2006.09.28, 全文、全図 & US 2006/0216938 A1 & KR 10-2006-0100251 A	1-22

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 02.05.2014	国際調査報告の発送日 13.05.2014
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 右田 勝則 電話番号 03-3581-1101 内線 3559

50 9173

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-093033 A (株式会社東芝) 1998.04.10, 全文、全図 (ファミリーなし)	1-22