

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 7 月 26 日 (26.07.2012)



(10) 国际公布号
WO 2012/097585 A1

- (51) 国际专利分类号:
H01L 21/66 (2006.01) *G06F 17/50* (2006.01)
- (21) 国际申请号: PCT/CN2011/078204
- (22) 国际申请日: 2011 年 8 月 10 日 (10.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110023167.6 2011 年 1 月 20 日 (20.01.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 钟汇才 (ZHONG, Hui-

cai) [CN/US]; 美国加利福尼亚州圣荷西市威尔明顿大道 1089 号, California 95129 (US)。

- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

[见续页]

(54) Title: ANALYSIS METHOD OF DEVICE ELECTRICAL PROPERTIES CORRELATION AND OPTIMIZATION METHOD OF DEVICE STRUCTURE

(54) 发明名称: 器件电学特性相关性分析及器件结构优化方法

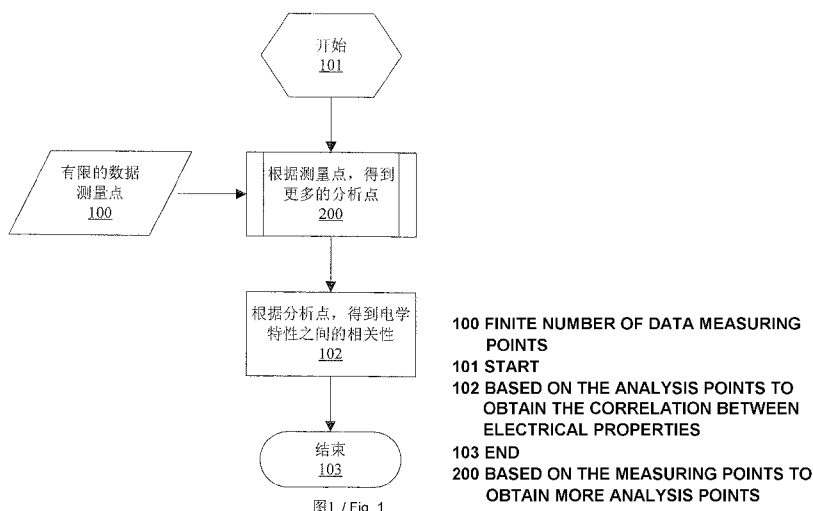


图1 / Fig. 1

(57) Abstract: Provided here are an analysis method of device electrical properties correlation and an optimization method of device structure. The electronic device comprises several electric characteristics $v_1, v_2, v_3, \dots, v_m$, and the electric characteristics $v_2, v_3, \dots, v_m$ form a $m-1$ dimensional space. Based on several discrete measuring points ($v_{2k}, v_{3k}, \dots, v_{mk}$) in the $m-1$ dimensional space, several corresponding measured values of the electrical property v_1 are obtained. The analysis method of electrical properties correlation comprises: Delaunay triangulation is implemented to the several measuring points ($v_{2k}, v_{3k}, \dots, v_{mk}$) in the $m-1$ dimensional space; based on the result of the Delaunay triangulation, using interpolation calculation to obtain the several corresponding interpolation values of the electrical property v_1 of several interpolation points ($v_{2i}, v_{3i}, \dots, v_{mi}$); and obtain the correlation between electrical properties v_1 and v_2 according to the measuring points, the interpolation points, the corresponding measured values and interpolation values.

[见续页]



LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。 — 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

一种器件电学特性相关性分析方法及器件结构优化方法, 电子器件可以包括多个电学特性 v_1 、 v_2 、 v_3 、 $\dots$ 、 v_m , 其中电学特性 v_2 、 v_3 、 $\dots$ 、 v_m 构成 $m-1$ 维空间。针对该 $m-1$ 维空间中多个离散的测量点(v_{2k} , v_{3k} , $\dots$, v_{mk}), 已经获得了电学特性 v_1 的相应多个测量值。该电学特性相关性分析方法包括: 在 $m-1$ 维空间中, 对多个测量点(v_{2k} , v_{3k} , $\dots$, v_{mk})进行 Delaunay 三角剖分; 根据 Delaunay 三角剖分结果, 通过插值计算得到多个插值点(v_{2i} , v_{3i} , $\dots$, v_{mi})处电学特性 v_1 的相应多个插值值; 以及根据这些测量点、插值点以及相应的测量值、插值值, 得到电学特性 v_1 与 v_2 之间的相关性。

器件电学特性相关性分析方法及器件结构优化方法

5 本申请要求了 2011 年 1 月 20 日提交的、申请号为 201110023167.6、发明名称为“器件电学特性相关性分析方法及器件结构优化方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

10 本发明涉及电子器件领域，更具体地，涉及一种对电子器件的电学特性之间的相关性进行分析的方法以及对电子器件的结构进行优化的方法。

背景技术

15 对于大多数电子器件例如集成电路（IC）器件尤其是大规模集成电路（LSIC）器件而言，存在着众多的电学特性（例如，电流、电压特性等）。确定不同电学特性之间的相关性，是对整个系统如集成电路器件进行特性表征的基础。

已知的主要成分分析（Principal Components Analysis, PCA）方法是针对线性系统的，而无法用于对非线性系统进行分析。而对于大多数电子器件如集成电路器件而言，由于其中众多的变量（电学特性）为非线性变量且相互之间具有较强相关性，需要采取数据筛选的方法来提取两两变量之间的相互影响趋势（即，通过筛选而降低由
20 其他变量变化导致的两个被提取变量的变化）。但是，常规的筛选方法无法从有限的采样数据中精确提取这种趋势。

有鉴于此，需要提供一种新颖的方法来分析电子器件中的两两电学特性之间相互的影响趋势，以便对这种电子器件的非线性系统进行精确的特性表征，并由此来改进器件的设计和制造。

25

发明内容

本发明的目的在于提供一种电子器件中电学特性相关性的分析方法。

根据本发明的一个方面，提供了一种电子器件的电学特性相关性分析方法。电子器件可以包括多个电学特性 v_1 、 v_2 、 v_3 、 $\cdots$ 、 v_m ，其中 m 是大于 1 的整数。电学特性
30 性 v_2 、 v_3 、 $\cdots$ 、 v_m 构成 $(m-1)$ 维空间， $(v_{2i}, v_{3i}, \cdots, v_{mi})$ 为所述 $(m-1)$ 维空间中的点；

针对所述(m-1)维空间中的多个离散的测量点($v_{2k}, v_{3k}, \dots, v_{mk}$), 已经获得了电学特性 v_1 的相应多个测量值, 其中 i, k 表示点的索引。该方法包括: 在所述(m-1)维空间中, 对所述多个测量点($v_{2k}, v_{3k}, \dots, v_{mk}$)进行 Delaunay 三角剖分; 根据 Delaunay 三角剖分结果, 通过插值计算得到多个插值点($v_{2i}, v_{3i}, \dots, v_{mi}$)处电学特性 v_1 的相应多个插值值; 以及根据所述多个测量点、所述多个插值点以及相应的所述多个测量值、所述多个插值值, 得到电学特性 v_1 与 v_2 之间的相关性。

这样, 通过插值, 可以扩展有限的测量采样, 并从而根据扩展后的数据更为精确地提取出电学特性之间的相关性。

优选地, 插值计算的步骤包括: 利用插值点所处的 Delaunay 三角剖分区的顶点处的测量点所对应的测量值, 来进行插值计算以得到该插值点相对应的插值值, 其中所述 Delaunay 三角剖分区是由于 Delaunay 三角剖分而得到的。

根据本发明的实施例, 利用 Delaunay 三角剖分方法, 可以有效地进行插值计算。

例如, 当 $m = 3$ 时, Delaunay 三角剖分区为三角形; 当 $m = 4$ 时, Delaunay 三角剖分区为四面体。

优选地, 在得到电学特性 v_1 与 v_2 之间的相关性的步骤中, 针对所述多个测量点以及所述多个插值点, 选择($v_{2i}, v_{3i} = C_3, v_{4i} = C_4, \dots, v_{mi} = C_m$)的点以及相对应的电学特性 v_1 的值, 来得到电学特性 v_1 与 v_2 之间的相关性, 其中 $C_3, C_4, \dots, C_m$ 为常数。

根据本发明的实施例, 通过固定 $v_3, v_4, \dots, v_m$, 可以去除它们的浮动对 v_1/v_2 的变化所造成的影响。

优选地, 所述多个插值点均为($v_{2i}, v_{3i} = C_3, v_{4i} = C_4, \dots, v_{mi} = C_m$)的点。

优选地, 选择所述多个电学特性 $v_1, v_2, v_3, \dots, v_m$, 使得 $v_3, \dots, v_m$ 实质上与该电子器件的物理结构特性 s_k 无关, 从而得到的电学特性 v_1 与 v_2 之间的相关性反映出所述物理结构特性 s_k 。

这样, 可以得出单独的物理结构特性 s_k 对于器件电学特性的作用, 并因此可以判断该物理结构特性 s_k 是否适当。

优选地, 所述电子器件包括集成电路器件。在这种情况下, 所述电学特性包括饱和和区电流、线性区电流、沟道反型电容、沟道与源漏交叠电容、亚阈值斜率、漏电流和/或阈值电压, 以及所述物理结构特性包括栅长、栅介质厚度、迁移率和/或寄生电阻。

根据本发明的另一方面，还提供了一种电子器件的结构优化方法，包括：根据上述方法，得到电学特性 v_1 与 v_2 之间的相关性，该相关性反映出所述物理结构特性 sk ；以及选择物理结构特性 sk 的适当值，以优化该电子器件。

5 附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1 示出了根据本发明实施例的器件电学特性相关性分析方法的示意图；

图 2 示出了根据本发明实施例的数据采样扩充的示意图；

10 图 3 示出了根据本发明实施例的 Delaunay 三角剖分的示例；以及

图 4 示出了根据本发明实施例的对 CMOS 器件中电学特性间相关性进行分析的示例。

具体实施方式

15 以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知知识和技术的描述，以避免不必要地混淆本发明的概念。

图1示出了根据本发明实施例的器件电学特性相关性分析方法的示意图。

20 如图1所示，根据该实施例的器件电学特性相关性分析方法从步骤101开始。在此，假设要分析的电子器件包括多个电学特性 v_1 、 v_2 、 v_3 、 $\dots$ 、 v_m ，其中 m 是大于1的整数。例如，这种电学特性可以是器件向外部表现出的电压/电流特性等，包括但不限于驱动电流、漏电流、阈值电压等。需要指出的是，电子器件还可以包括其他电学特性。这种电学特性例如可以通过在器件完成之后通过电学测试来测量获得，或者可以通过对器件模型进行仿真来获得。

25 这些电学特性 v_1 、 v_2 、 v_3 、 $\dots$ 、 v_m 中的至少一部分彼此之间具有相关性。在此，假设需要分析特性 v_1 与 v_2 之间的相关性，即

$$v_1 = f(v_2, v_3, \dots, v_m)。$$

30 也就是说，变量 v_3 ， $\dots$ ， v_m 是该系统（即，所分析的电子器件）中对于 v_1 与 v_2 之间的相关性造成影响的其他电学特性或这些电学特性的一部分。这里，以 $f(\dots)$ 来表示这种相关性， $f(\dots)$ 可以并非能够解析表达的函数。

在此, 可以将变量 $v_2, v_3, \dots, v_m$ 视为 $(m-1)$ 维空间中的各个维度, 从而 $(v_{2i}, v_{3i}, \dots, v_{mi})$ 构成该 $(m-1)$ 维空间中的一个“点”。相应的 $v_{1i} (= f(v_{2i}, v_{3i}, \dots, v_{mi}))$ 是该“点”处的“函数值”。

以下, 为了说明的方便, 引入如下定义:

5

<i>(m-1)维空间</i>	由变量 $v_2, v_3, \dots, v_m$ (电学特性) 构成其各个维度的空间
<i>(离散) 点</i>	$(m-1)$ 维空间中的点 $(v_{2i}, v_{3i}, \dots, v_{mi})$
<i>离散点的函数值</i>	点 $(v_{2i}, v_{3i}, \dots, v_{mi})$ 所对应的 v_{1i} 值
<i>测量采样</i>	通过测量或者电路测试获得的变量组合 $[(v_{2k}, v_{3k}, \dots, v_{mk}), v_{1k}]$
<i>补充采样</i>	根据测量采样, 通过插值获得的变量组合 $[(v_{2i}, v_{3i}, \dots, v_{mi}), v_{1i}]$
<i>分析采样</i>	测量采样和补充采样的组合
<i>测量点</i>	测量采样 $[(v_{2k}, v_{3k}, \dots, v_{mk}), v_{1k}]$ 所对应的 $(m-1)$ 维空间中的点, 即, 相应函数值 v_{1k} 已经测量过的点 $(v_{2k}, v_{3k}, \dots, v_{mk})$
<i>插值点</i>	补充采样 $[(v_{2i}, v_{3i}, \dots, v_{mi}), v_{1i}]$ 所对应的 $(m-1)$ 维空间中的点, 即, 相应函数值 v_{1i} 是插值得到的点 $(v_{2i}, v_{3i}, \dots, v_{mi})$
<i>分析点</i>	测量点和插值点的组合

注: “[x_i, y_i]” 中 “ x_i ” 表示 $(m-1)$ 维空间中一个离散点, 即 $(v_{2i}, v_{3i}, \dots, v_{mi})$; “ y_i ” 表示该点所对应的函数值, 即 v_{1i} ;

其中， i 、 k 是点和相应函数值的索引。

为了分析 v_1 与 v_2 之间的相关性，需要提供一组数据采样。在此，如图1中100所示，针对有限数目的测量点($v_{2k}, v_{3k}, \dots, v_{mk}$)，获得了相应的 v_{1k} 值。也就是说，事先获得了测量采样 $[(v_{2k}, v_{3k}, \dots, v_{mk}), v_{1k}]$ 。这种测量采样例如是通过电路测试获得的，或者是通过电路仿真获得的。

但是，如背景技术部分所述，根据有限的测量采样，难以获得 v_1 与 v_2 之间精确的相关性。为此，可能需要扩展这些测量采样。例如，根据这些测量采样，通过插值来获得更多的补充采样，并从而根据由此得到的数目增大的分析采样（包括测量采样和补充采样）来分析 v_1 与 v_2 之间的相关性。分析采样的获得在步骤200中实现（以下，将参照图2详细描述）。

本发明的一个重要特征在于，利用Delaunay三角剖分（triangulation）方法，来选择用于计算补充采样的测量采样。

具体地，如图2所示，在子步骤201中，对于 $(m-1)$ 维空间中的测量点($v_{2k}, v_{3k}, \dots, v_{mk}$)进行Delaunay三角剖分。图3示出了2维空间（即， $m = 3$ ）中Delaunay三角剖分的示例，其中横坐标表示归一化的 v_2 ，纵坐标表示归一化的 v_3 （或者横坐标表示归一化的 v_3 ，纵坐标表示归一化的 v_2 ）。图3中示出的各个三角形为由于Delaunay三角剖分而得到的Delaunay三角剖分区（在2维空间中为三角形，在3维空间中为四面体，以此类推），其顶点对应于各测量点。Delaunay三角剖分本身对于本领域技术人员来说是公知的，此方法可以将多维空间以测定参数为顶点划分成若干离散单元，在此不再详细描述。

然后，在子步骤202中，选择插值点所处的Delaunay三角剖分区的顶点处的测量点进行插值计算。例如，在图3所示的示例中，箭头所示的插值点处对应的 v_{1i} 值可以通过选择该插值点所处的Delaunay三角形的三个顶点处相对应的 v_{1k} 值来计算。

接着，在子步骤203中，通过组合测量点和插值点，得到数目增大的分析点，以便得到更精确的 v_1 与 v_2 之间的相关性。

最后，步骤200在子步骤204结束。

当在步骤200中得到数目增多的分析点之后，在步骤102中可以根据这些分析点（以及相对应的 v_{1i} 值），来分析得到 v_1 与 v_2 之间的相关性。

具体地，为了研究特性 v_1 和 v_2 之间的相互关系，需要将其他特性 $v_3, \dots, v_m$ 的影

响排除。例如，可以将这些变量固定，使得 $v_{3i} = C_3$ ， $v_{4i} = C_4$ ， $\dots$ ， $v_{mi} = C_m$ ，其中 C_3 、 C_4 、 $\dots$ 、 C_m 是常量。这样，就可以获得 v_1 与 v_2 之间的相关性： $v_1 = f(v_2, C_3, \dots, C_m)$ 。

为此，可以选择分析点中 $(v_{2i}, v_{3i} = C_3, v_{4i} = C_4, \dots, v_{mi} = C_m)$ 的点（以及相应的 v_{1i} 值）。优选地，可以将插值点本身就确定为 $(v_{2i}, v_{3i} = C_3, v_{4i} = C_4, \dots, v_{mi} = C_m)$ 的点。

最后，该方法在步骤103结束。

上述相关性分析方法有一种特别有利的应用。本领域技术人员知道，电子器件对外部所表现出的电学特性如 v_1 、 v_2 、 v_3 、 $\dots$ 、 v_m 是由电子器件本身的物理结构特性（在此以 s_1 、 s_2 、 $\dots$ 、 s_n 表示，其中 n 是大于1的整数）确定的。也就是说，电学特性 v_i （ $i = 1, \dots, m$ ）可以表示为 $v_i = g(s_1, s_2, \dots, s_n)$ ，其中 $g(\dots)$ 表示电学特性 v_i 对物理结构特性 s_1 、 s_2 、 $\dots$ 、 s_n 的依赖性， $g(\dots)$ 可以并非能够解析表达的函数。

例如，在电子器件为集成电路器件的情况下，电学特性如 v_1 、 v_2 、 v_3 、 $\dots$ 、 v_m 可以包括饱和区电流（ I_{low} ）、线性区电流（ I_{dlin} ）、沟道反型电容（ C_{inv} ）、沟道与源漏交叠电容（ C_{ov} ）、亚阈值斜率（ SS ）、漏电流（ I_{off} ）、阈值电压（ V_{tlin} ）等。集成电路器件的物理结构特性 s_1 、 s_2 、 $\dots$ 、 s_n 可以包括栅长（ L_{gate} ）、栅介质厚度（ T_{ox} ）、迁移率（ Mob ）、寄生电阻（ R_{par} ）等。

利用本发明的上述相关性分析方法，可以分析出单独的物理结构特性 s_k （ $k = 1, \dots, n$ ）对于器件电学特性的作用，具体说明如下。

例如，可以选择电学特性 v_3 、 $v_4 \dots v_m$ ，使得它们基本上与器件的某一物理结构特性 s_k 无关。这样，根据上述相关性分析方法得出的 v_1 与 v_2 之间的相关性可以体现出单独的物理结构特性 s_k 对器件电学特性的作用，而排除其他物理结构特性 s_1 、 $\dots$ 、 s_{k-1} 、 s_{k+1} 、 $\dots$ 、 s_n 的影响，从而可以得知所设置的物理结构特性 s_k 的值是否合适。

例如，在集成电路器件的情况下，当根据一定的设计（具有预定的物理结构特性如栅长、栅介质厚度、迁移率、寄生电阻等）制作出样品器件时，可以对样品器件进行电学测试，以确定该器件的实际电学特性是否满足要求，并因此确定设计是否合适。通过这种电学测试，可以测得多组电学特性值，如上述的 $[(v_{2k}, v_{3k}, \dots, v_{mk}), v_{1k}]$ 。

对于这些测量到的电学特性值，可以利用本发明的上述插值方法来扩充，以便更为精确地分析这些电学特性之间的相关性。在分析这种相关性时，例如可以如上所述选定电学特性 v_3 、 $v_4 \dots v_m$ ，使得它们基本上与器件的某一物理结构特性 s_k 无关。从而

可以得知该单独的物理结构特性 s_k 对器件电学特性的作用，并因此确定设计时确定的该物理结构特性 s_k 的值是否恰当并相应修改设计。

例如，在器件为CMOS器件的情况下，可以选择 $v_1 = I_{low}$ ， $v_2 = I_{dlin}$ ， $v_3 = C_{inv}$ ， $v_4 = C_{ov}$ ， $v_5 = SS$ （即， $m = 5$ ）。由于 C_{inv} 、 C_{ov} 、 SS 受迁移率（ Mob ）的影响可以忽略，即基本上与 Mob 无关。这样，根据本发明的上述方法分析得出的相关性 $I_{low} = f(I_{dlin}, C_{inv} = C_3, C_{ov} = C_4, SS = C_5)$ 就完全排除了 C_{inv} 、 C_{ov} 、 SS 浮动的影响，且 I_{low} 相对于 I_{dlin} 的变化基本上由迁移率 Mob 决定。也就是说，单独地提取出了物理结构特性 Mob 对器件电学特性的作用。

类似地，可以选择 $v_1 = I_{low}$ ， $v_2 = I_{dlin}$ ， $v_3 = C_{inv}$ ， $v_4 = I_{off}$ ， $v_5 = V_{tlin}$ （即， $m = 5$ ）。由于 C_{inv} 、 I_{off} 、 V_{tlin} 受迁寄生电阻（ R_{par} ）的影响可以忽略，即基本上与 R_{par} 无关。这样，根据本发明的上述方法分析得出的相关性 $I_{low} = f(I_{dlin}, C_{inv} = C_3, I_{off} = C_4, V_{tlin} = C_5)$ 就完全排除了 C_{inv} 、 I_{off} 、 V_{tlin} 浮动的影响，且 I_{low} 相对于 I_{dlin} 的变化基本上由寄生电阻 R_{par} 决定。也就是说，单独地提取出了物理结构特性 R_{par} 对器件电学特性的作用。

同样地，也可以提取其他单独物理结构特性（如延伸区、晕圈区等）对器件电学特性的作用。

图4中示出了在不同的栅源、漏源电压偏置下，CMOS器件的源漏电流（即，饱和区电流 I_{low} 和线性区电流 I_{dlin} ）通过排除其他电学特性的影响而提取出的相关性。其中的横坐标、纵坐标分别表示相对于相应统计中值归一化的 I_{dlin} 和 I_{low} 。具体地，其中的点示出了根据本发明的方法从测量数据（图中灰色三角形所示）所提取出的相关性 $I_{low} = f(I_{dlin}, C_{inv} = C_3, C_{ov} = C_4, SS = C_5)$ ；“*”示出了根据本发明的方法从测量数据（未示出）所提取出的相关性 $I_{low} = f(I_{dlin}, C_{inv} = C_3, I_{off} = C_4, V_{tlin} = C_5)$ 。

如上所述，相关性 $I_{low} = f(I_{dlin}, C_{inv} = C_3, C_{ov} = C_4, SS = C_5)$ 基本上由迁移率 Mob 决定。在图4中还以实线示出了通过理论/仿真分析所得出的迁移率对 I_{low}/I_{dlin} 作用。发现该实线与根据本发明方法所提取的相关性一致。也就是说，根据本发明的上述方法，确实单独提取出了物理结构特性 Mob 对于器件电学特性的作用。

同样，如上所述，相关性 $I_{low} = f(I_{dlin}, C_{inv} = C_3, I_{off} = C_4, V_{tlin} = C_5)$ 基本上由寄生电阻 R_{par} 决定。在图4中还以虚线示出了通过理论/仿真分析所得出的寄生电阻对 I_{low}/I_{dlin} 作用。发现该虚线与根据本发明方法所提取的相关性一致。也就是说，根据本发明的上述方法，确实单独提取出了物理结构特性 R_{par} 对于器件电学特性的作用。

在如上所述提取了物理结构特性如Mob、Rpar对器件电学特性的作用之后，可以分析它们是否适当，并相应修改设计。

尽管以上参照集成电路器件的示例描述了本发明的应用，但是本发明并不局限于此。本领域技术人员应当理解，实际上本发明可以应用于各种多端口（多变量）系统。

- 5 以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本发明的范围之内。

权 利 要 求

1. 一种电子器件的电学特性相关性分析方法, 其中所述电子器件包括多个电学特性 v_1 、 v_2 、 v_3 、 $\dots$ 、 v_m , 其中 m 是大于 1 的整数, 电学特性 v_2 、 v_3 、 $\dots$ 、 v_m 构成 $(m-1)$ 维空间, $(v_{2i}, v_{3i}, \dots, v_{mi})$ 为所述 $(m-1)$ 维空间中的点, 针对所述 $(m-1)$ 维空间中的多个离散的测量点 $(v_{2k}, v_{3k}, \dots, v_{mk})$, 已经获得了电学特性 v_1 的相应多个测量值, 其中 i 、 k 表示点的索引,

该方法包括:

在所述 $(m-1)$ 维空间中, 对所述多个测量点 $(v_{2k}, v_{3k}, \dots, v_{mk})$ 进行 Delaunay 三角剖分;

根据 Delaunay 三角剖分结果, 通过插值计算得到多个插值点 $(v_{2i}, v_{3i}, \dots, v_{mi})$ 处电学特性 v_1 的相应多个插值值; 以及

根据所述多个测量点、所述多个插值点以及相应的所述多个测量值、所述多个插值值, 得到电学特性 v_1 与 v_2 之间的相关性。

2. 根据权利要求 1 所述的方法, 其中, 插值计算的步骤包括:

利用插值点所处的 Delaunay 三角剖分区的顶点处的测量点所对应的测量值, 来进行插值计算以得到该插值点相对应的插值值, 其中所述 Delaunay 三角剖分区是由于 Delaunay 三角剖分而得到的。

3. 根据权利要求 2 所述的方法, 其中, 当 $m = 3$ 时, Delaunay 三角剖分区为三角形; 当 $m = 4$ 时, Delaunay 三角剖分区为四面体。

4. 根据权利要求 1 所述的方法, 其中, 在得到电学特性 v_1 与 v_2 之间的相关性的步骤中,

针对所述多个测量点以及所述多个插值点, 选择 $(v_{2i}, v_{3i} = C_3, v_{4i} = C_4, \dots, v_{mi} = C_m)$ 的点以及相对应的电学特性 v_1 的值, 来得到电学特性 v_1 与 v_2 之间的相关性, 其中 C_3 、 C_4 、 $\dots$ 、 C_m 为常数。

5. 根据权利要求 4 所述的方法, 其中, 所述多个插值点均为 $(v_{2i}, v_{3i} = C_3, v_{4i} = C_4, \dots, v_{mi} = C_m)$ 的点。

6. 根据权利要求 1 所述的方法, 其中, 选择所述多个电学特性 v_1 、 v_2 、 v_3 、 $\dots$ 、 v_m , 使得 v_3 、 $\dots$ 、 v_m 实质上与该电子器件的物理结构特性 s_k 无关, 从而得到的电学特性 v_1 与 v_2 之间的相关性反映出所述物理结构特性 s_k 。

7. 根据权利要求 6 所述的方法，其中，所述电子器件包括集成电路器件，以及所述电学特性包括饱和区电流、线性区电流、沟道反型电容、沟道与源漏交叠电容、亚阈值斜率、漏电流和/或阈值电压，
所述物理结构特性包括栅长、栅介质厚度、迁移率和/或寄生电阻。
- 5 8. 一种电子器件的结构优化方法，包括：
根据权利要求 6 所述的方法，得到电学特性 v_1 与 v_2 之间的相关性，该相关性反映出所述物理结构特性 s_k ；以及
选择物理结构特性 s_k 的适当值，以优化该电子器件。

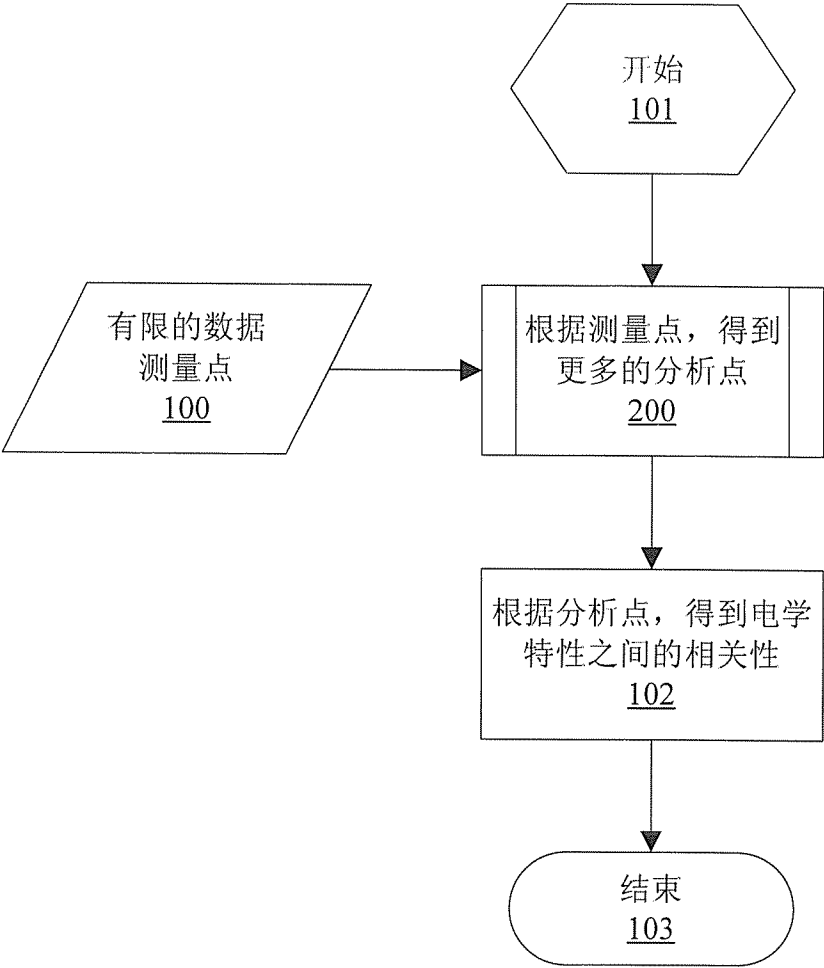


图1

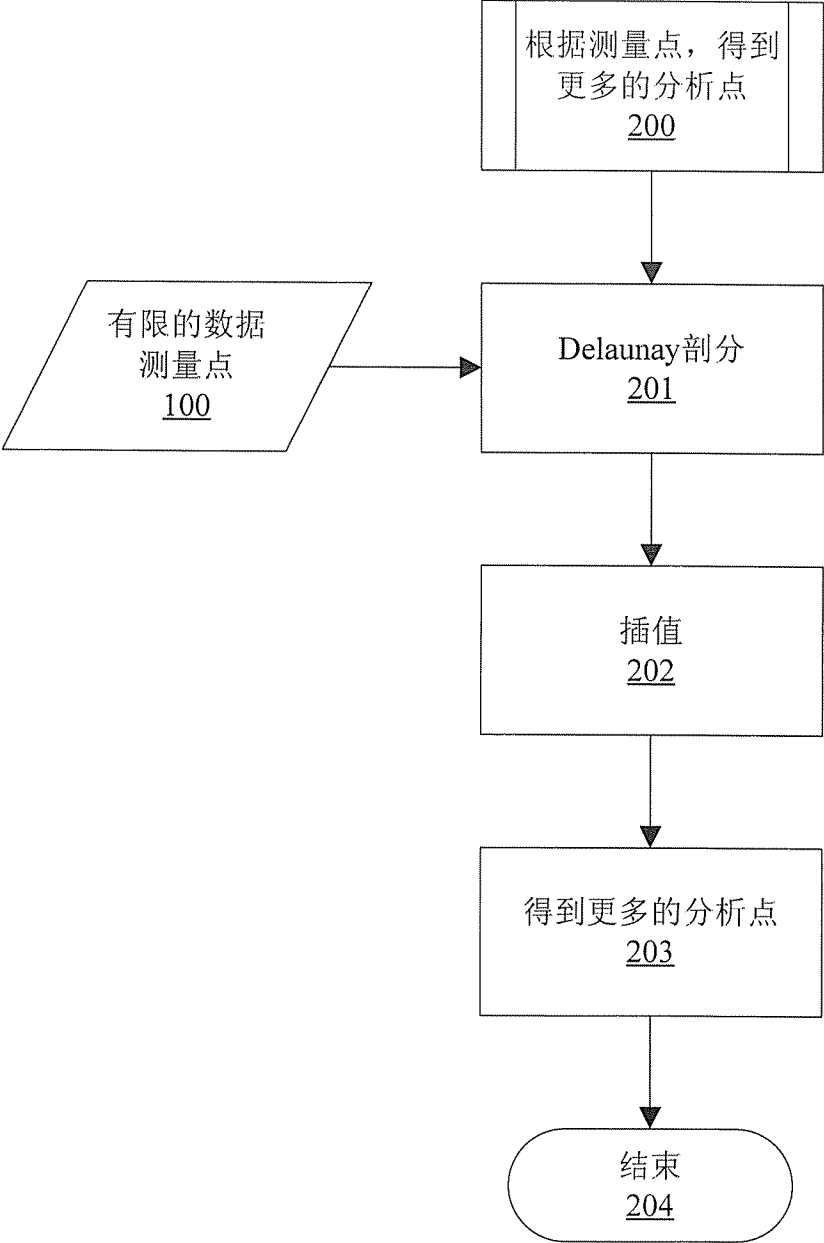


图2

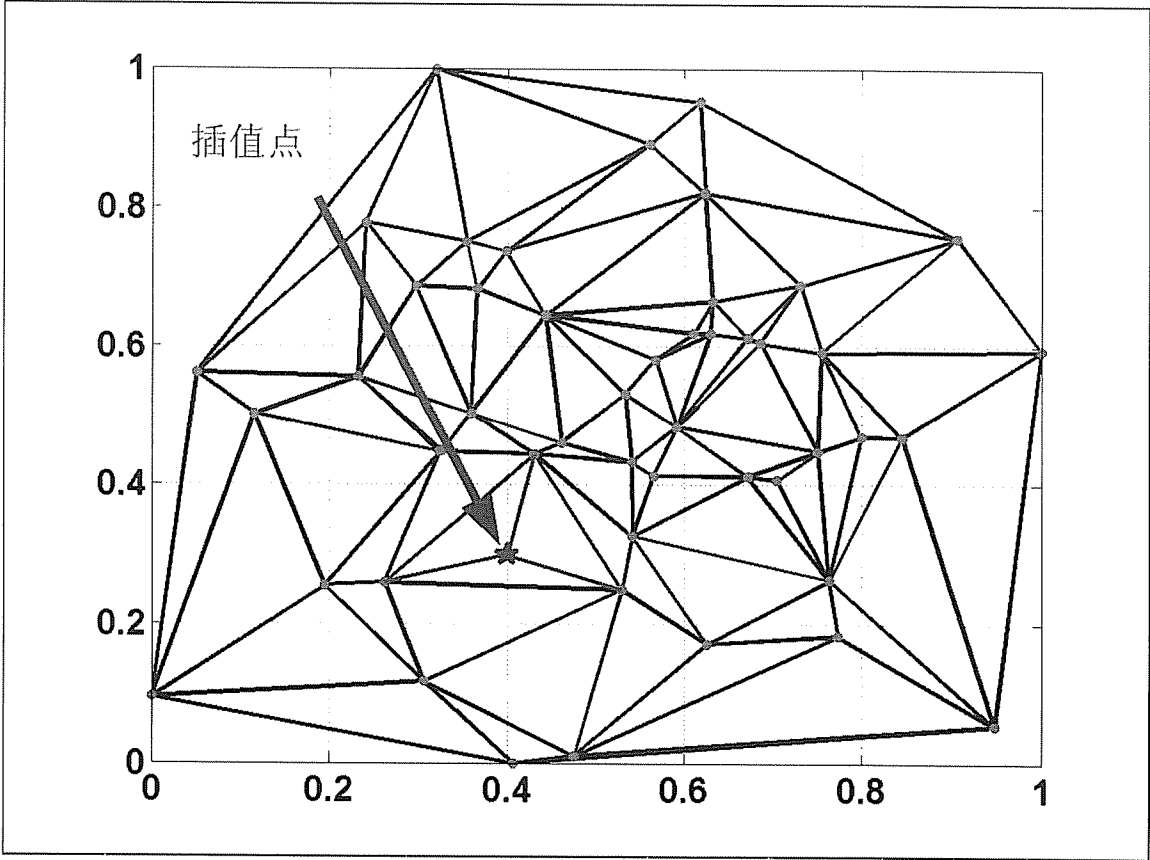


图3

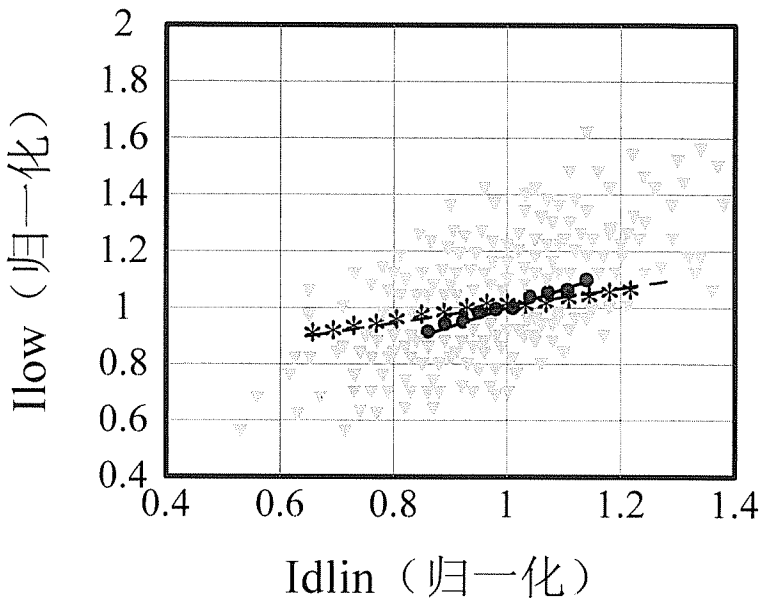


图4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078204

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-; G06F 17/-; G06F 15/-; G05B 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNPAT; WPI; EPODOC: semiconductor, characteristic+, propert+, parameter, performance, correlation, optimiz+, analy+, delaunay, interpolat+, triangulation+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101075267A(ZHONGXIN INT IC MFG SHANGHAI CO., LTD.)21 Nov. 2007(21.11.2007) description, page 4, lines 7-9,13-14,18-19, figure 4	1-8
A	US2004/0199358A1(TAI, Hung-En)07 Oct. 2004(07.10.2004)the whole document	1-8
A	US5774696A(AKIYAMA, Yutaka)30 Jun. 1998(30.06.1998)the whole document	1-8
A	JP2009-21378A(NEC ELECTRONICS CORP.)29 Jan. 2009(29.01.2009)the whole document	1-8
A	JP10-56167A(SONY CORP.)24 Feb. 1998(24.02.1998)the whole document	1-8
A	JP7-175789A(SHARP KK.)14 Jul. 1995(14.07.1995)the whole document	1-8

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 Oct. 2011(24.10.2011)	Date of mailing of the international search report 17 Nov. 2011(17.11.2011)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer DONG, Yan Telephone No. (86-10) 62414161

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/078204

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101075267A	21.11.2007	None	
US2004/0199358A1	07.10.2004	None	
US5774696A	30.06.1998	DE19621434A1	12.12.1996
		JP8329284A	13.12.1996
JP2009-21378A	29.01.2009	CN101344898A	14.01.2009
		US2009019408A1	15.01.2009
JP10-56167A	24.02.1998	None	
JP7-175789A	14.07.1995	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078204

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/66 (2006.01) i

G06F 17/50 (2006.01) i

国际检索报告

国际申请号

PCT/CN2011/078204

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-; H01L 29/-; G06F 17/-; G06F 15/-; G05B 19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI;CNPAT:半导体, 器件, 性能, 参数, 特性, 相关性, 优化, 设计, 分析, 三角剖分, 插值

WPI;EPODOC: semiconductor, characteristic+, propert+, parameter, performance, correlation, optimiz+, analy+, delaunay, interpolat+, triangulation+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101075267A(中芯国际集成电路制造(上海)有限公司)21.11 月 2007(21.11.2007)说明书第 4 页第 7-9,13-14,18-19 行、附图 4	1-8
A	US2004/0199358A1(TAI, Hung-En)07.10 月 2004(07.10.2004)全文	1-8
A	US5774696A(AKIYAMA, Yutaka)30.6 月 1998(30.06.1998)全文	1-8
A	JP2009-21378A(NEC ELECTRONICS CORP.)29.1 月 2009(29.01.2009)全	1-8
A	JP10-56167A(SONY CORP.)24.2 月 1998(24.02.1998)全文	1-8
A	JP7-175789A(SHARP KK.)14.7 月 1995(14.07.1995)全文	1-8

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
24.10 月 2011(24.10.2011)

国际检索报告邮寄日期
17.11 月 2011 (17.11.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

董妍
电话号码: (86-10) **62414161**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/078204

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101075267A	21.11.2007	无	
US2004/0199358A1	07.10.2004	无	
US5774696A	30.06.1998	DE19621434A1	12.12.1996
		JP8329284A	13.12.1996
JP2009-21378A	29.01.2009	CN101344898A	14.01.2009
		US2009019408A1	15.01.2009
JP10-56167A	24.02.1998	无	
JP7-175789A	14.07.1995	无	

A. 主题的分类

H01L 21/66 (2006.01) i

G06F 17/50 (2006.01) i