

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96124806

※申請日期：96年7月6日

※IPC 分類：H03M 7/00

(2006.01)

一、發明名稱：(中文/英文)

在超取樣類比至數位轉換器中之範圍壓縮

RANGE COMPRESSION IN OVERSAMPLING ANALOG-TO-DIGITAL
CONVERTERS

二、申請人：(共1人)

姓名或名稱：(中文/英文)

美商·線性科技股份有限公司

Linear Technology Corporation

代表人：(中文/英文)

達斯金羅伯特

DOSKIN, ROBERT

住居所或營業所地址：(中文/英文)

美國加州梅爾皮塔斯市麥卡錫大街1630號

1630 McCarthy Boulevard, Milpitas, CA 95035-7417, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共1人)

姓名：(中文/英文)

1. 奧波瑞斯古弗洛林 A/OPRESCU, FLORIN A.

國籍：(中文/英文)

1. 美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2006 年 7 月 7 日；11/483,420

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

根據本發明提供一種類比數位轉換器 (analog-to-digital converter)。該類比數位轉換器較佳地包括一類比輸入信號、一第一參考信號、一第二參考信號、以及一範圍壓縮信號。該範圍壓縮信號之特點較佳為一比該第一參考信號為大而比該第二參考信號為小的幅值。此外，當該類比訊號經取樣 N 次以及該範圍壓縮信號經取樣 N_1 次時，則獲得至少某種程度上以該比率 $N_1/(N+N_1)$ 為基礎之一壓縮因數。

六、英文發明摘要：

An analog-to-digital converter according to the invention is provided. The analog-to-digital converter preferably includes an analog input signal, a first reference signal, a second reference signal, and a range compression signal. The range compression signal is preferably characterized by a magnitude greater than the first reference signal and smaller than the second reference signal. In addition, when the analog input signal is sampled N times and the range compression signal is sampled N_1 times, a compression factor that is based at least in part on $N_1/(N+N_1)$ is obtained.

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖。

(二)、本代表圖之元件代表符號簡單說明：

310 輸入取樣電路

320 積分器

330 輸出比較器

340 切換控制器

350 數位過濾器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

一類比數位轉換器(ADC)之輸入信號範圍從一最小值(另稱為該「輸入範圍較低限制」LL)延伸到一最大值(另稱為該「輸入範圍較高限制」UL)之間。如範例，在一單極(unipolar)ADC中該LL通常代表零刻度(zero scale)點而該UL通常代表滿刻度(full-scale)點。在一雙極(bipolar)ADC中該LL通常為「負滿刻度」點而該UL通常為「正滿刻度」點。

在以下的描述中，該ADC外部輸入範圍之端點(end point)一意指傳輸至該ADC之類比信號範圍的端點一將被稱為LL及UL，而同時該ADC內部輸入範圍之端點一意指該ADC能處理之信號的端點一將被稱為 LL_1 及 UL_1 。當數值LL之一外部信號被應用於該ADC輸入處時，該所期望之理想轉換結果被稱為code(LL)。相似地，當一外部信號UL被應用到該ADC輸入處時，該所期望之理想轉換結果被稱為code(UL)。

在ADC中呈現出三個明顯的問題，首兩個問題是指向了超取樣(oversampling)轉換器。

首先，超取樣ADC之量化雜訊(quantization noise)隨著該輸入信號改變且實質上略高於該內部輸入範圍之端點 LL_1 及 UL_1 附近。此行為將在IEEE Trans. Commun., vol. COM-29, pp. 1316-1323, September 1981之論文“The Structure of Quantization Noise from Sigma-Delta

Modulation”中作更詳細地描述。因此其高度地期望能防止在此些區域中該 ADC 之運作。

其次，當含在該超取樣 ADC 內之調變器的級數(order)增加時，一連串的穩定性問題就開始出現，而此將該 ADC 之有效範圍限縮到比完整的輸入範圍還要小。此問題將在由 T. Ritoniemi, T. Karema 以及 H. Tenhunen 所公佈之 IEEE Proc. ISCAS'90, pp. 3267-3270, May 1990 論文「Design of Stable High Order 1-bit Sigma-Delta Modulators」中作更進一步的描述。因此，將該 ADC 遠離該內部輸入範圍限制點 LL_1 及 UL_1 來運作通常是有必要的。

第三，該 LL 以及 UL 值一般而言為較容易可用之外部信號像是「接地」或 V_{ref} (參考電壓)或是負 V_{ref} ，且通常係用於評估及校正該 ADC 偏移以及增益錯誤。當此些數值被應用於該 ADC 輸入上時，內部 ADC 錯誤來源之存在(像是增益及/或偏移錯誤)可造成該 ADC 內部輸入信號範圍 LL_1 到 UL_1 以外之一經結合均等值。在此狀況下該轉換會產生出一「超出範圍(out of range)」的結果。當獲得超出範圍之結果時，不可使用此結果來校正該 ADC 輸出。這是因為該結果未含有足夠有意義的資訊。因此，吾人高度期望著能使用一具有比起該外部範圍(LL 到 UL)而言較寬之內部範圍(LL_1 到 UL_1)的 ADC。

此外，從一使用者觀點來看該 ADC，能針對該 LL 外部輸入信號產生該 ADC 之最小輸出碼以及針對該 UL 外部輸入信號產生該 ADC 之最大輸出碼是很重要的。因此，為

了解決上述問題，所引入之任何範圍修改與限制對該 ADC 使用者而言應為透明。

【 先 前 技 術 】

此些問題已於先前藉由使用一具有實質上比起該特定外部輸入範圍而言較大之內部輸入範圍的 ADC 所解決。如一範例般，線性技術類比數位轉換器 LTC2410 具有一特定外部輸入範圍，其範圍從 $LL = -V_{ref}/2$ 延伸到 $UL = +V_{ref}/2$ 。此轉換器使用一具有一從 $LL_I = -V_{ref}$ 延伸到 $UL_I = +V_{ref}$ 之較大內部輸入範圍的 ADC 引擎。

一第二範例為具有一特定外部輸入範圍之線性技術類比數位轉換器 LTC2400，其範圍從 $LL = -V_{ref}/12$ 延伸到 $UL = 13/12 * V_{ref}$ 。該 ADC 引擎具有一從 $LL_I = -V_{ref}/2$ 延伸到 $UL_I = 3/2 * V_{ref}$ 之較大內部輸入範圍。

對於此兩範例而言，因為該外部與內部輸入範圍間之關係可被表達成一精確的二進位比率，以二進位格式顯示的該數位輸出結果可藉由直接截斷(truncation)該轉換引擎結果所獲得。

在該外部輸入範圍、該內部輸入範圍以及該輸出範圍間之關係的圖形表示係如第 1 圖所示。

該最大外部輸入信號範圍 $LL-UL$ 被對映到一內部輸入範圍 $LL'-UL'$ ，該內部輸入範圍僅代表了相當大之最大內部輸入範圍 LL_I 到 UL_I 的一小部份，使得：

$$LL' = LL > LL_I \text{ 且 } UL' = UL < UL_I$$

該輸出最大範圍 $\text{code(UL)} - \text{code(LL)}$ 係由直接截斷 (truncation) 該轉換輸出引擎所獲得。

為了不對該 ADC 整體規格作出讓步，應以高度的可重複性以及穩定性來完成此對映步驟。在該內部及外部最大輸入範圍間之關係亦由在該截斷演算法內所需之複雜度的可接受位準所指定。因此，通常會成為這種情形，即該內部最大輸入範圍是該外部最大輸入範圍之一精確倍數。

此解決方案在該內部輸入範圍之 LL_1 以及 UL_1 兩端處提供滿刻度邊界 (margin) 的 50%，該內部輸入範圍通常與其所需相較下為更多。從效能的觀點來看，此解決方案之類型較為昂貴。在此類解決方案中，該內部轉換引擎應是由 2 的因數所過度設計 (over designed) 了。

【發明內容】

茲提供一種從一類比數位轉換器之輸出信號範圍導出該類比數位轉換器之經壓縮運作範圍的方法。該經壓縮運作範圍與該輸入信號範圍的關係較佳地取決於一壓縮因數。

根據本發明之方法較佳地包括了取樣一類比輸入信號 N 次及取樣一範圍壓縮信號 $N1$ 次以獲得該壓縮因數，該壓縮因數係至少某種程度上以該比率 $N1/(N+N1)$ 為基礎。

【實施方式】

本發明提出了一種對上述三個問題而言更有效率的解

決方案。此些問題發生在一接近該 LL_1 以及 UL_1 值之非常狹窄區域的情況相當頻繁產生。該等用於補償在該刻度之 LL_1 以及 UL_1 端之問題的所需邊界尺寸，通常從 1% 之非常小因數改變成大約滿刻度之 10%。對於一最佳化實作，吾人故會希望能夠在具有良好解析度、可重複性及精確度下調整此些邊界的尺寸。

在該外部輸入範圍 200、該內部輸入範圍 202 及該輸出範圍 204 間之所建議關係的圖形表示係如第 2 圖所示。更甚者，亦顯示一已從該內部輸入範圍處所壓縮之運作範圍 206。

該最大外部輸入信號範圍 $LL-UL$ 被壓縮成一略微較小的幅值運作內部輸入範圍 $LL'-UL'$ 206，其位於該內部最大輸入 LL_1-UL_1 範圍內。在此組態中，該最大內部輸入範圍係近乎等於該最大外部輸入範圍之尺寸，使得：

$$LL > LL_1 \approx LL \text{ 且 } UL' < UL_1 \approx UL$$

該輸出最大範圍 $\text{code}(LL)-\text{code}(UL)$ 係藉由擴展該轉換引擎輸出範圍 $\text{code}(LL')-\text{code}(UL')$ 之方式所獲得。

因為該內部及外部最大輸入範圍為近乎相等之尺寸，故該 ADC 引擎不須過度設計。更甚者，該等維持在該內部輸入範圍端點 LL_1 及 UL_1 處之邊界尺寸可藉由調整該輸入範圍壓縮率 (LL -to- UL 成為 LL' -to- UL') 以及調整其倒數 (reciprocal) — 該輸出碼擴展率 ($\text{code}(LL')$ -to- $\text{code}(UL')$) 成為 $\text{code}(LL)$ -to- $\text{code}(UL)$) 之方式所精確地控制。

根據本發明之系統及方法可應用於一起取樣轉換器，

其藉由在一轉換循環期間取樣及累加其輸入信號 V_{IN} 共 N 次之方式來運作。因此每取樣週期之該平均輸入信號為：

$$V_{AV} = N * V_{IN} / N = V_{IN}$$

該輸入範圍壓縮係藉由添加 $N1$ 額外取樣步驟到該轉換過程之方式而較佳地達成。在此些額外步驟期間，該轉換器取樣並累加一信號 V_{RC} 而不是該輸入信號 V_{IN} 。因此每取樣週期之該平均輸入信號變為：

$$V_{AV} = (N * V_{IN} + N1 * V_{RC}) / (N + N1) = V_{IN} + (V_{RC} - V_{IN}) * N1 / (N + N1)$$

當該 LL 值被應用於此一轉換器之輸入時，每取樣週期之該平均輸入信號變為：

$$\text{若 } V_{RC} > LL, \text{ 則 } LL' = LL + (V_{RC} - LL) * N1 / (N + N1) > LL$$

當該 UL 值被應用於此一轉換器之輸入時，每取樣週期之該平均輸入信號變為：

$$\text{若 } V_{RC} > UL, \text{ 則 } UL' = UL + (V_{RC} - UL) * N1 / (N + N1) < UL$$

從此些關係看來，若選擇該電壓 V_{RC} 則可得到以下結論：

$$LL < V_{RC} < UL$$

該 ADC 外部範圍 LL -to- UL 被壓縮成一經減少之內部輸入範圍 LL' -to- UL' 。可用於該等端點 LL' 及 UL' 處之該邊界可藉由選擇 $N1$ 及 V_{RC} 之適當值的方式而所獨立地控制。例如，為了在該內部範圍之兩端建立均等邊界，吾人可選擇：

$$V_{RC} = 0.5 * (LL + UL)$$

在此狀況下：

$$LL' = LL + 0.5 * (UL - LL) * N1 / (N + N1)$$

$$UL' = UL - 0.5 * (UL - LL) * N1 / (N + N1)$$

若希望在該範圍之兩端具有約 1%滿刻度之均等邊界，則吾人將選擇 $N1 = 0.0204 * N$ 。該經壓縮輸入範圍因此變為：

$$LL' = LL + 0.01 * (UL - LL)$$

$$UL' = UL - 0.01 * (UL - LL)$$

有時，取決於特定轉換器架構以及應用，會希望在該內部範圍之兩端建立不均等之邊界。例如，若該所期望轉換器偏移錯誤為實質上低於該所期望增益錯誤，則可希望在 LL' 處為約 1%滿刻度之邊界，同時可希望在 UL' 處為約 3%滿刻度之邊界。在此些環境下，吾人可選擇：

$$V_{RC} = 0.75 * LL + 0.25 * UL$$

$$N1 = 0.0417 * N$$

該經壓縮之輸入範圍因此變為：

$$LL' = LL + 0.25 * (UL - LL) * N1 / (N + N1) = LL + 0.01 * (UL - LL)$$

$$UL' = UL - 0.75 * (UL - LL) * N1 / (N + N1) = UL - 0.03 * (UL - LL)$$

從上述方程式看來，可觀察到該壓縮因數透過該關係式 $(V_{RC} - V_{IN}) * N1 / (N + N1)$ 而取決於該等變數 V_{RC} 及 $N1$ 。如上所述，可高度期望使用一具有良好解析度即非常高精確度及可重複性的壓縮因數。

該壓縮因數解析度(透過該比率 $N1 / (N + N1)$)係直接地依該超取樣比率 N 而定，並可經由增加此比率而立即地改

善。

因為該比率 $N1/(N+N1)$ 係由數位控制電路所較佳地控制，不準確的額外來源可獨自歸因於 V_{RC} 。因此，會希望能從該轉換器輸入範圍限制值 LL 及 UL 處通過數位關係而直接導出 V_{RC} ，以便最小化或消除錯誤的額外來源。

對於範例實作上，如上所建議， $V_{RC} = 0.5 * (LL + UL)$ 可經由在一半的額外 $N1$ 取樣週期內取樣該 LL 外部信號以及在剩餘之一半週期內取樣該外部 UL 信號而達成。此方式在一單極轉換器中特別有用，該單極轉換器中之 LL 通常為接地而 UL 通常為外部參考電壓 V_{REF} 。

對於一定義為 $UL = V_{REF}$ 且 $LL = -V_{REF}$ 之單極轉換器而言，該 V_{RC} 值變為零而該範圍壓縮可藉由不在 $N1$ 額外週期期間（見第 5 圖之範例）取樣任何電壓之方式來實現。一替代性實作在一半的 $N1$ 週期內取樣該 $-V_{REF}$ 外部信號並在剩餘之一半週期內取樣該 $+V_{REF}$ 外部信號。在該領域中熟悉技術人士能辨識該第一實作之雜訊優勢以及該第二實作之線性優勢，並將根據該等特定應用目的而作出選擇。

當如上述第二範例中所呈現般去實現 $V_{RC} = 0.75 * LL + 0.25 * UL$ 時，吾人可選擇在四分之三的額外 $N1$ 週期內取樣該 LL 外部信號並在剩餘四分之一週期內取樣該 UL 外部信號。

此僅代表了較佳實作之範例且未限制在製造所欲之範圍壓縮時的可用選項。

考慮到前述觀點，實現範圍壓縮之最小狀態是一經超

取樣之 ADC，其使用 N 取樣週期並具有一輸入範圍 LL -to- UL 。為此，吾人可較佳地增添一在 $N1$ 額外取樣週期期間被當作輸入來取樣之範圍壓縮信號 V_{RC} 。對於發生的範圍壓縮，最好有必要維持 $LL < V_{RC} < UL$ 。替代地，當平均 V_{RC} 是在 LL 及 UL 之間時，可獲得範圍壓縮。

吾人更希望能從該 LL 及 UL 值導出該 V_{RC} 信號，最好是通過數位受控之關係式。

具有一每取樣週期之平均輸入信號 V_{AV} 以及一 N 取樣序列的轉換處理結果為一數字 N_R ，使得：

$$N_R = (V_{AV}/V_{REF}) * N$$

故該等對應到外部輸入範圍 LL -to- UL 之輸出碼為：

$$\text{code}(LL) = (LL/V_{REF}) * N$$

$$\text{code}(UL) = (UL/V_{REF}) * N$$

當取樣週期之數目變為 $N+N1$ 時，該轉換結果變成：

$$N_R = (V_{AV}/V_{REF}) * (N+N1)$$

如上所述，當一外部輸入電壓範圍 LL -to- UL 在一 $N+N1$ 取樣序列中被壓縮成一內部輸入範圍 LL' -to- UL' 時，對應到該等端點之轉換結果為：

$$\text{code}(LL') = (LL'/V_{REF}) * (N+N1)$$

$$\text{code}(LL') = (LL/V_{REF}) * (N+N1) + ((V_{RC}-LL)/V_{REF}) * N1$$

$$\text{code}(LL') = (LL/V_{REF}) * N + (V_{RC}/V_{REF}) * N1 = \text{code}(LL) + (V_{RC}/V_{REF}) * N1$$

且同樣地

$$\text{code}(UL') = (UL/V_{REF}) * N + (V_{RC}/V_{REF}) * N1 = \text{code}(UL) +$$

$$(V_{RC}/V_{REF}) * N1$$

從此些關係式來看，很明顯的是該輸出碼擴展可藉由將該等輸出結果參考為該原始 N 取樣序列，以及減去該預先計算之固定數位偏移 (CDO) 值來達成：

$$CDO = (V_{RC}/V_{REF}) * N1$$

換言之，該必要輸出碼擴展最好會自動地發生在若選擇讓 N 等於該滿刻度轉換器輸出 (計數 i_n) 以及從該轉換結果減去一偏移值 $(V_{RC}/V_{REF}) * N1$ 時。

當實現該所提出之範圍壓縮時，應考慮到一個很重要的問題，即為與該等原始 N 取樣週期相關之額外 N1 取樣週期之位置。

該 ADC 均等輸入信號可被視為兩相異信號 (一輸入信號以及一範圍壓縮信號) 之重疊。

該輸入信號為該原始輸入信號 V_{IN} ，其在 $N+N1$ 週期之整個序列期間被當成在一具有 $N+N1$ 超取樣率之習知超取樣 ADC 中取樣。

該範圍壓縮信號為必須執行該所建議範圍壓縮的額外信號。其值在原始 N 取樣週期期間最好為零而在額外 N1 取樣週期期間最好為 $V_{RC} - V_{IN}$ 。分析在該頻域中之此信號，其將具有一能建立該所欲範圍壓縮效果之 DC 組件以及一連串不想要的 AC 組件。可使用在超取樣調變器之輸出端所顯現之數位過濾器來消除此些 AC 組件。該輸出數位過濾器為一超取樣轉換器之整數部分且為了減少在調變器輸出信號串流中顯現的該成型量化雜訊，該輸出數位過

濾器是必需的。

故應選擇與該初始 N 取樣週期相關之該等額外 $N1$ 取樣週期之位置，使得當該調變器輸出資料串流傳通過該 ADC 數位過濾器時，該範圍壓縮信號之合成 AC 組件會遭受到實質衰減。

此外，當依據該等額外 $N1$ 取樣週期之位置來決定時，吾人必須考慮到該超取樣調變器的受限動態範圍，且當一鄰近於 LL 或 UL 之外部輸入信號與該 ADC 偏移或增益錯誤相結合而產生一超出該 LL_1 -to- UL_1 範圍之內部輸入信號時，則避免任何非線性行為。

例如，一與一 ADC 偏移錯誤 V_{OF} 相結合之外部輸入信號 LL 會造成一內部輸入信號 $LL - V_{OF} < LL$ 。該調變器將累加一超出範圍之內步信號，直到該等 $N1$ 取樣週期之首個週期發生。必須注意到在此期間，該調變器仍在其運作線性範圍之內。該 $N1$ 取樣週期將還原在該 ADC 輸入信號範圍內之平均內部輸入信號。若如先前所建議般， V_{RC} 係建構在多個連續 $N1$ 取樣週期中，則上述動態範圍之考量則應擴展到超過 $N1$ 取樣週期(其產生該 V_{RC} 信號)之對應數目。

一實際實作之範例係如第 3 圖所示。為了簡單起見，茲選擇一單極、首階、低通之超取樣調變器(其跟隨著一首階 sinc 數位過濾器)的一單端切換電容實作。該轉換器接收一單端類比輸入信號 V_{IN} ，其定義關於該類比參考信號 V_{RN} ，以及接收一類比參考信號 V_{RP} ，其同樣地定義關於該

類比參考信號 V_{RN} 。該轉換器產生該數位輸出「結果」。

該轉換器具有一基本超取樣率 $N=2^{16}$ ，其中為了實現一該範圍壓縮，而增添了額外 $N1$ 相位(phase)。

其包括一輸入取樣電路 310、一積分器(integrator)320、一輸出比較器 330、一切換控制器 340 以及一數位過濾器 350。

該輸入取樣電路包含輸入取樣電容 C_I 。其通過切換器 $S1$ 、 $S2$ 及 $S3$ 各別接收三種外部信號 V_{RP} 、 V_{IN} 以及 V_{RN} ，並通過切換器 $S5$ 將該經取樣信號轉移(transfer)到積分器 320。

該積分器 320 累加從輸入取樣電路 310 處所接收之信號並驅動該輸出比較器 330。

該輸出比較器 330 產生該數位輸出串流 $Dout$ 。當該比較器 330 由該控制信號 Clk 所觸發時，若該積分器 320 輸出為正值，則其產生一輸出數位值 $Dout=1$ ，而若該積分器 320 輸出為負值，則其產生一輸出數位值 $Dout=0$ 。此資料串流係連同一內部時脈信號一併由該切換控制器 340 所使用，以指向到此首階超取樣調變器之運作。

在一共同超取樣 ADC 組態中，該輸出資料串流 $Dout$ 係實質地由一數位過濾器所處理，該數位過濾器減少該成型量化雜訊並計算該轉換結果。在此範例中，該過濾器 350 被實作成一具有 sinc^1 頻域轉移函式的簡單數位累加器。

該切換控制器 340 通過該信號 FC 構築出(frame)該過濾器 350 之運作。因此該過濾器 350 將重設其本身並針對

$N+N1$ 之連續取樣週期來累加該 $Dout$ 資料串流，以便產生一轉換結果。隨後，該累加器將被再次重設，且該累加過程會為了一新的轉換過程而重新開始。

該外部輸入信號 V_{RP} 以及 V_{RN} 代表該正與負參考電壓，其定義該調變器之最大外部輸入範圍。因此 $LL=V_{RN}$ 且 $UL=V_{RP}$ 。此調變器之內部輸入範圍近乎等於其外部輸入範圍，故 $LL_I \approx LL = V_{RN}$ 且 $UL_I \approx UL = V_{RP}$ 。在此些數值間的些微改變是由於偏移以及增益錯誤之故，而該等偏移以及增益錯誤係由該等電路（其用於實現此架構）之實際效能限制所產生。此類因數為放大器偏移及開路（open-loop）增益，切換器電荷注入（charge injection）以及信號相依寄生電感。

V_{IN} 代表該超取樣轉換器類比數位信號。此超取樣轉換器具有一超取樣率 $N=2^{16}$ ，因此取樣該信號 V_{IN} 並在該積分器 320 內部確實累加 $N=2^{16}$ 次。

為了減緩先前所述之問題，會希望將該調變器之外部輸入範圍 LL -to- UL 減少到一內部輸入範圍 LL' -to- UL' ，使得：

$$LL > LL_I \text{ 且 } UL < UL_I。$$

在該內部輸入範圍之端點處的所欲邊界兩者分別接近乎等於滿刻度之 0.048%。在此假設下，吾人可選擇：

$$V_{RC} = 0.5 * (LL + UL) = 0.5 * (V_{RN} + V_{RP}) \quad \text{且}$$

$$N1 = 0.001 * N \approx N * 2^6 / 2^{16}$$

$$\text{故 } N = 2^{16} \text{ 且 } N1 = 2^6$$

類推到 V_{IN} ，亦可將 V_{RC} 定義成關於 V_{RN} 。

根據先前發展出之關係式：

$$LL' = LL + 0.000488 * (V_{RP} - V_{RN}) > LL_I$$

$$UL' = UL - 0.000488 * (V_{RP} - V_{RN}) < UL_I$$

該所建議之範圍壓縮是在該切換控制器 340 之內部所實現，該切換控制器能夠初始取樣循環之三種類型，其分別標號為 IN、RP 以及 RN。

一 IN 類型之取樣循環在一轉換運作期間被執行 N 次並由取樣該類比輸入信號 V_{IN} 之步驟組成。此外，在此循環期間，該調變器會依據該 Dout 數位信號值來取樣該較高參考輸入信號 V_{RP} 或較低參考輸入信號 V_{RN} 。為了實現一 IN 類型之取樣循環，該切換控制器 340 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 330 並接收數位信號 Dout。
2. 開啟切換器 S5
3. 開啟切換器 S1、S2 及 S3
4. 關閉切換器 S4
5. 關閉切換器 S2
6. 等待該等經取樣信號之調整
7. 開啟切換器 S4
8. 開啟切換器 S2
9. 關閉切換器 S5
10. 若 $Dout=0$ 則關閉切換器 S3，若 $Dout=1$ 則關閉切

換器 S1

11. 等待該等經取樣信號之調整

一 RP 類型之取樣循環在一轉換運作期間被執行 $0.5 * N1$ 次並由取樣該較高參考輸入信號 V_{RP} 之步驟組成。此外，在此循環期間，該調變器會依據該 Dout 數位信號值來取樣該較高參考輸入信號 V_{RP} 或較低參考輸入信號 V_{RN} 。為了實現一 RP 類型之取樣循環，該切換控制器 340 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 330 並接收數位信號 Dout。
2. 開啟切換器 S5
3. 開啟切換器 S1、S2 及 S3
4. 關閉切換器 S4
5. 關閉切換器 S1
6. 等待該等經取樣信號之調整
7. 開啟切換器 S4
8. 開啟切換器 S1
9. 關閉切換器 S5
10. 若 $Dout=0$ 則關閉切換器 S3，若 $Dout=1$ 則關閉切換器 S1
11. 等待該等經取樣信號之調整

一 RN 類型之取樣循環在一轉換運作期間被執行

0.5*N1 次並由取樣該較高參考輸入信號 V_{RN} 之步驟組成。此外，在此循環期間，該調變器會依據該 Dout 數位信號值來取樣該較高參考輸入信號 V_{RP} 或較低參考輸入信號 V_{RN} 。為了實現一 RN 類型之取樣循環，該切換控制器 340 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 330 並接收數位信號 Dout。
2. 開啟切換器 S5
3. 開啟切換器 S1、S2 及 S3
4. 關閉切換器 S4
5. 關閉切換器 S3
6. 等待該等經取樣信號之調整
7. 開啟切換器 S4
8. 開啟切換器 S3
9. 關閉切換器 S5
10. 若 Dout=0 則關閉切換器 S3，若 Dout=1 則關閉切換器 S1
11. 等待該等經取樣信號之調整

對於此特定範例，如先前所選擇般， $N=2^{16}$ 且 $N1=2^6$ 。故切換控制器 340 必須在一完整轉換運作期間執行 2^{16} 個 IN 類型取樣循環，32 個 RP 類型取樣循環以及 32 個 RN 類型取樣循環。在該等 IN 類型循環內之 RP 及 RN 類型循環的相關位置，係依據先前所述之準則來選定。

一如第 3 圖所示具有一原始超取樣率 $N=2^{16}$ 之轉換器，擁有一從 0 到 $2^{16}-1$ 間的輸出數位範圍。如先前所計算，為了能隨著該外部輸入範圍壓縮而維持相同的輸出範圍，從該累加結果中減去該預先計算之輸出數位偏移值是有必要的：

$$CDO=(V_{RC}/V_{REF})*N1=0.5*N1=32$$

故必須從該最終結果減去一等於 CDO 之數位量，且此結果必須表示成與該原始超取樣率 $N=2^{16}$ 有關。此運作可由該數位過濾器 350 所執行。在本發明之一具體實施例中，在該轉換過程之最初，該數位累加器可被載入該 -CDO 數位值而不是一般的重設運作。

該切換控制器 340 將指向在一轉換運作內之 IN、RP 以及 RN 取樣循環的連續順序，如下所表示：

- a. 開始該轉換運作。
- b. 設定在該數位過濾器 350 內部之該累加器以初始數值 -32 並開始數位資料 Dout 之累加過程。
- c. 重複以下步驟 1 到 5 共 32 次。
 1. 執行 512 個 IN 類型循環
 2. 執行 1 個 RP 型循環
 3. 執行 1024 個 IN 類型循環
 4. 執行 1 個 RN 類型循環
 5. 執行 512 個 IN 類型循環
- d. 結束在過濾器 350 中之累加過程並輸出該轉換結果。
- e. 結束該轉換運作。

一實際實作之另一範例如第4圖中所示。在此其描述了一單極、首階、低通之超取樣調變器(其跟隨著一首階sinc數位過濾器)的一單端切換電容實作。該轉換器接收了一差分(differential)類比輸入信號 $[V_{IP}, V_{IN}]$ 以及一差分類比參考信號 $[V_{RP}, V_{RN}]$ 。該轉換器產生該數位輸出「結果」。

該轉換器具有一基本超取樣率 $N=2^{16}$ ，其中為了實現一該範圍壓縮，而增添了額外 $N1$ 相位。

第4圖包括一輸入取樣電路410、一積分器420、一輸出比較器430、一切換控制器440以及一數位過濾器450。

該輸入取樣電路包含一輸入取樣電容 C_I 以及一參考取樣電容 C_R 。其接收兩個差分信號，即該輸入信號 $[V_{IP}, V_{IN}]$ 以及該參考信號 $[V_{RP}, V_{RN}]$ 。該輸入差分信號 $[V_{IP}, V_{IN}]$ 通過切換器組對 $S1$ 、 $S2$ 連接到該輸入取樣電容 C_I 。該參考差分信號 $[V_{RP}, V_{RN}]$ 通過切換器組對 $S3$ 、 $S4$ 連接到該輸入取樣電容 C_I ，並通過切換器組對 $S5$ 、 $S6$ 連接到該參考取樣電容 C_R 。該輸入取樣電路410通過切換器 $S8$ 將該經取樣信號轉移到積分器420。

該積分器420累加從輸入取樣電路410處所接收之信號並驅動該輸出比較器430。

該輸出比較器430產生該數位輸出串流 $Dout$ 。當該比較器430由該控制信號 Clk 所觸發時，若該積分器420輸出為正值，則其產生一輸出數位值 $Dout=1$ ，而若該積分器420輸出為負值，則其產生一輸出數位值 $Dout=0$ 。此資料串流係連同一內部時脈信號一併由該切換控制器440所使

用，以指向到此首階超取樣調變器之運作。

在一共同超取樣 ADC 組態中，該輸出資料串流 D_{out} 係實質地由一數位過濾器所處理，該數位過濾器減少該成型量化雜訊並計算該轉換結果。在此範例中，該過濾器 450 被實作成一具有 sinc^1 頻域轉移函式的簡單數位累加器。

該切換控制器 440 通過該信號 FC 構築出 (frame) 該過濾器 450 之運作。因此該過濾器 450 將重設其本身並針對 $N+N1$ 之連續取樣週期來累加該 D_{out} 資料串流，以便產生一轉換結果。隨後，該累加器將被再次重設，且該累加過程會為了一新的轉換過程而重新開始。

該差分參考信號 $[V_{RP}, V_{RN}]$ 通過該輸入取樣電容之比率 C_I/C_R ，來定義該調變器內部輸入範圍之延伸。

故 $LL = -(V_{RP} - V_{RN}) * C_R / C_I$ 且 $UL = +(V_{RP} - V_{RN}) * C_R / C_I$

此調變器之內部輸入範圍近乎等於其外部輸入範圍，故 $LL_I \approx LL$ 且 $UL_I \approx UL$ 。在此些數值間的些微改變是由於偏移以及增益錯誤之故，而該等偏移以及增益錯誤係由該等電路 (其用於實現此架構) 之實際效能限制所產生。此類因數為放大器偏移及開路增益，切換器電荷注入以及信號相依寄生電感。

$[V_{IP}, V_{IN}]$ 代表該超取樣轉換器差分類比數位信號。此超取樣轉換器具有一超取樣率 $N=2^{16}$ ，因此取樣該信號 $[V_{IP}, V_{IN}]$ 並在該積分器 420 內部確實累加 $N=2^{16}$ 次。

為了減緩先前所述之問題，會希望將該調變器之外部輸入範圍 LL -to- UL 減少到一內部輸入範圍 LL' -to- UL' ，使

得：

$$LL > LL_I \text{ 且 } UL < UL_I。$$

在該內部輸入範圍之端點處的所欲邊界兩者分別接近乎等於滿刻度之 0.048%。用於此單極實作之該內部滿刻度範圍 (FSR) 為：

$$FSR = UL_I - LL_I \approx UL - LL = 2 * (V_{RP} - V_{RN}) * C_R / C_I$$

在此假設下，吾人可選擇：

$$V_{RC} = 0.5 * (LL + UL) = 0 \text{ 且 } N1 = 0.001 * N \approx N * 2^6 / 2^{16}$$

$$\text{故 } N = 2^{16} \text{ 且 } N1 = 2^6$$

根據先前發展出之關係式：

$$LL' = LL + 0.000488 * 2 * (V_{RP} - V_{RN}) * C_R / C_I > LL_I$$

$$UL' = UL - 0.000488 * 2 * (V_{RP} - V_{RN}) * C_R / C_I < UL_I$$

該所建議之範圍壓縮是在該切換控制器 440 之內部所實現，該切換控制器能夠初始取樣循環之三種類型，其分別標號為 IN、RP 以及 RN。

一 IN 類型之取樣循環在一轉換運作期間被執行 N 次並由在輸入電容 C_I 上取樣該類比差分輸入信號 $[V_{IP}, V_{IN}]$ 之步驟組成。此外，在此循環期間，該調變器會依據該 Dout 數位信號值來在參考電容 C_R 上取樣該差分參考輸入信號 $[V_{RP}, V_{RN}]$ 或該反向差分參考輸入信號 $[V_{RN}, V_{RP}]$ 。為了實現一 IN 類型之取樣循環，該切換控制器 440 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 430 並接收數位信號 Dout。

2. 開啟切換器 S8
3. 開啟切換器 S1、S2、S3、S4、S5 及 S6
4. 關閉切換器 S7
5. 關閉切換器 S1。若 $D_{out}=0$ 則關閉切換器 S5，若 $D_{out}=1$ 則關閉切換器 S6
6. 等待該等經取樣信號之調整
7. 開啟切換器 S7
8. 開啟切換器 S1、S5 及 S6
9. 關閉切換器 S8
10. 關閉切換器 S2。若 $D_{out}=0$ 則關閉切換器 S6，若 $D_{out}=1$ 則關閉切換器 S5
11. 等待該等經取樣信號之調整

一 RP 類型之取樣循環在一轉換運作期間被執行 $0.5 \cdot N1$ 次並由在參考電容 C_R 上取樣該類比差分參考信號 $[V_{RP}, V_{RN}]$ 之步驟組成。此外，在此循環期間，該調變器會依據該 D_{out} 數位信號值來在參考電容 C_R 上取樣該差分參考輸入信號 $[V_{RP}, V_{RN}]$ 或該反向差分參考輸入信號 $[V_{RN}, V_{RP}]$ 。為了實現一 RP 類型之取樣循環，該切換控制器 440 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 430 並接收數位信號 D_{out} 。
2. 開啟切換器 S8
3. 開啟切換器 S1、S2、S3、S4、S5 及 S6

4. 關閉切換器 S7
5. 關閉切換器 S3。若 $D_{out}=0$ 則關閉切換器 S5，若 $D_{out}=1$ 則關閉切換器 S6
6. 等待該等經取樣信號之調整
7. 開啟切換器 S7
8. 開啟切換器 S3、S5 及 S6
9. 關閉切換器 S8
10. 關閉切換器 S4。若 $D_{out}=0$ 則關閉切換器 S6，若 $D_{out}=1$ 則關閉切換器 S5
11. 等待該等經取樣信號之調整

一 RN 類型之取樣循環在一轉換運作期間被執行 $0.5 \cdot N1$ 次並由在輸入電容 C_I 上取樣該反向差分參考信號 $[V_{RN}, V_{RP}]$ 之步驟組成。此外，在此循環期間，該調變器會依據該 D_{out} 數位信號值來在參考電容 C_R 上取樣該差分參考輸入信號 $[V_{RP}, V_{RN}]$ 或該反向差分參考輸入信號 $[V_{RN}, V_{RP}]$ 。為了實現一 RP 類型之取樣循環，該切換控制器 440 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 430 並接收數位信號 D_{out} 。
2. 開啟切換器 S8
3. 開啟切換器 S1、S2、S3、S4、S5 及 S6
4. 關閉切換器 S7
5. 關閉切換器 S4。若 $D_{out}=0$ 則關閉切換器 S5，若

Dout=1 則關閉切換器 S6

6. 等待該等經取樣信號之調整

7. 開啟切換器 S7

8. 開啟切換器 S4、S5 及 S6

9. 關閉切換器 S8

10. 關閉切換器 S3。若 Dout=0 則關閉切換器 S6，若

Dout=1 則關閉切換器 S5

11. 等待該等經取樣信號之調整

對於此特定範例，如先前所選擇般， $N=2^{16}$ 且 $N1=2^6$ 。故切換控制器 440 必須在一完整轉換運作期間執行 2^{16} 個 IN 類型取樣循環，32 個 RP 類型取樣循環以及 32 個 RN 類型取樣循環。在該等 IN 類型循環內之 RP 及 RN 類型循環的相關位置，係依據先前所述之準則來選定。

一如第 4 圖所示具有一原始超取樣率 $N=2^{16}$ 之轉換器，擁有一從 0 到 $2^{16}-1$ 間的輸出數位範圍。如先前所計算，為了能隨著該外部輸入範圍壓縮而維持相同的輸出範圍，從該累加結果中減去該預先計算之輸出數位偏移值是有必要的：

$$CDO=(V_{RC}/V_{REF})*N1=0$$

故不須對該習知數位過濾器 450 進行修改，且此結果必須表示成與該原始超取樣率 $N=2^{16}$ 有關。在該轉換過程之最初，該數位累加器應如往常般被重設為 0。

該切換控制器 440 將指向在一轉換運作內之 IN、RP

以及 RN 取樣循環的連續順序，如下所表示：

- f. 開始該轉換運作。
- g. 重設在該數位過濾器 450 內部之該累加器以初始數值 0 並開始數位資料 Dout 之累加過程。
- h. 重複以下步驟 1 到 5 共 32 次。
 - 1. 執行 512 個 IN 類型循環
 - 2. 執行 1 個 RP 型循環
 - 3. 執行 1024 個 IN 類型循環
 - 4. 執行 1 個 RN 類型循環
 - 5. 執行 512 個 IN 類型循環
- i. 結束在過濾器 450 中之累加過程並輸出該轉換結果。
- j. 結束該轉換運作。

吾人應注意到該範圍壓縮信號 V_{RC} 為零。若可用線性來交換增強雜訊，則可考慮一較簡易之替代選擇。此一組態如第 5 圖所示。第 4 圖之輸入取樣電路 410 已被用該較簡易之輸入取樣電路 510 所取代而切換器控制電路 440 已由該切換控制方塊 540 所取代。

該輸入取樣電路含有一輸入取樣電容 C_I 以及一參考取樣電容 C_R 。其接收兩個差分信號，即該輸入信號 $[V_{IP}, V_{IN}]$ 以及該參考信號 $[V_{RP}, V_{RN}]$ 。該輸入差分信號 $[V_{IP}, V_{IN}]$ 通過切換器組對 S1、S2 連接到該輸入取樣電容 C_I 。該參考差分信號 $[V_{RP}, V_{RN}]$ 通過切換器組對 S5、S6 連接到該輸入取樣電容 C_R 。該輸入取樣電路 510 通過切換器 S8 將

該經取樣信號轉移到積分器 520。

先前已計算之所有參數仍維持相同。在此簡化組態中之唯一修改係發生在該 RP 及 RN 循環的定義中。

一 RP 類型之取樣循環在一轉換運作期間被執行 $0.5 * N1$ 次並由在輸入電容 C_I 上之一空(null)運作(意即在 RP 類型之取樣循環期間未在輸入電容 C_I 上取樣電荷)組成。此外，在此循環期間，該調變器會依據該 Dout 數位信號值來在參考電容 C_R 上取樣該差分參考輸入信號 [V_{RP} , V_{RN}] 或該反向差分參考輸入信號 [V_{RN} , V_{RP}]。為了實現一 RP 類型之取樣循環，該切換控制器 510 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 530 並接收數位信號 Dout。
2. 開啟切換器 S8
3. 開啟切換器 S1、S2、S5 及 S6
4. 關閉切換器 S7
5. 若 $Dout=0$ 則關閉切換器 S5，若 $Dout=1$ 則關閉切換器 S6
6. 等待該等經取樣信號之調整
7. 開啟切換器 S7
8. 開啟切換器 S5 及 S6
9. 關閉切換器 S8
10. 若 $Dout=0$ 則關閉切換器 S6，若 $Dout=1$ 則關閉切換器 S5

11. 等待該等經取樣信號之調整

一 RN 類型之取樣循環在一轉換運作期間被執行 $0.5 \cdot N1$ 次並由在輸入電容 C_I 上之一空(null)運作(意即在 RP 類型之取樣循環期間未在輸入電容 C_I 上取樣電荷)組成。此外，在此循環期間，該調變器會依據該 Dout 數位信號值來在參考電容 C_R 上取樣該差分參考輸入信號 [V_{RP} , V_{RN}] 或該反向差分參考輸入信號 [V_{RN} , V_{RP}]。為了實現一 RP 類型之取樣循環，該切換控制器 510 較佳地指向以下順序之事件：

1. 通過控制信號 Clk 觸發該電壓比較器 530 並接收數位信號 Dout。
2. 開啟切換器 S8
3. 開啟切換器 S1、S2、S5 及 S6
4. 關閉切換器 S7
5. 若 $Dout=0$ 則關閉切換器 S5，若 $Dout=1$ 則關閉切換器 S6
6. 等待該等經取樣信號之調整
7. 開啟切換器 S7
8. 開啟切換器 S5 及 S6
9. 關閉切換器 S8
10. 若 $Dout=0$ 則關閉切換器 S6，若 $Dout=1$ 則關閉切換器 S5
11. 等待該等經取樣信號之調整

在第 5 圖中關於該 IN 類型之取樣循環以及關於在一轉換處理過程內 IN、RP 及 RN 類型之取樣相位順序的切換控制器 540 之運作仍與在第 4 圖中切換控制器 440 之運作保持相同。

對於該領域中之熟悉技術人士而言很明顯地是，此些組態可被延伸到不同的實作以及使用多種設定之實作，該等設定為對輸入範圍刻度、偏移控制或多位元反饋來取樣電容。此外，此發明可應用於使用多種取樣電容之組態，以便獲得精確的滿刻度效能，如美國專利號 6,140,950 中所詳細描述。

此發明可到藉由增加該積分器階級之複雜度的方式，而立即地應用較高階之調變器，並可與其他已知的超取樣轉換器架構整合，像是帶通 (band-pass)、MASH 等等。

【圖式簡單說明】

本揭示之具體實施例的下列詳細敘述可在當併同下列圖式閱讀時獲得最佳的理解，其中該等特徵不必一定要按比例繪製而寧可以能最佳說明該等恰當特徵之方式來繪製，其中：

第 1 圖為一概略圖，其說明一類比數位轉換器之外部輸入範圍及經擴展內部輸入範圍的具體實施例。

第 2 圖為一概略圖，其說明一類比數位轉換器的一習知外部輸入範圍、一內部輸入範圍以及一經壓縮運作範圍。

第 3 圖為一概略圖，其根據本發明說明一類比數位轉

換配置。

第 4 圖為一概略圖，其根據本發明說明另一用於轉換一差分類比信號的類比數位轉換配置。

第 5 圖為一概略圖，其根據本發明說明另一類比數位轉換配置。

【主要元件符號說明】

310 輸入取樣電路

320 積分器

330 輸出比較器

340 切換控制器

350 數位過濾器

410 輸入取樣電路

420 積分器

430 輸出比較器

440 切換控制器

450 數位過濾器

510 輸入取樣電路

520 積分器

530 輸出比較器

540 切換控制器

550 數位過濾器

102年11月7日修正本 P.33-40

十、申請專利範圍：

1. 一種從一類比數位轉換器之一輸入信號範圍導出該類比數位轉換器之一經壓縮運作範圍之方法，該經壓縮運作範圍與該輸入信號範圍之關係取決於一壓縮因數，該方法至少包含以下步驟：

取樣一類比輸入信號 N 次；以及

取樣一範圍壓縮信號 $N1$ 次以獲得該壓縮因數，其中該壓縮因數係至少某種程度上以比率 $N1/(N+N1)$ 為基礎。

2. 如申請專利範圍第 1 項所述之方法，進一步包含調整該經壓縮運作範圍的較高限制。

3. 如申請專利範圍第 1 項所述之方法，進一步包含調整該經壓縮運作範圍的較低限制。

4. 如申請專利範圍第 1 項所述之方法，進一步包含提供一運作範圍偏移，該運作範圍偏移與該範圍壓縮信號成比例。

5. 如申請專利範圍第 1 項所述之方法，其中取樣該範圍壓縮信號 $N1$ 次之步驟包含取樣一第一參考信號 X 次及取樣一第二參考信號 Y 次，以形成一平均範圍壓縮信號，該平均範圍壓縮信號包含一大於該第一參考信號並小於該第二參考信號的幅值。

6. 如申請專利範圍第 1 項所述之方法，進一步包含提供該類比數位轉換器之輸出範圍的一指示。
7. 如申請專利範圍第 1 項所述之方法，進一步包含提供該類比數位轉換器之輸出的一指示，該指示係獨立於該範圍壓縮信號。
8. 如申請專利範圍第 1 項所述之方法，進一步包含提供該類比數位轉換器之輸出的一指示，該指示係獨立於 N1。
9. 如申請專利範圍第 1 項所述之方法，進一步包含啟動該類比數位轉換器之端點校正。
10. 如申請專利範圍第 1 項所述之方法，進一步包含相關於該類比輸入信號之取樣步驟(N 次)而定位該範圍壓縮信號之取樣步驟(N1 次)，以增加在該範圍壓縮信號中 AC 信號組件之衰減。
11. 一種類比數位轉換器，該類比數位轉換器具有從一輸入信號範圍導出的一經壓縮運作範圍，該經壓縮運作範圍與該輸入信號範圍之關係取決於一壓縮因數，該類比數位轉換器經配置以：

接收一類比輸入信號；

接收一第一參考信號；

接收一第二參考信號；及

包含用以從該第一參考信號及該第二參考信號導出一範圍壓縮信號變數的電路，該範圍壓縮信號變數具有一大於該第一參考信號並小於該第二參考信號的幅值，其中當該類比輸入信號被取樣 N 次及該範圍壓縮信號變數被取樣 $N1$ 次時，則獲得一壓縮因數，其中該壓縮因數係至少某種程度上以比率 $N1/(N+N1)$ 為基礎。

12. 如申請專利範圍第 11 項所述之類比數位轉換器，其中該範圍壓縮信號變數為一平均範圍壓縮信號變數，該平均範圍壓縮信號變數係由取樣該第一參考信號 X 次以及取樣該第二參考信號 Y 次之方式所形成。

13. 如申請專利範圍第 11 項所述之類比數位轉換器，其中該電路係經配置成可控制以提供該類比數位轉換器之一輸出範圍。

14. 如申請專利範圍第 11 項所述之類比數位轉換器，其中該電路係經配置成可控制以提供該類比數位轉換器之一輸出範圍，該輸出範圍係獨立於該範圍壓縮信號變數。

15. 如申請專利範圍第 11 項所述之類比數位轉換器，其中該電路係經配置成可控制以提供該類比數位轉換器之一輸出範圍，該輸出範圍係獨立於 $N1$ 。

16. 如申請專利範圍第 11 項所述之類比數位轉換器，其中該範圍壓縮信號變數之取樣步驟能啟動該類比數位轉換器之端點校正。

17. 如申請專利範圍第 11 項所述之類比數位轉換器，其中相關於該類比輸入信號之取樣步驟(N 次)而定位該範圍壓縮信號變數之取樣步驟($N1$ 次)，以增加在該範圍壓縮信號變數中 AC 信號組件之衰減。

18. 如申請專利範圍第 11 項所述之類比數位轉換器，其中該電路係進一步經配置用以擴展該類比數位轉換器之一運作範圍，以獲得一類比信號輸出範圍。

19. 一種類比數位轉換器，該類比數位轉換器經配置用以：

接收第一參考信號及第二參考信號；及包含用以取樣該第一參考信號及該第二參考信號來形成一平均經壓縮運作信號變數的電路，用以提供一幅值之一經壓縮運作信號範圍，該經壓縮運作信號範圍係一小於一外部輸入範圍之幅值並小於一內部輸入範圍之幅值。

20. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該平均經壓縮運作信號變數係由取樣該第一參考信號 X 次以及取樣該第二參考信號 Y 次之方式所形成。
21. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該內部輸入範圍係實質上等於該外部輸入範圍。
22. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該經壓縮運作信號範圍包含一可調整之較高限制。
23. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該經壓縮運作信號範圍包含一可調整之較低限制。
24. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該經壓縮運作信號範圍包含一可調整之壓縮因數解析度。
25. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該經壓縮運作信號範圍從該內部輸入範圍及該外部輸入範圍中是難以識別的。
26. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該經壓縮運作信號範圍能啟動該類比數位轉換器之端點校正。

27. 如申請專利範圍第 19 項所述之類比數位轉換器，其中該電路係進一步經配置成可控制一輸出碼範圍，該輸出碼範圍係獨立於該經壓縮運作信號範圍的幅值。

28. 一種類比數位轉換器，包含：

配置用以提供一幅值之一經壓縮運作信號範圍的電路，該經壓縮運作信號範圍係一小於一外部輸入範圍之幅值並小於一內部輸入範圍之幅值，該電路係可控制用以增加由於該經壓縮運作信號範圍之形成壓縮過程而獲得的 AC 信號組件之衰減。

29. 一種用以從一類比數位轉換器之一輸入信號範圍導出該類比數位轉換器之一經壓縮運作範圍之電路，該經壓縮運作範圍與該輸入信號範圍之關係取決於一壓縮因數，該電路係經配置成可控制以：

取樣一類比輸入信號 N 次；及

取樣一範圍壓縮信號變數 $N1$ 次，以獲得該壓縮因數，其中

該壓縮因數係至少部分以比率 $N1/(N+N1)$ 為基礎。

30. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以調整該經壓縮運作範圍的較高限

制。

31. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以調整該經壓縮運作範圍的較低限制。

32. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以提供一運作範圍偏移，該運作範圍偏移與該範圍壓縮信號變數成比例。

33. 如申請專利範圍第 29 項所述之電路，其中取樣該範圍壓縮信號變數 $N1$ 次之步驟包含取樣一第一參考信號 X 次及取樣一第二參考信號 Y 次，以形成一幅值之一平均範圍壓縮信號變數，該平均範圍壓縮信號變數係大於該第一參考信號並小於該第二參考信號。

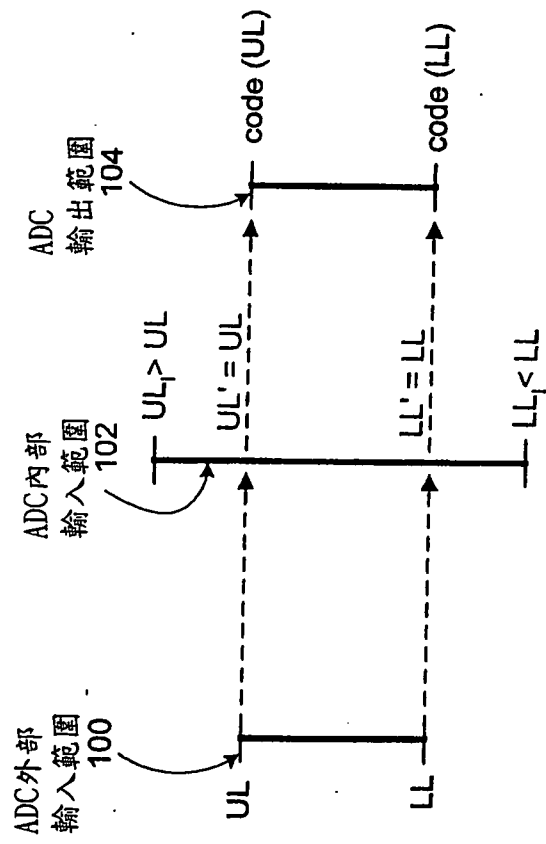
34. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以提供該類比數位轉換器之輸出範圍。

35. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以提供該類比數位轉換器之輸出，該輸出係獨立於該範圍壓縮信號變數。

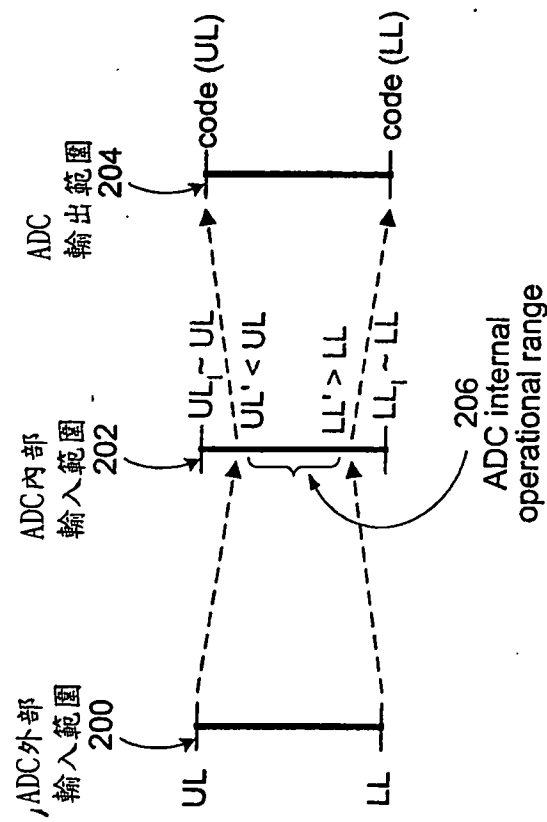
36. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以提供該類比數位轉換器之輸出，該輸出係獨立於 N1。

37. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以啟動該類比數位轉換器之端點校正。

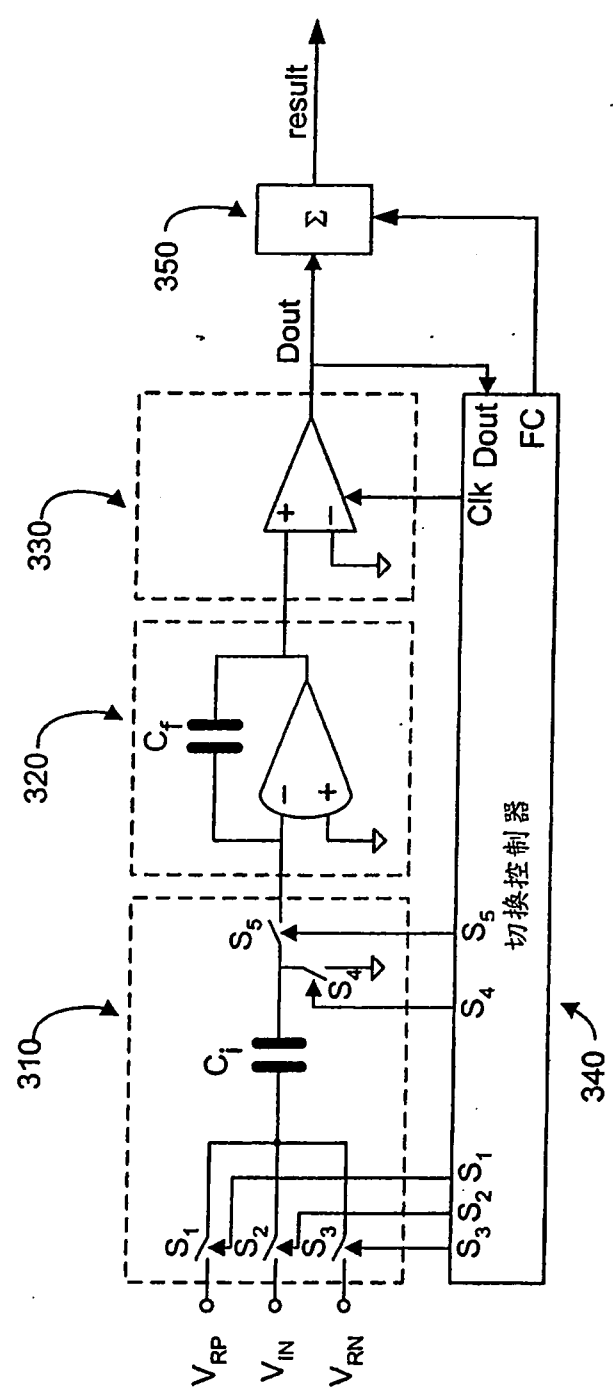
38. 如申請專利範圍第 29 項所述之電路，其中該電路係進一步經配置成可控制以相關於該類比輸入信號之取樣步驟(N 次)而定位該範圍壓縮信號變數之取樣步驟(N1 次)，以增加在該範圍壓縮信號變數中 AC 信號組件之衰減。



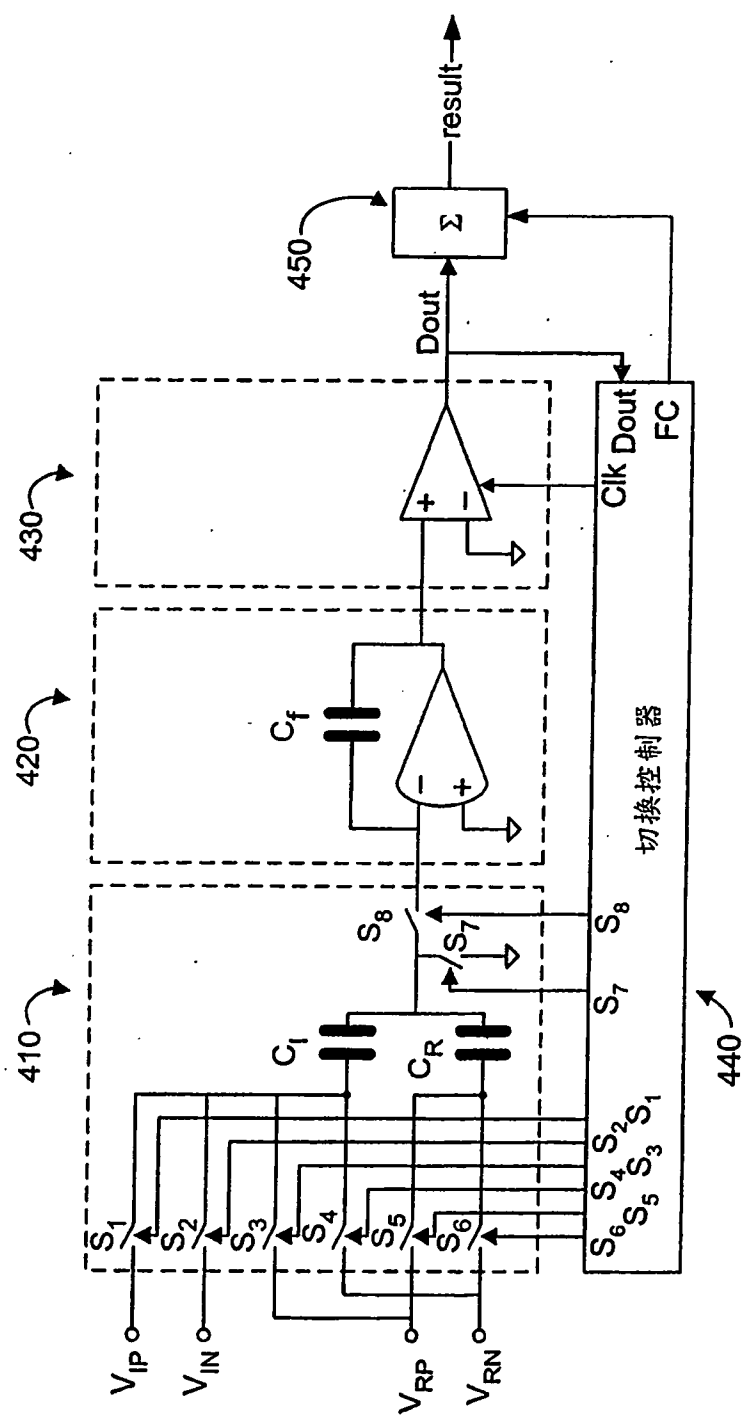
第1圖



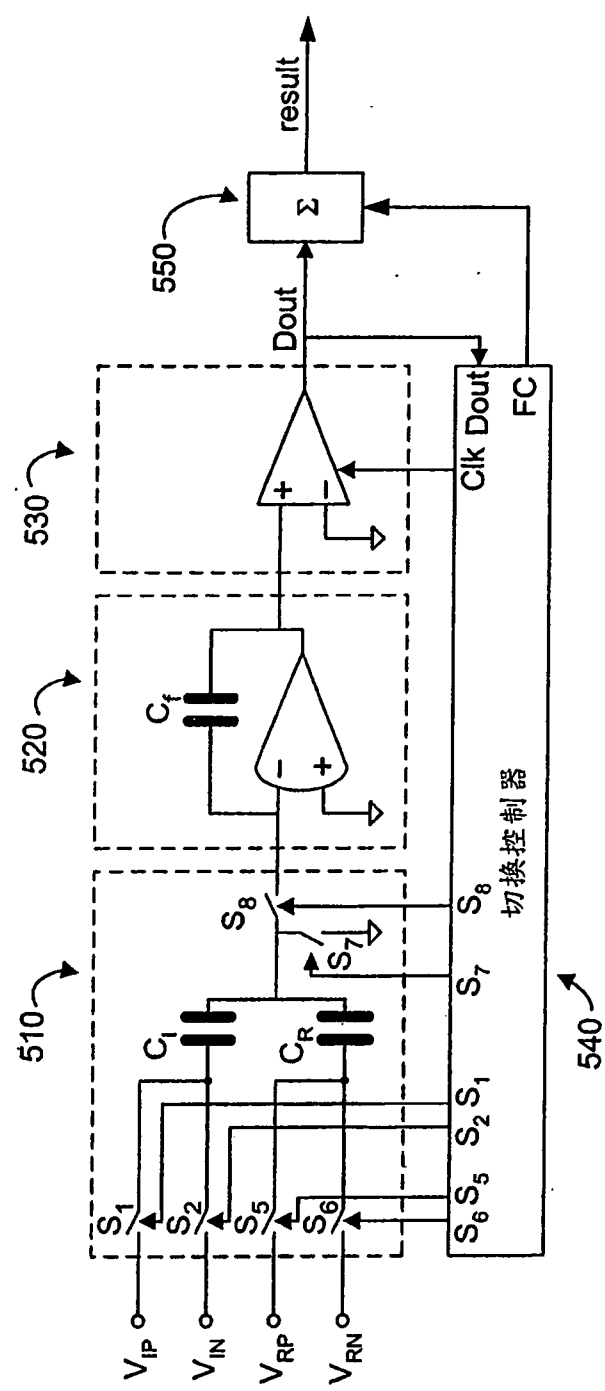
第2圖



第3圖



第4圖



第5圖