

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 29/74

(45) 공고일자 1990년 11월 03일  
(11) 공고번호 특허 1990-0008151

(21) 출원번호	특 1987-0012690	(65) 공개번호	특 1988-0006784
(22) 출원일자	1987년 11월 11일	(43) 공개일자	1988년 07월 25일
(30) 우선권주장	61-271211 1986년 11월 14일 일본(JP)		
(71) 출원인	가부시키가이샤 도시바 아오이 조이치		
	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		
(72) 발명자	고토 구니아키		
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내		
(74) 대리인	김윤배		

심사관 : 안대진 (책자공보 제2093호)

(54) 다이리스터

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

다이리스터

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 따른 다이리스터의 구조를 나타낸 도면.

제2도는 제1도에 도시된 다이리스터의 등가회로 및 턴온제어회로를 나타낸 회로도.

제3도(a)는 종래 GT0 다이리스터의 구조를 나타낸 단면도.

제3도(b)는 제3도(a)에 도시된 다이리스터의 등가회로 및 턴온제어회로를 나타낸 회로도.

제4도는 제3도(a)에 도시된 다이리스터의 턴온제어를 확실하게 수행하기 위해 다이오드를 바깥에 부착해서 접속시킨 사용상태를 나타낸 회로도이다.

\* 도면의 주요부분에 대한 부호의 설명

10 : N형 기판	11, 12, 13 : P형 영역
14, 15 : N형 영역	16 : 절연막
17 : 트랜지스터(QP)의 에미터전극	18 : 트랜지스터(QN1)의 에미터전극
19 : 트랜지스터(QP)의 컬렉터전극	10 : 트랜지스터(QN2)의 베이스전극
21 : 트랜지스터(QN2)의 에미터전극	22 : 배선
A : 애노드단자	G : 게이트단자
K : 캐소드단자	SW : 턴오프형 스위치회로

[발명의 상세한 설명]

본 발명은 통신기기와 전자기기등에 전자스위치로 사용되어지는 다이리스터(thyristor)에 관한 것으로, 특히 N형 반도체영역에 형성된 황형의 PNPN 접합으로 이루어진 GT0(게이트 턴오프) 다이리스터를 포함하고 있는 다이리스터에 관한 것이다.

종래의 전자스위치로 사용되어지고 있던 황형의 GT0 다이리스터는 제3도(a)에 도시한 것처럼 구성되어 있는 바, 도면에서 참조부호 31은 N형 반도체기판을, 32 및 33은 P형 반도체영역을, 34는 N형 반도체

역을, 35는 절연막을, A는 애노드단자를, K는 캐소드단자를, G는 게이트단자를 각각 나타낸다. 이런 GT0 다이리스터의 등가회로는 제3도( b)에 실선으로 나타낸 것처럼 PNP 트랜지스터(QP)의 베이스와 콜렉터에 각각 대응해서 NPN 트랜지스터(QN)의 콜렉터와 베이스가 접속되어 있는 구성으로 되어 있는데, 여기서 상기 PNP 트랜지스터(QP)의 에미터 및 NPN 트랜지스터(QN)의 에미터와 베이스가 각각 대응해서 애노드단자(A)와 캐소드단자(K) 및 게이트단자(G)에 접속되어 있다. 한편, 도면에서 참조부호 RB는 NPN 트랜지스터(QN)의 베이스 확산저항을 포함하는 베이스-게이트단자간 저항을 나타낸 것이다.

그런데 상기 GT0 다이리스터의 사용시에 강제적으로 온상태로부터 오프상태(턴오프)로 만들기 위해서는 제3도(b)에 점선으로 나타낸 것처럼 접속되어 있는 턴오프용 스위치회로(SW)를 온시켜서 게이트단자(G)로부터 오프전류(Ioff)를 이끌어 내므로써 NPN 트랜지스터(QN)의 베이스전류를 차단시키게 된다. 그러나 이런 경우 상기 저항성분( RB)에 오프전류(Ioff)가 흘러서 발생하는 전압강하(Ioff×RB)가 NPN 트랜지스터(QN)의 베이스-에미터간 전압(VF)보다 큰 값이되면 NPN 트랜지스터(QN)를 오프시킬 수 없게 되는 바, 그러한 문제를 해결하는 대책으로서 종래에는 제4도에 도시된 것과 같이 GT0 다이리스터의 캐소드단자(K)에 다이오드(D)나 저항을 바깥쪽에 붙여서 접속시키고 있다. 여기서 상기 다이오드(D)의 순방향 전압강하를 상기 VF와 같게 하며 Ioff×RB<2VF로 할 수 있으므로 NPN 트랜지스터(QN)를 오프시킬 수 있게 되기는 하지만, 그렇게 별도의 부품을 외부에 추가로 부착시키게 되면 다이리스터응용장치의 부품 값이 오르게 되고 작업공정수가 많아지게 되며 다이리스터탑재용 회로기판상의 배선이 증가하게 되는 등의 부담이 생기게 되어 제조단가가 높아진다는 문제가 있었다.

본 발명은 상기한 종래의 다이리스터에서 그 자체만으로 확실하게 턴-오프될 수 없으므로 인해 외부에 부착되는 다이오드를 접속시키므로써 제조단가가 높아지게 된다고 하는 문제점을 해결하기 위해 발명된 것으로서, 외부에 부착되는 부품을 필요로 하지 않고도 확실하게 턴-오프시킬 수 있도록 구성된 다이리스터를 제공하고자 함에 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명의 다이리스터는 N형의 반도체기판내 횡형의 GT0 다이리스터를 형성 시킴과 더불어 P형 영역을 형성시키고, 이 P형 영역내에 N형 영역을 형성시키는 한편, 상기 GT0 다이리스터의 캐소드전극을 상기 P형 영역을 접속시키며, 상기 N형 영역을 캐소드단자에 접속시킴과 더불어 상기 GT0 다이리스터의 애노드전극 및 게이트전극을 애노드단자 및 게이트단자에 각각 대응되게 접속시킨 구조로 되어 있다.

상기한 구조로 된 본 발명에 의하면, GT0 다이리스터의 캐소드에 직렬로 다이오드를 접속시킨 상태로 되 게끔 동일칩상에 각 소자를 형성시키게 되므로, 다이오드등을 외부에 부착시키지 않고서도 다이리스터의 게이트로부터 오프전류를 이끌어 내서 다이리스터를 확실하게 턴오프시킬 수 있게 되는 바, 이로써 외부에 부착되는 부품을 필요로 하지 않게 되어 다이리스터응용장치의 제조단가를 낮출 수 있게 된다.

이하, 예시도면에 의거 본 발명의 1실시예를 상세히 설명한다.

제1도는 본 발명의 1실시예에 따른 다이리스터의 구조를 나타낸 도면으로서, 이 제1도에 나타낸 다이리스터에 있어서는 N형의 반도체기판(10)내에 횡형의 GT0다이리스터 및 다이오드가 형성되어 있고, 상기 GT0 다이리스터의 캐소드전극(18)과 캐소드단자(k)의 사이에 상기 다이오드가 순방향으로 직렬로 삽입되어 있다. 즉, 상기 반도체기판(10)의 표면일부에는 각각 P형의 제1, 제2, 제3반도체영역(11,12,13)이 서로 떨어진 위치에 형성되어 있고 상기 제2, 제3P형 영역(12, 13)내에는 각각 N형의 반도체영역(14, 15)이 형성되어 있으며, 상기 기판(10)의 표면에는 절연막(16)이 형성되어 있고 이 절연막(16)에는 상기 P형 영역(11, 12, 13) 및 N형 영역(14, 15), P형 영역(12), P형 영역(13), N형 영역(15)에 대한 적극형성용 구멍이 마련되어 있는데, 이 구멍을 통해서 상기 p형 영역(11)과 시현영역(14)에 각각 접속되도록 금속전극(17, 18, 19, 20, 21)이 형성되어 있다.

상기 GT0 다이리스터의 등가회로는 제2도에 실선으로 나타낸 것처럼 되어 있는 바, 즉, P형 영역(11)과 N형 기판(10) 및 P형 영역(12)의 PNP 접합에 의해 PNP 트랜지스터(QP)가 형성되어 있고, N형 기판(10)과 P형 영역(12) 및 N형 영역(14)의 NPN 접합에 의해 제1NPN 트랜지스터(QN1)가 형성되어 있으며, N형 기판(10)과 P형 영역(13) 및 N형 영역(15)의 NPN 접합에 의해 제2 NPN 트랜지스터(QN2)가 형성되어 있다. 이런 경우 PNP 트랜지스터(QP)의 콜렉터와 제NPN 트랜지스터(QN1)의 베이스는 공통의 P형 영역(12)에 의해 형성되어 있고, PNP 트랜지스터(ap)의 에미터전극(17 ; GT0 다이리스터의 애노드전극)과 콜렉터전극(19 ; GT0 다이리스터의 게이트전극)은 각각 대응해서 애노드단자(A)와 게이트단자(G)에 접속되어 있으며, 제1NPN 트랜지스터(QN1)의 에미터전극(18 ; GT0 다이리스터의 캐소드전극)과 제2 NPN 트랜지스터(QN2)의 베이스전극(20)은 금속배선(22 ; 상기 각 전극의 형성시 상기 절연막 16상에 형성됨)에 의해 접속되어 있다. 또한, 상기 트랜지스터(QN2)의 에미터전극(21)은 캐소드단자(K)에 접속되어 있는데, 이 제2 NPN 트랜지스터(QN2)의 베이스-에미터접합이 다이오드로 이용되고 있다. 한편, 도면에서 RB는 NPN 트랜지스터(QN1)의 베이스 확산저항을 포함하는 베이스-게이트단자간 저항을 나타낸 것이다.

상기한 구조의 다이리스터에 의하면, GT0 다이리스터의 캐소드전극(18)과 캐소드단자(K)의 사이에 NPN 트랜지스터(QN2)의 베이스-에미터간의 다이오드가 설치되어 있다. 따라서 다이리스터의 사용시 캐소드단자(K)에 다이오드등을 외부에 부착시키지 않아도 GT0 다이리스터를 확실히 턴오프시킬 수 있게 된다. 즉, 다이리스터의 사용시 제2도에 점선으로 나타낸 것처럼 턴온제어용(오프게이트용) 스위치회로(SW)를 접속시켜 놓고 온상태의 다이리스터를 턴오프시키는 때에는 상기 스위치회로(SW)를 온시켜서 게이트단자(G)로부터 오프전류(Ioff)를 이끌어 낸다. 이런 경우 상기 게이트단자(G)의 직렬저항성분(RB)에 상기 오프전류(Ioff)가 흘러서 발생하는 전압강하(Ioff×RB)가 제1 NPN 트랜지스터(QN1)의 베이스-에미터간 전압(VF)과 제2 NPN 트랜지스터(QN2)의 베이스-에미터간전압(VF)의 합인 2VF보다 작게 되도록 구성시킬 수 있게 되어 NPN 트랜지스터(QN1)의 베이스전류를 확실하게 차단시킬 수 있게 되고, 이로써 다이리스터를 확실하게 턴오프시킬 수 있게 된다.

상기한 바와 같이, 본 발명의 다이리스터에 의하면 캐소드단자에 다이오드등을 바깥에 붙여서 접속시키지 않고도 게이트단자로 부터 오프전류를 인출해내므로써 다이리스터를 확실하게 턴오프시킬 수 있게 된다. 따라서 상기 다이리스터를 응용한 장치에서는 부품단가나 작업공정수 및 다이리스터탑재용 기판상의

배선이 증가되지 않게 되므로 다이리스터응용장치의 제조원가가 상승하지 않게 된다.

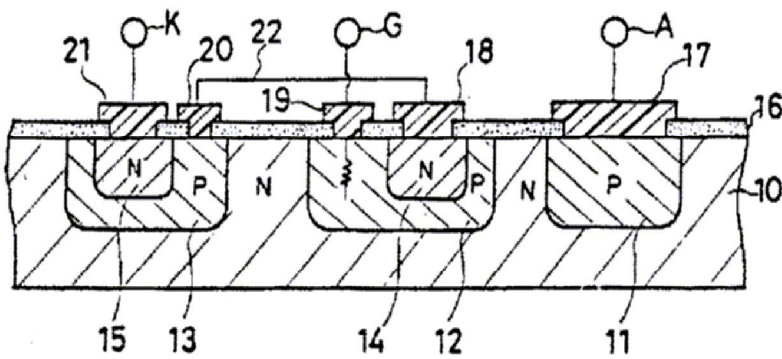
### (57) 청구의 범위

#### 청구항 1

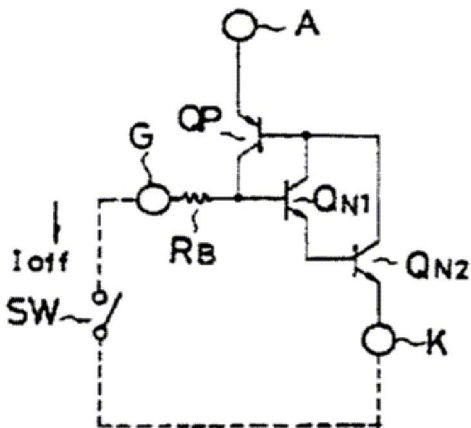
게이트전류를 빼내므로써 턴오프시키도록 되어 있는 다이리스터에 있어서, N형 반도체기판(10)에 형성된 횡형의 PNP 접합(11, 10, 12, 14)으로 이루어진 GTO 다이리스터와, 이 GTO 다이리스터로부터 떨어져 있는 위치에서 상기 반도체기판(10)내에 설치되어져 있는 P형 반도체영역(13), 이 P형 반도체 영역(13) 내에 형성되어져 있는 N형 반도체영역(15) 및, 상기 GTO 다이리스터의 캐소드전극(18)과 상기 P형 반도체영역(13)의 전극(20) 사이를 접속시키도록 상기 반도체기판(10)상의 절연막(16)상에 형성되어져 있는 배선(22)을 구비하고 있고, 상기 GTO 다이리스터의 애노드전극(17)과 게이트전극(19) 및 N형 반도체영역(15)이 애노드단자(A)와 게이트단자(G) 및 캐소드단자(K)에 각각 대응되게 접속되어져 있는 것을 특징으로 하는 다이리스터.

#### 도면

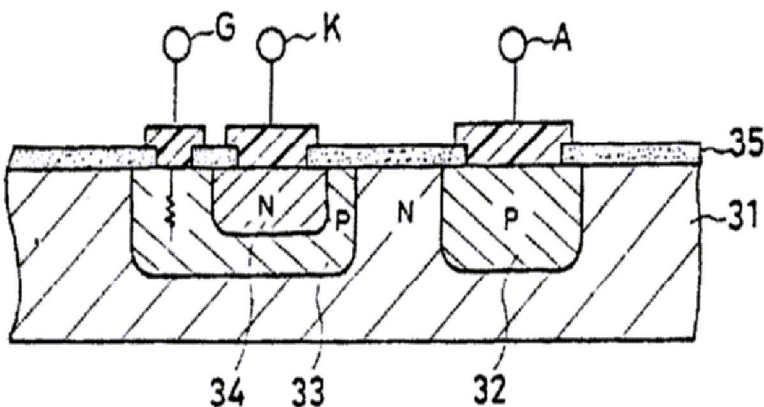
도면1



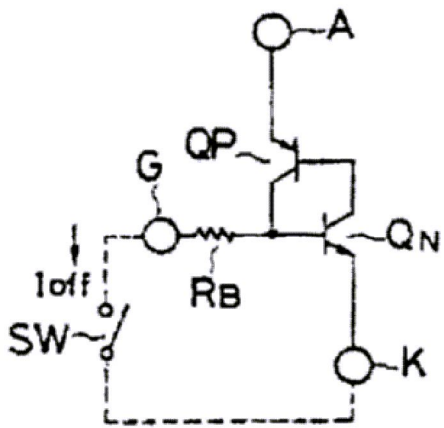
도면2



도면3a



도면3b



도면4

