(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/304

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0307276
(24) 등록일자 2001년08월20일

(21) 출원번호 10-1994-0013584
(22) 출원일자 1994년06월16일

(65) 공개번호 특1995-0001933
(43) 공개일자 1995년01월04일

(30) 우선권주장 077,265 1993년06월17일 미국(US)

(73) 특허권자 모토로라 인코포레이티드
비센트 비.인그라시아, 알크 엠 아헨
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자 유크리스창
미국,텍사스78759,오스틴,클리쎄코버9003
유탁관
미국,텍사스78703,오스틴,뉴맨드라이브806

(74) 대리인 이병호

심사관 : 이성섭

(54) 폴리싱 방법

요약

본 발명은 수정된 폴리싱 패드(62)를 포함하며, 폴리싱 패드(62)를 어떻게 형성하고 사용하는가에 대한 방법에 관한 것이다. 일실시예에서, 수정된 폴리싱 패드(62)는 수정 압력이 폴리싱 패드(62)의 일부를 기계적으로 변형시키기 위해 충분히 높은 것을 제외하고는 폴리싱 기판(14)과 유사하게 형성된다. 수정 압력은 적어도 0.703kg/㎠(10 파운드/in^2)이다. 상기 패드를 수정하기 위해 사용된 재료는 유연한 표면과 함께 단단하게 된다. 이들 재료의 실예는 금속, 유전체 및, 반도체이다. 폴리싱 패드(62)를 수정한 후에, 반도체 기판(14)을 폴리싱하기 위해 사용될 수 있다. 프레쉬 패드와 비교하면, 수정된 폴리싱 패드(62)는 더 높은 평탄화 효율을 가지며, 개구(39)에 인접한 패턴 층(33)의 코너 라운딩을 발생시킬 가능성이 적다.

대표도

도 1

명세서

[발명의 명칭]

폴리싱 방법

[도면의 간단한 설명]

재 1 도 및 제 2 도는 종래 기술로서 폴리싱(polishing) 중에 있는 폴리싱 패드와 반도체 기판의 단면도 및 상면도.

제 3 도는 종래 기술로서 폴리싱 중에 패턴층에 있는 개구내의 어스페리티(asperity)를 도시하는 폴리싱 패드의 일부와 반도체 기판의 일부의 단면도.

제 4 및 제 5 도는 본 발명에 따른 폴리싱 패드를 수정하는 폴리싱 패드와 물체의 단면도 및 상면도.

제 6 도는 본 발명에 따라 형성된 수정된 폴리싱 패드의 일부의 단면도.

제 7 도는 본 발명에 따른 폴리싱중에 패턴층에 있는 개구에 인접한 어스페리티를 도시하는 수정된 폴리싱 패드의 일부와 반도체 기판의 일부의 단면도.

제 8 도는 개구를 갖는 패턴층과 이 패턴층에 놓이며 개구내에 있는 다른 층을 가지는 반도체 기판의 일부의 단면도.

제 9 도는 본 발명에 따른 폴리싱 단계의 말단 부근에서 제 8 도의 반도체 기판과 수정된 폴리싱 패드의 일부의 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

10 : 폴리셔 14 : 반도체 기판

12, 62 : 폴리싱 패드 33 : 패턴층

39 : 개구 44 : 물체

75 : 어스페리티 76 : 어스페리티 반경

[발명의 상세한 설명]

[발명의 분야]

본 발명은 반도체 소자의 분야에 관한 것이며, 특히, 반도체 기판의 화학적 - 기계식 폴리싱(chemical - mechanical polishing)에 사용되는 폴리싱 패드(polishing pad)에 관한 것이다.

[발명의 배경]

반도체 기판의 평탄화(planarization)는 반도체 소자를 형성하기 위해 사용된 층의 수가 증가할때 더 중요하게 된다. 비평면(nonplanar) 반도체 기판은 포토레지스트(photoresist)층을 패터닝(patterning)하는 어려움, 필름 증착 동안에 필름내에 진공 형성 및, 스트링거(stringer)로 불리는 상기 층의 잔류부를 이탈하는 에칭 공정동안 층의 불완전한 제거를 포함하는 많은 문제점을 가지고 있다. 다수의 평탄화 공정이 개발되어 화학적 - 기계식 폴리싱을 포함한다.

제 1 도 및 제 2 도는 반도체 기판을 폴리싱하기 위해 사용되는 호학적-기계적 폴리셔(polisher)중 한 형태의 일부를 도시하고 있다. 제 1 도는 화학적-기계적 폴리셔(10)의 단면도이다. 이 폴리셔(10)는 플래튼(platen; 11)과 접착 합성물(도시 않음)로 플래튼(11)에 부착된 폴리싱 패드(12)를 갖는다. 폴리싱 패드(12)위에는 기판 홀더(13)가 있고, 각 기판 홀더(13)는 반도체 기판(14)을 갖는다. 폴리셔(10)는 또한 폴리싱 슬러리(slurry)와 슬러리 재료를 포함하며, 이 양자는 도시되어 있지 않다. 폴리싱 패드(12)는 다공성 폴리우레탄 재료로 만들어질 수 있다. 제 2 도는 반도체 기판(14)과 폴리싱 패드(12)의 관련 운동을 도시하고 있다. 특히, 폴리싱 패드(12)와 반도체 기판(14)은 동일 방향으로 회전한다. 제 2 도는 비록 이들이 모두 시계 방향으로 회전할지라도 반시계 방향으로 회전하는 것을 도시하고 있다. 회전이 발생하는 동안, 기판(14)은 폴리싱 패드(12)의 일부 위에서 전후 측방으로 진동한다. 폴리싱 동안에 폴리싱 패드(12)와 기판(14) 사이의 압력인 폴리싱 압력은 약 0.522kg/㎠(8 파운드/in ^{2}; 약 55 킬로파스칼) 보다 더 높지 않다. 더 높은 폴리싱 압력에서, 기판(14)은 기판을 부서지게 만들는 폴리싱 동안 부서진다.

폴리싱 패드(12)는 폴리싱 패드의 표면에 놓여있는 복수의 어스페리티(asperity)를 갖는다. 어스페리티는 폴리싱 패드로부터 돌출하는 정점(peak)이고, 각 어스페리티는 어스페리티 반경과 높이를 갖는다. 어스페리티 반경은 어스페리티 단부에서의 대략적인 곡률 반경이고, 어스페리티 높이는 어스페리티 높이가 폴리싱 패드로부터 연장하는 거리이다. 본 기술 분야에 숙련된 자들은 상기 어스페리티가 반경, 높이 및 각 형상(shape)에서 변화한다는 것을 이해할 수 있다. 복수의 어스페리티는 일반적으로 폴리싱 패드의 폴리싱 면을 한정한다. 폴리싱 패드의 표면을 따르는 위상(topology) 수정은 폴리싱 패드의 표면 거칠기(roughness)를 결정한다. 폴리싱 패드는 평균 어스페리티 반경, 표준 편차 어스페리티 높이 및, 제곱 평균(root mean square) 표면 거칠기에 의해 특징지워진다. 미리 처리되지 않는 종래의 폴리싱 패드는 하기에서 " 프레쉬 패드(fresh pad)" 로 참조하였다. 대표적인 프레쉬 패드는 약 35 미크론(micron; μ)의 평균 어스페리티 반경과, 약 35 미크론의 표준 편차 어스페리티 높이 및, 약 35 미크론의 제곱 평균 표면 거칠기를 갖는다.

제 3 도는 반도체 기판(14)의 일부와 폴리싱 패드(12)의 일부를 도시하고 있다. 기판(14)은 영역(34)의 일부를 노출시키는 개구(39)를 갖는 패터 층(33)과 함께 영역(34)을 갖는다. 영역(34)은 도시하지 않은 반도체 재료에 인접한 재료층 또는 반도체 재료일 수 있다. 폴리싱 패드(12)는 일반적으로 포물면(parabolic) 형상을 갖는 어스페리티(35)를 가진다. 어스페리티(35)는 어스페리티 반경(36)을 갖는다. 패턴층(33)은 보통 충분한 폴리싱 영역(34) 없이 폴리싱되거나 또는 개구(39) 형상을 수정시킨다. 어스페리티(35)는 이 어스페리티(35)가 개구(39)와 함께 정열(in-line)될 때 표면 영역(34)을 노출시키기 위해 연장된다. 평탄화 효율은 층의 폴리싱율 또는 다른 층의 폴리싱율에 의해 분할된 평탄화될 영역 또는 평탄화되지 않는 영역으로 한정된다. 제 3 도를 참조하면, 평탄화 효율은 영역(34)의 노출된 부분의 폴리싱율에 의해 분할된 패턴층(33)의 폴리싱율일 수 있다. 영역(34)을 갖는 어스페리티(35)의 접점은 불필요한 기계적으로 폴리싱될 영역(34)을 야기시킨다. 평탄화 효율은 어스페리티(35)가 영역(34)의 노출된 부분과 접촉하기 때문에 감소된다. 또한, 패턴층(33)의 코너는 어스페리티(35)가 개구(39)안 및 밖으로 지나갈때 어스페리티(35)에 의해 둥글게 된다. 개구 사이의 거리는 코너를 라운딩하기 위해 증가될 필요가 있다. 일반적으로 이 결과는 기판 면적을 낭비하여 불필요하게 된다.

프레쉬 패드는 또한 디싱(dishing) 을 나타내는 것으로 예상된다. 디싱은 국부적 과폴리싱보다 더 크지 않다. 상기 기판(14)은 패턴층(33)에 놓이고 개구(39)내에 있는 제 2 층을 가지는 것으로 가정한다. 패턴층(33)에 놓이는 제 2 층(도시 않음) 부분이 제거되는 반면에, 개구(39)내의 제 2 층 부분은 유지된다. 개구(39)내에 놓이는 제 2 층의 일부는 어스페리티(35)가 제 2 층 부분을 파내기 때문에 폴리싱 동안 통상 제거된다. 폴리싱후에 개구(39)내의 제 2 층의 표면은 본 명세서에서 " 디싱(dishing)" 으로 불리는 디쉬(dish)형으로 보인다. 플레싱 패드는 어스페리티(35)와 유사한 어스페리티 때문에 디싱의 많은 문제점을 갖는다.

복수의 예처리 공정은 반도체 기판을 폴리싱하기 위해 사용하기 전에 플레싱 패드를 예처리하도록 사용된다. 일 방법에서, 비교적 날카로운 돌출 형상을 갖는 거친 표면을 가지는 연마 공구(abrading tool)는 폴리싱 패드를 예처리하기 위

해 사용될 수 있다. 상기 형상을 갖는 거친 표면은 몇몇 폴리싱 패드 재료상에서 방해되고, 평균 어스페리티 반경을 실제로 감소시키며, 어스페리티 높이의 표준 편차를 증가시키며, 제곱 평균 표면 거칠기를 증가시킨다. 다른 예처리 방법에서, 프레쉬 패드는 가압 처리된다. 상기 가압은 상기 패드를 치밀하게 하기 위해 보통 수행되나 상기 패드를 치밀하게 할때 폴리싱 패드를 통해 슬러리 운송을 방해하여 일반적으로 불필요하다.

[발명의 요약]

본 발명은 큰 평균 어스페리티 반경과, 낮은 표준 편차 어스페리티 높이 및, 종래 폴리싱 패드와 비교하여 작은 제곱 평균 표면 거칠기를 갖는 폴리싱 패드를 포함한다. 본 발명은 또한 수정된 폴리싱 패드를 갖는 반도체 기판을 폴리싱하기 위한 방법을 포함한다. 수정된 폴리싱 패드는 더 높은 평탄화 효율을 가지며 코너 라운딩 또는 디싱을 일으킬 가능성이 적다.

본 발명의 다른 특징 및 장점은 첨부된 도면을 참조로 하여 하기에 상세히 설명한다.

[양호한 실시예의 상세한 설명]

본 발명은 평탄화(planarization) 효율을 증가시키거나 개구에 인접한 패턴층(patterned layer)의 코너 라운딩(corner rounding)을 감소시키거나 또는, 디싱(dishing)을 감소시키기 위한 폴리싱 패드를 포함한다. 폴리싱 패드는 하나 이상의 반도체 기판을 동시에 폴리싱할 수 있는 폴리셔(polisher) 상에서 사용될 수 있다. 많은 상업적 폴리셔는 동일 폴리싱 작동중에 1, 2, 5 또는, 6 웨이퍼(wafer)를 폴리싱할 수 있다. 명백한 바와 같이 본 발명은 이들 폴리셔중 어느 하나에 제한되지 않는다. 반도에 공정에 대한 개량을 위하여, 본 발명중 하나의 장점은 폴리싱 패드가 하기에 더 상세히 기술되는 바와 같이 수정되는 용이성이다.

제 4 도는 폴리셔(10), 플래튼(platen ; 11), 폴리싱 패드(12) 및, 기판 홀더(13)를 도시하고 있다. 물체(object; 44)는 기판 홀더(13)내에 장착되어 있다. 각 물체(44)는 기판(14)과 유사한 형상을 갖는다. 물체(44)는 비교적 단단한 어떤 재료이며, 폴리싱 패드(12)와 접촉할때 유연한 표면을 갖는다. 본 명세서에서 사용될때 유연한 표면은 상기 표면이 약 30 미크론(micron) 보다 적은 제곱 평균(root means square) 표면 거칠기를 갖는 것을 의미한다. 예를 들어 물체(44)는 텅스텐, 티타늄, 스테인레스 강과 같은 금속과, 이산화 규소(silicon), 질화 규소와 같은 유전체(dielectric) 및, 실리콘, 게르마늄과 같은 반도체를 포함한다. 물체(44)는 또한 기판상에서 상기 재료중 어떤 층(layer)을 포함하고, 반도체 기판에만 제한되지 않는다. 예를 들어, 상기 기판은 하나 이상의 상기 재료로 피복된 알루미늄 합금일 수 있다. 상기 알루미늄 합금은 저전성(malleable) 합금을 만드는 마그네슘 또는 망간을 포함할 수 있다. 기판 또는 물체(44)가 규소, 이산화 규소 등으로 구성되어 있다면, 기판 또는 물체의 두께는 기계적 지지체를 개량하고 폴리싱 패드를 수정시키는 동안 물체(44)를 부수는 가능성을 감소시키는 대표적인 반도체 기판 보다 더 뚜껍다.

폴리싱 패드(12)는 제 5 도에 도시된 바와 같이 물체(44)에 의해 수정된다. 상기 수정은 폴리싱과 유사하다. 다수의 수정 파라메터는 폴리싱 파라메터와 동일하다. 폴리싱 압력과는 달리, 상기 수정 압력은 적어도 약 0.703kg/㎠(10 파운드/in^2 ; 약 50 킬로파스칼)이다. 본 명세서에서 사용된 바와 같이, 수정 압력은 수정 중에 폴리싱 패드와 물체(44)사이의 압력이다. 물체(44)가 적당한 기계식 지지체를 가지기 때문에, 부서질 위험성 없이 수정 압력에 저항할 수 있다.

수정동안, 폴리싱 패드(12)에 있는 어스페리티는 제 6 도에 도시된 바와 같이 수정된 폴리싱 패드(62)를 형성하기 위해 기계적으로 변형된다(화학적으로 변형되는 것에 대향됨). 본 명세서에 사용된 바와 같이, " 변형됨(deformed)" 은 영구적인 변형을 의미한다. 영역(621)은 폴리싱 패드(62)의 표면이며, 수정에 의해 기계적으로 변형된 어스페리티를 갖는다. 영역(621)은 폴리싱 패드(62)의 폴리싱 영역에 대응한다. 폴리싱 영역은 반도체 기판이 폴리싱중에 노출되는 폴리싱 패드의 이들 부분이다. 상기 변형은 " 플래터(flatter)" 되는 어스페리티로 초래되며 제곱 평균 표면 거칠기를

감소시킨다. 플래터에 의하면, 어스페리티는 큰 어스페리티 반경과 짧은 어스페리티 높이를 갖는 것을 의미한다. 영역(622)은 수정에 의해 부착되지 않는 폴리싱 패드(62) 부분이다. 영역(622)은 수정전에 폴리싱 패드(12)와 대략 동일한 밀도를 갖는다. 따라서, 상기 영역(622)의 밀도는 수정 전후에 거의 동일하다. 영역(622)을 통과하는 슬러리(slurry) 운송은 그 밀도가 수정에 의해 충분히 영향받지 않기 때문에 폴리싱 패드(12)를 통과하는 슬러리 운송과 대략 동일하다.

수정된 폴리싱 패드(62)의 각 영역(621)은 다수의 어스페리티를 갖는다. 각 영역(621)은 적어도 40 미크론의 평균 어스페리티 반경과, 30 미크론 보다 높지 않은 표준 편차 어스페리티 높이 및, 30 미크론 보다 많지 않는 제곱 평균 표면 거칠기를 갖는다. 한 특정 실시예에서 수정된 패드는 약 60 미크론의 평균 어스페리티 반경과, 약 25 미크론의 표준 편차 어스페리티 높이 및, 약 30 미크론의 제곱 평균 표면 거칠기를 갖는다. 명백한 바와 같이 파라메터에 대한 이들 특정 수는 본 발명에서 제한되는 것이 아니라 단지 파라메터의 한 세트를 도시한다. 평균 어스페리티 반경의 상한이 제한되지 않고, 표준 편차 어스페리티 높이의 하한이 제한되지 않으며, 제곱 평균 표면 거칠기가 공지되어 있다.

수정된 폴리싱 패드(62)는 반도체 기판을 폴리싱하기 위해 사용된다. 폴리싱 설비와 파라메터는 수정된 폴리싱 패드(62)가 폴리싱 패드(12)로 대체되는 것을 제외하고는 제 1 도 및 제 2 도와 관련하여 도시한 기술과 유사하다. 폴리싱 패드(62)를 사용하는 폴리싱중에, 폴리싱 압력은 약 0.522kg/㎠(8 파운드/in ^{2}; 약 55 킬로파스칼) 보다 더 높지 않다. 제 7 도는 반도체 기판(14)의 일부와 수정된 폴리싱 패드(62)의 일부를 도시하고 있다. 반도체 기판(14)은 영역(34)과 인접한 개구(39)를 갖는 패턴층(33)을 가진다. 영역(34)은 도시되어 있지 않은 반도체 재료와 인접한 재료층 또는 반도체 재료일 수 있다. 패턴층(33)가 영역(34)에 대한 재료의 리스트(list)는 거의 무한대이다.

수정된 폴리싱 패드(62)는 영역(621)내에 배치된 중심점으로부터 시작하는 어스페리티 반경(76)을 갖는 어스페리티(75)의 영역(621)을 포함한다. 상기 중심점은 영역(621)내에 배치될 필요는 없다. 중심점은 어스페리티(75)내와, 영역(622)내 또는, 어스페리티(75)와 대향하는 수정된 폴리싱 패드(62)의 측면을 지나서 배치되어 있다. 제 3 도 내지 제 7 도를 비교하면, 어스페리티 높이는 수정된 폴리싱 패드보다 더 낮고, 어스페리티 반경(76)은 더 크다. 어스페리티 형상의 변화는 상술한 연속 수정동안 어스페리티의 기계적 변형을 야기시킨다.

재 7 도에 도시된 바와 같이, 수정된 패드의 평탄화 효율은 어스페리티(75)가 영역(34)의 노출된 부분과 접촉할 가능성이 적기 때문에 프레쉬 패드보다 더 높다. 영역(34)의 충분한 기계적 폴리싱이 없다. 또한, 수정된 폴리싱은 프레쉬 패드와 비교하면 개구(39)에 인접한 패턴층(33)의 코너 라운딩을 덜 야기시킨다. 비록 하나의 어스페리티가 제 7 도에 도시있을 지라도, 수정된 폴리싱 패드(62)의 표면은 어스페리티(75)와 유사한 복수의 어스페리티를 갖는다.

다른 실시예에서, 수정된 폴리싱 패드(62)는 성형 접점내에서 또는 비아(via) 플러그를 거쳐서 사용할 수 있다. 제 8 도에 도시된 바와 같이, 기판(14)은 영역(34)과 패턴층(33)을 포함한다. 본 실시예에서, 영역(34)은 전도성이고, 패턴층(33)은 절연 재료를 포함한다. 층(82)은 영역(34)과 비교하면 동일하거나 또는 다른 재료일 수 있는 전도성 재료이다. 층(82)은 패턴층(33)에 그리고 패턴층의 개구에 놓여 있다. 기판(14)은 제 9 도에 도시된 폴리싱 패드(62)를 사용하여 폴리싱된다. 폴리싱 패드(62)는 패턴층(33)의 표면에 놓여 있는 층(82) 부분을 제거하고 개구내에 놓여있는 층(82) 부분을 이탈한다. 수정된 폴리싱 패드(62)에 의해 발생된 디싱량은 프레쉬 패드와 비교하면 적게되는 것으로 기대된다. 다른 실시예에서, 절연 재료는 두 전도성 부재 사이의 개구를 충진하기 위해 사용된다 제 8 도 및 제 9 도를 참조하면, 영역(34)과 층(82)은 절연 재료를 포함하고, 층(33)은 전도성 재료를 포함한다. 폴리싱후에 절연층(82)은 층(33)의 전도성 부재사이의 개구를 충진한다.

본 발명은 많은 장점을 제공한다. 패드 수정은 비교적 간단히 실행할 수 있으며 용이하게 이용가능한 재료를 사용하여 실행할 수 있다. 예를 들면, 200mm 직경의 웨이퍼가 폴리싱된다면, 상기 수정은 약 5mm 두께인 200mm 직경의 용융된 석영판을 사용하여 실행된다. 이것은 일 실시예이며 이에 제한되지 않는다. 수정 파라메터는 수정 압력이 어스페리티를 기계적으로 변형시키기 위해 충분히 높은 것을 제외하고는 폴리싱 파라메터와 거의 동일하다. 수정 압력은 약 0.703kg/㎠(10 파운드/in^2; 약 50 킬로파스칼)이다. 상술한 바와 같이, 수정된 폴리싱 패드는 패턴층의 개구내에 노출된 재료를 폴리싱하고 개구의 형상을 수정시킬 가능성이 적다. 상기 수정은 또한 폴리싱 패드의 제곱 평균 표면 거칠기를 감소시킨다. 감소된 제곱 평균 표면 거칠기는 프레쉬 패드와 비교하면 디싱 효과를 감소시킬 수 있다.

본 발명은 본문에 리스트된 재료 또는 실시예에 제한되지 않는다. 본 발명은 동일 폴리싱 단계 동안 어떤 수의 반도체 기판을 폴리싱할 수 있는 폴리셔상에서 사용할 수 있다. 또한, 폴리싱 패드의 수정은 폴리셔상에서 수행할 필요는 없다. 폴리싱 패드는 유연하고 단단한 표면에 고정되는 어떤 설비 부품을 사용하여 수정된다.

상기 실시예에서, 본 발명은 특정 실시예를 참조로 하여 기술되었다. 그러나, 다양한 수정과 수정은 첨부된 청구범위에 기술된 본 발명의 보다 넓은 정신과 범주로 부터 벗어남 없이 가능함을 이해할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 위에 층을 형성하여 폴리싱하기 위한 방법에 있어서, 반도체 기판위에 제 1 층을 형성하는 단계와, 제 1 영역과 제 2 영역을 구비하는 폴리싱 패드를 갖는 폴리셔에 반도체 기판과 제 1 층을 배치하는 단계 및, 상기 제 1 층이 상기 제 1 영역 위에 놓이나 제 2 영역 위에는 놓이지 않도록 제 1 층을 폴리싱하는 단계를 포함하고, 상기 제 1 및 제 2 영역 각각은 평균 어스페리티 반경과, 표준 편차 어스페리티 높이 및 제곱 평균 표면 거칠기를 포함하며, 상기 제 1 영역은 40 미크론 이상의 평균 어스페리티 반경과, 30 미크론 이하의 표준 편차 어스페리티 높이 및 30 미크론 이하의 제곱 평균 표면 거칠기로 구성되는 그룹으로부터 선택된 특성을 가지고, 상기 제 2 영역은 40 미크론 이상의 평균 어스페리티 반경과, 30 미크론 이하의 표준 편차 어스페리티 높이 및 30 미크론 이하의 제곱 평균 표면 거칠기를 갖지 않는 것을 특징으로 하는 폴리싱 방법.

청구항 2.

제 1항에 있어서, 상기 제 1 영역내의 평균 어스페리티 반경은 40 미크론 이상이고, 상기 제 1 영역내의 표준 편차 어스페리티 높이는 30 미크론 이하이며, 상기 제 1 영역내의 제곱 평균 표면 거칠기는 30 미크론 이하인 것을 특징으로 하는 폴리싱 방법.

청구항 3.

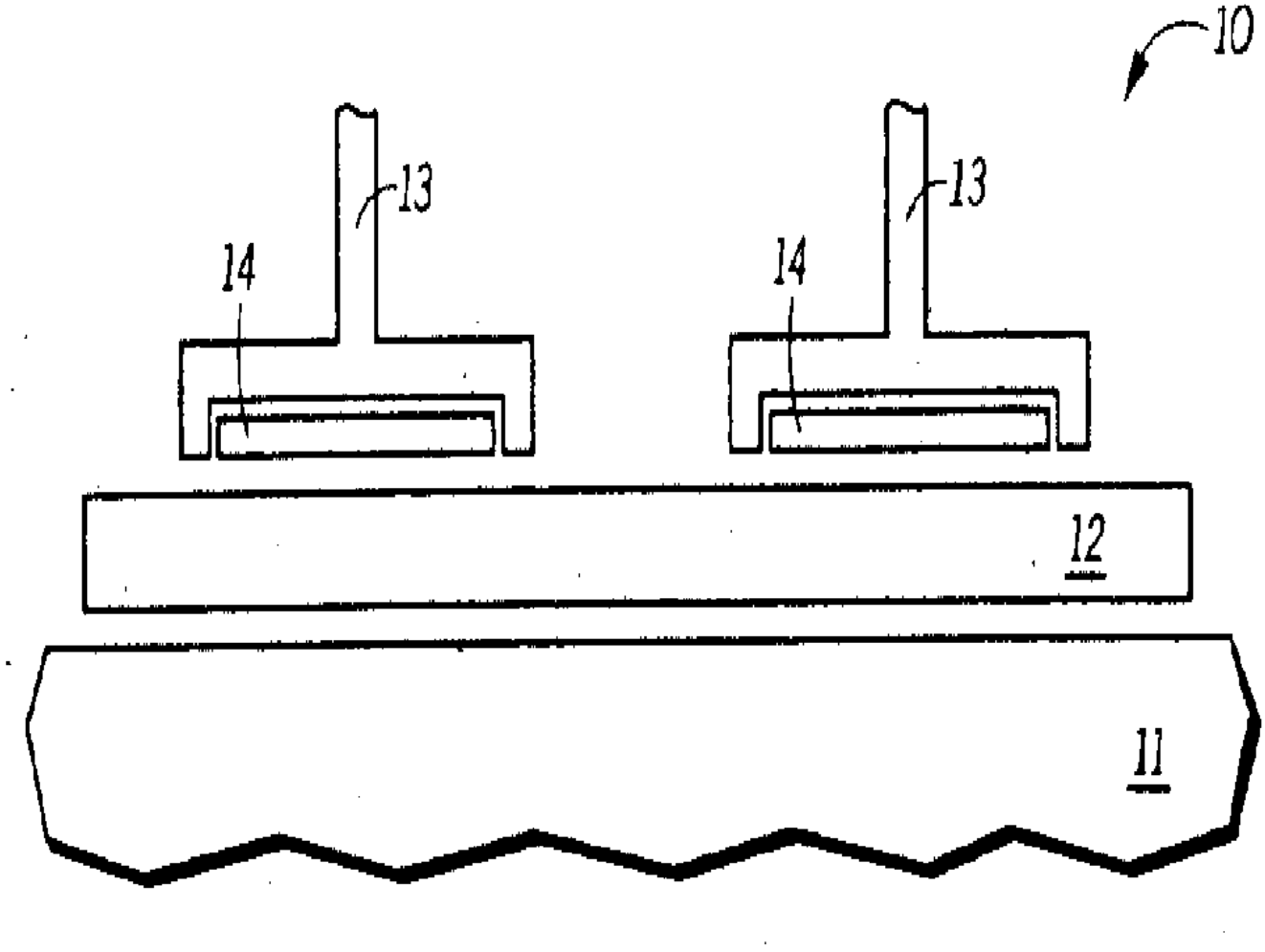
반도체 기판 위에 층을 형성하여 폴리싱하기 위한 방법에 있어서, 제 1 및 제 2 영역 각각이 40 미크론 이상의 평균 어스페리티 반경과, 30 미크론 이하의 표준 편차 어스페리티 높이 및 30 미크론 이하의 제곱 평균 표면 거칠기를 갖지 않는 제 1 영역 및 제 2 영역을 구비하는 폴리싱 패드 부근에 물체를 배치하는 단계와, 상기 제 1 영역에 대해서 물체를 가압하나, 상기 제 1 영역이 40 미크론 이상의 평균 어스페리티 반경과, 30 미크론 이하의 표준 편차 어스페리티 높이 및 30미크론 이하의 제곱 평균 표면 거칠기로 구성되는 그룹으로부터 선택된 특성을 가질 때 까지 상기 제 2 영역에 대해서 물체를 가압하지 않는 단계와, 반도체 기판위에 개구를 갖는 패턴된 제 1 층을 형성하는 단계와, 패턴된 제 1 층위와 개구내에 제 2 층을 형성하는 단계 및, 상기 개구 외측에 놓이는 제 2 층의 부분을 제거하고 이 제 2층이 폴리싱 패드의 제 1 층 위에 놓이나 폴리싱 패드의 제 2 층 위에는 놓이지 않도록 상기 제 2 층을 폴리싱 하는 단계를 포함하는 것을 특징으로 하는 폴리싱 방법.

청구항 4.

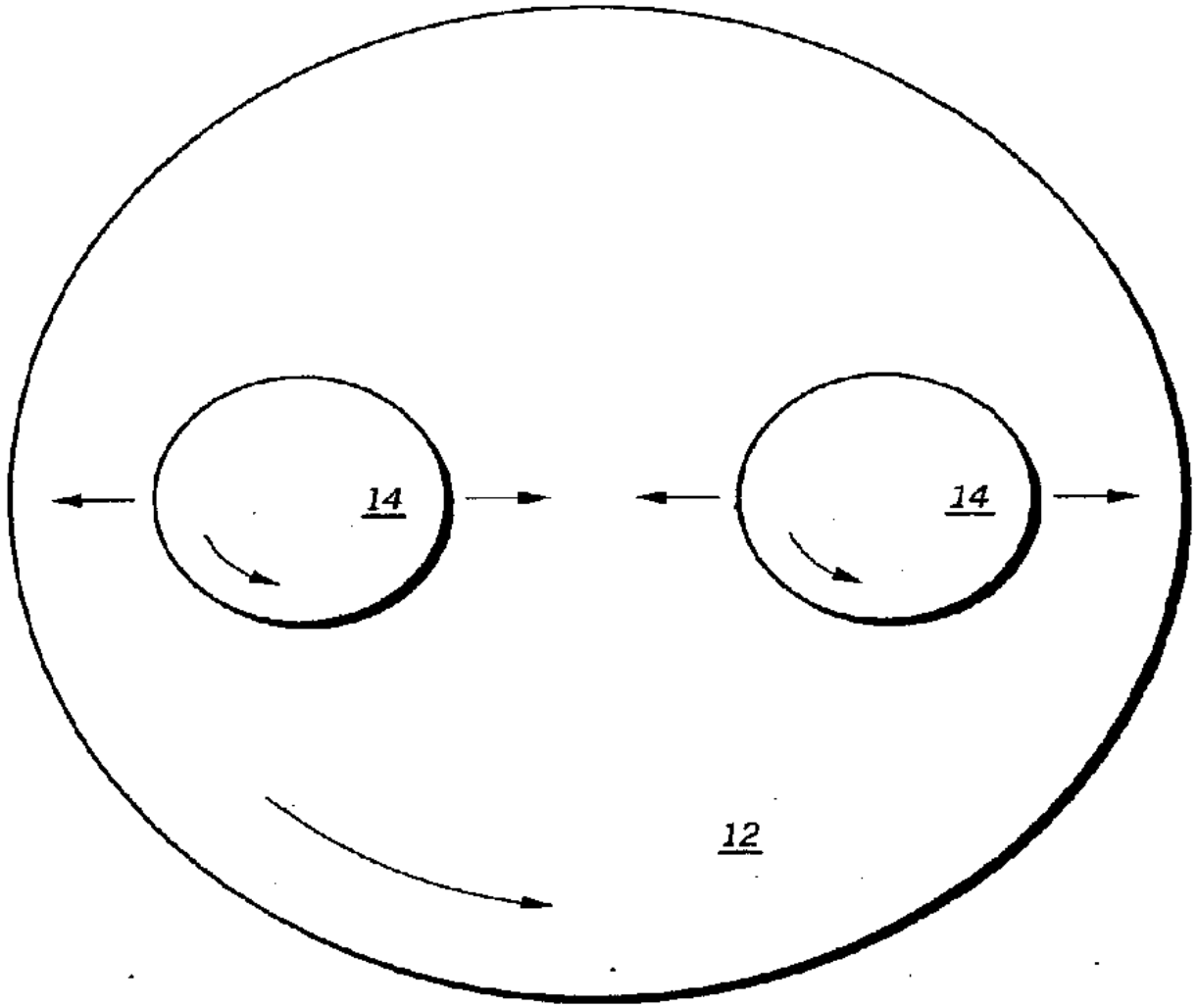
반도체 기판을 폴리싱 하기 위한 방법에 있어서, 제 1 및 제 2 영역을 구비하는 폴리싱 패드 부근에 물체를 배치하는 단계와, 상기 제 1 영역에 대해 물체를 가압하나, 제 2 영역에 대해선 물체를 가압하지 않는 단계와, 반도체 기판위에 개구를 갖는 패턴된 제 1 층을 형성하는 단계와, 상기 패턴된 제 1 층 위와 개구내에 제 2 층을 형성하는 단계 및, 상기 개구 외측에 놓여 있는 제 2 층의 일부를 제거하기 위해 상기 제 2층을 폴리싱하는 단계를 포함하고, 상기 물체를 가압하는 단계는 상기 제 1 영역을 변형시키나 제 2 영역을 변형시키지 않고, 약 0.703kg/㎠(10 파운드/in ^{2}; 약 50 킬로파스칼)의 압력으로 실행되며, 상기 폴리싱 단계는 제 2 층이 폴리싱 패드의 제 1 영역 위에 놓이나 폴리싱 패드의 제 2 영역 위에는 놓이지 않도록 실행되고, 0.522kg/㎠(8 파운드/in ^{2}; 약 55 킬로파스칼) 이하의 압력으로 실행되는 것을 특징으로 하는 폴리싱 방법.

도면

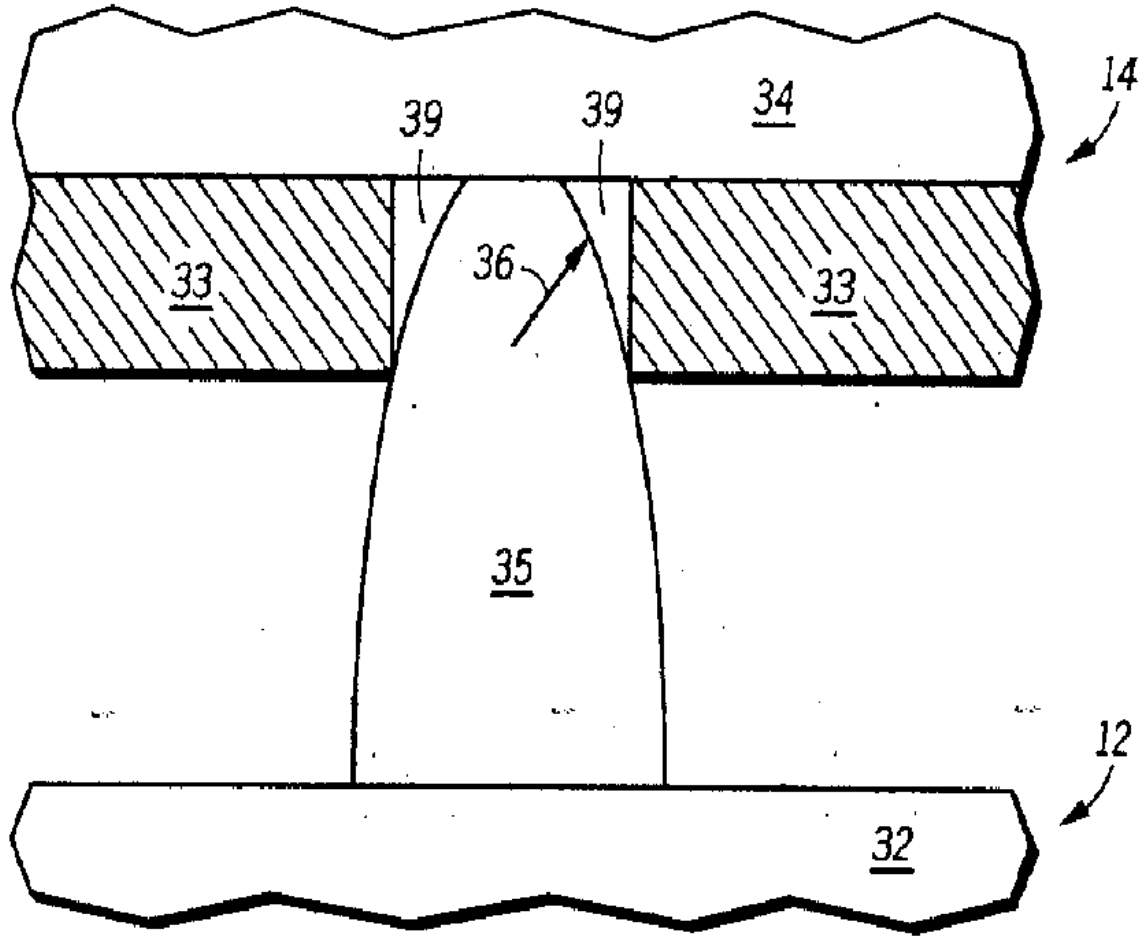
도면 1



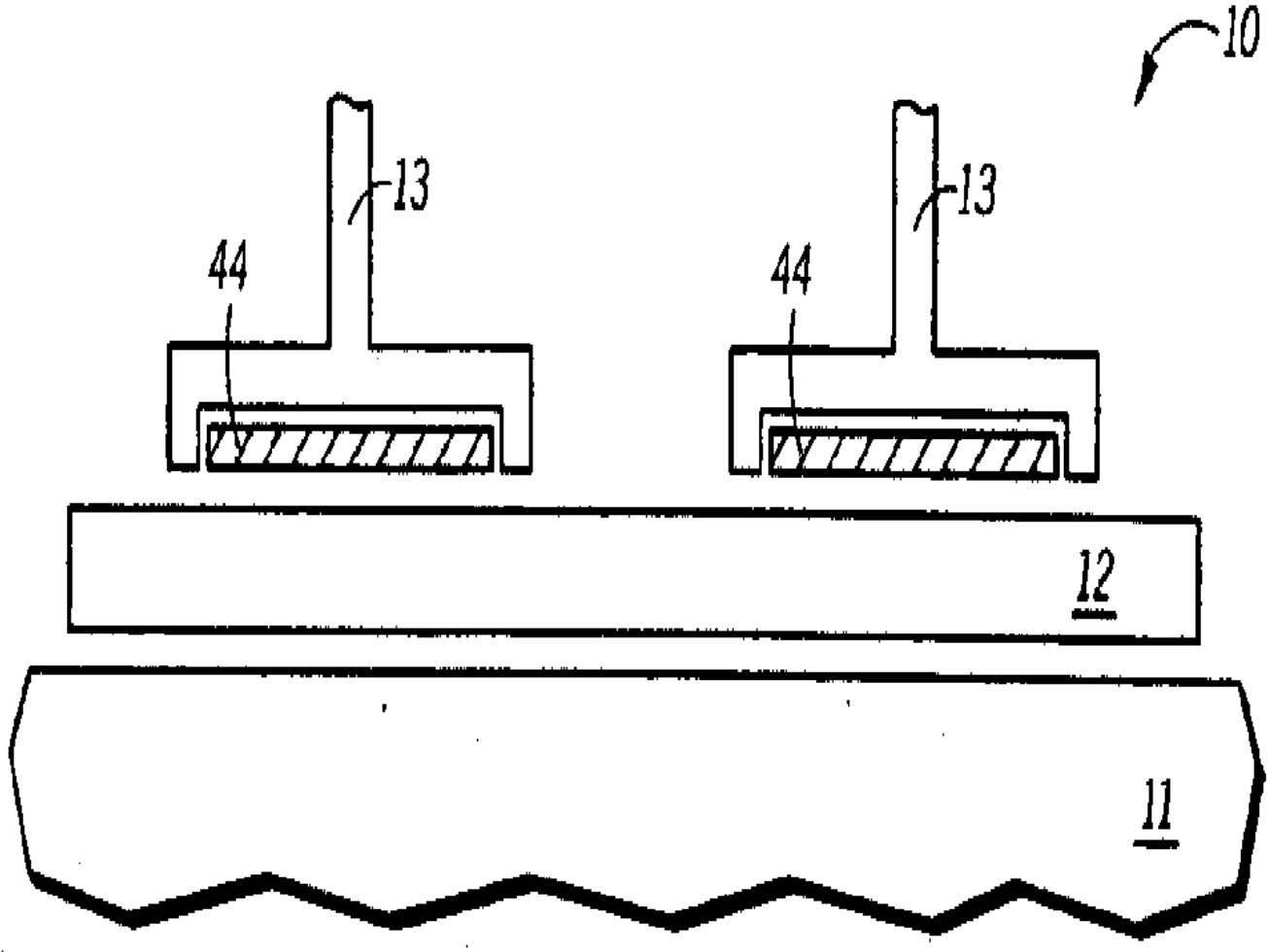
도면 2



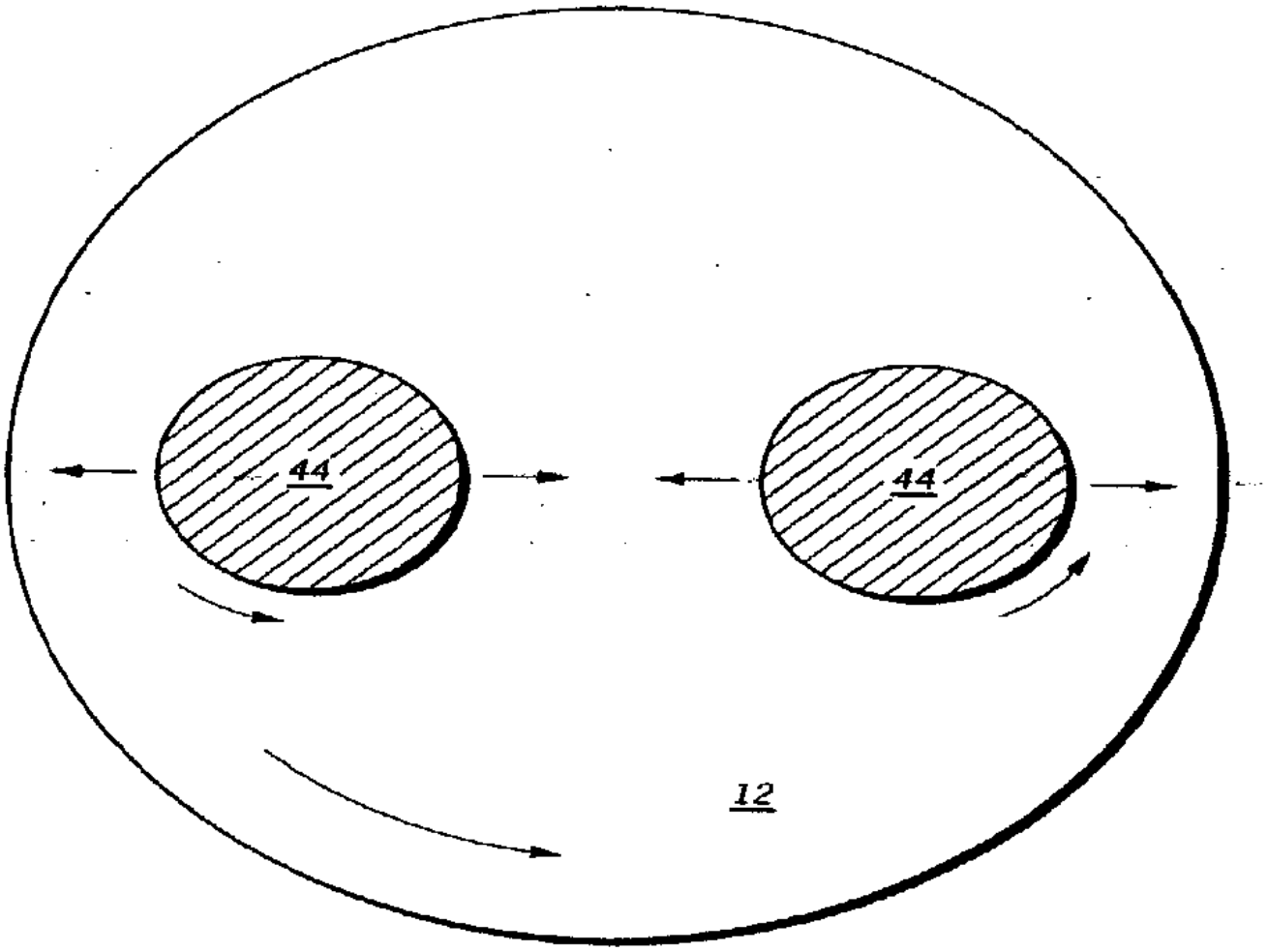
도면 3



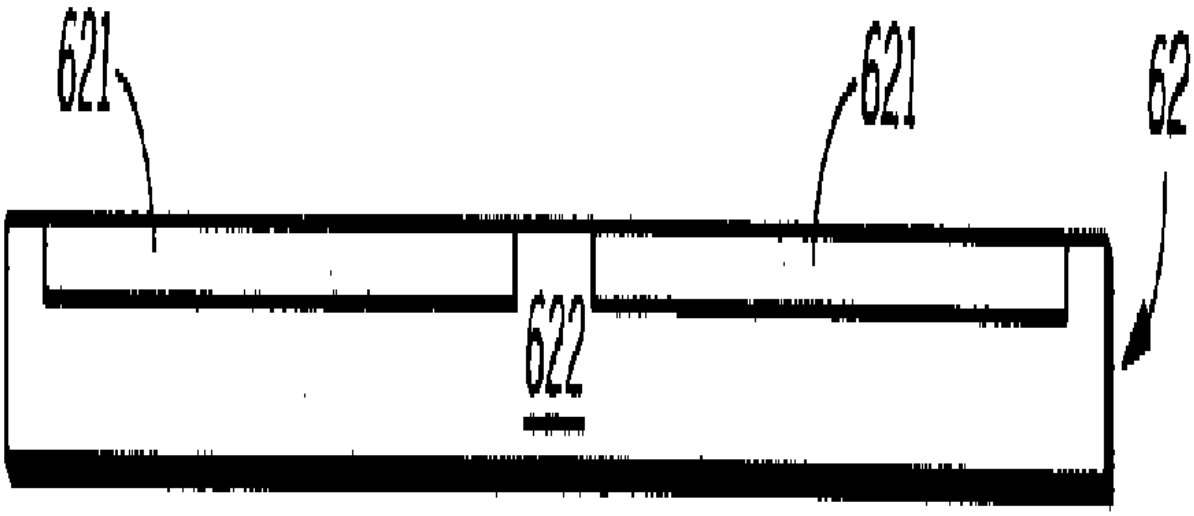
도면 4



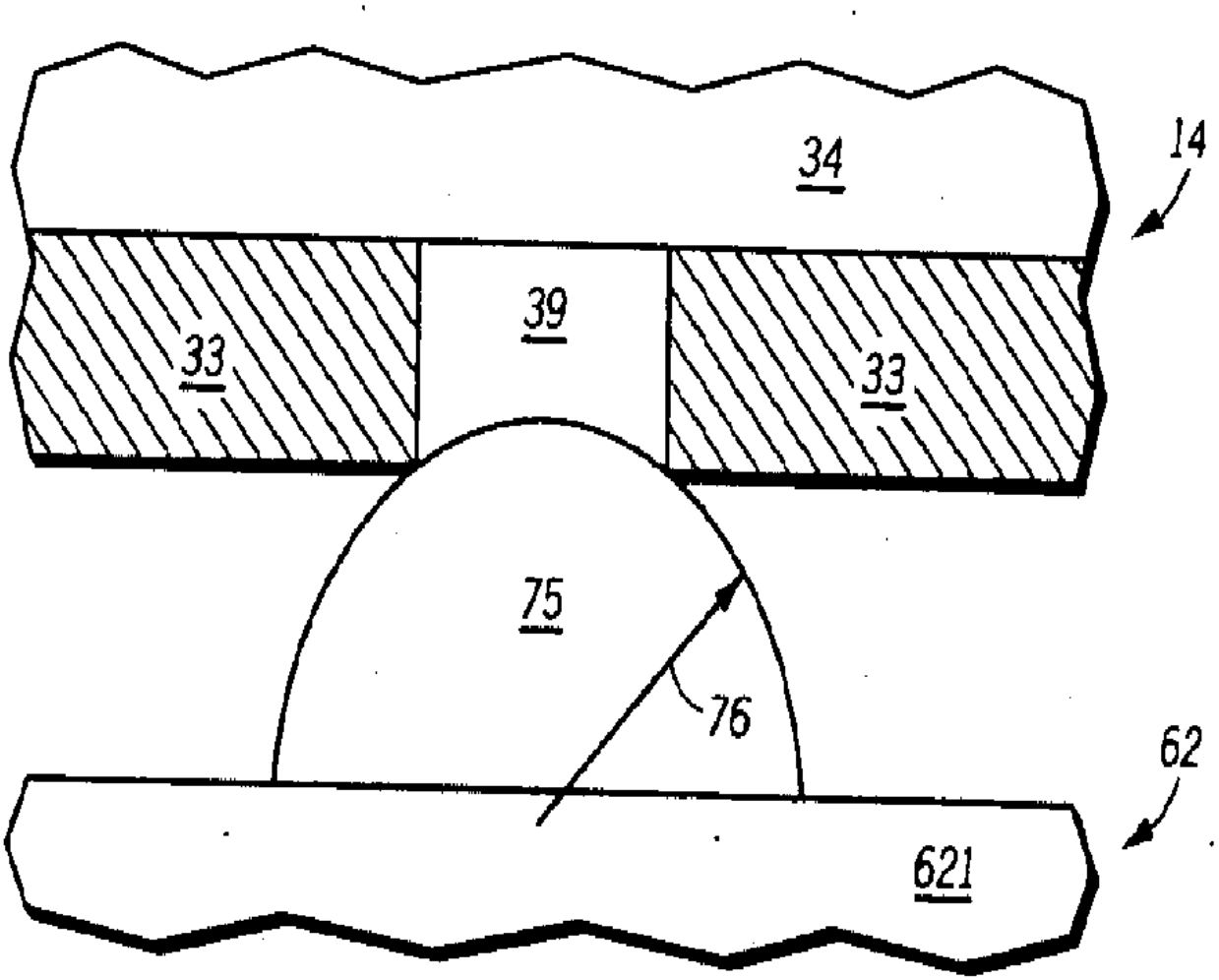
도면 5



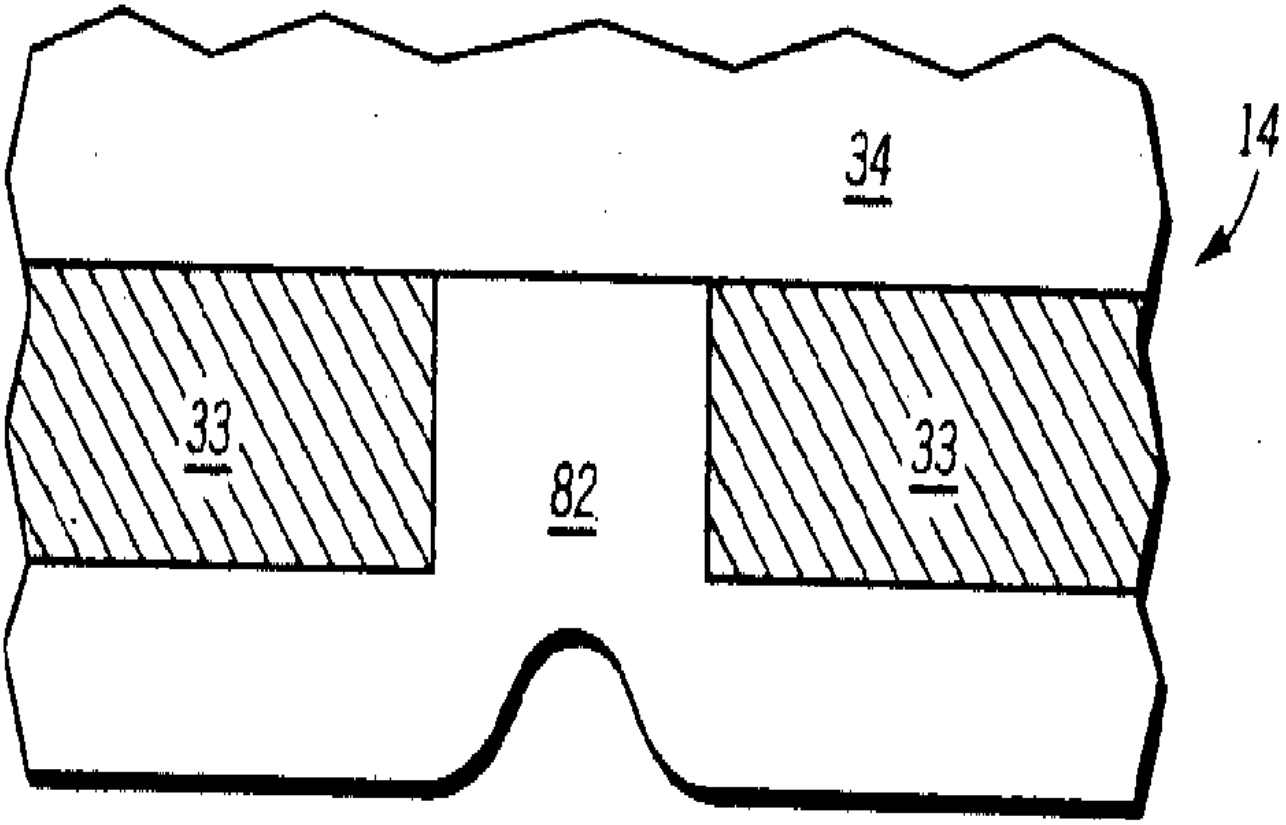
도면 6



도면 7



도면 8



도면 9

