

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年4月12日(2007.4.12)

【公開番号】特開2005-260014(P2005-260014A)

【公開日】平成17年9月22日(2005.9.22)

【年通号数】公開・登録公報2005-037

【出願番号】特願2004-69985(P2004-69985)

【国際特許分類】

H 01 L 27/105 (2006.01)

H 01 L 45/00 (2006.01)

【F I】

H 01 L 27/10 4 4 8

H 01 L 45/00 A

【手続補正書】

【提出日】平成19年2月23日(2007.2.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のメモリブロックを具備し、

前記複数のメモリブロックは、複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置された複数のメモリセルとを有し、

前記複数のメモリセルの各々は、チャネル部が該メモリセルの深さ方向に形成された縦型トランジスタと、その上下どちらか一方に与えられる温度によりその抵抗値が変化する記憶素子を含み、

前記複数のメモリブロックは、前記深さ方向に積層されていることを特徴とする半導体装置。

【請求項2】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置される複数のメモリセルとを有するメモリアレイを具備し、

前記複数のメモリセルの各々は、チャネル部が該メモリセルの深さ方向に形成された縦型トランジスタと、その上下どちらか一方に与えられる温度によりその抵抗値が変化する記憶素子を含み、

前記メモリアレイは、前記深さ方向に積層され、

前記縦型トランジスタのチャネル部分に電位を供給することを特徴とする半導体装置。

【請求項3】

請求項1または2において、

前記縦型トランジスタは、半導体基板上に形成された多結晶シリコンからなることを特徴とする半導体装置。

【請求項4】

請求項1または2において、

前記メモリブロックまたは前記メモリアレイは、前記複数のワード線の夫々に接続される複数のワードドライバと前記複数のビット線に接続されるカラム選択回路を更に有するこ

とを特徴とする半導体装置。

【請求項 5】

請求項 4において、前記ワードドライバと前記カラム選択回路は、前記縦型トランジスタを用いて構成されていることを特徴とする半導体装置。

【請求項 6】

請求項 1または2において、

前記メモリブロックまたは前記メモリアレイは、シリコン基板上に存在することを特徴とする半導体装置。

【請求項 7】

請求項 6において、

前記シリコン基板に、間接周辺回路が形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 1または2において、

積層された前記メモリブロックまたは前記メモリアレイのメモリセルの実効的なセルサイズは、Fを最小加工寸法としてときに、2F2または1F2であることを特徴とする半導体装置。

【請求項 9】

請求項 1において、

前記ビット線は、2つの異なる前記メモリブロックまたは前記メモリアレイ内に夫々配置された2つの縦型トランジスタで共有されていることを特徴とする半導体装置。

【請求項 10】

請求項 9において、

前記2つの縦型トランジスタは、前記2つの縦型トランジスタの間に配置された前記ビット線と前記深さ方向の直線上に配置されていることを特徴とする半導体装置。

【請求項 11】

請求項 2において、

積層された前記メモリアレイは、前記ビット線を共有していることを特徴とする半導体装置。

【請求項 12】

請求項 11において、

積層された2つの異なる前記メモリアレイ内に存在する夫々の前記縦型トランジスタは、2つの前記縦型トランジスタの間に配置された前記ビット線と前記深さ方向の直線上に配置されていることを特徴とする半導体装置。

【請求項 13】

複数のワード線と、

前記複数のワード線と交差する複数のビット線と、

前記複数のワード線と前記複数のビット線の交点に配置される複数のメモリセルと、

前記複数のワード線と交差する複数のダミービット線と、

前記複数のワード線と前記複数のダミービット線の交点に配置される複数のダミーメモリセルと、

複数のカラムを選択する回路と、

複数のワードを選択する回路と、

複数のセンスアンプ回路と、

ライトアンプ回路とを有し、

前記複数のメモリセルと前記複数のダミーメモリセルを含むメモリアレイが少なくとも2つ以上に分割され、前記各々のメモリアレイは2カラムの前記ダミーメモリセルを持つことを特徴とする半導体装置。

【請求項 14】

請求項 13において、

前記2カラムのダミーメモリセルの一方のカラムには、高い抵抗が、他方には低い抵抗が

書かれることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 4において、

読み出し時、アクセスされない前記メモリアレイは、前記 2 カラムのダミーメモリセルのデータが、前記ダミービット線にそれぞれ読み出され、読み出し中に前記ダミービット線が電気的に接続されることを特徴とする半導体装置。