



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I416718 B

(45)公告日：中華民國 102 (2013) 年 11 月 21 日

(21)申請案號：099121107 (22)申請日：中華民國 99 (2010) 年 06 月 28 日

(51)Int. Cl. : **H01L27/146 (2006.01)** **H04N5/335 (2011.01)**

(30)優先權：2009/08/07 美國 61/232,369  
2010/02/22 美國 12/710,267

(71)申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)  
美國

(72)發明人：野崎秀俊 NOZAKI, HIDETOSHI (JP) ; 代鐵軍 DAI, TIEJUN (CN)

(74)代理人：陳長文

(56)參考文獻：

US	2005/0168604A1	US	2007/0108476A1
US	2007/0267690A1	US	2009/0134313A1

審查人員：孫建文

申請專利範圍項數：25 項 圖式數：9 共 0 頁

## (54)名稱

具有多重通道子區域之傳輸閘極的影像感測器

IMAGE SENSOR WITH TRANSFER GATE HAVING MULTIPLE CHANNEL SUB-REGIONS

## (57)摘要

本發明揭示一種影像感測器像素，其包括一感光元件、一浮動擴散區域及一傳輸電晶體通道區域。該傳輸電晶體通道區域設置於該感光區域與該浮動擴散區域之間。該傳輸電晶體通道區域包括一具有一第一摻雜濃度之第一通道子區域及一具有一第二摻雜濃度之第二通道子區域，該第二摻雜濃度不同於該第一摻雜濃度。

An image sensor pixel includes a photosensitive element, a floating diffusion region and a transfer transistor channel region. The transfer transistor channel region is disposed between the photosensitive region and the floating diffusion region. The transfer transistor channel region includes a first channel sub-region having a first doping concentration and a second channel sub-region having a second doping concentration that is different from the first doping concentration.

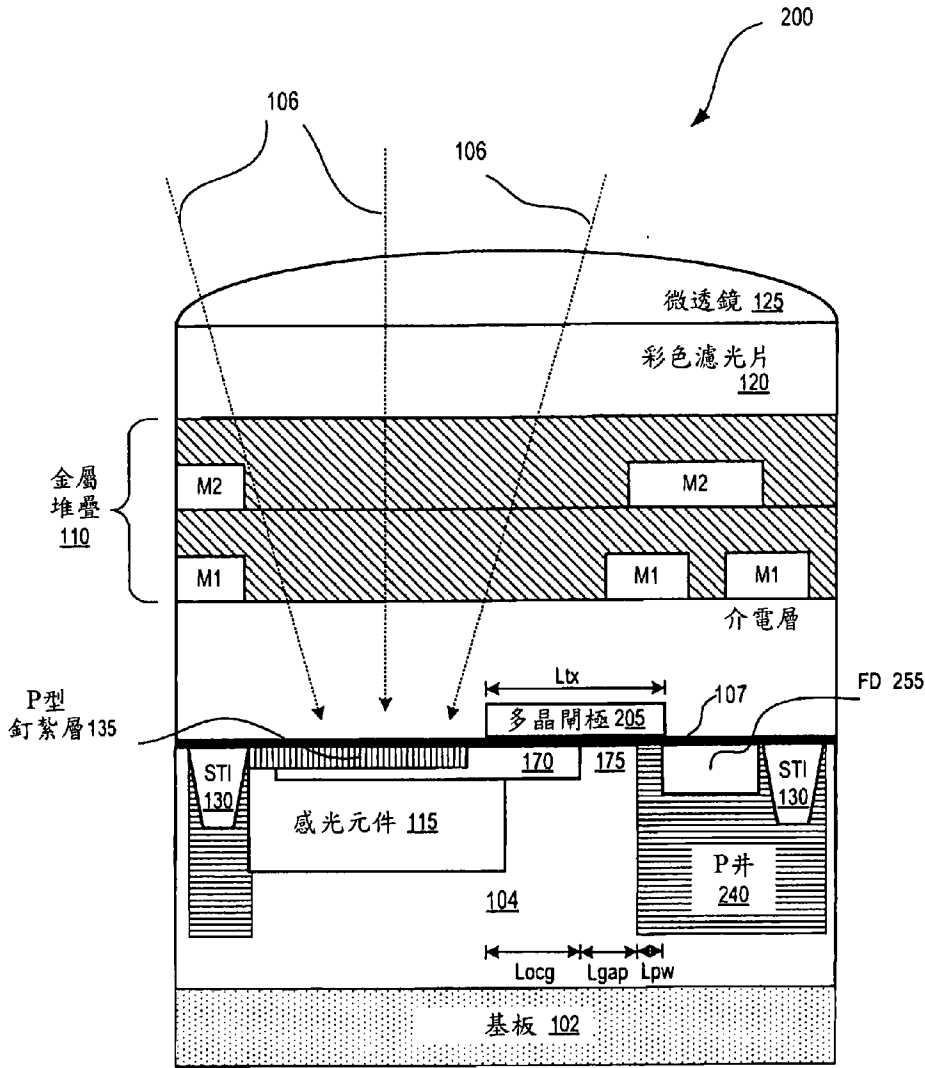


圖2

- 102 . . . 基板
- 104 . . . 磊晶層
- 106 . . . 光
- 107 . . . 閘極氧化物
- 110 . . . 金屬堆疊
- 115 . . . 感光或光電二極體(「PD」)元件
- 120 . . . 彩色濾光片層
- 125 . . . 微透鏡
- 130 . . . 淺渠溝隔離(STI)
- 135 . . . 釘紮層
- 170 . . . 溢流電荷導引部(OCG)/通道子區域
- 175 . . . 間隙/通道子區域
- 200 . . . 影像感測器像素
- 205 . . . 傳輸閘極/傳輸電晶體多晶閘極
- 240 . . . 摻雜井
- 255 . . . 浮動擴散區域
- M1 . . . 金屬層
- M2 . . . 金屬層

102年6月8日修正本  
R1-17

公告本

# 發明專利說明書

中文說明書替換本(102年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：099121107

※ 申請日：99.06.28

※ IPC 分類：H01L 27/146 (2006.01)

H04N 5/335 (2011.01)

一、發明名稱：(中文/英文)

具有多重通道子區域之傳輸閘極的影像感測器

IMAGE SENSOR WITH TRANSFER GATE HAVING MULTIPLE  
CHANNEL SUB-REGIONS

二、中文發明摘要：

本發明揭示一種影像感測器像素，其包括一感光元件、一浮動擴散區域及一傳輸電晶體通道區域。該傳輸電晶體通道區域設置於該感光區域與該浮動擴散區域之間。該傳輸電晶體通道區域包括一具有一第一摻雜濃度之第一通道子區域及一具有一第二摻雜濃度之第二通道子區域，該第二摻雜濃度不同於該第一摻雜濃度。

三、英文發明摘要：

An image sensor pixel includes a photosensitive element, a floating diffusion region and a transfer transistor channel region. The transfer transistor channel region is disposed between the photosensitive region and the floating diffusion region. The transfer transistor channel region includes a first channel sub-region having a first doping concentration and a second channel sub-region having a second doping concentration that is different from the first doping concentration.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

102	基板
104	磊晶層
106	光
107	閘極氧化物
110	金屬堆疊
115	感光或光電二極體(「PD」)元件
120	彩色濾光片層
125	微透鏡
130	淺渠溝隔離(STI)
135	釘紮層
170	溢流電荷導引部(OCG)/通道子區域
175	間隙/通道子區域
200	影像感測器像素
205	傳輸閘極/傳輸電晶體多晶閘極
240	摻雜井
255	浮動擴散區域
M1	金屬層
M2	金屬層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大體而言係關於影像感測器，且特定言之(但非專指)係關於CMOS影像感測器。

本申請案主張2009年8月7日申請之美國臨時申請案第61/232,369號之權利，該案在此以引用的方式併入。

### 【先前技術】

影像感測器廣泛地用於數位靜態相機、蜂巢式電話、保全相機中，以及用於醫療、汽車及其他應用中。互補金屬氧化物半導體(「CMOS」)技術用以在矽基板上製造較低成本之影像感測器。在大量影像感測器中，影像感測器通常包括若干光感測器單元或像素。典型的個別像素包括微透鏡、濾光片、感光元件、浮動擴散區域及用於自感光元件讀出信號之一或多個電晶體。像素中所包括的該等電晶體中之一者通常被稱作傳輸電晶體，其包括一設置於該感光元件與該浮動擴散區域之間的傳輸閘極。該傳輸閘極設置於閘極氧化物上。該感光元件、該浮動擴散區域及該閘極氧化物設置於該基板上。

在操作期間，當將偏壓電壓施加至傳輸閘極時，可在傳輸閘極下形成一傳導通道區域，以使得信號自該感光元件傳輸至該浮動擴散區域。然而，習知傳輸閘極常具有影像延滯及輝散現象的問題。

影像延滯可因習知傳導通道區域不能夠自感光元件移除所有信號以致在像素之連續讀取期間仍存在殘餘信號而產

生。感光元件中所保留之此剩餘資訊常被稱作影像延滯、殘餘影像、重像或圖框間滯留。

輝散現象可因感光元件轉換影像之高強度部分(其可使過多電荷溢出至鄰近感光元件內)而產生。此過多電荷亦可在預期傳輸週期前經由習知傳輸閘極溢出至浮動擴散區域內。輝散現象可限制成像感測器之動態範圍，且可限制成像感測器之商業應用的類型。

### 【實施方式】

參看隨附圖式描述例示性實施例，其中遍及各種視圖，相同參考數字指相同部分，除非另有指定。

本文中描述具有改良之影像延滯及輝散特性之像素、影像感測器、成像系統及像素、影像感測器及成像系統的製造方法之實施例。在以下描述中，闡明眾多具體細節以提供對該等實施例之透徹理解。然而，熟習此項技術者應認識到，可在無具體細節中之一或多者或藉由其他方法、組件、材料等來實踐本文中所描述之技術。在其他例子下，未詳細展示或描述熟知結構、材料或操作以避免混淆某些態樣。舉例而言，雖未說明，但應瞭解，影像感測器像素可包括用於製造CIS像素之許多習知層(例如，抗反射薄膜等)。此外，本文中所說明的影像感測器像素之所說明之橫截面未必說明與每一像素相關聯之像素電路。然而，應瞭解，每一像素可包括耦接至其收集區域之像素電路，該像素電路用於執行各種功能，諸如，開始影像獲取、重設累積之影像電荷、傳輸出所獲取之影像資料或其他。

遍及本說明書對「一項實施例」或「一實施例」之引用意謂結合該實施例描述的特定特徵、結構或特性包括於本發明之至少一實施例中。因此，片語「在一項實施例中」或「在一實施例中」在本說明書全文各處中之出現未必皆指同一實施例。此外，在一或多項實施例中，可以任一合適的方式組合特定特徵、結構或特性。

一典型的CMOS影像感測器(CIS)像素如下操作。光入射於微透鏡上，微透鏡經由濾光片將光聚焦至感光元件。感光元件偵測到光，且將光轉換成與偵測到的光之強度成比例之電信號。傳輸閘極將電信號自感光元件傳輸至浮動擴散區域。

圖1說明包括一習知傳輸閘極通道摻雜結構的前側照明CIS之習知影像感測器像素100之橫截面圖。金屬堆疊110包括金屬層(例如，金屬層M1及M2)，該等金屬層係按以下方式圖案化：建立一光學通路，經由該光學通路，入射於像素100上之光106可到達感光或光電二極體(「PD」)元件115。為了實施彩色CIS，像素100進一步包括一設置於微透鏡125下之彩色濾光片層120。微透鏡125輔助將光106聚焦至感光元件115上。通常，影像感測器包括在較大基板(亦即，延伸超出如圖示之基板102)中按二維列及行之陣列配置之若干影像感測器像素100。像素100進一步包括一設置於磊晶層104上之P型摻雜井140中的浮動擴散(FD)區域155。如圖1中所示，磊晶層104設置於基板102上。淺溝隔離(STI)130亦設置於磊晶層104中或上。具有一傳輸多

晶閘極 105 之傳輸電晶體設置於感光元件 115 與 FD 區域 155 之間，且用以將自感光元件 115 輸出之信號傳輸至浮動擴散區域 155。當將偏壓電壓施加至傳輸閘極時，可在其下形成一傳導通道(亦即，穿經  $V_t$  植入區域 145)。形成通道之偏壓電壓可被稱作臨限電壓 ( $V_t$ )。

像素 100 如下操作。在整合週期(亦被稱作曝光或累積週期)期間，光 106 入射於感光元件 115 上。感光元件 115 回應於入射光產生一電信號。將電信號保持於感光元件 115 中。在此階段，可關斷傳輸電晶體。在一實施例中，多晶閘極 105 上之偏壓電壓可為負電壓。

當多晶閘極 105 上之偏壓電壓小於其臨限電壓時， $V_t$  植入區域 145 實際上變得阻止電子流。建立傾向於阻礙自感光元件 115 至浮動擴散區域 155 之電子運動的驅動力。

在整合週期後，開啟傳輸閘極 105 以讀出感光元件 115。在一實施例中，可將正偏壓電壓施加至多晶閘極 105。當增加多晶閘極 105 上之偏壓時，FD 區域 155 附近之  $V_t$  植入區域 145 首先變得導電。隨著接近臨限電壓，通道可繼續逐漸變得朝向感光元件 115 導電。 $V_t$  植入區域 145 中之電位取決於在  $V_t$  植入區域 145 內之每一點處之摻雜濃度。在習知傳輸閘極通道摻雜結構中，自感光元件 115 朝向 FD 區域 155，電位逐漸減小，藉此產生輔助電荷自感光元件傳輸至浮動擴散區域之橫向電場。在感光元件 115 中之電信號已傳輸至 FD 區域 155 後，關斷多晶閘極 105 以開始後續整合週期。

然而，習知傳輸閘極具有影像延滯及輝散現象的問題。出現此問題係因為習知通道摻雜結構經摻雜以致電位障保留在感光元件附近之傳輸多晶閘極下，且殘餘信號電荷被阻止傳輸。此外，在整合週期期間，此等習知通道摻雜結構不能夠完全移除超過全井容量之電荷並防止輝散現象。

另外，在連續讀取之間，感光元件115可能未完全清空。來自先前光信號之資訊中的一些保留於感光元件中，尚未傳輸至浮動擴散區域。剩餘資訊可被稱為影像延滯、殘餘影像、重像或圖框間滯留等。

另外，感光元件115可能不能夠容納自影像之高強度部分轉換之所有電荷，且其可將此過多電荷溢出至鄰近感光元件內。過多電荷亦可在預期傳輸週期前經由傳輸閘極溢出至浮動擴散區域內。此效應稱作輝散現象，且其限制成像器動態範圍，且結果，可限制影像感測器像素100的商業應用之類型。

處置影像延滯及輝散現象之一方法為將傳輸閘極下之均勻摻雜劑用作起點。此情形對於在電信號之收集期間在閘極上使用零施加伏特之傳輸電晶體係典型的。此等典型的傳輸電晶體部分藉由遍及閘極區域均勻地離子植入P型摻雜劑以便設定接近零的臨限電壓來製造。除了均勻的臨限植入之外，根據本發明之實施例，亦可對較重摻雜P型層進行植入，在該情況下，傳輸閘極與光電二極體重疊。此組合在傳輸閘極下及通道區域內建立階梯式分級P型摻雜區域。藉由在感光元件與浮動擴散區域之間的通道之分級

P型摻雜，建立橫向電場，其在讀出期間對通道中之電子加速。此外，在光累積週期期間，當將傳輸電晶體保持低於其處於零伏特或小的負電壓之臨限值時，橫向電場可引導且移除來自光電二極體之過多電荷(若其飽和)，且藉此減少輝散現象。橫向電場之又一動作為引導在傳輸閘極下產生之暗電流遠離光電二極體，且防止其被添加至累積之光電二極體電荷。

然而，此做法可造成三個潛在問題。一潛在問題為歸因於額外P型摻雜劑擴散至感光元件內所致的全井容量之減少。若額外P型摻雜劑擴散至感光元件內，則感光元件中之N型摻雜劑可得以補償，且個別感光元件可在飽和前保持的電荷量可減少。第二潛在問題為位能障形成於感光元件連接至傳輸閘極下之通道之區域處。因此，並非所有光產生之電子皆能夠在讀出期間離開感光元件，因為一些電子無足夠能量跨越此位能障。

第三潛在問題為，雖然傳輸閘極之零伏特臨限值傾向於在適度的輝散現象期間幫助將電荷引導出光電二極體，但相關聯之典型通道P型摻雜程度過高，且不適應較嚴重的輝散現象。過多信號電荷可溢流至鄰近的光電二極體內。需要使感光元件全井容量最大化同時防止輝散現象及影像延滯的改良之傳輸閘極摻雜方案。

圖2說明根據本發明之一實施例的包括一傳輸閘極通道摻雜結構的CIS之影像感測器像素200之橫截面圖。根據一實施例，CIS包括設置於基板中之像素200之陣列。個別影

像感測器像素包括一感光元件115及一浮動擴散區域255。具有閘極氧化物107(具有均勻厚度)之傳輸閘極205設置於感光元件115與浮動擴散區域255之間。浮動擴散區域255可包含在P型井240內，該P型井240在傳輸閘極205下延伸。影像感測器像素200中包括一電晶體通道區域，其包括至少兩個不同子區域，每一子區域具有不同摻雜濃度。第一子區域為P型摻雜區域，稱作溢流電荷導引部(OCG)170，且定位於傳輸閘極205下在其與感光元件115之間。在其他實施例中，OCG可在感光元件115之一些或全部上延伸。第二子區域為OCG與浮動擴散P井之間的區域，其可被稱作間隙175，且極低地P型摻雜、保持未摻雜或稍微地N型摻雜。通道子區域170及175可在本文中統稱作傳輸電晶體通道區域。

如可在圖2中看出，間隙175中無習知臨限植入 $V_t$ 。為了易於製造，其可僅維持起始P型磊晶層104之摻雜濃度。間隙區域175實現較大容量以排盡過多信號電荷，同時傳輸閘極205保持關斷以用於信號整合。由於間隙摻雜顯著低於習知設計，因此其實現在OCG區域170及感光元件115中的摻雜濃度之選擇之最佳化，以使得輝散現象及影像延滯顯著減少，同時使感光元件115全井容量最大化。

影像感測器像素200之一實施例以稍類似於感測器單元100之方式操作。然而，由於間隙區域175摻雜得遠低於OCG區域170，且亦由於兩個區域可比習知通道結構相對於感光元件115摻雜適宜地相對於感光元件115摻雜，因此

感測器單元200減少影像延滯及輝散現象。舉例而言，可按通道區域中常見之釘紫層135之重P+摻雜與較輕P-型摻雜之間的中間程度對OCG區域170摻雜。感測器單元200之此實施例可實際上適用於較苛求的成像應用，諸如，在醫療、保全及汽車工業中的應用。

本文中界定影像感測器200之某些長度尺寸，但應瞭解，同此提供之圖2係出於對一般熟習此項技術者解釋之目的且該圖式未必按比例繪製。

Ltx指多晶閘極205之寬度。Locg指自多晶閘極205之邊緣至多晶閘極205下的OCG區域170之遠邊界的OCG區域170之一部分之寬度。Lgap指間隙區域175之寬度，其自P井240之邊緣延伸至OCG區域170之邊緣。Lpw指自浮動擴散區域255之邊緣延伸至多晶閘極205下的P井240之遠邊界的P井240之一部分之寬度。Locg、Lgap及Lpw之範圍可如下：

$$L_{gap} > 0.05 \mu\text{m} (\text{例如}, L_{gap} > 0.2 \mu\text{m})$$

$$L_{ocg} < 1/2 L_{tx} (\text{例如}, L_{ocg} < 1/3 L_{tx})$$

$$L_{pw} < 1/2 L_{tx} (\text{例如}, L_{pw} < 1/3 L_{tx})$$

P型摻雜磊晶層104及P型摻雜OCG 170之硼濃度之範圍可如下：

P型摻雜磊晶層104： $1 \times 10^{14} \text{ cm}^{-3}$ 至 $1 \times 10^{16} \text{ cm}^{-3}$ (例如， $2 \times 10^{14} \text{ cm}^{-3}$ 至 $3 \times 10^{15} \text{ cm}^{-3}$ )

P型OCG(峰值濃度)170： $1 \times 10^{16} \text{ cm}^{-3}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ (例如， $3 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{17} \text{ cm}^{-3}$ )

對於某些實施例，磊晶層 104 可為任一合適的半導體材料，諸如，矽。在所說明之實施例中，磊晶層 104 為 P 型摻雜矽。然而，在另一實施例中，磊晶層 104 可為(稍微)N 型摻雜矽。

閘極氧化物 107 可為任一合適的絕緣材料，諸如，二氧化矽。多晶閘極 205 可為多晶矽或任一合適的閘極材料。STI 130 可為能夠防止在基板 102 上之組件之間的電信號之洩漏之任一合適的絕緣材料。

圖 3A 至圖 3D 說明根據一實施例的用於製造影像感測器像素 200 之一技術。圖 3A 說明已製造達 STI 130、摻雜井 240 及浮動擴散區域 255 已形成於設置於基板 102 上之磊晶層 104 內的程度之類似於像素 200 的像素之橫截面圖。

使用用以製造 CMOS 影像感測器之工業標準製造技術形成本文中所描述之實施例。光微影、離子植入、化學氣相沈積 (CVD) 及蝕刻出於用以製造 CMOS 影像感測器之標準工業實踐之列。一方法將藉由將 P 型摻雜劑 302 離子植入在影像感測器元件之指明部分內來形成 OCG 區域 170，如圖 3A 中所示。

如上陳述，在一實施例中，磊晶層 104 為 P 型摻雜矽。在此實施例中，如上所述之影像感測器元件可另外藉由在形成多晶閘極 105 前離子植入而在間隙區域 175 中置放可選 N 型摻雜劑 304。在另一實施例中，磊晶層 104 為(稍微)N 型摻雜矽。同樣地，可選植入物 304 可為在磊晶層 104 之 N 型摻雜矽實施例中植入之 P 型摻雜劑。

在可選摻雜劑304為植入至P型摻雜矽內之N型摻雜劑之實施例中，相對於OCG區域170，間隙區域175將變為較輕P型或稍微N型，進而建立使光信號傳輸期間之影像延滯以及光信號累積期間之輝散現象及暗電流最小化之橫向電場。

接下來參看圖3B，使用CVD、光微影及蝕刻形成傳輸電晶體多晶閘極205，以使得OCG 170在鄰近感光元件之側位於多晶閘極下至少一距離 $L_{ocg}$ 處。可接著藉由將N型摻雜劑離子植入在OCG區域下的影像感測器之指明部分內而形成感光元件115，且將其大體上與傳輸多晶閘極邊緣對準，如圖3C中所示。可接著藉由離子植入而在OCG區域170上及N型感光元件115上的磊晶層104表面處形成P型釘紮層135。

在所揭示之實施例中，基板102可經P型摻雜，磊晶層104可經P型摻雜，摻雜井240可經P型摻雜，浮動擴散255可經N型摻雜，感光元件115可經N型摻雜，釘紮層135可經P型摻雜，OCG 170可為P型，且傳輸閘極205可經N型摻雜。應瞭解，可交換所有元件之傳導類型，以使得(例如)基板102可經N+摻雜，磊晶層104可經N-摻雜，井區域240可經N摻雜、OCG 170可經N型摻雜，且感光元件115可經P摻雜。

圖4為說明根據一實施例的CIS 400之方塊圖。CIS 400之所說明之實施例包括具有以上描述的改良之特性中之一些或全部之像素陣列405、讀出電路410、功能邏輯415及控

制電路420。像素陣列405為影像感測器像素(例如，像素P1、P2 ...、Pn)之二維(「2D」)陣列。在一實施例中，使用圖2中所說明之像素200實施每一像素。在一實施例中，每一像素為一CIS像素。在一實施例中，像素陣列405包括一彩色濾光片陣列，其包括紅色、綠色及藍色濾光片之彩色圖案(例如，拜耳(Bayer)圖案或馬賽克)。如所說明，每一像素配置成列(例如，列R1至Ry)及行(例如，行C1至Cx)以獲取人、地點或物體之影像資料，該影像資料可接著用來重現人、地點或物體之一2D影像。

在每一像素已獲取其影像資料或影像電荷之後，影像資料由讀出電路410讀出並被傳輸至功能邏輯415。讀出電路410可包括放大電路、類比至數位(「ADC」)轉換電路或其他電路。功能邏輯415可單純地儲存影像資料或甚至藉由應用影像後製效果(例如，修剪、旋轉、去紅眼、調整亮度、調整對比度或其他操作)來操縱影像資料。在一實施例中，讀出電路410可沿讀出行線路一次讀出一列影像資料(經說明)或者可使用各種其他技術讀出影像資料(未說明)，諸如，行/列讀出、串列讀出或同時對所有像素之全並行讀出。控制電路420與像素陣列405連接以控制像素陣列405之操作特性。舉例而言，控制電路420可產生用於控制影像獲取之快門信號(shutter signal)。

圖5為說明根據本發明之一實施例的在一像素陣列內的兩個四電晶體(「4T」)像素之像素電路500之電路圖。像素電路500為用於實施圖4之像素陣列405內之每一像素的

一個可能的像素電路架構。然而，應瞭解，本發明之實施例並不限於4T像素架構；而是，受益於本發明之一般熟習此項技術者將理解，本發明之教示亦適用於3T設計、5T設計及各種其他像素架構。

在圖5中，將像素Pa及Pb配置成兩行及一列。每一像素電路500之所說明實施例包括一光電二極體PD、一傳輸電晶體T1、一重設電晶體T2、一源極隨耦器(「SF」)電晶體T3及一選擇電晶體T4。在一實施例中，使用圖2中所說明之像素200實施像素Pa及Pb，其中傳輸電晶體T1包括傳輸電晶體閘極105。在操作期間，傳輸電晶體T1接收傳輸信號TX，其將在光電二極體PD中累積之電荷傳輸至浮動擴散節點FD。在一實施例中，浮動擴散節點FD可耦接至一用於臨時儲存影像電荷之儲存電容器。

重設電晶體T2耦接於電力軌VDD與浮動擴散節點FD之間以在重設信號RST之控制下重設像素(例如，對FD及PD放電或充電至一預設定電壓)。浮動擴散節點FD經耦接以控制SF電晶體T3之閘極。SF電晶體T3耦接於電力軌VDD與選擇電晶體T4之間。SF電晶體T3作為源極隨耦器操作，提供與浮動擴散節點FD之高阻抗連接。最後，選擇電晶體T4在一選擇信號SEL之控制下選擇性地將像素電路500之輸出耦接至讀出行線路。

圖6說明根據本發明之一實施例的利用CIS 400之成像系統600。成像系統600進一步包括用於引導來自待成像至CIS 400上之物品之光之成像光學器件620，且亦可包括一

用於產生經處理之影像資料以用於在顯示器 640 上顯示的信號處理器 630。

本發明之所說明實施例之以上描述(包括在「摘要」中描述之內容)並不意欲為詳盡的或將該等實施例限於所揭示之精確形式。如熟習此項技術者將認識到，雖然出於說明性目的在本文中描述具體實施例，但在該範疇內，各種修改係可能的。可依據以上「實施方式」進行此等修改。一些此等修改之實例包括摻雜劑濃度、層厚度及類似者。另外，雖然本文中所說明之實施例涉及使用前側照明之 CMOS 感測器，但應瞭解，其亦可適用於使用後側照明之 CMOS 感測器。

在以下申請專利範圍中使用之術語不應被解釋為將本發明限於本說明書中所揭示之具體實施例。相反，範疇應完全由以下申請專利範圍確定，應根據申請專利範圍解讀之已制定之準則來解釋以下申請專利範圍。

### 【圖式簡單說明】

圖 1 為包括習知傳輸閘極通道摻雜結構之影像感測器像素之橫截面圖；

圖 2 為根據一實施例的包括傳輸閘極通道摻雜之影像感測器像素之橫截面圖；

圖 3A 至圖 3D 為根據一實施例的用於形成傳輸閘極及像素的程序之橫截面圖；

圖 4 為說明根據一實施例的影像感測器之方塊圖；

圖 5 為說明根據一實施例的在影像感測器陣列內之兩個

影像感測器像素之範例像素電路之電路圖；及

圖6為說明根據一實施例的成像系統之方塊圖。

**【主要元件符號說明】**

100	影像感測器像素
102	基板
104	磊晶層
105	傳輸多晶閘極
106	光
107	閘極氧化物
110	金屬堆疊
115	感光或光電二極體(「PD」)元件
120	彩色濾光片層
125	微透鏡
130	淺渠溝隔離(STI)
135	釘紮層
140	P型摻雜井
145	Vt植入區域
155	浮動擴散(FD)區域
170	溢流電荷導引部(OCG)/通道子區域
175	間隙/通道子區域
200	影像感測器像素
205	傳輸閘極/傳輸電晶體多晶閘極
240	摻雜井
255	浮動擴散區域

302	P型摻雜劑
304	可選N型摻雜劑
400	CIS
405	像素陣列
410	讀出電路
415	功能邏輯
420	控制電路
500	像素電路
600	成像系統
620	成像光學器件
630	信號處理器
640	顯示器
FD	浮動擴散節點
M1	金屬層
M2	金屬層
Pa	像素
Pb	像素
PD	光電二極體
T1	傳輸電晶體
T2	重設電晶體
T3	源極隨耦器(「SF」)電晶體
T4	選擇電晶體

102年6月18日修正本  
p1-5

## 七、申請專利範圍：

1. 一種影像感測器像素，其包含：
  - 一感光元件，其具有一第一導電類型；
  - 一浮動擴散區域，其具有該第一導電類型；及
  - 一傳輸電晶體通道區域，其設置於該感光元件與該浮動擴散區域之間，其中該傳輸電晶體通道區域包括一具有一第二導電類型且具有一第一摻雜濃度之第一通道子區域及一具有一第二摻雜濃度之第二通道子區域，該第二摻雜濃度不同於該第一摻雜濃度，其中該第一通道子區域係在側向方向上設置在該感光元件與該第二通道子區域之間。
2. 如請求項1之影像感測器像素，其進一步包含：
  - 一基板；及
  - 一磊晶層，其具有該第二導電類型且經設置於該基板上，其中該感光元件、該浮動擴散區域及該傳輸電晶體通道區域設置於該磊晶層中。
3. 如請求項2之影像感測器像素，其中該磊晶層具有該第二摻雜濃度。
4. 如請求項3之影像感測器像素，其中該磊晶層具有一第三摻雜濃度，該第三摻雜濃度不同於該第一摻雜濃度及該第二摻雜濃度。
5. 如請求項1之影像感測器像素，其進一步包含：
  - 一傳輸電晶體閘極，其設置於該傳輸電晶體通道區域之至少一部分上；及

一摻雜井，其具有該第二導電類型且具有一淺渠溝隔離(STI)，其中該浮動擴散區域設置於該摻雜井內且在該傳輸電晶體閘極之一部分下延伸。

6. 如請求項5之影像感測器像素，其中該第一通道子區域在該感光元件之至少一部分上且在該傳輸電晶體閘極之一部分下延伸，使得該第一通道子區域係在垂直方向上設置在該傳輸電晶體閘極與該感光元件之間。
7. 如請求項5之影像感測器像素，其中該第一通道子區域具有一小於該傳輸電晶體閘極之一寬度的一半之寬度。
8. 如請求項5之影像感測器像素，其中該摻雜井具有一小於該傳輸電晶體閘極之一寬度的一半之寬度。
9. 如請求項1之影像感測器像素，其中該第二通道子區域為選自以下群組之一者：一未摻雜之間隙區域及一具有該第一導電類型之間隙區域。
10. 如請求項1之影像感測器像素，其進一步包含一設置於該感光元件上之釘紮層。
11. 一種製造一互補金屬氧化物半導體(「CMOS」)影像感測器像素之方法，該方法包含：

在一設置於一基板上之磊晶層內形成一傳輸電晶體通道區域，其中該傳輸電晶體通道區域包括一具有一第一導電類型與一第一摻雜濃度之第一通道子區域及一具有一第二摻雜濃度之第二通道子區域，該第二摻雜濃度不同於該第一摻雜濃度；

在該傳輸電晶體通道區域之至少一部分上且在一具有

一第二導電類型之浮動擴散區域之一部分上製造一傳輸電晶體閘極；及

在該磊晶層內形成一具有該第二導電類型之感光元件，其中該第一通道子區域在該感光元件之至少一部分上且在該傳輸電晶體閘極之一部分下延伸，使得該第一通道子區域係在垂直方向上設置在該傳輸電晶體閘極與該感光元件之間。

12. 如請求項11之方法，其中形成該傳輸電晶體通道區域包含對該第一通道子區域植入達該第一摻雜濃度。
13. 如請求項11之方法，其中該磊晶層具有該第一導電類型且具有該第二摻雜濃度。
14. 如請求項11之方法，其中該磊晶層具有一第三摻雜濃度，該第三摻雜濃度不同於該第一摻雜濃度及該第二摻雜濃度，該方法進一步包含：
  - 對該第一通道子區域植入達該第一摻雜濃度；及
  - 對該第二通道子區域植入達該第二摻雜濃度。
15. 如請求項11之方法，其中該浮動擴散區域設置於一具有該第一導電類型且具有一淺渠溝隔離(STI)之摻雜井內。
16. 如請求項11之方法，其中形成該傳輸電晶體通道區域包括形成該第一通道子區域以具有一小於該傳輸電晶體閘極之一寬度的一半之寬度。
17. 如請求項11之方法，其中形成該傳輸電晶體通道區域包括不對該第二通道子區域摻雜，以使得該第二通道子區域為一未摻雜之間隙區域。

18. 如請求項11之方法，其進一步包含在該感光元件上形成一釘紮層。

19. 一種影像感測器，其包含：

設置於一基板上的影像感測器像素之一互補金屬氧化物半導體(「CMOS」)陣列，其中該等影像感測器像素中之每一者包括：

一感光元件，其具有一第一導電類型；

一浮動擴散區域，其具有該第一導電類型；及

一傳輸電晶體通道區域，其設置於該感光元件與該浮動擴散區域之間，其中該傳輸電晶體通道區域包括一具有一第二導電類型且具有一第一摻雜濃度之第一通道子區域及一具有一第二摻雜濃度之第二通道子區域，該第二摻雜濃度不同於該第一摻雜濃度；及

讀出電路，其耦接至該CMOS陣列以自該等影像感測器像素中之每一者讀出影像資料，其中該第一通道子區域係在側向方向上設置在該感光元件與該第二通道子區域之間。

20. 如請求項19之影像感測器，其進一步包含一磊晶層，該磊晶層具有該第二導電類型且設置於該基板上，其中該感光元件、該浮動擴散區域及該傳輸電晶體通道區域設置於該磊晶層中。

21. 如請求項20之影像感測器，其中該磊晶層具有該第二摻雜濃度。

22. 如請求項20之影像感測器，其中該磊晶層具有一第三摻

雜濃度，該第三摻雜濃度不同於該第一摻雜濃度及該第二摻雜濃度。

23. 如請求項19之影像感測器，其中該等影像感測器像素中之每一者進一步包括：

一傳輸電晶體閘極，其設置於該傳輸電晶體通道區域之至少一部分上；及

一摻雜井，其具有該第二導電類型且具有一淺渠溝隔離(STI)，其中該浮動擴散區域設置於該摻雜井內且在該傳輸電晶體閘極之一部分下延伸。

24. 如請求項23之影像感測器，其中該第一通道子區域在該感光元件之至少一部分上且在該傳輸電晶體閘極之一部分下延伸，使得該第一通道子區域係在垂直方向上設置在該傳輸電晶體閘極與該感光元件之間。

25. 如請求項19之影像感測器，其中該第二通道子區域為選自以下群組之一者：一未摻雜之間隙區域及一具有該第一導電類型之間隙區域。

八、圖式：

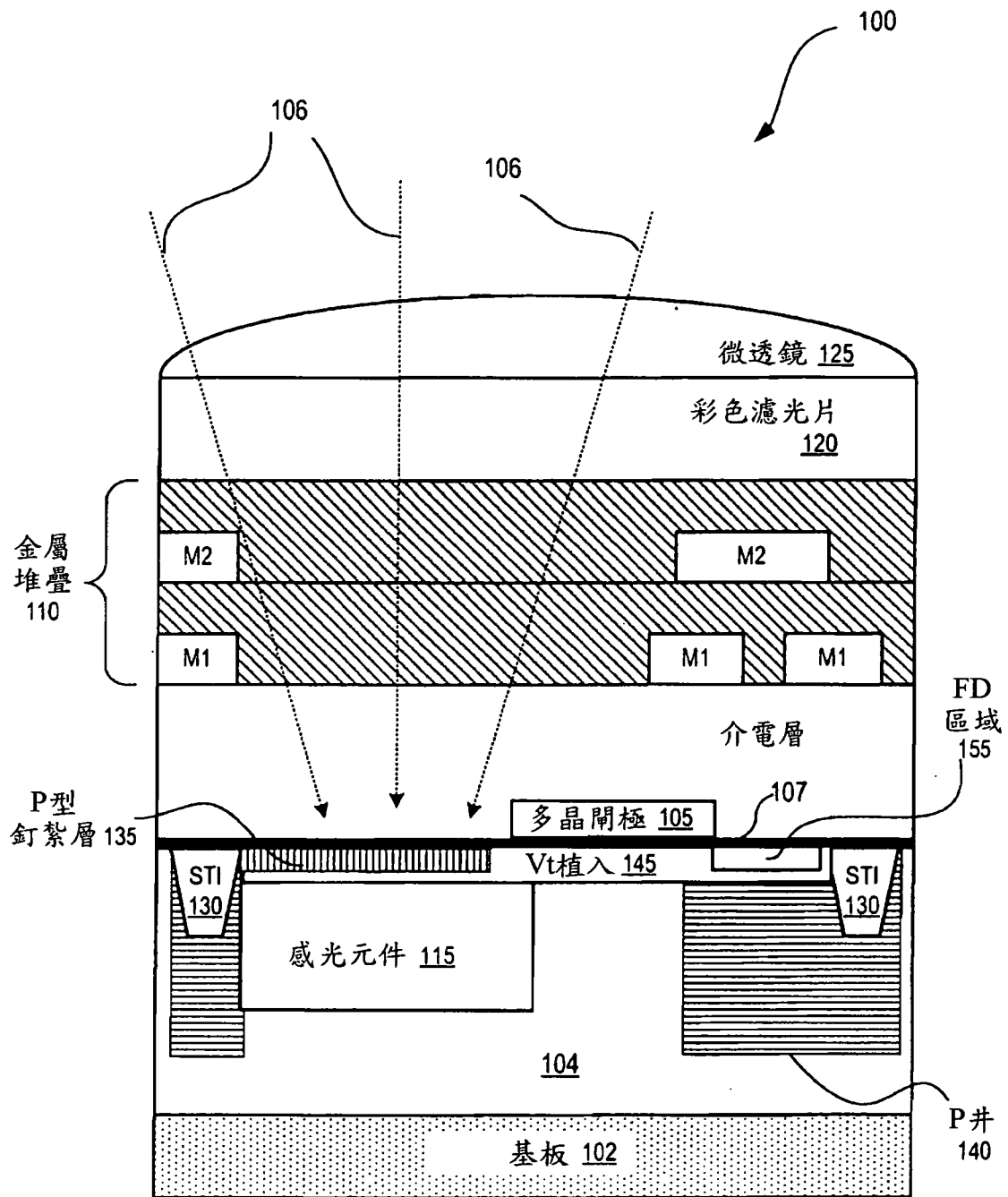


圖 1

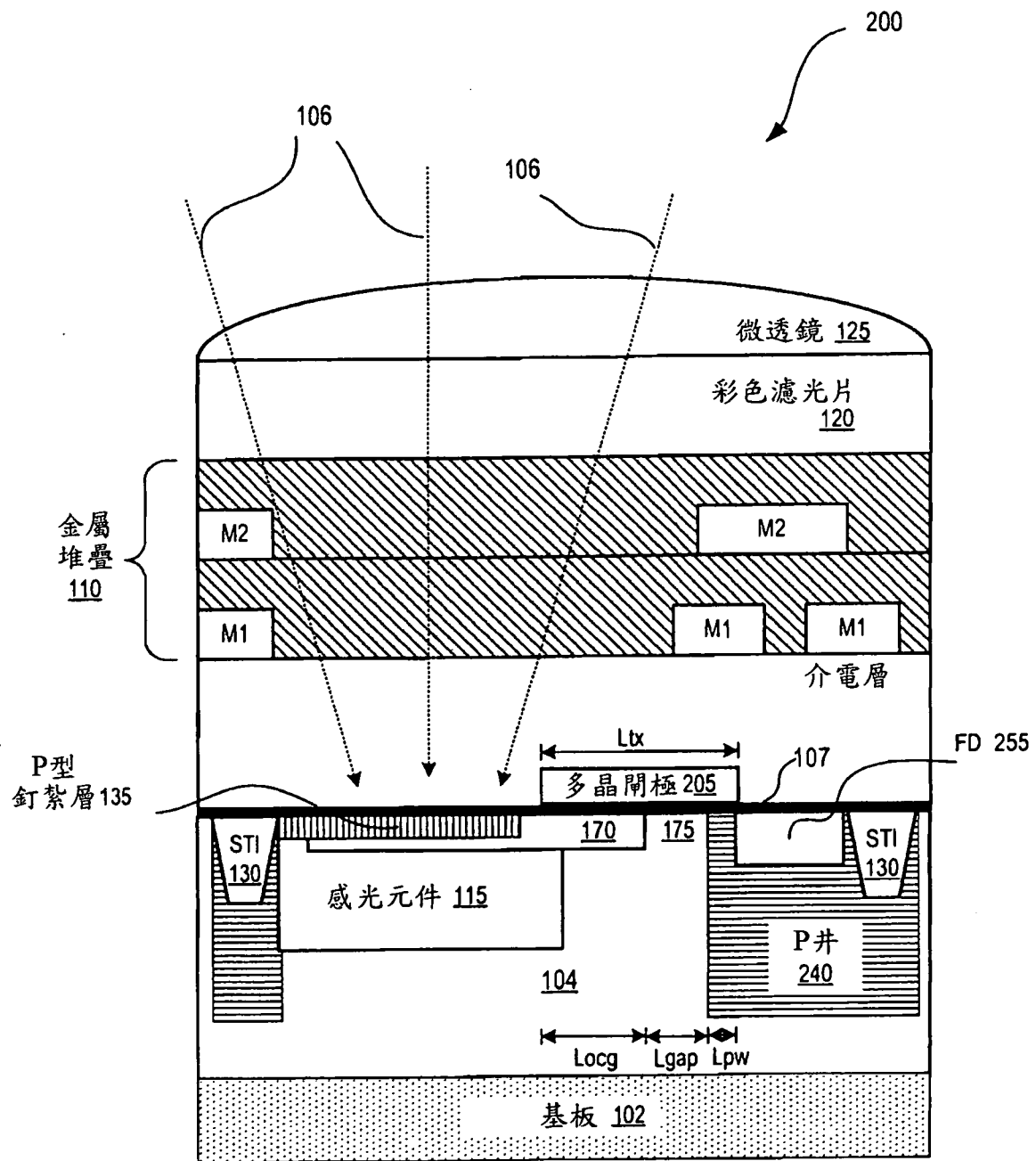


圖2

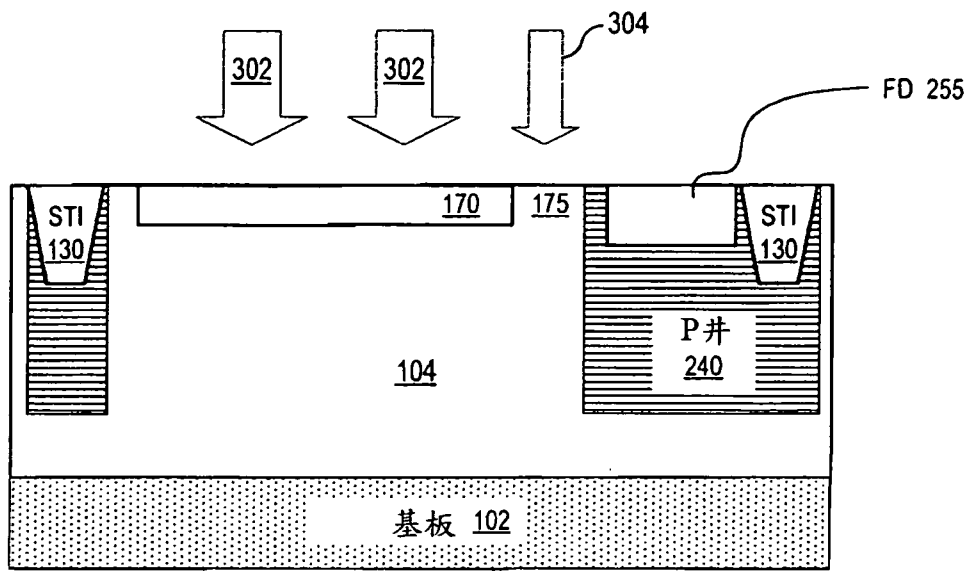


圖 3A

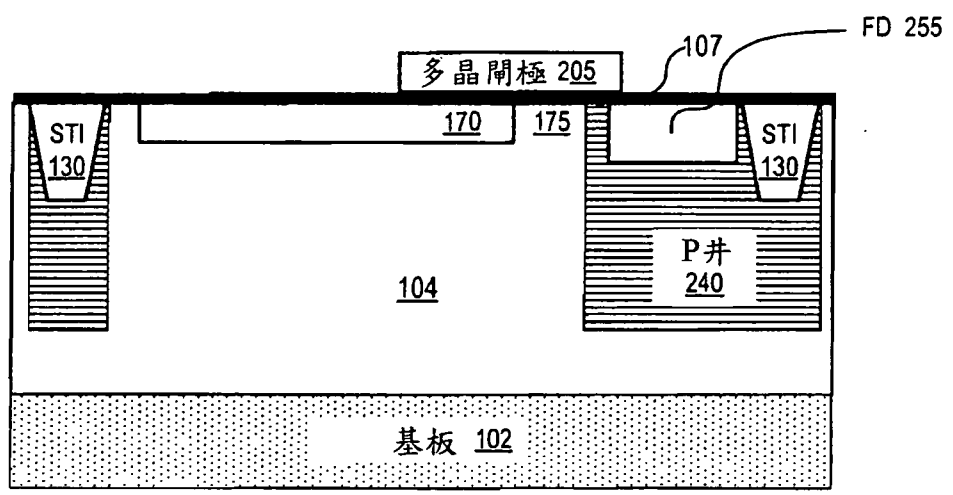


圖 3B

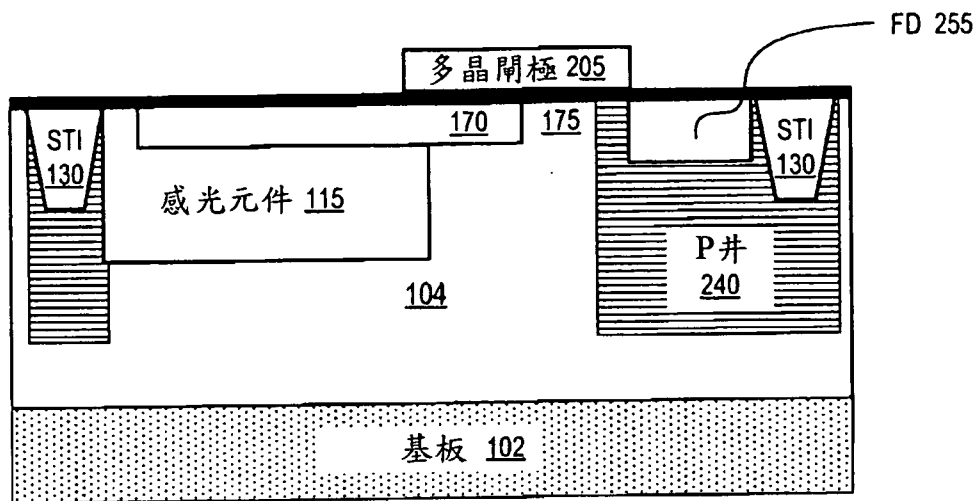


圖3C

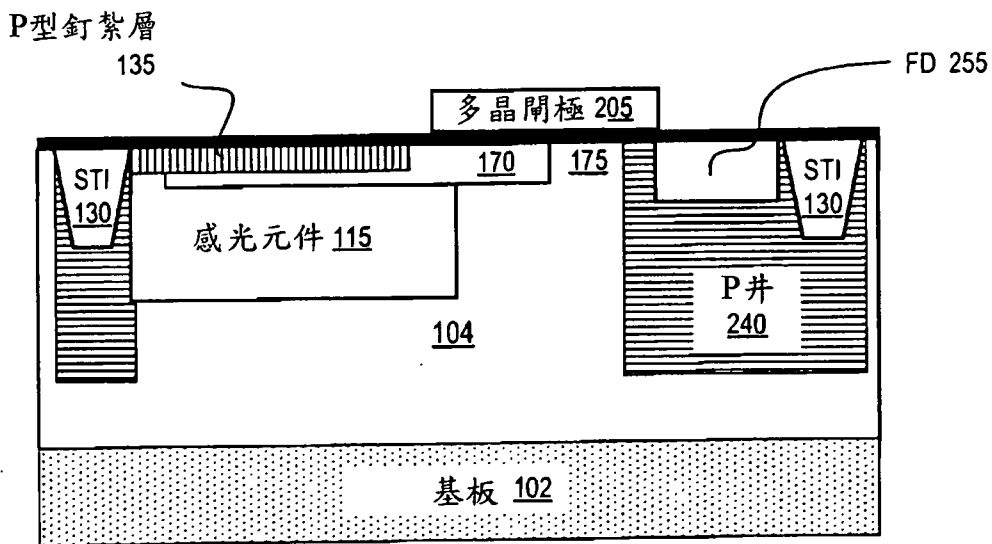


圖3D

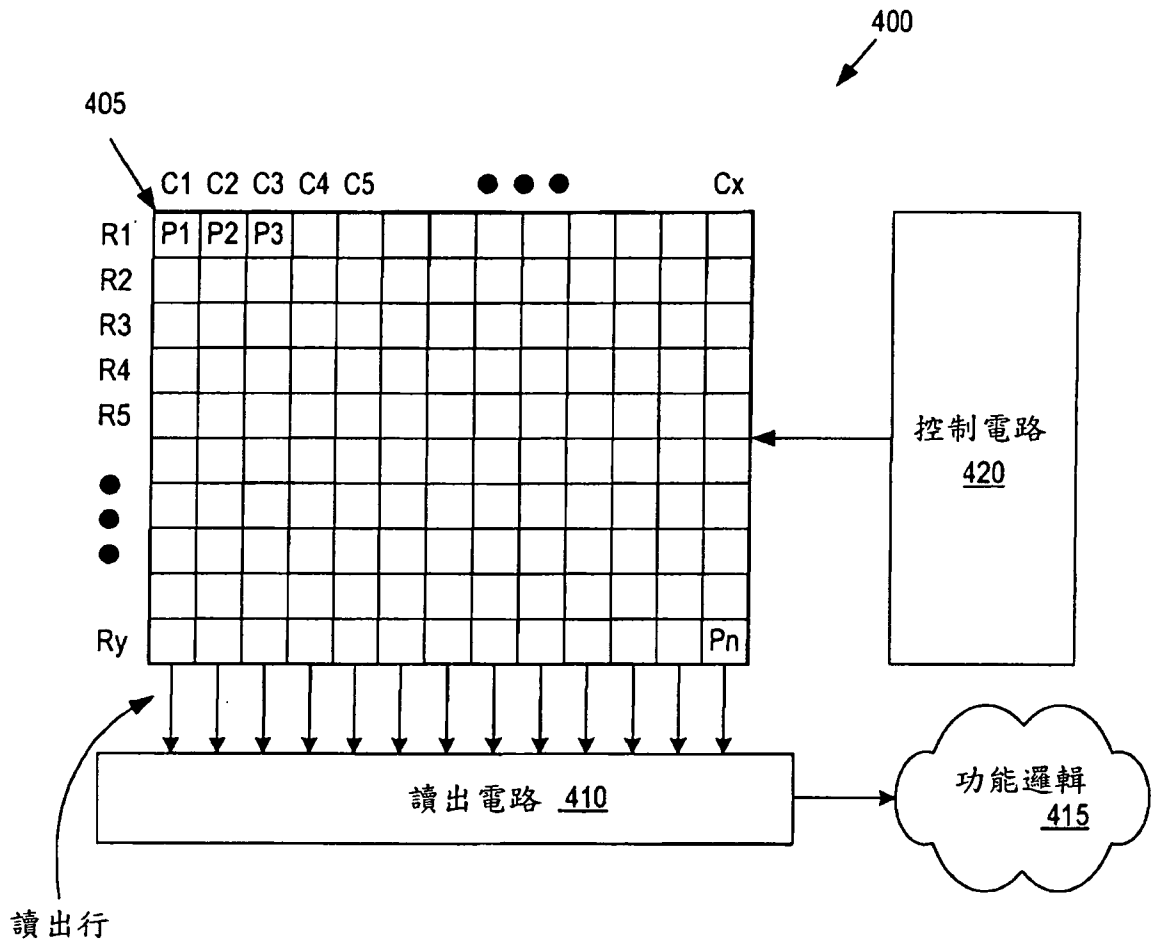


圖4

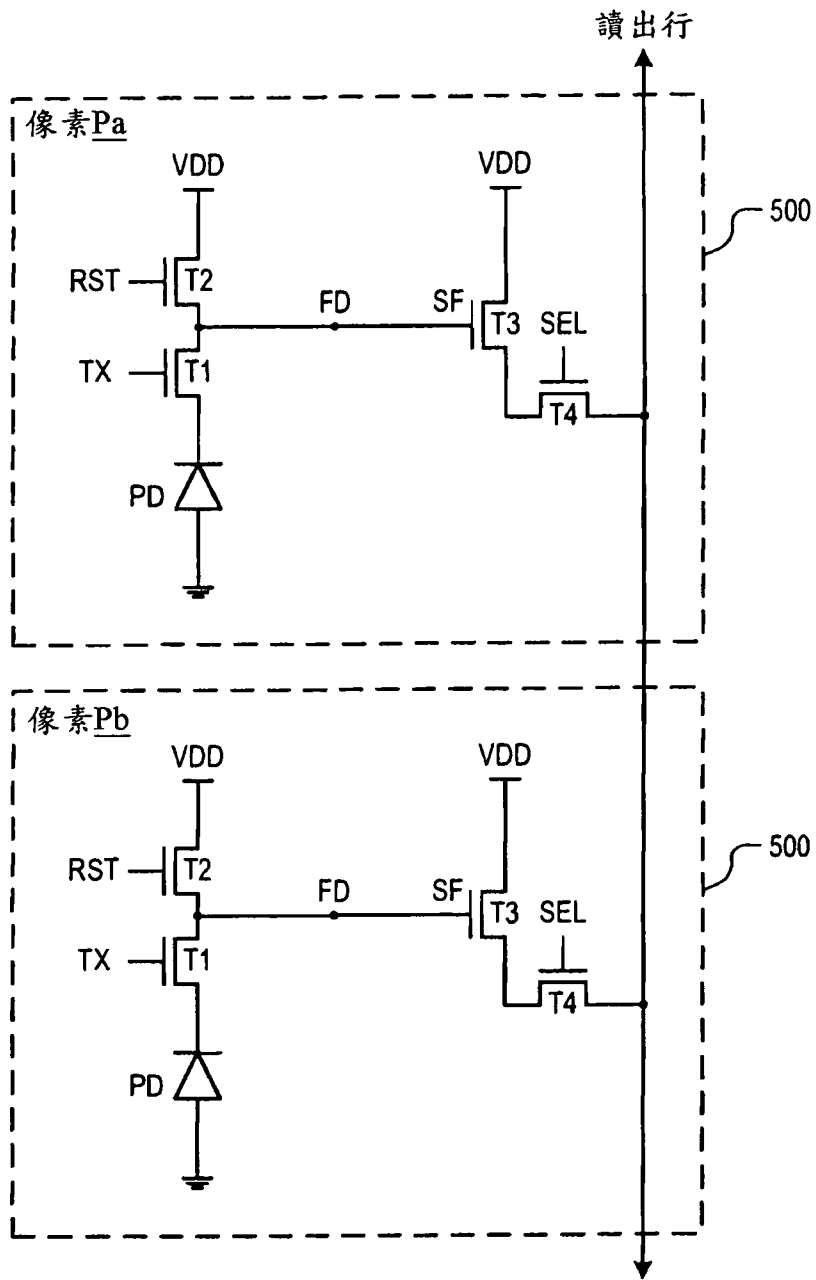


圖5

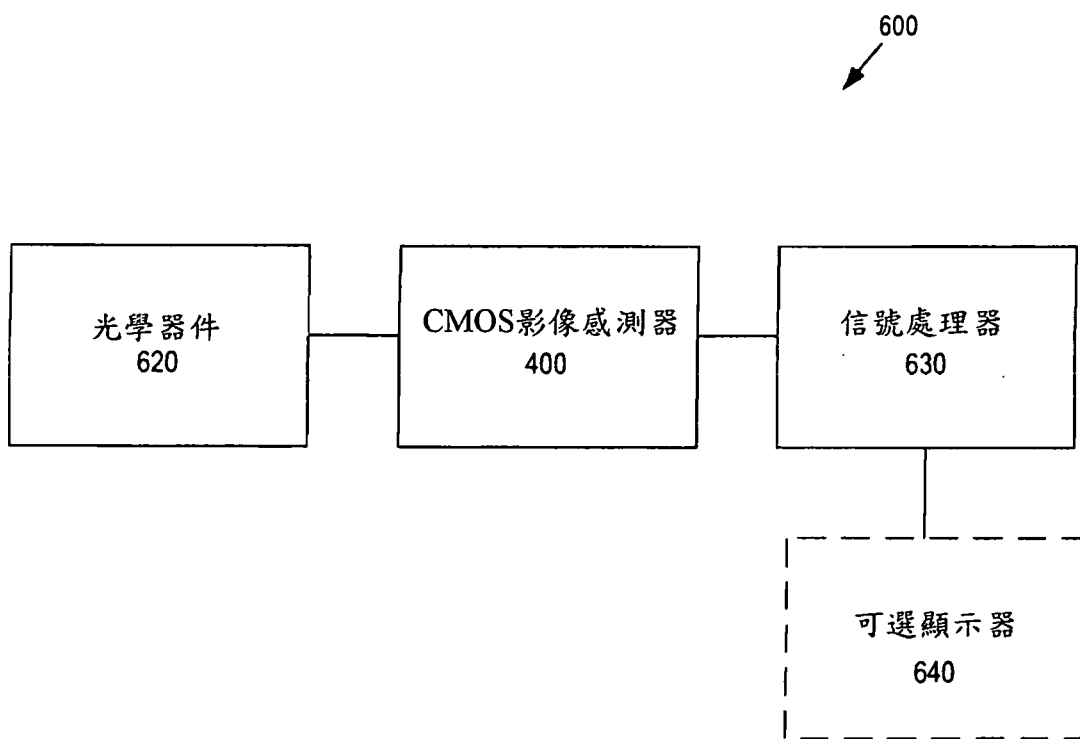


圖6