



(21)申請案號：108142818

(22)申請日：中華民國 108 (2019) 年 11 月 25 日

(51)Int. Cl. :

G11C11/401 (2006.01)

G11C7/10 (2006.01)

G11C7/18 (2006.01)

G11C7/22 (2006.01)

(30)優先權：2019/01/29日本2019-012887
2019/01/29日本2019-013607
2019/02/08日本2019-021404
2019/05/15日本2019-091842

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)
日本

(72)發明人：長塚修平 NAGATSUKA, SHUHEI (JP)；大貫達也 ONUKI, TATSUYA (JP)；加藤
清 KATO, KIYOSHI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW201532072A

TW201841160A

JP2015-181159A

US2009/0086525A1

US2015/0255139A1

US2017/0092371A1

US2017/0243650A1

審查人員：陳俊達

申請專利範圍項數：7 項圖式數：34共 109 頁

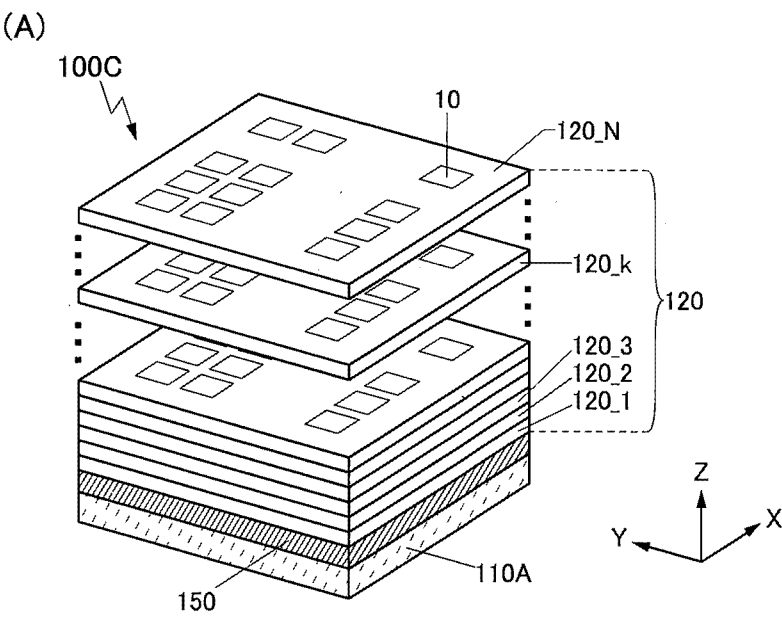
(54)名稱

記憶體裝置

(57)摘要

提供一種新穎的記憶體裝置。在驅動電路層上層疊 N 個(N 是 2 以上的自然數)包括配置為矩陣狀的多個記憶單元的存儲層。記憶單元包括兩個電晶體以及一個電容器。將氧化物半導體用於構成電晶體的半導體。記憶單元與寫入字線、選擇線、電容線、寫入位元線及讀出位元線電連接。藉由將寫入位元線及讀出位元線延伸在層疊方向上，縮短記憶單元與驅動電路層之間的信號傳輸距離。

指定代表圖：



符號簡單說明：

10 . . . 記憶單元

100C . . . 記憶體裝置

110A . . . 驅動電路層

120 . . . 存儲層

120_1 . . . 存儲層

120_2 . . . 存儲層

120_3 . . . 存儲層

120_k . . . 存儲層

120_N . . . 存儲層

150 . . . 功能層

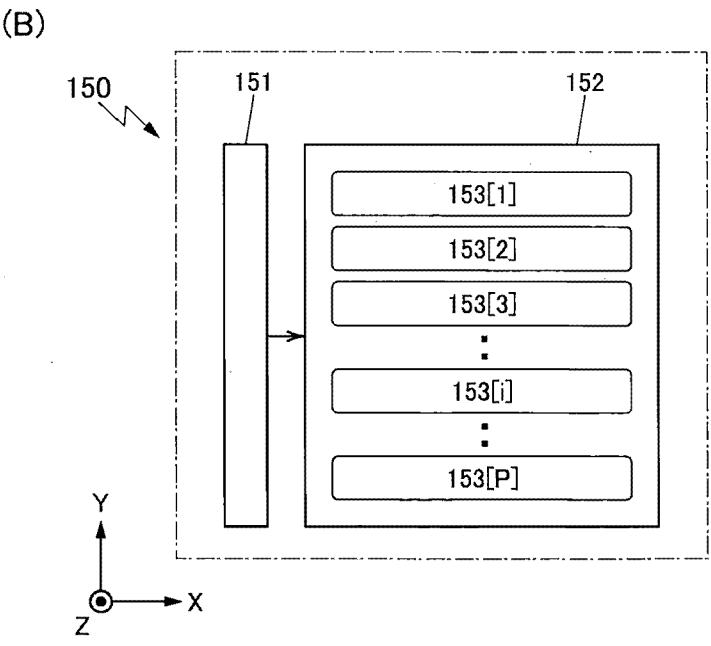


圖18

發明摘要

【發明名稱】(中文/英文)

記憶體裝置

【中文】

提供一種新穎的記憶體裝置。在驅動電路層上層疊 N 個 (N 是 2 以上的自然數) 包括配置為矩陣狀的多個記憶單元的存儲層。記憶單元包括兩個電晶體以及一個電容器。將氧化物半導體用於構成電晶體的半導體。記憶單元與寫入字線、選擇線、電容線、寫入位元線及讀出位元線電連接。藉由將寫入位元線及讀出位元線延伸在層疊方向上，縮短記憶單元與驅動電路層之間的信號傳輸距離。

【英文】

【代表圖】

【本案指定代表圖】：第（18A）圖。

【本代表圖之符號簡單說明】：

10 記憶單元

100C 記憶體裝置

110A 驅動電路層

120 存儲層

120_1 存儲層

120_2 存儲層

120_3 存儲層

120_k 存儲層

120_N 存儲層

150 功能層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

記憶體裝置

【技術領域】

[0001]

本發明的一個實施方式係關於一種記憶體裝置、半導體裝置或使用上述裝置的電子裝置。

[0002]

但是，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本說明書等所公開的發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

[0003]

注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體、半導體電路為半導體裝置的一個實施方式。另外，顯示裝置（液晶顯示裝置、發光顯示裝置等）、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、成像裝置及電子裝置等有時可以說是半導體裝置。或者，有時可以說是包括半導體裝置。

【先前技術】

[0004]

近年來，隨著使用資料量的增大，需要具有更大的記憶容量的半導體裝置。為了增加每單位面積的記憶容量，有效的是層疊記憶單元（參照專利文獻 1 及專利文獻 2）。藉由層疊設置記憶單元，可以與記憶單元的層疊數相應地增加每單位面積的記憶容量。

[專利文獻]

[0005]

[專利文獻 1] 美國專利申請公開第 2011/0065270A1 公報

[專利文獻 2] 美國專利第 9634097B2 號公報

【發明內容】

[0006]

在專利文獻 1 及專利文獻 2 中，層疊有多個記憶元件（也稱為記憶單元），它們串聯連接來構成三維結構的記憶單元陣列（也稱為記憶體串（memory string））。另一方面，在這樣的三維結構的記憶單元陣列中，記憶元件的層疊數越多，記憶單元間的串聯電阻就越高，記憶單元陣列的電阻就越高。而在記憶單元陣列的電阻變高的情況下，有流過記憶單元陣列的電流的損耗以及記憶單元陣列的發熱等問題。

[0007]

另外，在專利文獻 1 中，形成為柱狀的半導體圖案與包括電荷積蓄層的絕緣體接觸。另外，在專利文獻 2 中，形成為柱狀的半導體圖案與被用作穿隧電介質的絕緣體接觸。當半導體與絕緣體接觸時，在它們的介面處有時形成陷阱中心。形成在半導體和絕緣體的介面處的陷阱中心俘獲電子，使電晶體的臨界電壓向正方向上漂移，因此有可能給電晶體的導通狀態下的電流驅動力，亦即通態電流（on-state current）、場效移動率或可靠性帶來負面影響。

[0008]

本發明的一個實施方式的目的之一是提供一種積體度高的記憶體裝置。另外，本發明的目的之一是提供一種可靠性高的記憶體裝置。另外，本發明的一個實施方式的目的之一是提供一種功耗低的記憶體裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的記憶體裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。

[0009]

注意，這些目的的記載不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。除上述目的外的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中衍生。

[0010]

在驅動電路層上層疊 N 個（N 是 2 以上的自然數）包括配置為矩陣狀的多個記憶單元的存儲層。記憶單元包括兩個電晶體以及一個電容器。將氧化物半導體用於構成電晶體的半導體。記憶單元與寫入字線、選擇線、電容線、寫入位元線及讀出位元線電連接。藉由將寫入位元線及讀出位元線延伸

在層疊方向上，縮短記憶單元與驅動電路層之間的信號傳輸距離。

[0011]

本發明的一個實施方式是一種記憶體裝置，該記憶體裝置包括 N 個 (N 是 2 以上的自然數) 存儲層、驅動電路層、多個第一佈線以及多個第二佈線。 N 個存儲層層疊在驅動電路層上。驅動電路層包括多個第一電路。多個第一佈線在 N 個存儲層的層疊方向上延伸並設置為 P 行 R 列 (P 及 R 是 1 以上的自然數) 的矩陣狀。多個第二佈線在層疊方向上延伸並設置為 P 行 Q 列 (P 及 Q 是 2 以上的自然數) 的矩陣狀。 N 個存儲層各自包括設置為 P 行 Q 列的矩陣狀的多個記憶單元、 Q 列的第三佈線、 Q 列的第四佈線以及 Q 列的第五佈線。在第 k 個存儲層中，第 i 行第 $2 \times s - 1$ 列的記憶單元和第 i 行第 $2 \times s$ 列的記憶單元與第 i 行第 s 列的第一佈線電連接，第 i 行第 $2 \times s - 1$ 列的記憶單元與第 i 行第 $2 \times s - 1$ 列的第二佈線、第 $2 \times s - 1$ 列的第三佈線、第 $2 \times s - 1$ 列的第四佈線及第 $2 \times s - 1$ 列的第五佈線電連接。第一佈線和第二佈線與多個第一電路中的任一個電連接。

[0012]

另外，作為本發明的另一個實施方式，在上述記憶體裝置中，第 i 行第 $2 \times s - 1$ 列的記憶單元包括第一電晶體、第二電晶體以及電容器。第一電晶體的源極和汲極中的一個與第二電晶體的閘極及電容器的一個電極電連接。第一電晶體的源極和汲極中的另一個與第一佈線電連接。第一電晶體的閘極與第三佈線電連接。第一電晶體的源極和汲極中的一個與第四佈線電連接。第一電晶體的源極和汲極中的另一個與第二佈線電連接。電容器的另一個電極與第五佈線電連接。

[0013]

另外，在上述結構中，較佳為在驅動電路層與多個記憶單元之間還包括功能層。功能層包括多個第二電路。第一佈線和第二佈線也可以藉由多個第二電路中的任一個與第一電路電連接。

[0014]

第一電晶體和第二電晶體中的至少一個較佳為在半導體中包含氧化物。另外，該氧化物較佳為包含 In 和 Zn 中的任一個或兩個。或者，該氧化物較佳為包含 In 、 Ga 及 Zn 。

[0015]

另外，較佳的是，上述電路包括多個電晶體，多個電晶體在半導體中包含矽。

[0016]

根據本發明的一個實施方式可以提供一種積體度高的記憶體裝置。另外，可以提供一種可靠性高的記憶體裝置。另外，可以提供一種功耗低的記憶體裝置。另外，可以提供一種新穎的記憶體裝置。另外，可以提供一種新穎的半導體裝置。

[0017]

注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述效果以外的效果，可以從說明書、圖式以及申請專利範圍等的記載中衍生上述效果以外的效果。

【圖式簡單說明】

[0018]

在圖式中：

圖 1A 及圖 1B 是示出記憶體裝置的結構例子的圖；

圖 2 是說明驅動電路層的結構例子的圖；

圖 3 是說明存儲層的結構例子的圖；

圖 4 是示出存儲層的一部分以及驅動電路層的一部分的圖；

圖 5 是示出存儲層的一部分的圖；

圖 6 是示出位元線、記憶單元及 RW 電路的連接例子的圖；

圖 7A 及圖 7B 是示出記憶單元的結構例子的圖；

圖 8A 及圖 8B 是示出記憶單元的結構例子的圖；

圖 9A 及圖 9B 是示出多閘極電晶體的圖；

圖 10 是用來說明記憶單元的工作的時序圖；

圖 11A 及圖 11B 是用來說明記憶單元的工作的圖；

圖 12A 及圖 12B 是用來說明記憶單元的工作的圖；

圖 13 是說明讀/寫電路的結構例子的圖；

圖 14A 至圖 14C 是示出記憶體裝置的結構例子的圖；

圖 15A 及圖 15B 是示出記憶體裝置的結構例子的圖；

圖 16 是示出存儲層的一部分以及驅動電路層的一部分的圖；

圖 17 是示出位元線與 RW 電路的連接例子的圖；

圖 18A 及圖 18B 是示出記憶體裝置的結構例子的圖；

圖 19 是示出存儲層的一部分、功能層的一部分及驅動電路層的一部分的圖；

圖 20 是示出位元線、選擇電路及 RW 電路的連接例子的圖；

圖 21 是說明選擇電路的結構例子的圖；

圖 22A 及圖 22B 是根據本發明的一個實施方式的記憶體裝置的俯視圖及剖面圖；

圖 23A 及圖 23B 是根據本發明的一個實施方式的記憶體裝置的俯視圖及剖面圖；

圖 24 是根據本發明的一個實施方式的記憶體裝置的俯視圖；

圖 25 是根據本發明的一個實施方式的記憶體裝置的剖面圖；

圖 26 是根據本發明的一個實施方式的記憶體裝置的剖面圖；

圖 27 是根據本發明的一個實施方式的記憶體裝置的剖面圖；

圖 28A 是說明 IGZO 的結晶結構的分類的圖，圖 28B 是說明石英玻璃的 XRD 譜的圖，圖 28C 是說明結晶性 IGZO 的 XRD 譜的圖；

圖 29A 及圖 29B 是說明電子構件的一個例子的圖；

圖 30 是說明電子裝置的例子的圖。

圖 31 是以層級示出各種記憶體裝置的圖；

圖 32A 至圖 32E 是說明記憶體裝置的應用例子的圖；

圖 33 是示出 IoT 網路的分層結構以及需求規格的傾向的圖；

圖 34 是工廠自動化的概念圖。

【實施方式】

[0019]

參照圖式對實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。注意，在以下說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[0020]

此外，為了便於對發明的理解，圖式等示出的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，所公開的發明不一定

侷限於圖式等所公開的位置、大小、範圍等。例如，在實際的製程中，有時由於蝕刻等處理而光阻遮罩等被非意圖性地蝕刻，但是為了便於理解有時省略圖示。

[0021]

另外，尤其在俯視圖（也稱為平面圖）或透視圖等中，為了易於理解圖式，有時省略部分組件的記載。

[0022]

另外，在本說明書等中，“電極”或“佈線”不在功能上限定其組件。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

[0023]

另外，在本說明書等中，電子電路中的“端子”是指進行電流的輸入或輸出、電壓的輸入或輸出以及/或者信號的接收或發送的部分。因此，佈線或電極的一部分有時被用作端子。

[0024]

另外，在本說明書等中，“上”或“下”不侷限於組件的位置關係為“正上”或“正下”且直接接觸的情況。例如，“絕緣層 A 上的電極 B”不需要在絕緣層 A 上直接接觸地形成有電極 B，也可以包括在絕緣層 A 與電極 B 之間包括其他組件的情況。

[0025]

另外，由於“源極”及“汲極”的功能，例如在採用不同極性的電晶體時或在電路工作中電流的方向變化時等，根據工作條件等而相互調換，因此很難限定哪個是“源極”，哪個是“汲極”。因此，在本說明書中，“源極”及“汲極”可以互相調換。

[0026]

在本說明書等中，當明確地記載為“X 與 Y 連接”時，在本說明書等中公開的情況包括：X 與 Y 電連接的情況；以及 X 與 Y 直接連接的情況。

[0027]

在此，X、Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0028]

作為 X 與 Y 直接連接的情況的一個例子，可以舉出 X 與 Y 不藉由能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容器、電感器、電阻器、二

極體、顯示元件、發光元件及負載等)連接的情況。

[0029]

作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件(例如開關、電晶體、電容器、電感器、電阻器、二極體、顯示元件、發光元件及負載等)。另外，開關具有控制成為導通狀態(開啟狀態)或非導通狀態(關閉狀態)而控制是否使電流流過的功能。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0030]

另外，在本說明書中，“平行”例如是指是在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態。因此，也包括角度為 -5° 以上且 5° 以下的情況。另外，“垂直”或“正交”例如是指是在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態。因此，也包括角度為 85° 以上且 95° 以下的情況。

[0031]

另外，在本說明書等中，除非特別敘述，關於計數值或計量值提到“同一”、“相同”、“相等”或“均勻”等的情況下，包括 $\pm 20\%$ 的變動作為誤差。

[0032]

另外，電壓多指某個電位與參考電位(例如，接地電位或源極電位等)之間的電位差。因此，有時也可以互換“電壓”與“電位”的稱謂。在本說明書等中，除非特別敘述，電壓和電位是可以互換的。

[0033]

注意，例如當導電性充分低時，即使表示為“半導體”也具有“絕緣體”的特性。因此，也可以使用“絕緣體”代替“半導體”。此時，“半導體”和“絕緣體”的境界模糊，因此難以精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“絕緣體”。

[0034]

另外，例如當導電性充分高時，即使表示為“半導體”也具有“導電體”的特性。因此，也可以使用“導電體”代替“半導體”。此時，“半導體”和“導電體”的境界模糊，因此難以精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“導電體”。

[0035]

本說明書等中的“第一”、“第二”等序數詞是為了避免組件的混同

而使用的，其並不表示製程順序或者層疊順序等的順序或次序。另外，關於本說明書等中不附加序數詞的用詞，為了避免組件的混同在申請專利範圍中有時對該用詞附加序數詞。注意，關於本說明書等中附加序數詞的用詞，在申請專利範圍中有時對該用詞附加其他序數詞。注意，關於本說明書等中附加有序數詞的用詞，在申請專利範圍中有時省略其序數詞。

[0036]

另外，在本說明書等中，電晶體的“開啟狀態”（有時省略為“開啟”）是指可以看作電晶體的源極和汲極電短路的狀態（也稱為“導通狀態”）。或者，除非特別敘述，在 n 通道電晶體中，“開啟狀態”是指閘極與源極間的電壓（也稱為“閘極電壓”或“ V_g ”）為臨界電壓（也稱為“ V_{th} ”）以上的狀態，在 p 通道電晶體中，“開啟狀態”是指 V_g 為 V_{th} 以下的狀態。

[0037]

另外，電晶體的“關閉狀態”（有時省略為“關閉”）是指可以看作電晶體的源極和汲極電遮斷的狀態（也稱為“非導通狀態”）。或者，除非特別敘述，在 n 通道電晶體中，關閉狀態是指 V_g 低於 V_{th} 的狀態，在 p 通道電晶體中，關閉狀態是指 V_g 高於 V_{th} 的狀態。

[0038]

此外，在本說明書等中，“通態電流”有時是指在電晶體處於開啟狀態時流過源極和汲極之間的電流。此外，“關態電流(off-state current)”有時是指在電晶體處於關閉狀態時流過源極和汲極之間的電流。

[0039]

另外，在本說明書等中，高電源電位 VDD （也稱為“ VDD ”或“H 電位”）是指比低電源電位 VSS 高的電位的電源電位。另外，低電源電位 VSS （也稱為“ VSS ”或“L 電位”）是指比高電源電位 VDD 低的電位的電源電位。此外，也可以將接地電位用作 VDD 或 VSS 。例如，在 VDD 是接地電位時， VSS 是低於接地電位的電位，在 VSS 是接地電位時， VDD 是高於接地電位的電位。

[0040]

另外，在本說明書等中，閘極是指閘極電極及閘極佈線的一部分或全部。閘極佈線是指用來電連接至少一個電晶體的閘極電極與其他電極或其他佈線的佈線。

[0041]

另外，在本說明書等中，源極是指源極區域、源極電極及源極佈線的一

部分或全部。源極區域是指半導體層中的電阻率為一定值以下的區域。源極電極是指導電層中的連接到源極區域的部分。源極佈線是指用來電連接至少一個電晶體的源極電極與其他電極或其他佈線的佈線。

[0042]

另外，在本說明書等中，汲極是指汲極區域、汲極電極及汲極佈線的一部分或全部。汲極區域是指半導體層中的電阻率為一定值以下的區域。汲極電極是指導電層中的連接到汲極區域的部分。汲極佈線是指用來電連接至少一個電晶體的汲極電極與其他電極或其他佈線的佈線。

[0043]

實施方式 1

使用圖式說明本發明的一個實施方式的記憶體裝置。注意，有時在圖式中附上表示 X 方向、Y 方向以及 Z 方向的箭頭。X 方向、Y 方向以及 Z 方向是指彼此正交或交叉的方向。

[0044]

圖 1A 及圖 1B 示出本發明的一個實施方式的記憶體裝置 100 的立體圖。記憶體裝置 100 包括驅動電路層 110、N 個（N 是 2 以上的自然數）存儲層 120。驅動電路層 110 包括多個 RW 陣列 127 等多個電路。另外，存儲層 120 的每一個包括多個記憶單元 10。注意，在圖 1B 中，以虛線表示存儲層 120。

[0045]

N 個存儲層 120 設置在驅動電路層 110 上。藉由將 N 個存儲層 120 設置在驅動電路層 110 上，可以減小記憶體裝置 100 的佔有面積。另外，可以增高每單位面積的記憶容量。

[0046]

在圖 1A 中，將第一個存儲層 120 記載為存儲層 120_1，將第二個存儲層 120 記載為存儲層 120_2，將第三個存儲層 120 記載為存儲層 120_3。與此同樣，將第 k 個（k 是 1 以上的自然數）存儲層 120 記載為存儲層 120_k，將第 N 個存儲層 120 記載為存儲層 120_N。注意，在本說明書等中，在說明有關 N 個存儲層 120 整體的內容的情況或者示出 N 個存儲層 120 的各層之間共同的內容的情況下，有時簡單地記載為“存儲層 120”。

[0047]

〈驅動電路層 110 的結構例子〉

說明驅動電路層 110 的結構例子。圖 2 是說明驅動電路層 110 的結構例子的方塊圖。驅動電路層 110 包括 PSW141（功率開關）、PSW142、週邊電路 115 及 RW 陣列 127。週邊電路 115 包括週邊電路 111、控制電路 112 及電壓生成電路 128。

[0048]

在驅動電路層 110 中，根據需要可以適當地取捨各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號 BW、CE、GW、CLK、WAKE、ADDR、WDA、PON1、PON2 為從外部輸入的信號，信號 RDA 為輸出到外部的信號。信號 CLK 為時脈信號。

[0049]

另外，信號 BW、CE 及信號 GW 是控制信號。信號 CE 為晶片賦能信號，信號 GW 為全局寫入賦能信號，信號 BW 為位元組寫入賦能信號。信號 ADDR 為位址信號。信號 WDA 為寫入資料信號，信號 RDA 為讀出資料信號。信號 PON1、PON2 為電源閘控控制用信號。此外，信號 PON1、PON2 也可以在控制電路 112 中生成。

[0050]

控制電路 112 為具有控制驅動電路層 110 的整體工作的功能的邏輯電路。例如，控制電路對信號 CE、信號 GW 及信號 BW 進行邏輯運算來決定記憶體裝置 100 的工作模式（例如，寫入工作、讀出工作）。或者，控制電路 112 生成週邊電路 111 的控制信號，以執行上述工作模式。

[0051]

電壓生成電路 128 具有生成負電壓（ V_{BG} ）的功能。WAKE 具有控制對電壓生成電路 128 輸入 CLK 的功能。例如，當 WAKE 被供應 H 位準的信號時，信號 CLK 被輸入到電壓生成電路 128，電壓生成電路 128 生成 V_{BG} 。

[0052]

週邊電路 111 是用來對記憶單元 10 進行資料的寫入及讀出的電路。週邊電路 111 包括行解碼器 121、列解碼器 122、行驅動器 123、列驅動器 124、輸入電路 125、輸出電路 126 及 RW 陣列 127。

[0053]

行解碼器 121 及列解碼器 122 具有對信號 ADDR 進行解碼的功能。行解碼器 121 是用來為存儲層 120 按層指定要訪問行的電路，列解碼器 122 是用來為存儲層 120 按層指定要訪問列的電路。行驅動器 123 具有選擇連接到由行解碼器 121 為存儲層 120 按層指定的行的記憶單元 10 的字線的功

能。列驅動器 124 具有如下功能：將資料藉由後述的 RW 電路 129 而寫入存儲層 120 的記憶單元 10 的功能；從存儲層 120 的記憶單元 10 藉由後述的 RW 電路 129 而讀出資料的功能；保持所讀出的資料的功能等。

[0054]

輸入電路 125 具有保持信號 WDA 的功能。輸入電路 125 中保持的資料輸出到列驅動器 124。輸入電路 125 的輸出資料是寫入存儲層 120 的資料（Din）。列驅動器 124 從存儲層 120 讀出的資料（Dout）被輸出至輸出電路 126。輸出電路 126 具有保持 Dout 的功能。另外，輸出電路 126 具有將 Dout 輸出到記憶體裝置 100 的外部的功能。從輸出電路 126 輸出的資料信號為信號 RDA。

[0055]

PSW141 具有控制向週邊電路 115 供給 VDD 的功能。PSW142 具有控制向行驅動器 123 供給 VHM 的功能。在此，記憶體裝置 100 的高電源電壓為 VDD，低電源電壓為 GND（接地電位）。另外，VHM 是在存儲層 120 中使用的高電源電壓，並有時高於 VDD。利用信號 PON1 控制 PSW141 的開/關，利用信號 PON2 控制 PSW142 的開/關。在圖 2 中，週邊電路 115 中被供應 VDD 的電源域的個數為 1，但是也可以為多個。此時，可以對各電源域設置功率開關。

[0056]

RW 陣列 127 包括配置為 P 行 R 列（P 及 R 是 2 以上的自然數）的矩陣狀的多個讀/寫電路（RW 電路 129）。在圖 2 等中，將設置在第一行第一列的 RW 電路 129 記載為 RW 電路 129[1, 1]。另外，將設置在第 i 行第 s 列（i 是 1 以上且 P 以下的自然數，s 是 1 以上且 R 以下的自然數）的 RW 電路 129 記載為 RW 電路 129[i, s]。另外，將設置在第 P 行第 R 列的 RW 電路 129 記載為 RW 電路 129[P, R]。

[0057]

注意，在本說明書等中，在說明有關 RW 電路 129 整體的內容的情況或者示出各 RW 電路 129 之間共同的內容的情況下，有時簡單地記載為“RW 電路 129”。

[0058]

RW 電路 129 與後述的位元線電連接，並具有將資料寫入存儲層 120 的記憶單元 10 的功能以及讀出記憶單元 10 所保持的資料的功能。

[0059]

〈存儲層 120 的結構例子〉

說明 N 個存儲層 120 的結構例子。各存儲層 120 包括設置為 P 行 Q 列（Q 是 2 以上的自然數）的矩陣狀的多個記憶單元 10。圖 3 是從 Z 方向看第 k 個存儲層 120（存儲層 120_k）時的方塊圖。在本說明書等中，X 方向相當於行方向，Y 方向相當於列方向，Z 方向相當於存儲層 120 的層疊方向。

[0060]

在圖 3 等中，將設置在第 k 個存儲層 120 的第一行第一列的記憶單元 10 記載為記憶單元 10[1, 1]_k。另外，將設置在第 k 個存儲層 120 的第 i 行第 j 列（j 是 1 以上且 Q 以下的自然數）的記憶單元 10 記載為記憶單元 10[i, j]_k。另外，將設置在第 k 個存儲層 120 的第 P 行第 Q 列的記憶單元 10 記載為記憶單元 10[P, Q]_k。

[0061]

注意，在本說明書等中，在說明有關記憶單元 10 整體的內容的情況或者示出各記憶單元 10 之間共同的內容的情況下，有時簡單地記載為“記憶單元 10”。

[0062]

另外，存儲層 120 的各層包括 Q 個字線 WWL、Q 個電容線 CL 以及 Q 個選擇線 SL。Q 個字線 WWL、Q 個電容線 CL 以及 Q 個選擇線 SL 具有在列方向（Y 方向）上延伸的區域。

[0063]

在圖 3 等中，將設置在第 k 個存儲層 120 中的第一列的字線 WWL 記載為字線 WWL[1]_k。另外，將設置在第 k 個存儲層 120 中的第 j 列的字線 WWL 記載為字線 WWL[j]_k。另外，將設置在第 k 個存儲層 120 中的第 Q 列的字線 WWL 記載為字線 WWL[Q]_k。電容線 CL 及選擇線 SL 的記載也與字線 WWL 同樣。

[0064]

注意，在本說明書等中，在說明有關字線 WWL 整體的內容的情況或者示出各字線 WWL 之間共同的內容的情況下，有時簡單地記載為“字線 WWL”。除了字線 WWL 以外，其他佈線及電極等也同樣地記載。

[0065]

在存儲層 120_k 中，設置在第 j 列的字線 WWL、設置在第 j 列的電容線 CL 及設置在第 j 列的選擇線 SL 與設置在第 j 列的記憶單元 10 電連接。

[0066]

此外，一般而言，電容線 CL 被供應固定電位。在電容線 CL 被供應固定電位的情況下，電容線 CL 也可以在列方向上不延伸。例如，電容線 CL 也可以在行方向上延伸。另外，可以將任意的多個電容線 CL 彼此電連接。

[0067]

另外，記憶體裝置 100 包括在 Z 方向上延伸並設置為 P 行 R 列的矩陣狀的位元線 WBL、以及在 Z 方向上延伸並設置為 P 行 Q 列的矩陣狀的位元線 RBL（參照圖 3 及圖 4）。

[0068]

在 Q 是奇數的情況下，表示列位置的 R 與 Q 的關係可以使用公式 1 或公式 2 表示。

[0069]

$$R = (Q+1) / 2 \quad \cdot \cdot \cdot \quad (\text{公式 1})$$

[0070]

$$Q = 2 \times R - 1 \quad \cdot \cdot \cdot \quad (\text{公式 2})$$

[0071]

在 Q 是偶數的情況下，表示列位置的 R 與 Q 的關係可以使用公式 3 或公式 4 表示。

[0072]

$$R = Q / 2 \quad \cdot \cdot \cdot \quad (\text{公式 3})$$

[0073]

$$Q = 2 \times R \quad \cdot \cdot \cdot \quad (\text{公式 4})$$

[0074]

位元線 WBL 具有與存儲層 120_k 重疊的區域。位元線 RBL 具有與存儲層 120_k 重疊的區域。

[0075]

在圖 3 等中，將設置在第 i 行第 s 列的位元線 WBL 記載為位元線 WBL[i, s]。另外，在圖 3 等中，將設置在第 i 行第 j 列的位元線 WBL 記載為位元線 RBL[i, j]。

[0076]

在存儲層 120_k 中，一個位元線 WBL 與兩個記憶單元 10 電連接。明確而言，位元線 WBL[i, s] 與記憶單元 10[i, 2×s-1]_k 及記憶單元 10[i, 2×s]_k 電連接。圖 3 等示出 j 是 2×s-1 的情況。

[0077]

另外，在存儲層 120_k 中，位元線 RBL[i, j] 與記憶單元 10[i, j]_k 電連接。

[0078]

圖 4 是示出 N 個存儲層 120 的一部分以及驅動電路層 110 的一部分的立體圖。圖 5 是示出 N 個存儲層 120 的一部分的立體圖。圖 5 示出存儲層 120_k 的一部分及存儲層 120_{k-1} 的一部分的結構例子。另外，圖 6 是示出位元線 WBL、位元線 RBL、記憶單元 10 及 RW 電路 129 的連接例子的圖。

[0079]

位元線 WBL[i, s]、位元線 RBL[i, j] 及位元線 RBL[i, j+1] 與 RW 電路 129[i, s] 電連接（參照圖 4 及圖 6）。圖 4 及圖 6 等示出 j 是 $2 \times s - 1$ 且 j+1 是 $2 \times s$ 的情況。

[0080]

在 j 是奇數的情況下，表示列位置的 s 與 j 的關係可以使用公式 5 或公式 6 表示。

[0081]

$$s = (j+1) / 2 \quad \cdot \cdot \cdot \quad (\text{公式 5})$$

[0082]

$$j = 2 \times s - 1 \quad \cdot \cdot \cdot \quad (\text{公式 6})$$

[0083]

在 j 是偶數的情況下，表示列位置的 s 與 j 的關係可以使用公式 7 或公式 8 表示。

[0084]

$$s = j / 2 \quad \cdot \cdot \cdot \quad (\text{公式 7})$$

[0085]

$$j = 2 \times s \quad \cdot \cdot \cdot \quad (\text{公式 8})$$

[0086]

〈記憶單元 10 的結構例子〉

接著，說明記憶單元 10 的結構例子。記憶單元 10 包括電晶體 11A、電晶體 11B 及電容器 12（參照圖 7A）。電晶體 11A 的源極和汲極中的一個與節點 FN 電連接，電晶體 11A 的源極和汲極中的另一個與位元線 WBL 電連接，電晶體 11A 的閘極與字線 WWL 電連接。電晶體 11B 的源極和汲極中的一個與選擇線 SL 電連接，電晶體 11B 的源極和汲極中的另一個與

位元線 RBL 電連接，電晶體 11B 的閘極與節點 FN 電連接。

[0087]

電容器 12 設置在節點 FN 與電容線 CL 之間。明確而言，電容器 12 的一個電極與節點 FN 電連接，電容器 12 的另一個電極與電容線 CL 電連接。

[0088]

作為電晶體 11A 及電晶體 11B，較佳為使用在形成通道的半導體層中使用金屬氧化物之一的氧化物半導體的電晶體（也稱為“OS 電晶體”）。

[0089]

OS 電晶體的關態電流可以極小。明確而言，室溫下的每通道寬度為 $1\mu\text{m}$ 的關態電流可以低於 $1\times 10^{-20}\text{A}$ ，較佳為低於 $1\times 10^{-22}\text{A}$ ，更佳為低於 $1\times 10^{-24}\text{A}$ 。

[0090]

另外，即使在高溫環境下，OS 電晶體的關態電流也幾乎不增加。明確而言，即使在室溫以上且 200°C 以下的環境溫度下，關態電流也幾乎不增加。藉由將 OS 電晶體用作構成半導體裝置的電晶體，可以實現即使在高溫環境下也穩定地工作並具有高可靠性的記憶體裝置。

[0091]

藉由將 OS 電晶體用作電晶體 11A，可以使電容器 12 小。或者，可以使用電晶體等寄生電容代替電容器 12，而不設置電容器 12。其結果是，可以縮小記憶體裝置的佔有面積。注意，有時將 OS 電晶體用作構成記憶單元的電晶體而成的記憶元件稱為“OS 記憶體”。

[0092]

因為氧化物半導體可以利用濺射法等形成，所以可以藉由改良習知的生產設備的一部分而製造 OS 電晶體。因此，可以抑制設備投資。另外，在 OS 電晶體的製程中，不需要在將矽用於形成通道的半導體層的電晶體（也稱為 Si 電晶體）的製程中進行的雜質導入製程等。藉由將 OS 電晶體用作構成存儲層 120 的電晶體，可以使存儲層 120 的多層化的實現變容易。

[0093]

另外，可以將包括背閘極的電晶體用作電晶體 11A 和電晶體 11B 中的至少一個。在圖 7B 中，示出作為電晶體 11A 及電晶體 11B 都使用包括背閘極的電晶體的例子。另外，在圖 7B 中，示出在電晶體 11A 及電晶體 11B 各自中閘極和背閘極電連接的例子。

[0094]

以與閘極夾著半導體層的通道形成區域的方式配置背閘極。背閘極可

以起到與閘極同樣的作用。另外，藉由改變背閘極的電位，可以改變電晶體的臨界電壓。

[0095]

由於閘極和背閘極由導電層或其電阻率小的半導體層等形成，因此具有防止在電晶體的外部產生的電場影響到形成通道的半導體層的功能（尤其是對靜電的靜電遮蔽功能）。亦即，可以防止由於靜電等外部的電場的影響而使電晶體的電特性變動。此外，藉由設置背閘極，可以減少 BT 測試前後的電晶體的臨界電壓的變化量。

[0096]

另外，如圖 8A 所示，可以將電晶體 11A 的背閘極電連接到佈線 BGL1，將電晶體 11B 的背閘極電連接到佈線 BGL2。背閘極的電位也可以與閘極相等，也可以是接地電位（GND 電位）或任意電位。

[0097]

另外，如圖 8B 所示，可以將電晶體 11A 的背閘極和電晶體 11B 的背閘極電連接到佈線 BGL。

[0098]

另外，電晶體 11A 及電晶體 11B 也可以是雙閘極型電晶體。圖 9A 示出雙閘極型電晶體 21 的電路圖符號的例子。

[0099]

電晶體 21 具有串聯連接電晶體 Tr1 與電晶體 Tr2 而成的結構。在圖 9A 中，示出如下狀態：電晶體 Tr1 的源極和汲極中的一個與端子 S 電連接，電晶體 Tr1 的源極和汲極中的另一個與電晶體 Tr2 的源極和汲極中的一個電連接，電晶體 Tr2 的源極和汲極中的另一個與端子 D 電連接。另外，在圖 9A 中，示出電晶體 Tr1 與電晶體 Tr2 的閘極彼此電連接並與端子 G 電連接的狀態。

[0100]

圖 9A 所示的電晶體 21 具有藉由改變端子 G 的電位來切換端子 S 和端子 D 之間的導通狀態或非導通狀態的功能。因此，雖然雙閘極型電晶體的電晶體 21 包括電晶體 Tr1 和電晶體 Tr2，但是實質上被用作一個電晶體。亦即，可以說，在圖 9A 中，電晶體 21 的源極和汲極中的一個與端子 S 電連接，電晶體 21 的源極和汲極中的另一個與端子 D 電連接，電晶體 21 的閘極與端子 G 電連接。

[0101]

另外，電晶體 11A 及電晶體 11B 也可以是三閘極型電晶體。圖 9B 示出三閘極型電晶體 22 的電路圖符號的例子。

[0102]

電晶體 22 具有串聯連接電晶體 Tr1、電晶體 Tr2 和電晶體 Tr3 而成的結構。在圖 9B 中，示出如下狀態：電晶體 Tr1 的源極和汲極中的一個與端子 S 電連接，電晶體 Tr1 的源極和汲極中的另一個與電晶體 Tr2 的源極和汲極中的一個電連接，電晶體 Tr2 的源極和汲極中的另一個與電晶體 Tr3 的源極和汲極中的一個電連接，電晶體 Tr3 的源極和汲極中的另一個與端子 D 電連接。另外，在圖 9B 中，示出電晶體 Tr1、電晶體 Tr2 和電晶體 Tr3 的閘極彼此電連接並與端子 G 電連接的狀態。

[0103]

圖 9B 所示的電晶體 22 具有藉由改變端子 G 的電位來切換端子 S 和端子 D 之間的導通狀態或非導通狀態的功能。因此，雖然三閘極型電晶體的電晶體 22 包括電晶體 Tr1、電晶體 Tr2 和電晶體 Tr3，但是實質上被用作一個電晶體。亦即，可以說，在圖 9B 中，電晶體 22 的源極和汲極中的一個與端子 S 電連接，電晶體 22 的源極和汲極中的另一個與端子 D 電連接，電晶體 22 的閘極與端子 G 電連接。

[0104]

有時將如電晶體 21 及電晶體 22 那樣的包括多個閘極並多個閘極彼此電連接而成電晶體稱為“多閘極型電晶體”或“多閘極電晶體”。

[0105]

〈記憶單元 10 的工作例子〉

接著，說明記憶單元 10 的資料寫入工作例子以及讀出工作例子。在本實施方式中，作為電晶體 11A 及電晶體 11B 使用 n 通道型電晶體。圖 10 是用來說明記憶單元 10 的工作例子的時序圖。圖 11A、圖 11B、圖 12A 及圖 12B 是用來說明記憶單元 10 的工作例子的電路圖。

[0106]

此外，在圖式等中，為了表示佈線及電極的電位，有時在與佈線及電極相鄰的位置附上表示 H 電位的“H”或者表示 L 電位的“L”。此外，有時對發生電位變化的佈線及電極以帶框的形式附上“H”或“L”。此外，在電晶體處於關閉狀態下，有時在該電晶體上重疊地附上符號“x”。

[0107]

首先，在期間 T0 中，字線 WWL、位元線 WBL 及節點 FN 是 L 電位，

位元線 RBL 及選擇線 SL 是 H 電位（參照圖 10）。

[0108]

[資料寫入工作]

在期間 T1 中，對字線 WWL 及位元線 WBL 供應 H 電位（參照圖 10 及圖 11A）。此時，電晶體 11A 處於開啟狀態，作為表示“1”的資料，H 電位寫入到節點 FN。更準確地說，使節點 FN 的電位成為 H 電位之量的電荷供應到節點 FN。

[0109]

電晶體 11B 的閘極、源極及汲極都是 H 電位，電晶體 11B 處於關閉狀態。

[0110]

[保持工作]

在期間 T2 中，對字線 WWL 供應 L 電位。此時，電晶體 11A 變為關閉狀態，保持寫入到節點 FN 的資料（參照圖 10 及圖 11B）。

[0111]

如上所述，OS 電晶體是關態電流極小的電晶體。藉由將 OS 電晶體用作電晶體 11A，可以長期間保持寫入到節點 FN 的資料。因此，不需要節點 FN 的電位更新，可以降低記憶單元 10 的功耗。因此，可以降低記憶體裝置 100 的功耗。

[0112]

並且，與 Si 電晶體相比，OS 電晶體的汲極耐壓更高。因此，藉由作為電晶體 11A 使用 OS 電晶體，可以擴大保持在節點 FN 中的電位的範圍。因此，可以增加保持在節點 FN 中的資訊量。

[0113]

[讀出工作]

在期間 T3 中，對位元線 RBL 進行 H 電位的預充電。就是說，在保持 H 電位的狀態下，使位元線 RBL 處於浮動狀態（參照圖 10 及圖 12A）。

[0114]

接著，在期間 T4 中，對選擇線 SL 供應 L 電位（參照圖 10 及圖 12B）。此時，當節點 FN 保持 H 電位時，電晶體 11B 變為開啟狀態，位元線 RBL 和選擇線 SL 變為導通狀態。由此，位元線 RBL 的電位從 H 電位變為 L 電位。

[0115]

另一方面，在作為表示“0”的資料 L 電位寫入到節點 FN 的情況下，即使對選擇線 SL 供應 L 電位，電晶體 11B 也不處於開啟狀態。因此，藉由檢測出 L 電位供應到選擇線 SL 時的位元線 RBL 的電位變化，可以讀出寫入到記憶單元 10 的資料。

[0116]

在使用 OS 電晶體的記憶單元 10 中，藉由 OS 電晶體電荷寫入到節點 FN，因此不需要習知的快閃記憶體所需的高電壓，可以實現高速寫入工作。另外，也不進行對浮動閘極或電荷俘獲層的電荷注入以及從浮動閘極或電荷俘獲層的電荷抽出，因此使用 OS 電晶體的記憶單元 10 在實質上可以無限地進行資料的寫入及讀出。與快閃記憶體不同，即使在反復改寫工作中，也觀察不到使用 OS 電晶體的記憶單元 10 中的電子俘獲中心的增加所導致的不穩定性。與習知的快閃記憶體相比，使用 OS 電晶體的記憶單元 10 的劣化更少且可以得到更高的可靠性。

[0117]

在使用 OS 電晶體的記憶單元 10 中，沒有如磁記憶體或電阻式記憶體等那樣的原子級的結構變化。因此，使用 OS 電晶體的記憶單元 10 具有比磁記憶體及電阻式記憶體良好的改寫耐性。

[0118]

另外，在本發明的一個實施方式的記憶體裝置 100 中，記憶單元 10 和 RW 電路 129 藉由具有在 Z 方向上延伸的區域的位元線 WBL 及位元線 RBL 電連接。因此，位元線 WBL 及位元線 RBL 的引繞距離短，佈線電阻及寄生電容小。

[0119]

〈RW 電路 129 的結構例子〉

在列驅動器 124 中，按每個列設置有圖 13 所示的 RW 電路 129。圖 13 是示出 RW 電路 129 的結構例子的電路圖。

[0120]

RW 電路 129 包括電晶體 M21 至電晶體 M26、感測放大器電路 31、AND 電路 32、類比開關 33 及類比開關 34。RW 電路 129 根據信號 SEN、信號 SEP、信號 PRE、信號 RSEL、信號 WSEL、信號 GRSEL 及信號 GWSEL 而工作。

[0121]

從列驅動器 124 供應到 RW 電路 129 的資料 DIN 藉由電連接到節點

NW 的位元線 WBL 而寫入到記憶單元 10。另外，藉由電連接到節點 NR 的位元線 RBL 從記憶單元 10 讀出的資料從 RW 電路 129 作為資料 DOUT 輸出到列驅動器 124。

[0122]

資料 DIN 及資料 DOUT 是內部信號，分別相當於資料信號 WDA 及資料信號 RDA。

[0123]

[預充電電路]

電晶體 M21 被用作預充電電路。位元線 RBL 由電晶體 M21 預充電到電位 VDD。信號 PRE 是預充電信號，由信號 PRE 控制電晶體 M21 的導通狀態。

[0124]

[感測放大器電路]

感測放大器電路 31 在讀出工作中判斷輸入到位元線 RBL 的資料是高位準還是低位準。另外，感測放大器電路 31 在寫入工作中被用作暫時保持被輸入的資料 DIN 的門鎖電路。

[0125]

圖 13 所示的感測放大器電路 31 是門鎖型感測放大器。感測放大器電路 31 包括兩個反相器電路，一個反相器電路的輸入節點與另一個反相器電路的輸出節點連接。將一個反相器電路的輸入節點和輸出節點分別記載為節點 NS 和節點 NSB，互補資料保持在節點 NS 及節點 NSB 中。

[0126]

信號 SEN 及信號 SEP 是用來使感測放大器電路 31 活化的感測放大器賦能信號，參考電位 Vref 是讀出判斷電位。感測放大器電路 31 以參考電位 Vref 為基準而判斷出活化時的節點 NSB 的電位是高位準還是低位準。

[0127]

AND 電路 32 控制節點 NS 與位元線 WBL 之間的導通狀態。另外，類比開關 33 控制節點 NSB 與位元線 RBL 之間的導通狀態，類比開關 34 控制節點 NS 與供應參考電位 Vref 的佈線之間的導通狀態。

[0128]

信號 WSEL 是寫入選擇信號，並控制 AND 電路 32。信號 RSEL 是讀出選擇信號，並控制類比開關 33 及類比開關 34。

[0129]

[輸出 MUX 電路]

電晶體 M22 及電晶體 M23 構成輸出 MUX(多工器)電路。信號 GRSEL 是全局讀出選擇信號，並控制輸出 MUX 電路。

[0130]

輸出 MUX 電路具有輸出從感測放大器電路 31 讀出的資料 DOUT 的功能。

[0131]

[寫入驅動電路]

電晶體 M24 至電晶體 M26 構成寫入驅動電路。信號 GWSEL 是全局寫入選擇信號，並控制寫入驅動電路。寫入驅動電路具有將被輸入的資料 DIN 寫入到感測放大器電路 31 的功能。

[0132]

寫入驅動電路具有選擇要寫入資料 DIN 的列的功能。寫入驅動電路根據信號 GWSEL 以位元組單位、半字單位或一個字單位寫入資料。

[0133]

本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

[0134]

實施方式 2

在本實施方式中，說明記憶體裝置 100 的變形例子。作為記憶體裝置 100 的變形例子，圖 14A 示出記憶體裝置 100A。在本實施方式中，對記憶體裝置 100A 的與記憶體裝置 100 不同之處進行說明。關於在本實施方式中沒有說明的內容，可以參照其他實施方式等。

[0135]

〈記憶體裝置 100A〉

記憶體裝置 100A 具有驅動電路層 110 上層疊有 M 個存儲塊 130 的結構。在圖 14A 等中，將第一個存儲塊 130 記載為存儲塊 130_1，將第 M (M 是 2 以上的自然數) 個存儲塊 130 記載為存儲塊 130_M。另外，將第 t (t 是 1 以上且 M 以下的自然數) 個存儲塊 130 記載為存儲塊 130_t。

[0136]

一個存儲塊 130 (例如，存儲塊 130_t) 包括具有 RW 陣列 127 的功能層 160、R (R 是 1 以上的自然數) 個存儲層 120。功能層 160 例如可以使用 OS 電晶體構成。在圖 14A 等中，將包括在存儲塊 130_1 中的功能層 160

記載為功能層 160₁，將包括在第 M 個存儲塊 130 中的功能層 160 記載為功能層 160_M。另外，將包括在第 t 個存儲塊 130 中的功能層 160 記載為功能層 160_t。

[0137]

圖 14B 示出存儲塊 130_t 的結構例子。在圖 14B 所示的存儲塊 130_t 中，功能層 160 上層疊有 R 個存儲層 120。包括在 R 個存儲層 120 中的記憶單元 10 藉由包括在 R 個存儲層 120 中的位元線 WBL 及位元線 RBL 與包括在功能層 160_t 中的 RW 陣列 127 電連接。

[0138]

將 N 個存儲層 120 分為多個塊，將 RW 陣列 127 設置在每塊，由此可以縮短位元線 WBL 及位元線 RBL。藉由縮短位元線 WBL 及位元線 RBL，從記憶單元 10 到 RW 陣列 127 的信號傳輸距離變短，因此可以提高記憶體裝置的工作速度。另外，位元線 WBL 及位元線 RBL 的寄生電容得到降低，因此可以降低功耗。另外，可以容易實現利用一個記憶單元進行多位元存儲的多層單元。此外，RW 陣列 127 具有讀出記憶單元 10 所保持的資料或者將資料寫入到記憶單元 10 的功能。注意，功能層 160 所包括的電路不侷限於 RW 陣列 127，也可以設置具有各種功能的電路等。因此，有時將 RW 陣列 127 稱為功能電路。

[0139]

表示包括在存儲塊 130_t 中的存儲層 120 的個數的 R 較佳為表示存儲塊 130 的總數的 M 的約數。

[0140]

另外，如圖 14C 所示，可以在功能層 160 的上下設置存儲層 120。圖 14C 示出在功能層 160 的上下各設置兩個存儲層 120 的例子。藉由以夾有功能層 160 的方式配置多個存儲層 120，可以進一步縮短信號傳輸距離。注意，層疊在功能層 160 上的存儲層 120 以及層疊在功能層 160 下的存儲層 120 分別為一個以上即可。因此，不侷限於圖 14C 所示的兩個。

[0141]

層疊在功能層 160 上的存儲層 120 的個數與層疊在功能層 160 下的存儲層 120 的個數較佳為相等。因此，在圖 14C 所示的存儲塊 130_t 中，表示存儲層 120 的總計的 R 較佳為偶數。

[0142]

本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

[0143]

實施方式 3

在本實施方式中，說明記憶體裝置 100 的變形例子。作為記憶體裝置 100 的變形例子，圖 15A 示出記憶體裝置 100B。在本實施方式中，對記憶體裝置 100B 的與記憶體裝置 100 不同之處進行說明。關於在本實施方式中沒有說明的內容，可以參照其他實施方式等。

[0144]

〈記憶體裝置 100B〉

記憶體裝置 100B 包括驅動電路層 110A 代替記憶體裝置 100 的驅動電路層 110。圖 15B 是說明驅動電路層 110A 的結構例子的方塊圖。驅動電路層 110A 包括 RW 陣列 127A 代替驅動電路層 110 的 RW 陣列 127。驅動電路層 110A 的除了 RW 陣列 127A 以外的結構與驅動電路層 110 相同，因此在本實施方式中省略詳細的說明。

[0145]

RW 陣列 127A 相對於一行的記憶單元 10 包括一個 RW 電路 129。在圖 15B 等中，將第一行的 RW 電路 129 記載為 RW 電路 129[1]，將第 i 行的 RW 電路 129 記載為 RW 電路 129[i]。另外，將第 P 行的 RW 電路 129 記載為 RW 電路 129[P]。

[0146]

圖 16 是示出 N 個存儲層 120 的一部分及驅動電路層 110A 的一部分的立體圖。另外，圖 17 是示出第 i 行的 RW 電路 129 (RW 電路 129[i])、第 i 行的位元線 WBL (位元線 WBL[$i, 1$]至位元線 WBL[i, R])、第 i 行的位元線 RBL (位元線 RBL[$i, 1$]至位元線 RBL[i, Q]) 的連接例子的圖。

[0147]

RW 電路 129[i]與位元線 WBL[$i, 1$]至位元線 WBL[i, R]及位元線 RBL[$i, 1$]至位元線 RBL[i, Q]電連接。

[0148]

當採用 RW 陣列 127A 的結構時，與將 RW 電路 129 配置為 P 行 Q 列的矩陣狀的情況相比，RW 電路 129 的設計彈性可以更高。另外，因為可以縮小 RW 陣列 127A 的佔有面積，所以可以提高包括在驅動電路層 110A 中的所有的電路的設計彈性。

[0149]

〈記憶體裝置 100C〉

在上述記憶體裝置 100B 中包括在一行的所有的位元線與一個 RW 電路 129 連接，因此施加到該 RW 電路 129 的佈線電容等負載容易變大。尤其是，在記憶體裝置的記憶容量增加而包括在一行中的位元線個數增加的情況下，其影響變大，資料的讀/寫速度或精度等容易降低。

[0150]

於是，藉由在記憶單元 10 和 RW 電路 129 之間設置選擇電路 153，減少在讀/寫工作中電連接到 RW 電路 129 的位元線 WBL 及位元線 RBL 的個數，降低施加到 RW 電路 129 的負載。

[0151]

圖 18A 示出記憶體裝置 100C。記憶體裝置 100C 是記憶體裝置 100B 的變形例子。因此，為了減少反復說明，對記憶體裝置 100C 的與記憶體裝置 100B 的不同之處進行說明。

[0152]

記憶體裝置 100C 在存儲層 120 和驅動電路層 110A 之間包括功能層 150。圖 18B 是說明功能層 150 的結構例子的方塊圖。功能層 150 包括控制電路 151 及選擇電路群 152。

[0153]

選擇電路群 152 相對於一行的記憶單元 10 包括一個選擇電路 153。在圖 18B 等中，將第一行的選擇電路 153 記載為選擇電路 153[1]，將第 i 行的選擇電路 153 記載為選擇電路 153[i]。另外，將第 P 行的選擇電路 153 記載為選擇電路 153[P]。

[0154]

圖 19 是示出存儲層 120 的一部分、功能層 150 的一部分以及驅動電路層 110A 的一部分的立體圖。另外，圖 20 是示出第 i 行的 RW 電路 129(RW 電路 129[i])、第 i 行的選擇電路 153(選擇電路 153[i])、第 i 行的位元線 WBL(圖 20 中的位元線 WBL[i, 1]至位元線 WBL[i, 6])及第 i 行的位元線 RBL(圖 20 中的位元線 RBL[i, 1]至位元線 RBL[i, 12])的連接例子的圖。

[0155]

第 i 行的位元線 WBL 及第 i 行的位元線 RBL 與選擇電路 153[i] 電連接。選擇電路 153[i] 藉由佈線 154W[i] 及佈線 154R[i] 與 RW 電路 129[i] 電連接。佈線 154W[i] 與 RW 電路 129[i] 的節點 NW 電連接。佈線 154R[i]

與 RW 電路 129[i]的節點 NR 電連接（參照圖 19）。

[0156]

選擇電路 153 包括 G（G 是 2 以上的自然數）個開關群 155。在本實施方式等中，將第一個開關群 155 記載為開關群 155[1]。在圖 20 中，示出第二個開關群 155 的開關群 155[2]以及第三個開關群 155 的開關群 155[3]。

[0157]

使用圖 21 更詳細地說明選擇電路 153[i]的結構例子。如上所述，選擇電路 153[i]包括多個開關群 155。在圖 21 中示出兩個開關群 155（開關群 155[1]及開關群 155[2]）。一個開關群 155 包括多個開關 156。圖 21 示出在開關群 155[1]中包括開關 156[11]至開關 156[19]的例子。與此相同，示出在開關群 155[2]中包括開關 156[21]至開關 156[29]的例子。

[0158]

開關 156[11]設置在位元線 WBL[i, 1]和佈線 154W[i]之間。開關 156[12]設置在位元線 RBL[i, 1]和佈線 154R[i]之間。開關 156[13]設置在位元線 RBL[i, 2]和佈線 154R[i]之間。開關 156[14]設置在位元線 WBL[i, 2]和佈線 154W[i]之間。開關 156[15]設置在位元線 RBL[i, 3]和佈線 154R[i]之間。開關 156[16]設置在位元線 RBL[i, 4]和佈線 154R[i]之間。開關 156[17]設置在位元線 WBL[i, 3]和佈線 154W[i]之間。開關 156[18]設置在位元線 RBL[i, 5]和佈線 154R[i]之間。開關 156[19]設置在位元線 RBL[i, 6]和佈線 154R[i]之間。

[0159]

控制電路 151 與週邊電路 115 電連接。另外，控制電路 151 具有藉由佈線 157[1]控制開關群 155[1]的工作的功能。換言之，根據藉由佈線 157[1]從控制電路 151 供應的信號控制開關 156[11]至開關 156[19]的導通狀態（開啟狀態）和非導通狀態（關閉狀態）。

[0160]

當藉由佈線 157[1]從控制電路 151 供應使開關 156[11]至開關 156[19]處於導通狀態的信號時，位元線 WBL[i, 1]至位元線 WBL[i, 3]及佈線 154W[i]變為導通狀態。另外，位元線 RBL[i, 1]至位元線 RBL[i, 6]及佈線 154R[i]變為導通狀態。

[0161]

開關 156[21]設置在位元線 WBL[i, 4]和佈線 154W[i]之間。開關 156[22]設置在位元線 RBL[i, 7]和佈線 154R[i]之間。開關 156[23]設置在

位元線 RBL[i, 8]和佈線 154R[i]之間。開關 156[24]設置在位元線 WBL[i, 5]和佈線 154W[i]之間。開關 156[25]設置在位元線 RBL[i, 9]和佈線 154R[i]之間。開關 156[26]設置在位元線 RBL[i, 10]和佈線 154R[i]之間。開關 156[27]設置在位元線 WBL[i, 6]和佈線 154W[i]之間。開關 156[28]設置在位元線 RBL[i, 11]和佈線 154R[i]之間。開關 156[29]設置在位元線 RBL[i, 12]和佈線 154R[i]之間。

[0162]

控制電路 151 具有藉由佈線 157[2]控制開關群 155[2]的工作的功能。換言之，根據藉由佈線 157[2]從控制電路 151 供應的信號控制開關 156[21]至開關 156[29]的導通狀態和非導通狀態。

[0163]

當藉由佈線 157[2]從控制電路 151 供應使開關 156[21]至開關 156[29]處於導通狀態的信號時，位元線 WBL[i, 4]至位元線 WBL[i, 6]及佈線 154W[i]變為導通狀態。另外，位元線 RBL[i, 7]至位元線 RBL[i, 12]及佈線 154R[i]變為導通狀態。

[0164]

另外，佈線 157[3]具有將控制信號傳輸到開關群 155[3]（未圖示）所包括的多個開關 156 的功能。

[0165]

控制電路 151 根據所使用的位元線而選擇要處於開啟狀態的開關群 155。例如，在進行連接到位元線 RBL[i, 7]的記憶單元 10 的資料的讀/寫工作的情況下，控制電路 151 使開關群 155[2]變為開啟狀態且使其他開關群 155 變為關閉狀態。

[0166]

藉由選擇要處於開啟狀態的開關群 155，可以減少讀/寫工作中電連接到 RW 電路 129 的位元線 WBL 及位元線 RBL 的個數。因此，可以降低施加到 RW 電路 129 的佈線電容等負載。

[0167]

在本實施方式中，示出三個位元線 WBL 及六個位元線 RBL 連接到一個開關群 155 的結構，但是連接到一個開關群 155 的位元線 WBL 及位元線 RBL 的個數不侷限於此。另外，也可以將位元線 WBL 和位元線 RBL 中的一個電連接到開關群 155 且將位元線 WBL 和位元線 RBL 中的另一個電連接到 RW 電路 129。

[0168]

另外，開關群 155 的個數 G 較佳為包括在一行中的位元線 WBL 的個數 R 的約數。或者，開關群 155 的個數 G 較佳為包括在一行中的位元線 RBL 的個數 Q 的約數。

[0169]

作為開關 156，可以使用 MEMS（Micro Electro Mechanical Systems：微機電系統）元件或電晶體等切換元件。當將電晶體用作開關 156 時，較佳為使用 OS 電晶體。

[0170]

本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

[0171]

實施方式 4

以下，使用圖 22 至圖 27 說明根據上述實施方式的記憶體裝置的一個例子。首先，說明構成該記憶體裝置的記憶單元的結構例子。

[0172]

〈記憶單元的結構例子〉

圖 22A 及圖 22B 示出構成根據本發明的一個實施方式的記憶體裝置的記憶單元 860 的結構。圖 22A 是記憶單元 860 及其附近的俯視圖。另外，圖 22B 是記憶單元 860 的剖面圖，圖 22B 對應於在圖 22A 中以點劃線 A1-A2 示出的部分。圖 22B 示出電晶體 600 的通道長度方向的剖面以及電晶體 700 的通道寬度方向的剖面。注意，在圖 22A 的俯視圖中，為了明確起見，省略部分組件。注意，圖 22A 中的 X 方向、Y 方向以及 Z 方向是指彼此正交或交叉的方向。在此，較佳的是，X 方向及 Y 方向平行於或大致平行於基板面，Z 方向垂直於或大致垂直於基板面。

[0173]

本實施方式所示的記憶單元 860 包括電晶體 600、電晶體 700 及電容器 655。記憶單元 860 對應於上述實施方式中的記憶單元 10，電晶體 600、電晶體 700 及電容器 655 分別對應於上述實施方式中的電晶體 11A、電晶體 11B 及電容器 12。因此，電晶體 600 的源極和汲極中的一個、電晶體 700 的閘極和電容器 655 的一個電極電連接。

[0174]

如圖 22A 及圖 22B 所示，在記憶單元 860 中，絕緣體 614 上配置有電

晶體 600 及電晶體 700，電晶體 600 及電晶體 700 的一部分上配置有絕緣體 680，電晶體 600、電晶體 700 及絕緣體 680 上配置有絕緣體 682，絕緣體 682 上配置有絕緣體 685，絕緣體 685 上配置有電容器 655，電容器 655 上配置有絕緣體 688。絕緣體 614、絕緣體 680、絕緣體 682、絕緣體 685 及絕緣體 688 被用作層間膜。

[0175]

在此，電晶體 600 包括：絕緣體 614 上的絕緣體 616；以埋入絕緣體 616 中的方式配置的導電體 605（導電體 605a 及導電體 605b）；絕緣體 616 及導電體 605 上的絕緣體 622；絕緣體 622 上的絕緣體 624；絕緣體 624 上的氧化物 630a；氧化物 630a 上的氧化物 630b；氧化物 630b 上的氧化物 643a 及氧化物 643b；氧化物 643a 上的導電體 642a；氧化物 643b 上的導電體 642b；與絕緣體 624 的一部分、氧化物 630a 的側面、氧化物 630b 的側面、氧化物 643a 的側面、導電體 642a 的側面、導電體 642a 的頂面、氧化物 643b 的側面、導電體 642b 的側面及導電體 642b 的頂面接觸的絕緣體 672；絕緣體 672 上的絕緣體 673；氧化物 630b 上的氧化物 630c；氧化物 630c 上的絕緣體 650；以及在絕緣體 650 上並與氧化物 630c 重疊的導電體 660（導電體 660a 及導電體 660b）。另外，氧化物 630c 與氧化物 643a 的側面、氧化物 643b 的側面、導電體 642a 的側面及導電體 642b 的側面接觸。如圖 22B 所示，導電體 660 的頂面以與絕緣體 650 的頂面、氧化物 630c 的頂面及絕緣體 680 的頂面大致對齊的方式配置。另外，絕緣體 682 與導電體 660、絕緣體 650、氧化物 630c 及絕緣體 680 的各頂面接觸。

[0176]

注意，以下，有時將氧化物 630a、氧化物 630b 及氧化物 630c 統稱為氧化物 630。另外，有時將氧化物 643a 和氧化物 643b 統稱為氧化物 643。另外，有時將導電體 642a 和導電體 642b 統稱為導電體 642。

[0177]

在電晶體 600 中，導電體 660 被用作閘極，導電體 642a 及導電體 642b 分別被用作源極或汲極。另外，導電體 605 被用作背閘極。在電晶體 600 中，被用作閘極的導電體 660 以填埋形成在絕緣體 680 等中的開口的方式自對準地形成。如此，在根據本實施方式的記憶體裝置中，無需對準位置就可以在導電體 642a 和導電體 642b 之間的區域中準確地配置導電體 660。

[0178]

此外，電晶體 700 包括：絕緣體 614 上的絕緣體 616；以埋入絕緣體

616 中的方式配置的導電體 705（導電體 705a 及導電體 705b）；絕緣體 616 及導電體 705 上的絕緣體 622；絕緣體 622 上的絕緣體 624；絕緣體 624 上的氧化物 730a；氧化物 730a 上的氧化物 730b；氧化物 730b 上的氧化物 743a 及氧化物 743b；氧化物 743a 上的導電體 742a；氧化物 743b 上的導電體 742b；與絕緣體 624 的一部分、氧化物 730a 的側面、氧化物 730b 的側面、氧化物 743a 的側面、導電體 742a 的側面、導電體 742a 的頂面、氧化物 743b 的側面、導電體 742b 的側面及導電體 742b 的頂面接觸的絕緣體 672；絕緣體 672 上的絕緣體 673；氧化物 730b 上的氧化物 730c；氧化物 730c 上的絕緣體 750；以及在絕緣體 750 上並與氧化物 730c 重疊的導電體 760（導電體 760a 及導電體 760b）。另外，氧化物 730c 與氧化物 743a 的側面、氧化物 743b 的側面、導電體 742a 的側面及導電體 742b 的側面接觸。在此，如圖 22B 所示，導電體 760 的頂面以與絕緣體 750 的頂面、氧化物 730c 的頂面及絕緣體 680 的頂面大致對齊的方式配置。另外，絕緣體 682 與導電體 760、絕緣體 750、氧化物 730c 及絕緣體 680 的各頂面接觸。

[0179]

注意，以下，有時將氧化物 730a、氧化物 730b 及氧化物 730c 統稱為氧化物 730。另外，有時將氧化物 743a 和氧化物 743b 統稱為氧化物 743。另外，有時將導電體 742a 和導電體 742b 統稱為導電體 742。

[0180]

在電晶體 700 中，導電體 760 被用作閘極，導電體 742a 及導電體 742b 分別被用作源極或汲極。另外，導電體 705 被用作背閘極。在電晶體 700 中，被用作閘極的導電體 760 以填埋形成在絕緣體 680 等中的開口的方式自對準地形成。如此，在根據本實施方式的記憶體裝置中，無需對準就可以在導電體 742a 和導電體 742b 之間的區域中準確地配置導電體 760。

[0181]

在此，電晶體 700 形成在與電晶體 600 相同的層中，並具有與電晶體 600 相同的結構。因此，雖然未圖示，但是電晶體 700 的通道長度方向的剖面具有與圖 22B 所示的電晶體 600 的通道長度方向的剖面相同的結構。就是說，未圖示在剖面圖中的氧化物 743 和導電體 742 也具有與圖 22B 所示的氧化物 643 和導電體 642 相同的結構。雖然未圖示，但是電晶體 600 的通道寬度方向的剖面具有與圖 22B 所示的電晶體 700 的通道寬度方向的剖面相同的結構。

[0182]

[0188]

如圖 22A 所示，導電體 742a、導電體 660、導電體 605 及導電體 705 較佳為在 Y 方向上延伸。藉由採用這樣的結構，導電體 742a 被用作上述實施方式中的選擇線 SL。另外，導電體 660 被用作上述實施方式中的字線 WWL。另外，導電體 605 被用作上述實施方式中的佈線 BGL1。另外，導電體 705 被用作上述實施方式中的佈線 BGL2。

[0189]

電容器 655 包括絕緣體 685 上的導電體 646a、覆蓋導電體 646a 的絕緣體 686、以及與導電體 656 的至少一部分重疊地配置在絕緣體 686 上的導電體 656。在此，導電體 646a 被用作電容器 655 的一個電極，導電體 646b 被用作電容器 655 的另一個電極。另外，絕緣體 686 被用作電容器 655 的電介質。

[0190]

另外，較佳為將導電體 656 延伸在 Y 方向上並用作上述實施方式中的電容線 CL。

[0191]

另外，絕緣體 622、絕緣體 624、絕緣體 672、絕緣體 673、絕緣體 680、絕緣體 682 及絕緣體 685 中形成有開口，以填埋在該開口的方式設置被用作插頭的導電體 640（導電體 640a、導電體 640b、導電體 640c 及導電體 640d）。另外，絕緣體 685 和導電體 640 以其頂面對齊的方式設置。

[0192]

導電體 640a 的底面與導電體 642a 接觸，導電體 640a 的頂面與電體 646a 接觸。導電體 640c 的底面與導電體 760 接觸，導電體 640c 的頂面與導電體 646a 接觸。如此，電晶體 600 的源極和汲極中的一個、電晶體 700 的閘極和電容器 655 的一個電極電連接。

[0193]

導電體 640b 與導電體 642b 的側面接觸地設置。導電體 640b 的下方設置有導電體 615 及導電體 607，導電體 640b 的上方設置有導電體 646b 及導電體 657。導電體 607 設置在形成於絕緣體 614 中的開口中。這裡，導電體 615 形成在與導電體 605 相同的層中，並具有與導電體 605 相同的結構。另外，導電體 646b 形成在與導電體 646a 相同的層中，並具有與導電體 646a 相同的結構。另外，導電體 657 設置在形成於絕緣體 686 及絕緣體 688 中的開口中。

[0194]

導電體 640b 藉由導電體 607 及導電體 615 與下層的記憶單元 860 的導電體 640b 電連接。另外，導電體 640b 藉由導電體 646b 及導電體 657 與上層的記憶單元 860 的導電體 640b 電連接。如此，導電體 607、導電體 615、導電體 640b、導電體 646b 及導電體 657 在 Z 方向上延伸，並被用作上述實施方式中的位元線 WBL。

[0195]

另外，雖然在剖面圖中未圖示，但是導電體 640d 與導電體 742b 的側面接觸地設置。另外，導電體 640d 的下方設置有導電體 715。導電體 640d 與上層及下層的導電體 640d 電連接。如此，導電體 715 及導電體 640d 等在 Z 方向上延伸，並被用作上述實施方式中的位元線 RBL。

[0196]

如圖 22B 所示，藉由將電晶體 600 和電晶體 700 形成在相同層中，可以以同一製程形成電晶體 600 和電晶體 700。因此，可以縮短記憶體裝置的製程，提高生產率。

[0197]

注意，在記憶單元 860 中，以使電晶體 600 的通道長度方向和電晶體 700 的通道長度方向平行的方式設置電晶體 600、電晶體 700 及電容器 655，但是本實施方式所示的記憶體裝置不侷限於此。圖 22 等所示的記憶單元 860 只是記憶體裝置的結構的一個例子，可以根據電路結構或驅動方法使用具有適當結構的電晶體或電容器等。

[0198]

[記憶單元的詳細結構]

以下，說明根據本發明的一個實施方式的記憶單元 860 的詳細結構。以下，電晶體 700 的組件可以參照電晶體 600 的組件的記載。

[0199]

如圖 22 所示，氧化物 630 較佳為包括絕緣體 624 上的氧化物 630a、氧化物 630a 上的氧化物 630b 以及配置在氧化物 630b 上且其至少一部分與氧化物 630b 的頂面接觸的氧化物 630c。在此，較佳為以其側面與氧化物 643a、氧化物 643b、導電體 642a、導電體 642b、絕緣體 672、絕緣體 673 及絕緣體 680 接觸的方式設置氧化物 630c。

[0200]

也就是說，氧化物 630 包括氧化物 630a、氧化物 630a 上的氧化物 630b

及氧化物 630b 上的氧化物 630c。當氧化物 630b 下設置有氧化物 630a 時，可以抑制雜質從形成在氧化物 630a 下的結構物擴散到氧化物 630b。當氧化物 630b 上設置有氧化物 630c 時，可以抑制雜質從形成在氧化物 630c 的上方的結構物擴散到氧化物 630b。

[0201]

注意，在電晶體 600 中，在通道形成區域及其附近層疊有氧化物 630a、氧化物 630b 及氧化物 630c 的三層，但是本發明不侷限於此。例如，可以設置氧化物 630b 的單層、氧化物 630b 與氧化物 630a 的兩層結構、氧化物 630b 與氧化物 630c 的兩層結構或者四層以上的疊層結構。例如，也可以使氧化物 630c 具有兩層結構來形成四層的疊層結構。

[0202]

另外，氧化物 630 較佳為具有由各金屬原子的原子個數比互不相同的氧化物構成的疊層結構。明確而言，用於氧化物 630a 的金屬氧化物的構成元素中的元素 M 的原子個數比較佳為大於用於氧化物 630b 的金屬氧化物的構成元素中的元素 M 的原子個數比。另外，用於氧化物 630a 的金屬氧化物中的相對於 In 的元素 M 的原子個數比較佳為大於用於氧化物 630b 的金屬氧化物中的相對於 In 的元素 M 的原子個數比。另外，用於氧化物 630b 的金屬氧化物中的相對於元素 M 的 In 的原子個數比較佳為大於用於氧化物 630a 的金屬氧化物中的相對於元素 M 的 In 的原子個數比。另外，氧化物 630c 可以使用可用於氧化物 630a 或氧化物 630b 的金屬氧化物。另外，用於氧化物 630c 的金屬氧化物中的相對於元素 M 的 In 的原子個數比較佳為大於用於氧化物 630b 的金屬氧化物中的相對於元素 M 的 In 的原子個數比。

[0203]

明確而言，作為氧化物 630a 使用 In:Ga:Zn=1:3:4[原子個數比]或其附近的組成、或者 1:1:0.5[原子個數比]或其附近的組成的金屬氧化物，即可。

[0204]

另外，作為氧化物 630b 使用 In:Ga:Zn=4:2:3[原子個數比]或其附近的組成、或者 1:1:1[原子個數比]或其附近的組成的金屬氧化物，即可。另外，作為氧化物 630b 也可以使用 In:Ga:Zn=5:1:3[原子個數比]或其附近的組成、或者 In:Ga:Zn=10:1:3[原子個數比]或其附近的組成的金屬氧化物。另外，作為氧化物 630b 也可以使用 In-Zn 氧化物（例如，In:Zn=2:1[原

子個數比]或其附近的組成、 $\text{In}:\text{Zn}=5:1$ [原子個數比]或其附近的組成、或者 $\text{In}:\text{Zn}=10:1$ [原子個數比]或其附近的組成)。另外，作為氧化物 630b 也可以使用 In 氧化物。

[0205]

另外，作為氧化物 630c，使用 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子個數比或其附近的組成]、 $\text{Ga}:\text{Zn}=2:1$ [原子個數比]或其附近的組成、或者 $\text{Ga}:\text{Zn}=2:5$ [原子個數比]或其附近的組成的金屬氧化物，即可。另外，作為氧化物 630c 使用可用於氧化物 630b 的材料，並且以單層或疊層設置。例如，作為氧化物 630c 具有疊層結構時的具體例子，可以舉出 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子個數比]或其附近的組成和 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子個數比]或其附近的組成的疊層結構、 $\text{Ga}:\text{Zn}=2:1$ [原子個數比]或其附近的組成和 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子個數比]或其附近的組成的疊層結構、 $\text{Ga}:\text{Zn}=2:5$ [原子個數比]或其附近的組成和 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子個數比]或其附近的組成的疊層結構、以及氧化鎵和 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子個數比]或其附近的組成的疊層結構等。

[0206]

另外，在氧化物 630b 及氧化物 630c 中，藉由提高膜中的銦的比率，可以提高電晶體的通態電流或場效移動率等，所以是較佳的。另外，上述的附近的組成包括所希望的原子個數比的 $\pm 30\%$ 的範圍。

[0207]

另外，可以根據電晶體被要求的工作頻率等，改變包含在金屬氧化物中的元素的組成。例如，可以將包括在記憶單元中的電晶體的金屬氧化物的組成設定為 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子個數比]或其附近，將包括在驅動電路層 110 中的電晶體的金屬氧化物的組成設定為 $\text{In}:\text{Ga}:\text{Zn}=5:1:3$ [原子個數比]或其附近。注意，也可以將包括在驅動電路層 110 中的電晶體的金屬氧化物的組成設定為 $\text{In}:\text{Ga}:\text{Zn}=10:1:3$ [原子個數比]或其附近或者 $\text{In}:\text{Zn}=2:1$ [原子個數比]或其附近。

[0208]

另外，氧化物 630b 也可以具有結晶性。例如，較佳為使用下述 CAAC-OS (c-axis aligned crystalline oxide semiconductor)。CAAC-OS 等具有結晶性的氧化物具有雜質及缺陷(氧空位等)少的結晶性高且緻密的結構。因此，可以抑制源極電極或汲極電極從氧化物 630b 抽出氧。此外，即使進行加熱處理也可以減少氧從氧化物 630b 被抽出，所以電晶體 600 在製程中的高溫度(所謂熱積存: thermal budget)中也是穩定的。

[0209]

較佳為在設置於包括絕緣體 680 的層間膜的開口中設置氧化物 630c。因此，絕緣體 650 及導電體 660 包括隔著氧化物 630c 與氧化物 630b 和氧化物 630a 的疊層結構重疊的區域。藉由採用該結構，可以連續形成氧化物 630c 及絕緣體 650，從而可以保持氧化物 630 和絕緣體 650 的介面的清潔。因此，介面散射給載子傳導帶來的影響減少，從而電晶體 600 可以得到大通態電流及高頻率特性。

[0210]

另外，較佳為將載子濃度低的氧化物半導體用作氧化物 630（例如，氧化物 630b）。在以降低氧化物半導體的載子濃度為目的的情況下，降低氧化物半導體中的雜質濃度以降低缺陷態密度，即可。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。另外，作為氧化物半導體中的雜質，例如有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

[0211]

特別是，包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位（也稱為 V_o : oxygen vacancy）。再者，有時氫進入氧空位中的缺陷（以下，有時稱為 V_oH ）被用作施體而產生作為載子的電子。有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含多量的氫的氧化物半導體的電晶體容易具有常開啟特性。此外，由於氧化物半導體中的氫容易因熱、電場等壓力而移動，因此當氧化物半導體包含多量的氫時，也有電晶體的可靠性會下降的憂慮。

[0212]

V_oH 會被用作氧化物半導體的施體。然而，難以對該缺陷定量地進行評價。於是，在氧化物半導體中，有時不是根據施體濃度而是根據載子濃度進行評價。由此，在本說明書等中，有時作為氧化物半導體的參數，不採用施體濃度而採用假定為不被施加電場的狀態的載子濃度。也就是說，有時可以將本說明書等所記載的“載子濃度”換稱為“施體濃度”。

[0213]

如上所述，在將氧化物半導體用作氧化物 630 的情況下，較佳為儘量減少氧化物 630 中的 V_oH 來使該氧化物 630 成為高純度本質或實質上高純度本質。為了得到這種 V_oH 被充分減少的氧化物半導體，重要的是：去除氧化物半導體中的水分、氫等雜質（有時記載為脫水、脫氫化處理）；以及

對氧化物半導體供應氧來填補氧空位（有時也稱為加氧化處理）。藉由將 $\text{V}_\text{O}\text{H}$ 等雜質被充分減少的氧化物半導體用於電晶體的通道形成區域，可以賦予穩定的電特性。

[0214]

在氧化物 630b 中，利用二次離子質譜（SIMS：Secondary Ion Mass Spectrometry）測得的氫濃度可以低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。藉由將氫等雜質被充分減少的氧化物 630 用於電晶體 600 的通道形成區域，可以實現常開啟特性，可以具有穩定的電特性並提高可靠性。

[0215]

另外，當作為氧化物 630 使用氧化物半導體時，較佳為用作通道形成區域的區域的氧化物半導體的載子濃度為 $1 \times 10^{18} \text{cm}^{-3}$ 以下，更佳為低於 $1 \times 10^{17} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{16} \text{cm}^{-3}$ ，更佳的是低於 $1 \times 10^{13} \text{cm}^{-3}$ ，進一步較佳的是低於 $1 \times 10^{12} \text{cm}^{-3}$ 。對用作通道形成區域的區域的氧化物半導體的載子濃度的下限值沒有特殊限定，例如，可以將其設定為 $1 \times 10^9 \text{cm}^{-3}$ 。

[0216]

於是，較佳的是，作為絕緣體 614、絕緣體 622、絕緣體 672、絕緣體 673 及絕緣體 682 使用抑制雜質的擴散的材料（以下，也稱為對雜質的阻擋性材料），減少氫等雜質擴散到氧化物 630。注意，在本說明書等中，阻擋性是指抑制所對應的物質的擴散的功能（也可以說透過性低）。或者，是指俘獲並固定所對應的物質（也稱為吸雜）的功能。另外，在本說明書等中，有時將具有阻擋性的絕緣膜稱為阻擋絕緣膜。

[0217]

例如，作為具有抑制氫及氧的擴散的功能的材料，有氧化鋁、氧化鉛、氧化鎘、銦鎘鋅氧化物、氮化矽或氮氧化矽等。特別是，氮化矽或氮氧化矽對氫具有高阻擋性，所以較佳為被用作密封材料。

[0218]

例如，作為具有俘獲並固定氫的功能的材料，有氧化鋁、氧化鉛、氧化鎘、銦鎘鋅氧化物等金屬氧化物。

[0219]

例如，作為絕緣體 614 較佳為使用氧化鋁或氧化鉛等。由此，可以抑制水或氫等雜質的從基板一側向電晶體 600 一側的擴散。或者，可以抑制絕

緣體 624 等所包含的氧向基板一側擴散。

[0220]

導電體 605 以與氧化物 630 及導電體 660 重疊的方式配置。另外，導電體 605 較佳為以嵌入絕緣體 616 中的方式設置。

[0221]

在導電體 605 被用作背閘極的情況下，藉由獨立地改變供應到導電體 605 的電位而不使其與施加到導電體 660 的電位聯動，可以控制電晶體 600 的臨界電壓（ V_{th} ）。尤其是，藉由對導電體 605 施加負電位，可以使電晶體 600 的 V_{th} 更大且可以減小關態電流。因此，與不對導電體 605 施加負電位的情況相比，在對導電體 605 施加負電位的情況下，可以減小對導電體 660 施加的電位為 0V 時的汲極電流。

[0222]

另外，如圖 22A 所示，導電體 605 較佳為比氧化物 630 中的不與導電體 642a 及導電體 642b 重疊的區域大。尤其是，導電體 605 較佳為延伸到與氧化物 630 的通道寬度方向交叉的端部的外側的區域。就是說，較佳為在氧化物 630 的通道寬度方向的側面的外側，導電體 605 和導電體 660 隔著絕緣體重疊。或者，藉由將導電體 605 設置得大，可以在形成導電體 605 後的製程的使用電漿的處理中，有時可以緩和局部帶電（也稱為電荷積聚（charge up））。但是，本發明的一個實施方式不侷限於此。導電體 605 至少與位於導電體 642a 和導電體 642b 之間的氧化物 630 重疊，即可。

[0223]

此外，以絕緣體 624 的底面為標準，氧化物 630a 及氧化物 630b 和導電體 660 不重疊的區域中的導電體 660 的底面較佳為位於比氧化物 630b 的底面低的位置上。

[0224]

如圖式所示，藉由使被用作閘極的導電體 660 具有隔著氧化物 630c 及絕緣體 650 覆蓋通道形成區域的氧化物 630b 的側面及頂面的結構，容易使從導電體 660 產生的電場作用於產生在氧化物 630b 中的通道形成區域整體。因此，可以增大電晶體 600 的通態電流來提高頻率特性。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體結構稱為 surrounded channel（S-channel）結構。

[0225]

導電體 605a 較佳為抑制水或氫等雜質及氧的透過的導電體。例如，可

以使用鈦、氮化鈦、鉭或氮化鉭。此外，導電體 605b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，在圖式中，導電體 605 為兩層，但是也可以採用三層以上的多層結構。

[0226]

另外，較佳為絕緣體 616、絕緣體 680 絕緣體 685 及絕緣體 688 的介電常數低於絕緣體 614 的介電常數。藉由將介電常數低的材料用於層間膜，可以降低佈線間產生的寄生電容。例如，作為絕緣體 616、絕緣體 680、絕緣體 685 及絕緣體 688，可以適當地使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加了氟的氧化矽、添加了碳的氧化矽、添加了碳及氮的氧化矽或具有空孔的氧化矽等。

[0227]

例如，絕緣體 616、絕緣體 680、絕緣體 685 及絕緣體 688 可以使用不包含氫原子或其氫原子的含量少的化合物氣體並採用 CVD 法或 ALD 法形成。

[0228]

例如，在形成上述絕緣膜時，作為沉積氣體主要使用具有包含矽原子的分子的氣體。當減少上述絕緣膜所包含的氫時，該包含矽原子的分子所具有的氫原子較佳為少，更佳的是，該包含矽原子的分子不具有氫原子。當然，具有包含矽原子的分子的氣體以外的沉積氣體所包含的氫原子也較佳為少，更佳的是，該沉積氣體不包含氫原子。

[0229]

在由 $\text{Si}_x\text{-R}_y$ 表示上述包含矽原子的分子時，例如，作為官能基 R 可以使用異氰酸酯基 ($-\text{N}=\text{C}=\text{O}$)、氰酸酯基 ($-\text{O}-\text{C}\equiv\text{N}$)、氰基 ($-\text{C}\equiv\text{N}$)、重氮基 ($=\text{N}_2$)、疊氮基 ($-\text{N}_3$)、亞硝基 ($-\text{NO}$) 及硝基 ($-\text{NO}_2$) 中的至少一個。例如，滿足 $1\leq x\leq 3$ 、 $1\leq y\leq 8$ ，即可。作為這種包含矽原子的分子，例如可以使用四異氰酸酯基矽烷、四氰酸酯基矽烷、四氰基矽烷、六異氰酸酯基矽烷、八異氰酸酯基矽烷等。在此例示出了矽原子與相同種類的官能基鍵合的分子，但是本實施方式不侷限於此。可以採用矽原子也與不同種類的官能基鍵合的結構。

[0230]

此外，例如，作為官能基 R，還可以使用鹵素 (Cl、Br、I 或 F)。例如，滿足 $1\leq x\leq 2$ 、 $1\leq y\leq 6$ ，即可。作為這種包含矽原子的分子，例如可以使用四氯矽烷 (SiCl_4)、六氯二矽烷 (Si_2Cl_6) 等。示出了以氯為官能基的例

子，但是也可以將氯以外的溴、碘、氟等鹵素用作官能基。此外，也可以採用矽原子與不同種類的鹵素鍵合的結構。

[0231]

絕緣體 622 及絕緣體 624 具有作為閘極絕緣體的功能。

[0232]

在此，在與氧化物 630 接觸的絕緣體 624 中，較佳為藉由加熱使氧脫離。在本說明書中，有時將藉由加熱脫離的氧稱為過量氧。例如，作為絕緣體 624 適當地使用氧化矽或氧氮化矽等，即可。藉由以與氧化物 630 接觸的方式設置包含過量氧的絕緣體，可以減少氧化物 630 中的氧空位，從而可以提高電晶體 600 的可靠性。

[0233]

明確而言，作為絕緣體 624，較佳為使用藉由加熱使部分氧脫離的氧化物材料。藉由加熱使氧脫離的氧化物是指在熱脫附譜（TDS（Thermal Desorption Spectroscopy））分析中氧分子的脫離量為 $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上，較佳為 $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上，進一步較佳為 $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上，或者 $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上的氧化物膜。另外，進行上述 TDS 分析時的膜的表面溫度較佳為在 100°C 以上且 700°C 以下，或者 100°C 以上且 400°C 以下的範圍內。

[0234]

絕緣體 622 較佳為被用作抑制水或氫等雜質從基板一側混入電晶體 600 中的阻擋絕緣膜。例如，絕緣體 622 的氫透過性較佳為比絕緣體 624 低。藉由由絕緣體 622 及絕緣體 683 圍繞絕緣體 624 及氧化物 630 等，可以抑制水或氫等雜質從外部進入電晶體 600 中。

[0235]

再者，絕緣體 622 較佳為具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能（不容易使上述氧透過）。例如，絕緣體 622 的氧透過性較佳為比絕緣體 624 低。藉由使絕緣體 622 具有抑制氧或雜質的擴散的功能，可以減少氧化物 630 所包含的氧擴散到絕緣體 622 的下側，所以是較佳的。此外，可以抑制導電體 605 與絕緣體 624 及氧化物 630 所包含的氧起反應。

[0236]

絕緣體 622 較佳為使用包含作為絕緣材料的鋁和鉛中的一個或兩個的氧化物的絕緣體。作為包含鋁和鉛中的一個或兩個的氧化物的絕緣體，較佳

為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）等。當使用這種材料形成絕緣體 622 時，絕緣體 622 被用作抑制氧從氧化物 630 釋放或氫等雜質從電晶體 600 的周圍部進入氧化物 630 的層。

[0237]

或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鋮、氧化矽、氧化鈦、氧化鎢、氧化釷、氧化鋇。或者，也可以對上述絕緣體進行氮化處理。或者，還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

[0238]

此外，作為絕緣體 622，例如也可以以單層或疊層使用包含氧化鋁、氧化鉛、氧化鉍、氧化鋇、鋇鈦酸鉛（PZT）、鈦酸鋇（ SrTiO_3 ）或（Ba, Sr） TiO_3 （BST）等所謂的 high-k 材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，而有時發生洩漏電流等問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。

[0239]

另外，絕緣體 622 及絕緣體 624 也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。

[0240]

此外，也可以在氧化物 630b 和被用作源極電極或汲極電極的導電體 642（導電體 642a 及導電體 642b）之間配置氧化物 643（氧化物 643a 及氧化物 643b）。此時，導電體 642 和氧化物 630 不接觸，因此可以抑制導電體 642 吸收氧化物 630 的氧。也就是說，藉由防止導電體 642 的氧化，可以抑制導電體 642 的導電率下降。因此，氧化物 643 較佳為具有抑制導電體 642 的氧化的功能。

[0241]

由此，氧化物 643 較佳為具有抑制氧的透過的功能。當在被用作源極電極或汲極電極的導電體 642 和氧化物 630b 之間配置具有抑制氧的透過的功能的氧化物 643 時，導電體 642 和氧化物 630b 之間的電阻得到減少，所以是較佳的。藉由採用這種結構，可以提高電晶體 600 的電特性及電晶體 600 的可靠性。

[0242]

作為氧化物 643，也可以使用包含元素 M 的金屬氧化物。特別是，作為元素 M 較佳為使用鋁、鎵、鉍或錫。氧化物 643 中的元素 M 的濃度較佳為比氧化物 630b 高。另外，作為氧化物 643，還可以使用氧化鎵。此外，作為氧化物 643，還可以使用 In-M-Zn 氧化物等金屬氧化物。明確而言，用於氧化物 643 的金屬氧化物中的相對於 In 的元素 M 的原子個數比較佳為大於用於氧化物 630b 的金屬氧化物中的相對於 In 的元素 M 的原子個數比。此外，氧化物 643 的厚度較佳為 0.5nm 以上且 5nm 以下，較佳為 1nm 以上且 3nm 以下。另外，氧化物 643 較佳為具有結晶性。在氧化物 643 具有結晶性時，可以適當地抑制氧從氧化物 630 釋放。例如，只要氧化物 643 具有六方晶等結晶結構，就有時可以抑制氧從氧化物 630 釋放。

[0243]

另外，不必設置氧化物 643。在此情況下，因導電體 642（導電體 642a 及導電體 642b）和氧化物 630 接觸而氧化物 630 中的氧擴散到導電體 642 中，由此導電體 642 會氧化。導電體 642 的導電率因氧化而下降的蓋然性高。注意，可以將氧化物 630 中的氧擴散到導電體 642 的情況換稱為導電體 642 吸收氧化物 630 中的氧的情況。

[0244]

此外，在氧化物 630 中的氧擴散到導電體 642（導電體 642a 及導電體 642b）時，在導電體 642a 和氧化物 630b 之間及導電體 642b 和氧化物 630b 之間有可能形成不必要的層。因為該不必要的層包含比導電體 642 多的氧，所以推測為該不必要的層具有絕緣性。此時，可以將導電體 642、該不必要的層和氧化物 630b 的三層結構認為是由金屬-絕緣體-半導體構成的三層結構，並且有時將其稱為 MIS（Metal-Insulator-Semiconductor）結構或以 MIS 結構為主的二極體結構。

[0245]

注意，上述不必要的層不侷限於形成在導電體 642 和氧化物 630b 之間，例如，不必要的層有可能形成在導電體 642 和氧化物 630c 之間或者導電體 642 和氧化物 630b 之間及導電體 642 和氧化物 630c 之間。

[0246]

在氧化物 643 上設置被用作源極電極及汲極電極的導電體 642（導電體 642a 及導電體 642b）。導電體 642 的厚度例如為 1nm 以上且 50nm 以下，較佳為 2nm 以上且 25nm 以下，即可。

[0247]

作為導電體 642，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉛、鈇、鈳、錳、鎂、銨、鉍、銻、釷和鐳中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、氮化鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈦、氮化鈦、包含鋁和鈦的氧化物、包含鉭和鎳的氧化物等。另外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈦、氮化鈦、包含鋁和鈦的氧化物、包含鉭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。

[0248]

絕緣體 672 較佳為與導電體 642 頂面接觸地設置，並被用作阻擋絕緣膜。另外，較佳為在絕緣體 672 上設置被用作阻擋絕緣膜的絕緣體 673。藉由採用該結構，可以抑制導電體 642 吸收絕緣體 680 所包含的過量氧。此外，藉由抑制導電體 642 的氧化，可以抑制電晶體 600 和佈線之間的接觸電阻的增加。由此，可以對電晶體 600 賦予良好的電特性及可靠性。

[0249]

因此，絕緣體 672 及絕緣體 673 較佳為具有抑制氧的擴散的功能。例如，絕緣體 672 較佳為具有比絕緣體 680 更能抑制氧的擴散的功能。作為絕緣體 672，例如較佳為形成包含鋁和鉛中的一個或兩個的氧化物的絕緣體。此外，作為絕緣體 673，例如，使用氮化矽或氮氧化矽，即可。

[0250]

此外，還可以抑制水或氫等雜質從隔著絕緣體 672 及絕緣體 673 配置的絕緣體 680 等向電晶體 600 一側擴散。如此，較佳為採用由具有抑制水或氫等雜質及氧的擴散的功能的絕緣體 672 及絕緣體 673 圍繞電晶體 600 的結構。

[0251]

絕緣體 650 被用作閘極絕緣體。絕緣體 650 較佳為與氧化物 630c 的頂面接觸地配置。絕緣體 650 可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

[0252]

與絕緣體 624 同樣，絕緣體 650 較佳為使用藉由加熱釋放氧的絕緣體形成。藉由作為絕緣體 650 以與氧化物 630c 的頂面接觸的方式設置藉由加熱釋放氧的絕緣體，可以有效地對氧化物 630b 的通道形成區域供應氧。與

絕緣體 624 中同樣，較佳為降低絕緣體 650 中的水或氫等雜質的濃度。絕緣體 650 的厚度較佳為 1nm 以上且 20nm 以下。

[0253]

另外，也可以在絕緣體 650 與導電體 660 之間設置金屬氧化物。該金屬氧化物較佳為抑制氧從絕緣體 650 擴散到導電體 660。藉由設置抑制氧的擴散的金屬氧化物，抑制氧從絕緣體 650 擴散到導電體 660。換言之，可以抑制供應到氧化物 630 的氧量的減少。另外，可以抑制因絕緣體 650 中的氧所導致的導電體 660 的氧化。

[0254]

另外，該金屬氧化物有時被用作閘極絕緣體的一部分。因此，在將氧化矽或氧氮化矽等用於絕緣體 650 的情況下，作為該金屬氧化物較佳為使用作為相對介電常數高的 high-k 材料的金屬氧化物。藉由使閘極絕緣體具有絕緣體 650 與該金屬氧化物的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。另外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度（EOT）。

[0255]

明確而言，可以使用包含選自鉛、鋁、鎵、釷、銻、鎢、鈦、鉭、鎳、銻和鎂等中的一種或兩種以上的金屬氧化物。特別是，較佳為使用作為包含鋁及鉛中的一個或兩個的氧化物的絕緣體的氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）等。

[0256]

或者，該金屬氧化物有時被用作閘極的一部分。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

[0257]

尤其是，作為被用作閘極的導電體，較佳為使用含有包含在形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用含有上述金屬元素及氮的導電材料。此外，可以使用銲錫氧化物、包含氧化鎢的銲氧化物、包含氧化鎢的銲鋅氧化物、包含氧化鈦的銲氧化物、包含氧化鈦的銲錫氧化物、銲鋅氧化物、添加有矽的銲錫氧化物。此外，也可以使用包含氮的銲鎵鋅氧化物。藉由使用上述材料，有時可以俘獲形成通道的金屬氧化物所包含

的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

[0258]

導電體 660 以其底面及側面與絕緣體 650 接觸的方式配置。雖然在圖 22 中，導電體 660 具有兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

[0259]

作為導電體 660a 較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（ N_2O 、 NO 、 NO_2 等）、銅原子等雜質的擴散的功能的導電材料。另外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

[0260]

此外，當導電體 660a 具有抑制氧的擴散的功能時，可以抑制絕緣體 650 所包含的氧使導電體 660b 氧化而導致導電率的下降。作為具有抑制氧的擴散的功能的導電材料，例如，較佳為使用鈹、氮化鈹、鈦或氧化鈦等。

[0261]

此外，作為導電體 660b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，由於導電體 660 還被用作佈線，所以較佳為使用導電性高的導電體。例如，可以使用以鎢、銅或鋁為主要成分的導電材料。另外，導電體 660b 可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

[0262]

例如，絕緣體 680 較佳為使用氧化矽、氧氮化矽、氮氧化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽等。尤其是，因為氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此外，因為氧化矽、氧氮化矽、具有空孔的氧化矽等的材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。另外，絕緣體 680 也可以具有層疊有上述材料的結構，例如，可以採用藉由濺射法形成的氧化矽和在其上層疊的藉由 CVD 法形成的氧氮化矽的疊層結構。此外，還可以在其上層疊氮化矽。

[0263]

在此，絕緣體 680 較佳為包含過量氧。例如，作為絕緣體 680 適當地使用氧化矽或氧氮化矽等，即可。藉由以與氧化物 630 接觸的方式設置包含過量氧的絕緣體 680，可以減少氧化物 630 中的氧空位，從而可以提高電晶體 600 的可靠性。為了使絕緣體 680 包含過量氧，例如，可以在包含氧的氛圍下利用濺射法形成絕緣體 682。藉由在包含氧的氛圍下利用濺射法形

成絕緣體 682，可以在進行成膜的同時對絕緣體 680 添加氧。

[0264]

另外，較佳為降低絕緣體 680 中的水或氫等雜質濃度。另外，絕緣體 680 的頂面也可以被平坦化。

[0265]

絕緣體 682 較佳為被用作抑制水或氫等雜質從上方混入絕緣體 680 中的阻擋絕緣膜。另外，絕緣體 682 較佳為被用作抑制氧的透過的阻擋絕緣膜。作為絕緣體 682，例如，可以使用氧化鋁、氮化矽或氮氧化矽等絕緣體。例如，作為絕緣體 682，可以使用對氧的阻擋性高的氧化鋁。

[0266]

如圖 22B 所示，絕緣體 682 具有與氧化物 630c 直接接觸的結構。藉由採用該結構，可以抑制絕緣體 680 所包含的氧擴散到導電體 660。因此，可以將絕緣體 680 所包含的氧藉由氧化物 630c 高效地供應到氧化物 630a 及氧化物 630b，從而可以減少氧化物 630a 及氧化物 630b 中的氧空位來提高電晶體 600 的電特性及可靠性。

[0267]

另外，較佳為在絕緣體 682 上設置被用作層間膜的絕緣體 685。與絕緣體 624 等中同樣，較佳為降低絕緣體 685 中的水或氫等雜質的濃度。

[0268]

導電體 640 較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體 640 也可以具有疊層結構。另外，在圖 22A 的俯視圖中，導電體 640 具有圓形狀，但是不侷限於此。例如，在俯視時，導電體 640 也可以具有橢圓等大致圓形狀、四角形等多角形狀、使四角形等多角形的角部帶弧形的形狀。

[0269]

當導電體 640 採用疊層結構時，較佳為使用具有抑制水或氫等雜質及氧的透過的功能的導電材料。例如，較佳為使用鉭、氮化鉭、鈦、氮化鈦、鈮或氧化鈮等。可以以單層或疊層使用具有抑制水或氫等雜質及氧的透過的功能的導電材料。藉由使用該導電材料，可以進一步減少從絕緣體 680 等擴散的水或氫等雜質經過導電體 640 混入氧化物 630 中。此外，可以防止添加到絕緣體 680 的氧被導電體 640 吸收。

[0270]

此外，以與導電體 640a 的頂面及導電體 640c 的頂面接觸的方式配置

導電體 646a，以與導電體 640b 的頂面接觸的方式配置導電體 646b。導電體 646a 及導電體 646b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，導電體 646a 及導電體 646b 可以具有疊層結構，例如，可以具有鈦或氮化鈦與上述導電材料的疊層結構。另外，該導電體可以以嵌入設置於絕緣體的開口中的方式形成。

[0271]

以覆蓋絕緣體 685、導電體 646a 及導電體 646b 的方式設置絕緣體 686。絕緣體 686 例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛、氧化鋅，並可以以疊層或單層設置。

[0272]

例如，絕緣體 686 可以使用氧氮化矽等絕緣耐壓力高的材料和高介電常數（high-k）材料的疊層結構。藉由採用該結構，電容器 655 可以包括高介電常數（high-k）的絕緣體來確保充分的電容，並可以包括絕緣耐壓力高的絕緣體來提高絕緣耐壓力，從而可以抑制電容器 655 的靜電破壞。

[0273]

注意，作為高介電常數（high-k）材料（相對介電常數高的材料）的絕緣體，有氧化鎵、氧化鉛、氧化鋅、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物或含有矽及鉛的氮化物等。

[0274]

此外，作為絕緣體 686，例如也可以以單層或疊層使用包含氧化鋁、氧化鉛、氧化鋁、氧化鋅、氧化鋅、鋅鈦酸鉛（PZT）、鈦酸鋇（ SrTiO_3 ）或（Ba, Sr） TiO_3 （BST）等 high-k 材料的絕緣體。例如，在絕緣體 686 具有疊層結構時，可以採用如下結構：依次層疊有氧化鋅、氧化鋁、氧化鋅的三層疊層結構；依次層疊有氧化鋅、氧化鋁、氧化鋅、氧化鋁的四層結構；等。另外，作為絕緣體 686 也可以使用包含鉛、鋅的化合物等。隨著半導體裝置微型化及高積體化，由於用於閘極絕緣體及電容器的介電質薄膜化，有時發生電晶體或電容器的洩漏電流等的問題。藉由作為被用作閘極絕緣體及電容器的介電質的絕緣體使用 high-k 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位並確保電容器的電容。

[0275]

另一方面，作為絕緣耐壓力高的材料（相對介電常數低的材料），有氮

化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

[0276]

導電體 656 以隔著絕緣體 686 與導電體 646a 的至少一部分重疊的方式配置。導電體 656 可以使用可用作導電體 646 的導電體。

[0277]

另外，較佳為在絕緣體 686 及導電體 646b 上設置被用作層間膜的絕緣體 688。與絕緣體 624 等中同樣，較佳為降低絕緣體 688 中的水或氫等雜質的濃度。

[0278]

〈記憶單元的變形例子〉

以下，使用圖 23 說明記憶單元的變形例子。圖 23A 是記憶單元 860 及其附近的俯視圖。另外，圖 23B 是記憶單元 860 的剖面圖，圖 23B 對應於在圖 23A 中以點劃線 A1-A2 示出的部分。圖 23B 示出電晶體 600 的通道長度方向的剖面以及電晶體 700 的通道寬度方向的剖面。注意，在圖 23A 的俯視圖中，為了明確起見，省略部分組件。注意，圖 23A 中的 X 方向、Y 方向以及 Z 方向是指彼此正交或交叉的方向。在此，較佳的是，X 方向及 Y 方向平行於或大致平行於基板面，Z 方向垂直於或大致垂直於基板面。

[0279]

圖 23A 和圖 23B 所示的記憶單元 860 的與圖 22A 和圖 22B 記憶單元 860 不同之處在於：使用電晶體 690 及電晶體 790 代替電晶體 600 及電晶體 700。在此，電晶體 790 形成在與電晶體 690 相同的層中，並具有與電晶體 690 相同的結構。以下，電晶體 790 的組件可以參照電晶體 690 的組件的記載。

[0280]

電晶體 690 的與電晶體 600 不同之處在於：氧化物 630c 沿著形成在絕緣體 680、絕緣體 672、絕緣體 673、導電體 642(導電體 642a、導電體 642b)及氧化物 630b 的開口部形成為 U 字狀(U-Shape)。

[0281]

例如，在使電晶體的通道長度微型化(典型的是 5nm 以上且小於 60nm，較佳為 10nm 以上且 30nm 以下)時，藉由作為電晶體 600 的結構採用上述結構，可以延長有效的 L 長度。作為一個例子，在導電體 642a 和導電體 642b 之間的距離為 20nm 的情況下，可以將有效的 L 長度設定為 40nm 以

上且 60nm 以下，其是導電體 642a 和導電體 642b 之間的距離，亦即最小特徵尺寸的 2 倍以上且 3 倍以下左右。因此，圖 23A 和圖 23B 所示的記憶單元 860 具有包括在微型化上優異的電晶體 690、電晶體 790 及電容器 655 的結構。

[0282]

〈〈金屬氧化物〉〉

作為氧化物 630，較佳為使用被用作氧化物半導體的金屬氧化物。以下，將說明可用於根據本發明的氧化物 630 的金屬氧化物。

[0283]

金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。另外，除此之外，較佳為還包含鎵、釔、錫等。或者，也可以包含硼、鈦、鐵、鎳、銻、鉛、鋁、鏷、銻、釷、鈳、鈹、鎢或鎂等中的一種或多種。

[0284]

在此，考慮金屬氧化物是包含銦、元素 M 及鋅的 In-M-Zn 氧化物的情況。注意，元素 M 為鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、鈦、鐵、鎳、銻、鉛、鋁、鏷、銻、釷、鈳、鈹、鎢、鎂等。注意，作為元素 M 有時也可以組合多個上述元素。

[0285]

注意，在本說明書等中，有時將包含氮的金屬氧化物也稱為金屬氧化物（metal oxide）。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物（metal oxynitride）。

[0286]

[金屬氧化物的構成]

在此，作為金屬氧化物的構成例子，說明 CAC-OS（Cloud-Aligned Composite Oxide Semiconductor）或 CAC-metal oxide。

[0287]

CAC-OS 或 CAC-metal oxide 在材料的一部分中具有導電性的功能，在材料的另一部分中具有絕緣性的功能，作為材料的整體具有半導體的功能。此外，在將 CAC-OS 或 CAC-metal oxide 用於電晶體的活性層的情況下，導電性的功能是使被用作載子的電子（或電洞）流過的功能，絕緣性的功能是不使被用作載子的電子流過的功能。藉由導電性的功能和絕緣性的功能的互補作用，可以使 CAC-OS 或 CAC-metal oxide 具有開關功能（控制開啟/關閉的功能）。藉由在 CAC-OS 或 CAC-metal oxide 中使各功能分

離，可以最大限度地提高各功能。

[0288]

此外，CAC-OS 或 CAC-metal oxide 包括導電性區域及絕緣性區域。導電性區域具有上述導電性的功能，絕緣性區域具有上述絕緣性的功能。此外，在材料中，導電性區域和絕緣性區域有時以奈米粒子級分離。另外，導電性區域和絕緣性區域有時在材料中不均勻地分佈。此外，有時觀察到其邊緣模糊而以雲狀連接的導電性區域。

[0289]

此外，在 CAC-OS 或 CAC-metal oxide 中，導電性區域和絕緣性區域有時以 0.5nm 以上且 10nm 以下，較佳為 0.5nm 以上且 3nm 以下的尺寸分散在材料中。

[0290]

此外，CAC-OS 或 CAC-metal oxide 由具有不同能帶間隙的成分構成。例如，CAC-OS 或 CAC-metal oxide 由具有起因於絕緣性區域的寬隙的成分及具有起因於導電性區域的窄隙的成分構成。在該構成中，當使載子流過時，載子主要在具有窄隙的成分中流過。此外，具有窄隙的成分藉由與具有寬隙的成分的互補作用，與具有窄隙的成分聯動而使載子流過具有寬隙的成分。因此，在將上述 CAC-OS 或 CAC-metal oxide 用於電晶體的通道形成區域時，在電晶體的導通狀態中可以得到高電流驅動力，亦即大通態電流及高場效移動率。

[0291]

就是說，也可以將 CAC-OS 或 CAC-metal oxide 稱為基質複合材料（matrix composite）或金屬基質複合材料（metal matrix composite）。

[0292]

[金屬氧化物的結構]

氧化物半導體（金屬氧化物）被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體例如有 CAAC-OS、多晶氧化物半導體、nc-OS（nanocrystalline oxide semiconductor）、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

[0293]

在著眼於結晶結構的情況下，氧化物半導體有時被分類為與上述不同的種類。在此，參照圖 28A 說明氧化物半導體中的結晶結構的分類。圖 28A 是說明氧化物半導體，典型為 IGZO（包含 In、Ga、Zn 的金屬氧化物）的

結晶結構的分類的圖。

[0294]

如圖 28A 所示,IGZO 大致被分類為 Amorphous、Crystalline 及 Crystal。另外,completely amorphous 包含在 Amorphous 中。另外,CAAC、nc 及 CAC 包含在 Crystalline 中。另外,single crystal 及 poly crystal 包含在 Crystal 中。

[0295]

注意,圖 28A 所示的粗框內的結構是屬於 New crystalline phase 的結構。該結構存在於 Amorphous 與 Crystal 之間的邊界區域。換言之,能量上不穩定的 Amorphous 與 Crystalline 可以說是完全不同的結構。

[0296]

注意,膜或基板的結晶結構可以使用 X 射線繞射(XRD:X-Ray Diffraction)影像進行評價。在此,圖 28B 和圖 28C 示出使用石英玻璃及具有被分類為 Crystalline 的結晶結構的 IGZO(也稱為 Crystalline IGZO)的 XRD 譜。在圖 28B 和圖 28C 中,橫軸表示 2θ [deg.],縱表示強度(Intensity)[a. u.]。此外,圖 28B 是石英玻璃的 XRD 譜,圖 28C 是結晶性 IGZO 的 XRD 譜。注意,圖 28C 所示的結晶性 IGZO 具有 In:Ga:Zn=4:2:3[原子個數比]的組成。此外,圖 28C 所示的結晶性 IGZO 的厚度為 500nm。

[0297]

如圖 28B 的箭頭所示,石英玻璃具有大致對稱的 XRD 譜峰。另一方面,如圖 28C 的箭頭所示,結晶性 IGZO 具有非對稱的 XRD 譜峰。而 XRD 譜峰為非對稱明示出結晶的存在。換言之,不是左右對稱的 XRD 譜峰不可以說是 Amorphous。

[0298]

CAAC-OS 具有 c 軸配向性,其多個奈米晶在 a-b 面方向上連結而結晶結構具有畸變。注意,畸變是指在多個奈米晶連結的區域中晶格排列一致的區域與其他晶格排列一致的區域之間的晶格排列的方向變化的部分。

[0299]

雖然奈米晶基本上是六角形,但是並不侷限於正六角形,有不是正六角形的情况。此外,在畸變中有時具有五角形或七角形等晶格排列。另外,在 CAAC-OS 中,即使在畸變附近也觀察不到明確的晶界(也稱為 grain boundary)。亦即,可知由於晶格排列畸變,抑制晶界的形成。這是由於 CAAC-OS 因為 a-b 面方向上的氧原子排列的低密度或因金屬元素被取代

而使原子間的鍵合距離產生變化等而能夠包容畸變。

[0300]

另外，確認到明確的晶界的結晶結構被稱為所謂的多晶 (polycrystal)。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的 CAAC-OS 是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成 CAAC-OS，較佳為包含 Zn 的結構。例如，與 In 氧化物相比，In-Zn 氧化物及 In-Ga-Zn 氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

[0301]

此外，CAAC-OS 趨向於具有層疊有包含銦及氧的層（下面稱為 In 層）和包含元素 M、鋅及氧的層（下面稱為 (M, Zn) 層）的層狀結晶結構（也稱為層狀結構）。另外，銦和元素 M 彼此可以取代，在用銦取代 (M, Zn) 層中的元素 M 的情況下，也可以將該層表示為 (In, M, Zn) 層。另外，在用元素 M 取代 In 層中的銦的情況下，也可以將該層表示為 (In, M) 層。

[0302]

CAAC-OS 是結晶性高的金屬氧化物。另一方面，在 CAAC-OS 中不容易觀察到明確的晶界，因此可以說不容易發生起因於晶界的電子移動率的下降。此外，金屬氧化物的結晶性有時因雜質的進入或缺陷的生成等而降低，因此可以說 CAAC-OS 是雜質或缺陷（氧空位等）少的金屬氧化物。因此，包含 CAAC-OS 的金屬氧化物的物理性質穩定。因此，包含 CAAC-OS 的金屬氧化物具有高耐熱性及高可靠性。

[0303]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。

[0304]

另外，在包含銦、鎵和鋅的金屬氧化物的一種的 In-Ga-Zn 氧化物（以下，IGZO）是上述奈米晶時可能具有穩定的結構。尤其是，IGZO 有在大氣中不容易進行晶體生長的傾向，所以與在 IGZO 是大結晶（在此，幾 mm 的結晶或者幾 cm 的結晶）時相比在 IGZO 是小結晶（例如，上述奈米結晶）時可能在結構上穩定。

[0305]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的金屬氧化物。a-like OS 包含空洞或低密度區域。也就是說，a-like OS 的結晶性比 nc-OS 及 CAAC-OS 的結晶性低。

[0306]

氧化物半導體（金屬氧化物）具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、nc-OS、CAAC-OS 中的兩種以上。

[0307]

[雜質]

在此，說明金屬氧化物中的各雜質的影響。

[0308]

在雜質混入氧化物半導體中時，有時形成缺陷能階或氧空位。因此，在雜質混入氧化物半導體的通道形成區域中時，使用氧化物半導體的電晶體的電特性容易變動而有時會降低可靠性。此外，在通道形成區域包括氧空位時，電晶體容易具有常開啟特性。

[0309]

此外，上述缺陷能階有時包括陷阱能階。被金屬氧化物的陷阱能階俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，在通道形成區域具有陷阱態密度高的金屬氧化物的電晶體的電特性有時不穩定。

[0310]

另外，在氧化物半導體的通道形成區域存在有雜質時，通道形成區域的結晶性有時降低，或者與通道形成區域接觸地設置的氧化物的結晶性有時降低。在通道形成區域的結晶性低時，有電晶體的穩定性或可靠性下降的趨勢。此外，在與通道形成區域接觸地設置的氧化物的結晶性低時，有時形成介面能階而降低電晶體的穩定性或可靠性。

[0311]

因此，為了提高電晶體的穩定性或可靠性，降低氧化物半導體的通道形成區域及其附近的雜質濃度是有效的。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

[0312]

明確而言，將該氧化物半導體的通道形成區域及其附近的藉由 SIMS 得到的上述雜質的濃度設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為設定為

$2 \times 10^{16} \text{atoms/cm}^3$ 以下。或者，將該氧化物半導體的通道形成區域及其附近的藉由利用 EDX 的元素分析得到的上述雜質的濃度設定為 1.0atomic%以下。另外，在作為該氧化物半導體使用包含元素 M 的氧化物時，將該氧化物半導體的通道形成區域及其附近的相對於元素 M 的上述雜質的濃度比設定為低於 0.10，較佳為設定為低於 0.05。在此，用來算出上述濃度比的元素 M 的濃度既可以是與算出上述雜質的濃度的區域相同的區域的濃度，也可以是該氧化物半導體中的濃度。

[0313]

因為其雜質濃度得到降低的金屬氧化物的缺陷態密度低，所以有時其陷阱態密度也低。

[0314]

在氫進入金屬氧化物的氧空位中時，有時氧空位和氫鍵合而形成 VoH 。有時 VoH 被用作施體而產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。

[0315]

由此，使用包含多量的氫的氧化物半導體的電晶體容易具有常開啟特性。此外，由於氧化物半導體中的氫容易因熱、電場等壓力而移動，因此當氧化物半導體包含多量的氫時，也有電晶體的可靠性會下降的憂慮。

[0316]

也就是說，較佳為儘量減少金屬氧化物中的 VoH 來使該金屬氧化物成為高純度本質或實質上高純度本質。為了得到這種 VoH 被充分減少的氧化物半導體，重要的是：去除氧化物半導體中的水分、氫等雜質（有時記載為脫水、脫氫化處理）；以及對氧化物半導體供應氧來填補氧空位（有時也稱為加氧化處理）。藉由將 VoH 等雜質被充分減少的氧化物半導體用於電晶體的通道形成區域，可以賦予穩定的電特性。

[0317]

另外，較佳為將載子濃度低的氧化物半導體用於電晶體。在以降低氧化物半導體的載子濃度為目的的情況下，降低氧化物半導體中的雜質濃度以降低缺陷態密度，即可。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。另外，作為氧化物半導體中的雜質，例如有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

[0318]

特別是，包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生

成水，因此有時在氧化物半導體中形成氧空位。在氧化物半導體中的通道形成區域包含氧空位的情況下，電晶體趨於具有常開啟特性。再者，有時氫進入氧空位中的缺陷被用作施體而產生作為載子的電子。有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含多量的氫的氧化物半導體的電晶體容易具有常開啟特性。

[0319]

氫進入氧空位中的缺陷（ V_{oH} ）會被用作氧化物半導體的施體。然而，難以對該缺陷定量地進行評價。於是，在氧化物半導體中，有時不是根據施體濃度而是根據載子濃度進行評價。由此，在本說明書等中，有時作為氧化物半導體的參數，不採用施體濃度而採用假定為不被施加電場的狀態的載子濃度。也就是說，有時可以將本說明書等所記載的“載子濃度”換稱為“施體濃度”。

[0320]

由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，在氧化物半導體膜中，利用 SIMS 測得的氫濃度低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。藉由將氫等雜質被充分減少的氧化物半導體用於電晶體的通道形成區域，可以賦予穩定的電特性。

[0321]

通道形成區域的氧化物半導體的載子濃度較佳為 $1 \times 10^{18} \text{cm}^{-3}$ 以下，更佳為低於 $1 \times 10^{17} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{16} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{13} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{12} \text{cm}^{-3}$ 。另外，對通道形成區域的氧化物半導體的載子濃度的下限值並沒有特別的限定，例如可以為 $1 \times 10^9 \text{cm}^{-3}$ 。

[0322]

根據本發明的一個實施方式可以提供一種可靠性良好的半導體裝置。根據本發明的一個實施方式可以提供一種具有良好的電特性的半導體裝置。根據本發明的一個實施方式可以提供一種通態電流大的半導體裝置。根據本發明的一個實施方式可以提供一種能夠進行微型化或高積體化的半導體裝置。根據本發明的一個實施方式可以提供一種低功耗的半導體裝置。

[0323]

〈〈其他半導體材料〉〉

可以用於氧化物 630 的半導體材料不侷限於上述金屬氧化物。作為氧化物 630，也可以使用具有能帶間隙的半導體材料（不是零能帶間隙半導體

的半導體材料)。例如,較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質(也稱為原子層物質、二維材料等)等用於半導體材料。特別是,較佳為將被用作半導體的層狀物質用於半導體材料。

[0324]

在此,在本說明書等中,層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如范德華力那樣的比共價鍵或離子鍵弱的鍵合層疊的結構。層狀物質在每單位層中具有高導電性,亦即,具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域,可以提供通態電流大的電晶體。

[0325]

作為層狀物質,有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外,氧族元素是屬於第 16 族的元素的總稱,其中包括氧、硫、硒、碲、鉬、釷。另外,作為硫族化物,可以舉出過渡金屬硫族化物、第 13 族硫族化物等。

[0326]

作為氧化物 630,例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作氧化物 630 的過渡金屬硫族化物,可以具體地舉出硫化鉬(典型的是 MoS_2)、硒化鉬(典型的是 MoSe_2)、碲化鉬(典型的是 MoTe_2)、硫化鎢(典型的是 WS_2)、硒化鎢(典型的是 WSe_2)、碲化鎢(典型的是 WTe_2)、硫化鈦(典型的是 HfS_2)、硒化鈦(典型的是 HfSe_2)、硫化鋯(典型的是 ZrS_2)、硒化鋯(典型的是 ZrSe_2)等。

[0327]

〈記憶單元配置的結構例子〉

接著,使用圖 24 及圖 25 說明上述記憶單元 860 的配置的一個例子。圖 24 及圖 25 示出配置有 $2 \times 2 \times 2$ 個上述記憶單元 860 的記憶單元塊。圖 24 是記憶單元塊的俯視圖。另外,圖 25 是記憶單元塊的剖面圖,圖 25 對應於在圖 24 中以點劃線 B1-B2 表示的部分。圖 25 示出電晶體 600 的通道長度方向的剖面以及電晶體 700 的通道寬度方向的剖面。注意,在圖 24 的俯視圖中,為了明確起見,省略部分組件。注意,圖 24 中的 X 方向、Y 方向以及 Z 方向是指彼此正交或交叉的方向。在此,較佳的是, X 方向及 Y 方向平行於或大致平行於基板面, Z 方向垂直於或大致垂直於基板面。

[0328]

在圖 24 及圖 25 所示的記憶單元塊中,在 X 方向上與記憶單元 860_1

相鄰地配置有記憶單元 860_2。另外，在 Y 方向上與記憶單元 860_1 及記憶單元 860_2 相鄰地分別配置有記憶單元 860_3 及記憶單元 860_4。另外，在 Z 方向上與記憶單元 860_1 及記憶單元 860_2 相鄰地分別配置有記憶單元 860_5 及記憶單元 860_6。

[0329]

如圖 24 及圖 25 所示，可以將記憶單元 860_1 和記憶單元 860_2 的組件配置為軸對稱。此時，導電體 640b 的側面較佳為與記憶單元 860_1 的導電體 642b 及記憶單元 860_2 的導電體 642b 接觸。就是說，被用作位元線 WBL 的導電體 607、導電體 615、導電體 640b、導電體 646b 及導電體 657 較佳為與記憶單元 860_1 的電晶體 600 的源極和汲極中的一個以及記憶單元 860_2 的電晶體 600 的源極和汲極中的一個電連接。如此，藉由使連接到記憶單元 860_1 和記憶單元 860_2 的佈線共通化，可以進一步縮小記憶單元的佔有面積。

[0330]

另外，如圖 25 所示，被用作位元線 WBL 的導電體 607、導電體 615、導電體 640b、導電體 646b 及導電體 657 還與配置在上層、記憶單元 860_5 及記憶單元 860_6 的電晶體 600 電連接。如圖 25 所示，記憶單元 860_1 及記憶單元 860_2 的導電體 657 相當於記憶單元 860_5 及記憶單元 860_6 的導電體 607。如此，可以將位元線 WBL 在 Z 方向上延伸。另外，雖然在剖面圖中未圖示，但是也可以將包括導電體 640d 等的位元線 RBL 在 Z 方向上延伸。

[0331]

另外，如圖 24 所示，記憶單元 860_1 的導電體 660 延伸到記憶單元 860_3。如此，可以將字線 WWL 在 Y 方向上延伸。另外，如圖 24 所示，記憶單元 860_1 的導電體 742a 延伸到記憶單元 860_3。如此，可以將選擇線 SL 在 Y 方向上延伸。此外，在 X 方向上相鄰的記憶單元 860 也可以共同使用選擇線 SL。另外，如圖 24 所示，記憶單元 860_1 的導電體 605 延伸到記憶單元 860_3。如此，可以將佈線 BGL1 在 Y 方向上延伸。另外，如圖 24 所示，記憶單元 860_1 的導電體 705 延伸到記憶單元 860_3。如此，可以將佈線 BGL1 在 Y 方向上延伸。

[0332]

注意，在圖 24 中，採用以與導電體 660 重疊的方式將氧化物 630c 延伸的結構，但是本實施方式所示的記憶體裝置不侷限於此。例如，也可以採

用按每記憶單元 860 進行氧化物 630c 的圖案形成來按每電晶體 600 分開地設置氧化物 630c 的結構。另外，例如，在氧化物 630c 具有兩層的疊層結構的情況下，也可以採用按每電晶體 600 分開地配置氧化物 630c 的上層和下層中的任一個。

[0333]

〈記憶體裝置的結構例子〉

接著，使用圖 26 說明層疊有上述記憶單元 860 的記憶體裝置的一個例子。圖 26 是矽層 871 上層疊有多個包括記憶單元 860 的記憶單元層 870 的記憶體裝置的剖面圖。圖 26 所示的記憶體裝置相當於圖 1 等所示的記憶體裝置 100，矽層 871 相當於驅動電路層 110，記憶單元層 870 相當於存儲層 120。

[0334]

首先，說明矽層 871。矽層 871 設置有多個電晶體 800，構成圖 2 所示的週邊電路 115、RW 電路 129 等。

[0335]

電晶體 800 設置在基板 811 上，並包括：用作閘極的導電體 816、用作閘極絕緣體的絕緣體 815、由基板 811 的一部分構成的半導體區域 813；以及用作源極區域或汲極區域的低電阻區域 814a 及低電阻區域 814b。電晶體 800 可以是 p 通道型或 n 通道型。

[0336]

在此，在圖 26 所示的電晶體 800 中，形成通道的半導體區域 813（基板 811 的一部分）具有凸形狀。此外，以隔著絕緣體 815 覆蓋半導體區域 813 的側面及頂面的方式設置導電體 816。此外，導電體 816 可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體 800 也被稱為 FIN 型電晶體。此外，也可以以與凸部的上表面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情况，但是也可以對 SOI 基板進行加工來形成具有凸形狀的半導體膜。

[0337]

注意，圖 26 所示的電晶體 800 的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。

[0338]

各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，

可以根據設計而設置多個佈線層。在此，在具有插頭或佈線的功能的導電體中，有時使用同一元件符號表示多個結構。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

[0339]

例如，在電晶體 800 上，作為層間膜依次層疊地設置有絕緣體 820、絕緣體 822、絕緣體 824 及絕緣體 826。此外，被用作插頭或佈線的導電體 828 及導電體 830 等嵌入絕緣體 820、絕緣體 822、絕緣體 824 及絕緣體 826 中。

[0340]

此外，用作層間膜的絕緣體可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體 822 的頂面的平坦性，也可以藉由利用化學機械拋光（CMP）法等的平坦化處理實現平坦化。

[0341]

也可以在絕緣體 826 及導電體 830 上設置佈線層。例如，在圖 26 中，依次層疊有絕緣體 850、絕緣體 852 及絕緣體 854。此外，在絕緣體 850、絕緣體 852 及絕緣體 854 中形成有導電體 856。導電體 856 用作插頭或佈線。

[0342]

作為能夠用作層間膜的絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

[0343]

例如，藉由將相對介電常數低的材料用於用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

[0344]

例如，較佳為將相對介電常數低的絕緣體用於絕緣體 820、絕緣體 822、絕緣體 826、絕緣體 852 及絕緣體 854 等。例如，該絕緣體較佳為含有氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。或者，該絕緣體較佳為具有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽與樹脂的疊層結構。由於氧化矽及氧氮化矽具有熱穩定性，因此藉由將其與樹脂組合，可以實現具有熱穩定性且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳香族聚醯胺等）、聚醯亞胺、聚碳酸酯或丙烯酸樹脂等。

[0351]

另外，如圖 26 所示，在最下層的記憶單元層 870_1 中，以嵌入絕緣體 611 及絕緣體 612 中的方式配置有導電體 607。導電體 607 接觸於設置在與導電體 856 相同的層中的導電體 857。如此，連接到記憶單元 860 的位元線 WBL 藉由導電體 857 與 RW 電路 129 連接。

[0352]

另外，記憶單元層 870_1 至記憶單元層 870_n 較佳為具有由絕緣體 611、絕緣體 612、絕緣體 687、絕緣體 683 及絕緣體 684 密封的結構。在此，矽層 871 上配置有絕緣體 611，絕緣體 611 上配置有絕緣體 612。絕緣體 612 上配置有記憶單元層 870_1 至記憶單元層 870_n，絕緣體 612 被形成為在俯視時與記憶單元層 870_1 至記憶單元層 870_n 相同的圖案。與絕緣體 611 的頂面、絕緣體 612 的側面及記憶單元層 870_1 至記憶單元層 870_n 的側面接觸地配置有絕緣體 687。就是說，絕緣體 687 被形成為記憶單元層 870_1 至記憶單元層 870_n 的側壁的形狀。以覆蓋絕緣體 611、絕緣體 687 及記憶單元層 870_1 至記憶單元層 870_n 的方式配置有絕緣體 683。並且，以覆蓋絕緣體 683 的方式配置有絕緣體 684。

[0353]

與絕緣體 682 等同樣，絕緣體 611、絕緣體 612、絕緣體 687、絕緣體 683 及絕緣體 684 較佳為使用阻擋性材料。

[0354]

在此，各記憶單元層 870 由絕緣體 614、絕緣體 687 及絕緣體 682 密封。在此，絕緣體 614、絕緣體 687 及絕緣體 682 較佳為使用相同的材料。此外，絕緣體 614、絕緣體 687 及絕緣體 682 較佳為採用相同的條件形成。藉由使膜性質相等的絕緣體 614、絕緣體 687 及絕緣體 682 彼此接觸，可以實現密封性高的密封結構。

[0355]

此外，絕緣體 614、絕緣體 687 及絕緣體 682 較佳為使用具有俘獲並固定氫的功能的材料。明確而言，可以使用氧化鋁、氧化鉛、氧化鎵、銦鎵鋅氧化物等金屬氧化物。

[0356]

形成密封結構的絕緣體 614、絕緣體 687 及絕緣體 682 與絕緣體 680 接觸地設置。因此，藉由俘獲並固定混入絕緣體 680 中的氫，可以降低記憶單元 860 所包括的氧化物半導體的氫濃度。

[0357]

另外，密封記憶單元層 870 的組件的絕緣體 614、絕緣體 687 及絕緣體 682 還由絕緣體 611、絕緣體 612、絕緣體 683 覆蓋。例如，如圖 26 所示，在記憶單元層 870_1 至記憶單元層 870_n 的外方絕緣體 611 與絕緣體 683 接觸，來形成第二層密封結構。

[0358]

在此，絕緣體 611、絕緣體 612 及絕緣體 683 較佳為使用具有抑制氫及氧的擴散的功能的材料。特別是，由於氮化矽或氮氧化矽對氫具有高阻擋性，因此較佳為將其用作密封用材料。

[0359]

此外，較佳為在覆蓋電晶體 600 的上方的絕緣體 683 的上方設置覆蓋性高的絕緣體 684。另外，絕緣體 684 較佳為使用與絕緣體 612 及絕緣體 683 相同的材料。

[0360]

例如，在採用濺射法形成絕緣體 612、絕緣體 683 時，可以實現由氫濃度較低的膜而成的密封結構。

[0361]

另一方面，採用濺射法形成的膜的覆蓋性較低。於是，藉由採用覆蓋性高的 CVD 法等形成絕緣體 611 及絕緣體 684，可以進一步提高密封性。

[0362]

由此，絕緣體 612 及絕緣體 683 的氫濃度較佳為比絕緣體 611 及絕緣體 684 低。

[0363]

藉由上述步驟，使用阻擋絕緣膜密封記憶單元層 870_1 至記憶單元層 870_n，可以減少擴散到各記憶單元 860 中的氧化物半導體的氫，因此可以提供一種可靠性高的記憶體裝置。

[0364]

另外，絕緣體 611、絕緣體 612、絕緣體 614、絕緣體 682、絕緣體 687、絕緣體 683 及絕緣體 684 也可以使用對氧具有阻擋性的材料。在上述密封結構對氧具有阻擋性時，可以抑制絕緣體 680 所具有的過量氧向外的擴散，並將過量氧高效率地供應到電晶體 600。

[0365]

另外，較佳為以嵌入記憶單元層 870_1 至記憶單元層 870_n 及絕緣體

684 等中的方式配置絕緣體 674。絕緣體 674 可以使用可用作絕緣體 680 的絕緣體。如圖 26 所示，絕緣體 674 的頂面高度與絕緣體 684 的頂面高度較佳為大致一致。

[0366]

另外，如圖 26 所示，可以在絕緣體 674、絕緣體 684、絕緣體 683 及絕緣體 611 中形成開口，在該開口中配置導電體 876。導電體 876 的底面與導電體 856 接觸。可以與導電體 876 的頂面接觸的方式設置被用作佈線的導電體 878。另外，以覆蓋記憶單元層 870_n、絕緣體 674 及導電體 878 的方式設置被用作層間膜的絕緣體 689。藉由採用這樣的結構，可以電連接上層的佈線（導電體 878）與矽層 871 的電路，而無需藉由記憶單元層 870。

[0367]

注意，圖 26 示出由絕緣體 611、絕緣體 612、絕緣體 687、絕緣體 683 及絕緣體 684 一併密封記憶單元層 870₁ 至記憶單元層 870_n 的結構，但是根據本實施方式的記憶體裝置不侷限於此。例如，如圖 27 所示，可以採用各記憶單元層 870 由絕緣體 611、絕緣體 612、絕緣體 687、絕緣體 683 及絕緣體 684 密封的結構。在此，絕緣體 614 下配置有絕緣體 612 及絕緣體 611。

[0368]

以與絕緣體 680、絕緣體 673、絕緣體 672、絕緣體 624、絕緣體 622、絕緣體 616 及絕緣體 614 的側面接觸的方式配置有絕緣體 687。以覆蓋絕緣體 680 及絕緣體 687 的方式配置有絕緣體 683，絕緣體 683 上配置有絕緣體 684。此時，設置在絕緣體 682 的上方的電容器 655 及絕緣體 688 可以配置在絕緣體 684 上。

[0369]

本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

[0370]

實施方式 5

本實施方式示出安裝有上述實施方式所示的記憶體裝置等的電子構件及電子裝置的例子。

[0371]

〈電子構件〉

首先，參照圖 29A 和圖 29B 對組裝有記憶體裝置 100 的電子構件的例

子進行說明。

[0372]

圖 29A 示出電子構件 710 及安裝有電子構件 710 的基板（安裝基板 704）的透視圖。圖 29A 所示的電子構件 710 在模子 711 中包括記憶體裝置 100。在圖 29A 中，為了示出電子構件 710 的內部，省略其一部分。電子構件 710 在模子 711 的外側包括連接盤（land）712。連接盤 712 與電極焊盤 713 電連接，電極焊盤 713 藉由線 714 與記憶體裝置 100 電連接。電子構件 710 例如安裝於印刷電路板 702。藉由組合多個這樣電子構件並使其分別在印刷電路板 702 上電連接，由此完成安裝基板 704。

[0373]

圖 29B 示出電子構件 720 的透視圖。電子構件 720 是 SiP（System in package：系統級封裝）或 MCM（Multi Chip Module：多晶片模組）的一個例子。在電子構件 720 中，封裝基板 722（印刷電路板）上設置有插板（interposer）721，插板 721 上設置有半導體裝置 725 及多個記憶體裝置 100。

[0374]

在電子構件 720 中示出將記憶體裝置 100 用作寬頻記憶體（HBM：High Bandwidth Memory：高寬頻記憶體）的例子。另外，半導體裝置 725 可以使用 CPU、GPU、FPGA 等積體電路（半導體裝置）。

[0375]

封裝基板 722 可以使用陶瓷基板、塑膠基板或玻璃環氧基板等。插板 721 可以使用矽插板、樹脂插板等。

[0376]

插板 721 包括多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。另外，插板 721 具有將設置於插板 721 上的積體電路與設置於封裝基板 722 上的電極電連接的功能。因此，有時也將插板稱為“重佈線基板（rewiring substrate）”或“中間基板”。另外，有時藉由在插板 721 中設置貫通電極，藉由該貫通電極使積體電路與封裝基板 722 電連接。另外，在使用矽插板的情況下，也可以使用 TSV（Through Silicon Via：矽通孔）作為貫通電極。

[0377]

作為插板 721 較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成本製造。另一方面，矽插板的佈線形成可以

在半導體製程中進行，因此很容易形成在使用樹脂插板時很難形成的微細佈線。

[0378]

在 HBM 中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝 HBM 的插板上能夠高密度地形成微細的佈線。因此，作為安裝 HBM 的插板較佳為使用矽插板。

[0379]

另外，在使用矽插板的 SiP 或 MCM 等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。另外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於其中多個積體電路並排配置於插板上的 2.5D 封裝（2.5D 安裝）。

[0380]

另外，也可以與電子構件 720 重疊地設置散熱器（散熱板）。在設置散熱器的情況下，較佳為使設置於插板 721 上的積體電路的高度一致。例如，在本實施方式所示的電子構件 720 中，較佳為使記憶體裝置 100 與半導體裝置 725 的高度一致。

[0381]

為了將電子構件 720 安裝在其他的基板上，可以在封裝基板 722 的底部設置電極 723。圖 29B 示出用焊球形成電極 723 的例子。藉由在封裝基板 722 的底部以矩陣狀設置焊球，可以實現 BGA（Ball Grid Array：球柵陣列）安裝。另外，電極 723 也可以使用導電針形成。藉由在封裝基板 722 的底部以矩陣狀設置導電針，可以實現 PGA（Pin Grid Array：針柵陣列）安裝。

[0382]

電子構件 720 可以藉由各種安裝方式安裝在其他基板上，而不侷限於 BGA 及 PGA。例如，可以採用 SPGA（Staggered Pin Grid Array：交錯針柵陣列）、LGA（Land Grid Array：地柵陣列）、QFP（Quad Flat Package：四面扁平封裝）、QFJ（Quad Flat J-leaded package：四側 J 形引腳扁平封裝）或 QFN（Quad Flat Non-leaded package：四側無引腳扁平封裝）等安裝方法。

[0383]

〈電子裝置〉

接著，參照圖 30 對安裝有上述電子構件的電子裝置的例子進行說明。

[0384]

機器人 7100 包括照度感測器、麥克風、照相機、揚聲器、顯示器、各種感測器（紅外線感測器、超聲波感測器、加速度感測器、壓電感測器、光感測器、陀螺儀感測器等）及移動機構等。電子構件 720 包括處理器等並具有控制這些週邊設備的功能。例如，電子構件 710 具有儲存感測器測得的資料的功能。

[0385]

麥克風具有檢測使用者的聲音及周圍的聲音等音訊信號的功能。另外，揚聲器具有發出聲音及警告音等音訊信號的功能。機器人 7100 可以分析藉由麥克風輸入的音訊信號，從揚聲器發出所需要的音訊信號。機器人 7100 可以藉由使用麥克風及揚聲器與使用者交流。

[0386]

照相機具有拍攝機器人 7100 的周圍的影像的功能。另外，機器人 7100 具有使用移動機構移動的功能。機器人 7100 可以藉由使用照相機拍攝周圍的影像而分析該影像，判斷移動時的障礙物的有無等。

[0387]

飛行物 7120 包括螺旋槳、照相機及電池等，並具有自主飛行功能。電子構件 720 具有控制這些週邊設備的功能。

[0388]

例如，用照相機拍攝的影像資料儲存至電子構件 710。電子構件 720 可以藉由分析影像資料，判斷移動時的障礙物的有無等。另外，利用電子構件 720 可以藉由電池的蓄電容量的變化推測電池的剩餘電量。

[0389]

掃地機器人 7140 包括配置在頂面的顯示器、配置在側面的多個照相機、刷子、操作按鈕及各種感測器等。雖然未圖示，但是掃地機器人 7140 安裝有輪胎、吸入口等。掃地機器人 7140 可以自動行走，檢測垃圾，可以從底面的吸入口吸引垃圾。

[0390]

例如，電子構件 720 可以藉由分析照相機所拍攝的影像，判斷牆壁、家具或步階等障礙物的有無。另外，在藉由影像分析檢測出佈線等可能會纏繞在刷子上的物體的情況下，可以停止刷子的旋轉。

[0391]

汽車 7160 包括引擎、輪胎、制動器、轉向裝置、照相機等。例如，電子構件 720 根據導航資訊、速度、引擎的狀態、排檔的選擇狀態、制動器的使用頻率等資料，進行使汽車 7160 的行駛狀態最佳化的控制。例如，照相機拍攝的影像資料儲存至電子構件 710。

[0392]

電子構件 710 及/或電子構件 720 可以安裝在電視接收(TV)裝置 7200、智慧手機 7210、PC7220 (個人電腦)、PC7230、遊戲機 7240、遊戲機 7260 等中。

[0393]

例如，設置在 TV 裝置 7200 內的電子構件 720 可以用作影像引擎。例如，電子構件 720 可以進行雜訊去除、解析度的上變頻 (up-conversion) 等影像處理。

[0394]

智慧手機 7210 是可攜式資訊終端的一個例子。智慧手機 7210 包括麥克風、照相機、揚聲器、各種感測器及顯示部。電子構件 720 控制這些週邊設備。

[0395]

PC7220、PC7230 分別是筆記本型 PC、桌上型 PC 的例子。鍵盤 7232 及顯示器裝置 7233 可以以無線或有線連接到 PC7230。遊戲機 7240 是可攜式遊戲機的例子。遊戲機 7260 是固定式遊戲機的例子。遊戲機 7260 以無線或有線與控制器 7262 連接。可以對控制器 7262 安裝電子構件 710 及/或電子構件 720。

[0396]

本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

[0397]

實施方式 6

在本實施方式中，說明使用在上述實施方式中示出的記憶體裝置的記憶體裝置的應用例子。

[0398]

一般而言，在電腦等半導體裝置中，根據其用途可以使用各種記憶體裝置。圖 31 示出各種記憶體裝置的階層。越是上層的記憶體裝置越被要求更快的存取速度，越是下層的記憶體裝置越被要求更大的記憶容量和更高的

記錄密度。在圖 31 中，從最上層依次示出 CPU 等運算處理裝置中作為暫存器一起安裝的記憶體、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory) 以及 3D NAND 記憶體。

[0399]

因為 CPU 等運算處理裝置中作為暫存器一起安裝的記憶體用於運算結果的暫時儲存等，所以來自運算處理裝置訪問的頻率高。因此，與記憶容量相比更需求快的工作速度。此外，暫存器具有保持運算處理裝置的設定資訊等的功能。

[0400]

SRAM 例如用於快取記憶體。快取記憶體具有將保持在主記憶體中的資訊的一部分複製並保持的功能。藉由將使用頻率高的資料複製到快取記憶體中，可以提高對資料訪問的速度。

[0401]

DRAM 例如用於主記憶體。主記憶體具有保持從存儲 (storage) 讀出的程式或資料的功能。DRAM 的記錄密度大約為 0.1 至 0.3 Gbit/mm²。

[0402]

3D NAND 記憶體例如用於存儲。存儲具有保持需要長期保存的資料和運算處理裝置所使用的各種程式等的功能。因此，與更快的工作速度相比，存儲被要求更大的記憶容量和更高的記錄密度。用於存儲的記憶體裝置的記錄密度大約為 0.6 至 6.0 Gbit/mm²。

[0403]

本發明的一個實施方式的記憶體裝置的工作速度快且能夠長期間保持資料。本發明的一個實施方式的記憶體裝置可以用作位於包括快取記憶體的階層和主記憶體的階層的兩者的邊界區域 901 的記憶體裝置。此外，本發明的一個實施方式的記憶體裝置可以用作位於包括主記憶體的階層和存儲的階層的兩者的邊界區域 902 的記憶體裝置。

[0404]

上述實施方式所示的記憶體裝置例如可以應用於各種電子裝置 (例如，資訊終端、電腦、智慧手機、電子書閱讀器終端、數位相機、錄影再現裝置、導航系統、遊戲機等) 的記憶體裝置。另外，可以用於影像感測器、IoT (Internet of Things: 物聯網) 以及醫療等。注意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。

[0405]

或者，上述實施方式所示的記憶體裝置應用於記憶體卡（例如，SD 卡）、USB 記憶體、SSD（固態硬碟）等各種卸除式存放裝置。圖 32A 至圖 32E 示意性地示出卸除式存放裝置的幾個結構例子。例如，上述實施方式所示的記憶體裝置加工為被封裝的記憶體晶片並用於各種記憶體裝置或卸除式記憶體。

[0406]

圖 32A 是 USB 記憶體的示意圖。USB 記憶體 1100 包括外殼 1101、蓋子 1102、USB 連接器 1103 及基板 1104。基板 1104 被容納在外殼 1101 中。例如，基板 1104 上安裝有記憶體晶片 1105 及控制器晶片 1106。可以將上述實施方式所示的半導體裝置組裝於基板 1104 上的記憶體晶片 1105 等。

[0407]

圖 32B 是 SD 卡的外觀示意圖，圖 32C 是 SD 卡的內部結構的示意圖。SD 卡 1110 包括外殼 1111、連接器 1112 及基板 1113。基板 1113 被容納在外殼 1111 中。例如，基板 1113 上安裝有記憶體晶片 1114 及控制器晶片 1115。藉由在基板 1113 的背面一側也設置記憶體晶片 1114，可以增大 SD 卡 1110 的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板 1113。由此，藉由主機裝置與 SD 卡 1110 之間的無線通訊，可以進行記憶體晶片 1114 的資料的讀出及寫入。可以將上述實施方式所示的半導體裝置組裝於基板 1113 上的記憶體晶片 1114 等。

[0408]

圖 32D 是 SSD 的外觀示意圖，圖 32E 是 SSD 的內部結構的示意圖。SSD 1150 包括外殼 1151、連接器 1152 及基板 1153。基板 1153 被容納在外殼 1151 中。例如，基板 1153 上安裝有記憶體晶片 1154、記憶體晶片 1155 及控制器晶片 1156。記憶體晶片 1155 為控制器晶片 1156 的工作記憶體，例如，可以使用 DOSRAM 晶片。藉由在基板 1153 的背面一側也設置記憶體晶片 1154，可以增大 SSD 1150 的容量。可以將上述實施方式所示的半導體裝置組裝於基板 1153 上的記憶體晶片 1154 等。

[0409]

本實施方式可以與其他的實施方式等所記載的結構適當地組合而實施。

[實施例]

[0410]

藉由利用本說明書等中所示的記憶單元或記憶體裝置等，可以實現常

關閉 CPU（也稱為“Noff-CPU”）。Noff-CPU 是指包括即使閘極電壓為 0V 也處於非導通狀態（也稱為關閉狀態）的常關閉型電晶體的積體電路。可以利用 OS 電晶體實現常關閉型電晶體。

[0411]

在 Noff-CPU 中，可以停止向 Noff-CPU 中的不需要工作的電路的供電，使該電路處於待機狀態。在供電停止而處於待機狀態的電路中，沒有電力消耗。因此，Noff-CPU 可以將用電量抑制到最小限度。另外，即使供電停止，Noff-CPU 也可以長時間保持設定條件等工作所需要的資訊。當從待機狀態恢復時，只要再次開始向該電路的供電即可，而不需要設定條件等的再次寫入。就是說，可以高速從待機狀態恢復。如此，Noff-CPU 可以降低功耗，而無需大幅度降低工作速度。

[0412]

可以將 Noff-CPU 例如適用於 IoT 領域的 IoT 終端設備（“也稱為端點微電腦”）803 等小規模系統。圖 33 示出 IoT 網路的分層結構以及需求規格的傾向。在圖 33 中，作為需求規格示出功耗 804 以及處理性能 805。在 IoT 網路的分層結構中大致分為上層部的雲領域 801 以及下層部的嵌入式領域 802。例如，伺服器包括在雲領域 801 中。例如，機械、工業機器人、車載設備、家電產品等包括在嵌入式領域 802 中。

[0413]

越是上層，對高處理性能的要求越比對低功耗的要求高。因此，在雲領域 801 中，使用高性能 CPU、高性能 GPU 以及大規模 SoC（System on a Chip：系統級晶片）等。另外，越是下層，對低功耗的要求越比對高處理性能的要求高，器件個數也急劇增加。

[0414]

此外，“端點”是指嵌入式領域 802 的終端區域。例如，在工廠、家電產品、基礎設施、農業等中使用的微電腦相當於在端點使用的設備。

[0415]

在圖 34 中，作為端點微電腦的應用例子，示出工廠自動化的示意圖。工廠 884 藉由網際網路線（Internet）與雲 883 連接。另外，雲 883 藉由網際網路線與家庭 881 及公司 882 連接。網際網路線既可以是有線通訊方式，又可以是無線通訊方式。例如，在是無線通訊方式的情況下，可以使用第四代移動通訊系統（4G）或第五代移動通訊系統（5G）。工廠 884 可以藉由網際網路線與工廠 885 及工廠 886 連接。

[0416]

工廠 884 包括主設備（控制設備）831。主設備 831 具有與雲 883 連接而進行資訊的發送及接收的功能。另外，主設備 831 藉由 M2M（機器對機器）介面 832 與包括在 IoT 終端設備 841 的多個工業機器人 842 連接。作為 M2M 介面 832，例如，可以使用有線通訊方式之一的工業乙太網或者無線通訊方式之一的局部 5G（Local5G）等。

[0417]

工廠的管理者可以在家庭 881 或公司 882 藉由雲 883 連接到工廠 884 而確認工作狀況等。另外，可以進行產品的錯誤及短缺的檢查、放置地方的指示以及節拍時間（takt time）的測量等。

[0418]

近年來，在“智慧工廠”的推動下 IoT 在全球範圍被導入工廠。作為智慧工廠的實例，已知有如下實例：不僅利用端點微電腦進行檢查以及監查，而且進行故障檢測或異常預測等。

[0419]

在端點微電腦等小規模系統中，在很多情況下，工作時的系統整體的功耗低，因此 Noff-CPU 所帶來的待機狀態中的功率降低效應變大。另一方面，IoT 的嵌入式領域有時被要求快速反應能力，藉由使用 Noff-CPU 可以高速從待機狀態恢復。

【符號說明】

[0420]

10 記憶單元

11A 電晶體

11B 電晶體

12 電容器

21 電晶體

22 電晶體

31 感測放大器電路

32 AND 電路

33 類比開關

34 類比開關

100	記憶體裝置
110	驅動電路層
111	週邊電路
112	控制電路
115	週邊電路
120	存儲層
121	行解碼器
122	列解碼器
123	行驅動器
124	列驅動器
125	輸入電路
126	輸出電路
127	RW 陣列
128	電壓生成電路
129	RW 電路
141	PSW
142	PSW

申請專利範圍

1. 一種記憶體裝置，包括：

N個（N是2以上的自然數）存儲層；

驅動電路層；

多個第一佈線；以及

多個第二佈線，

其中，該N個存儲層層疊在該驅動電路層上，

該驅動電路層包括多個第一電路，

該多個第一佈線在該N個存儲層的層疊方向上延伸並設置為P行R列（P及R是1以上的自然數）的矩陣狀，

該多個第二佈線在該層疊方向上延伸並設置為P行Q列（Q是2以上的自然數）的矩陣狀，

該N個存儲層各自包括：

設置為P行Q列的矩陣狀的多個記憶單元；

Q列的第三佈線；

Q列的第四佈線；以及

Q列的第五佈線，

在第k個該存儲層中，第i行第 $2 \times s - 1$ 列的記憶單元和第i行第 $2 \times s$ 列的記憶單元與第i行第s列的第一佈線電連接，該第i行第 $2 \times s - 1$ 列的記憶單元與第i行第 $2 \times s - 1$ 列的第二佈線、第 $2 \times s - 1$ 列的第三佈線、第 $2 \times s - 1$ 列的第四佈線及第 $2 \times s - 1$ 列的第五佈線電連接，

並且，該第一佈線和該第二佈線與該多個第一電路中的任一個電連接。

2. 根據申請專利範圍第1項之記憶體裝置，

其中該第i行第 $2 \times s - 1$ 列的記憶單元包括第一電晶體、第二電晶體以及電容器，

該第一電晶體的源極和汲極中的一個與該第二電晶體的閘極及該電容器的一個電極電連接，

該第一電晶體的源極和汲極中的另一個與該第一佈線電連接，

該第一電晶體的閘極與該第三佈線電連接，

該第二電晶體的源極和汲極中的一個與該第四佈線電連接，

該第二電晶體的源極和汲極中的另一個與該第二佈線電連接，

並且該電容器的另一個電極與該第五佈線電連接。

3. 根據申請專利範圍第1或2項之記憶體裝置，

其中在該驅動電路層與該多個記憶單元之間還包括功能層。

4. 根據申請專利範圍第 3 項之記憶體裝置，
其中該功能層包括多個第二電路，
並且該第一佈線和該第二佈線藉由該多個第二電路中的任一個與該第一電路電連接。
5. 根據申請專利範圍第 2 項之記憶體裝置，
其中該第一電晶體和該第二電晶體中的至少一個在半導體中包含氧化物。
6. 根據申請專利範圍第 5 項之記憶體裝置，
其中該氧化物包含 In 和 Zn 中的一個或兩個。
7. 根據申請專利範圍第 5 項之記憶體裝置，
其中該氧化物包含 In、Ga 及 Zn。

圖式

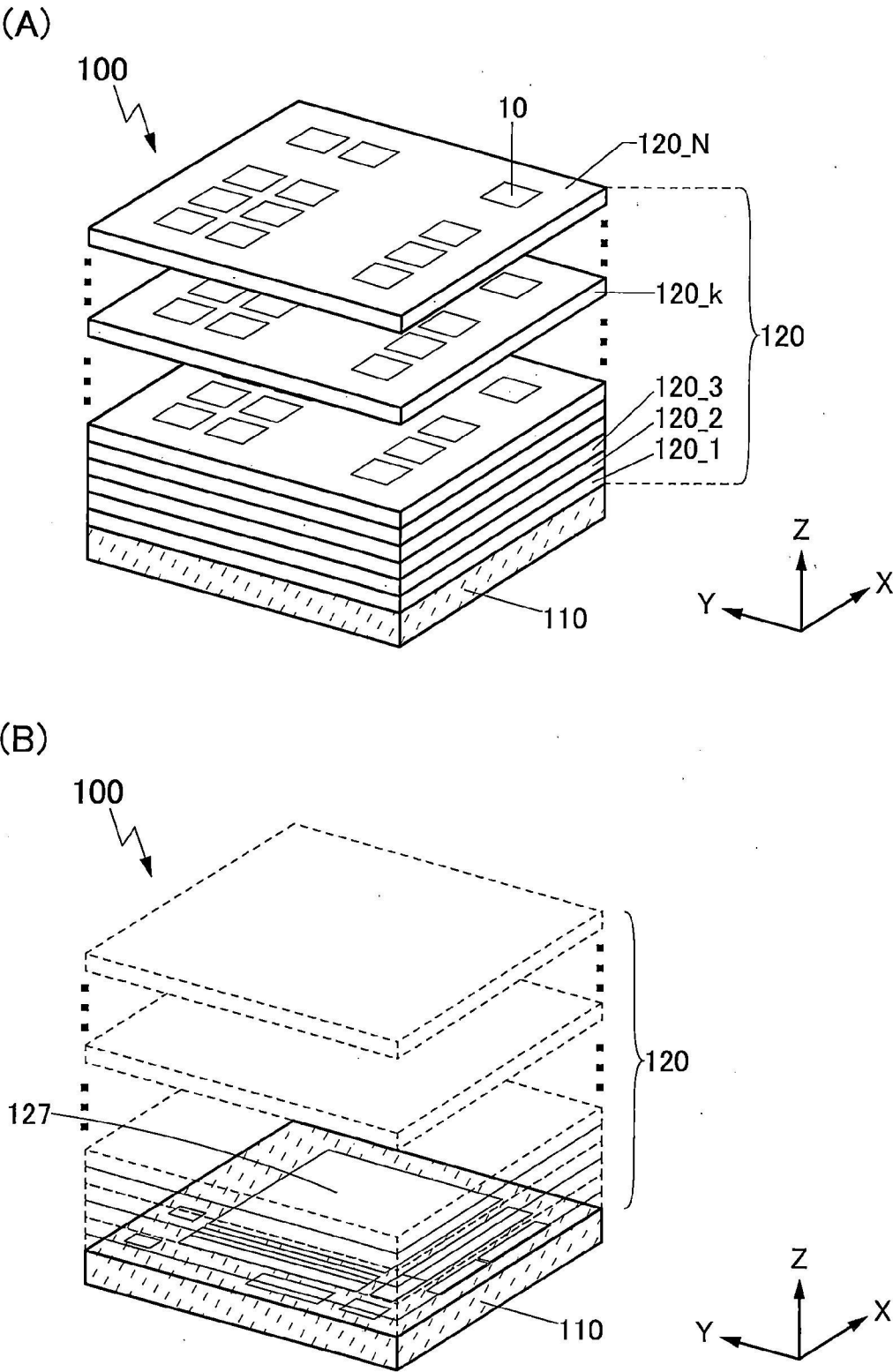


圖1

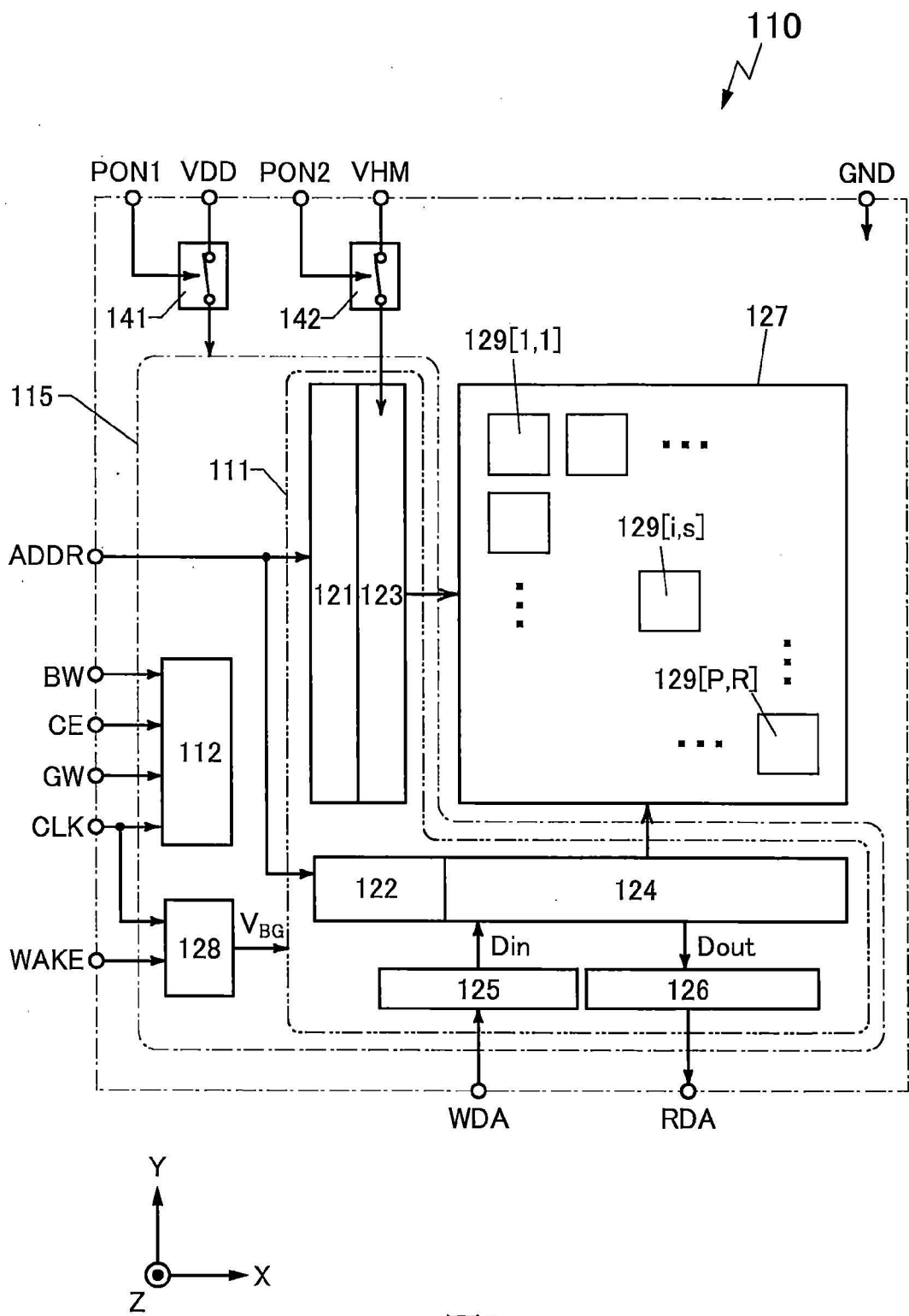


圖2

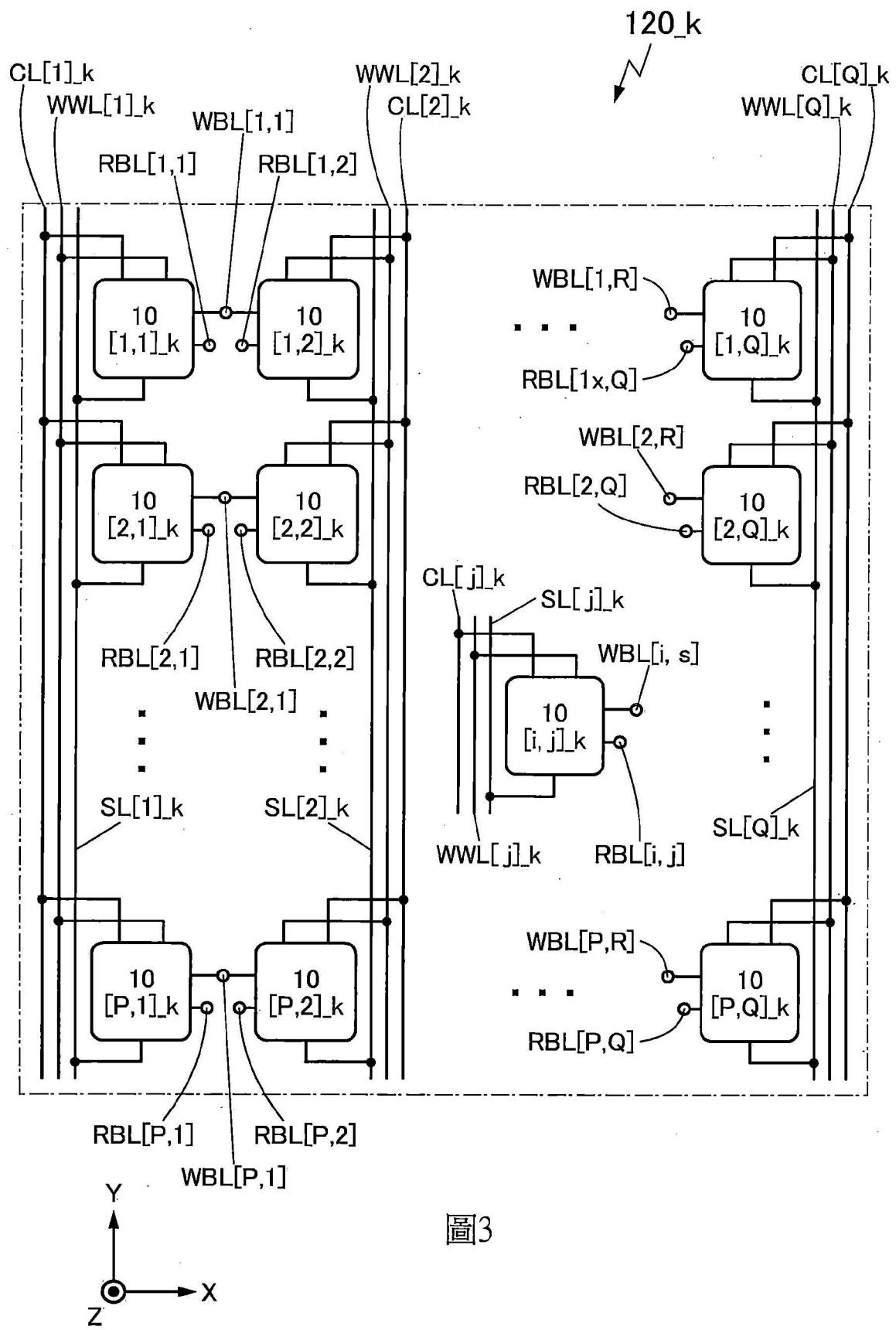


圖3

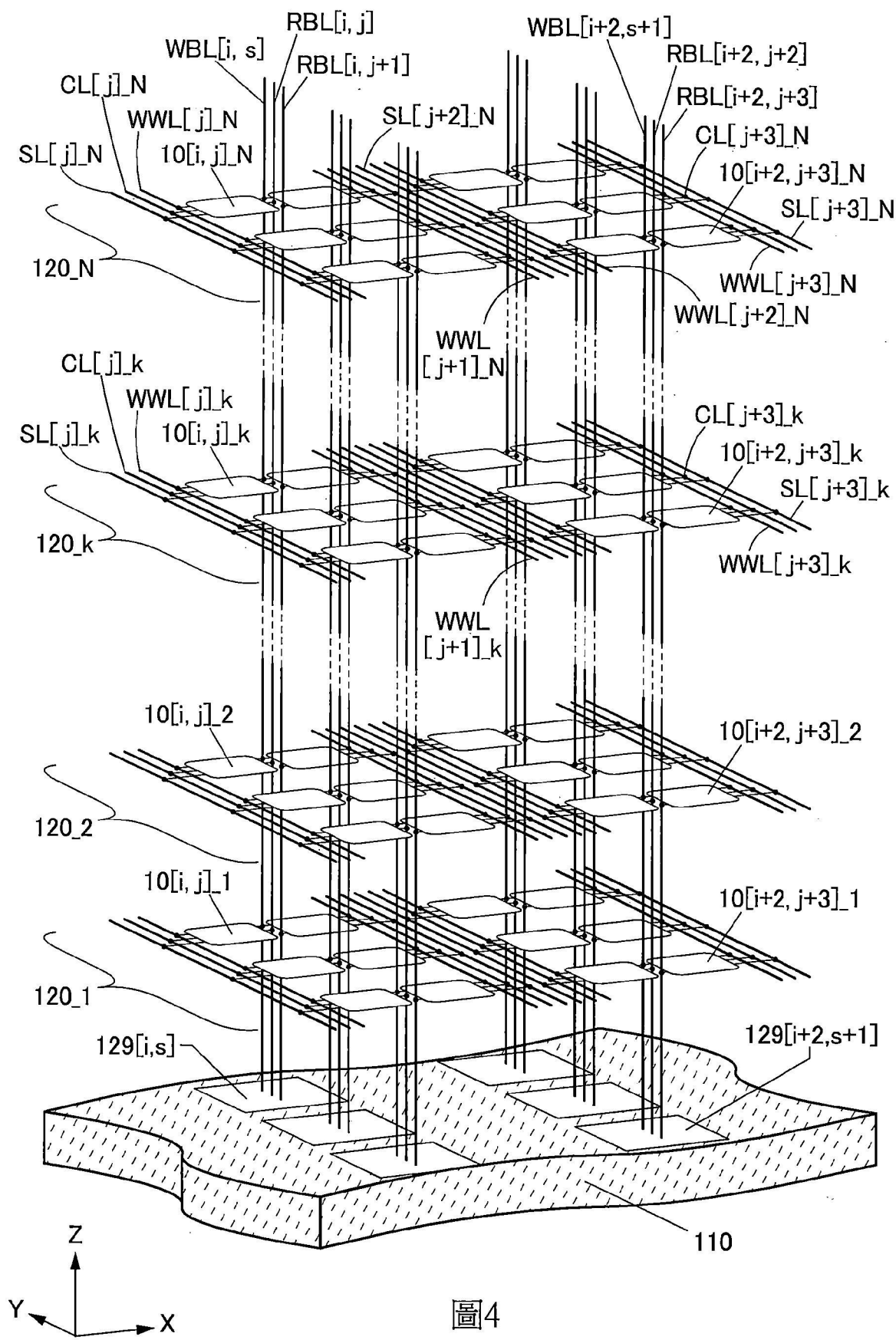


圖4

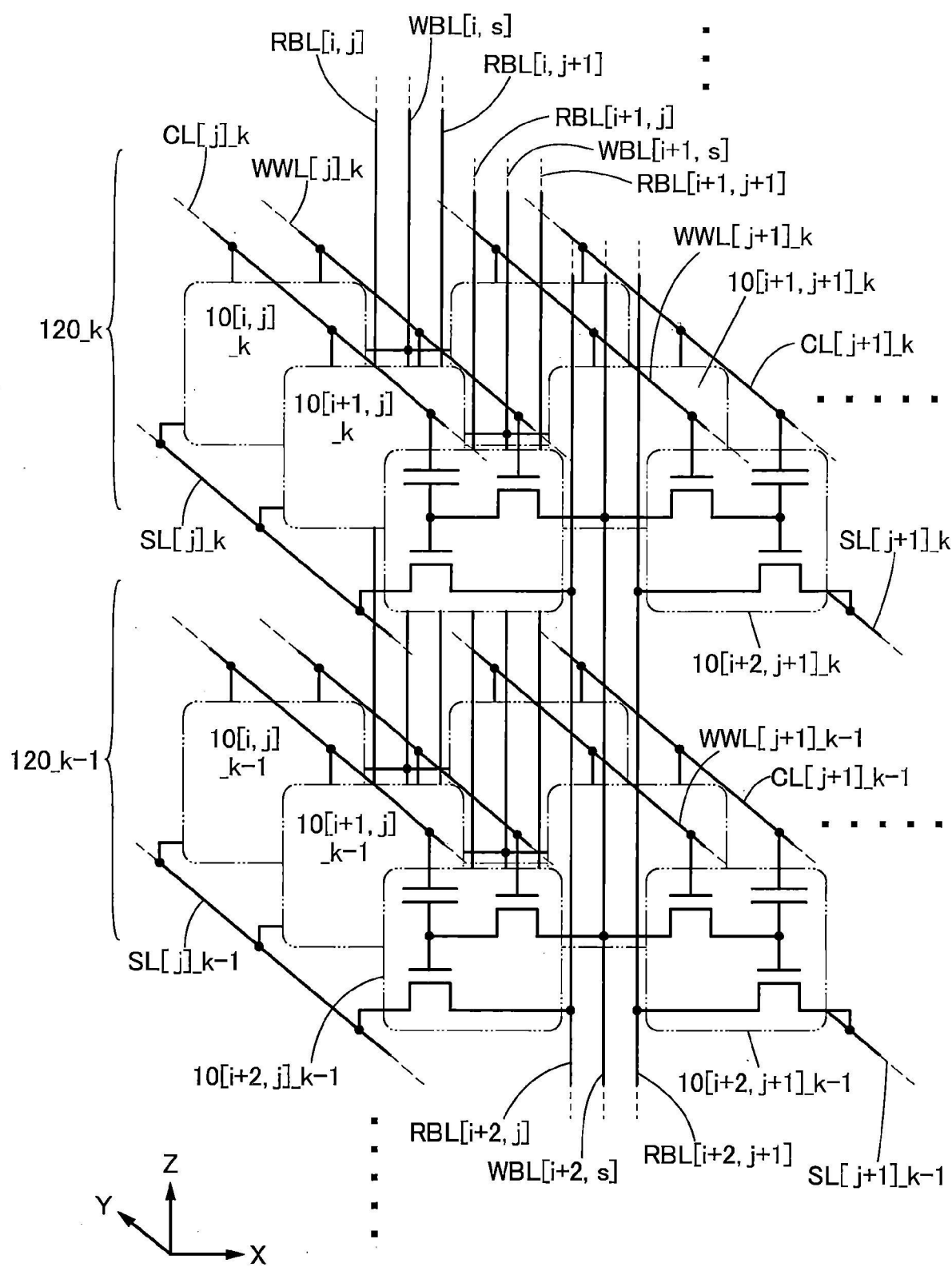


圖5

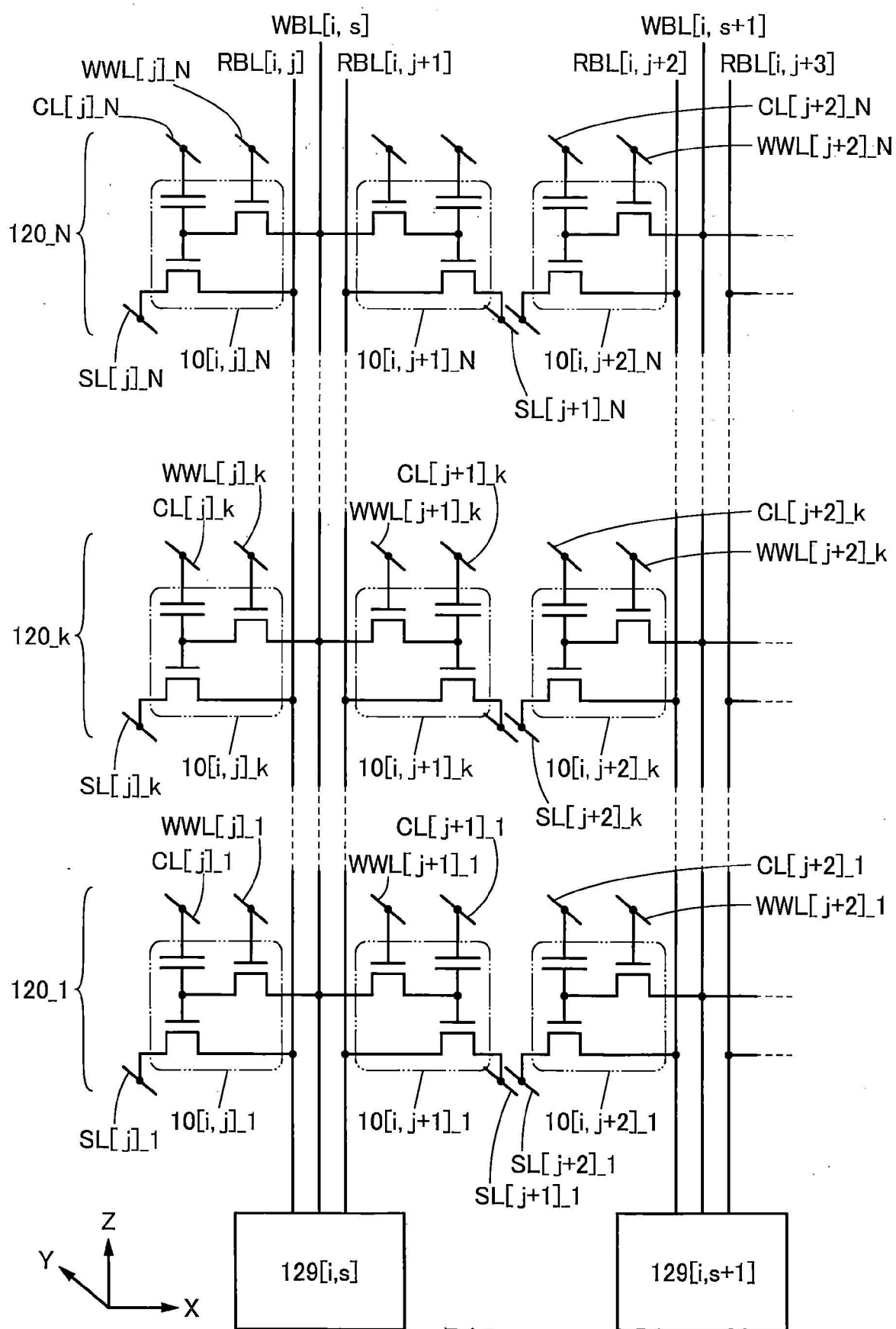
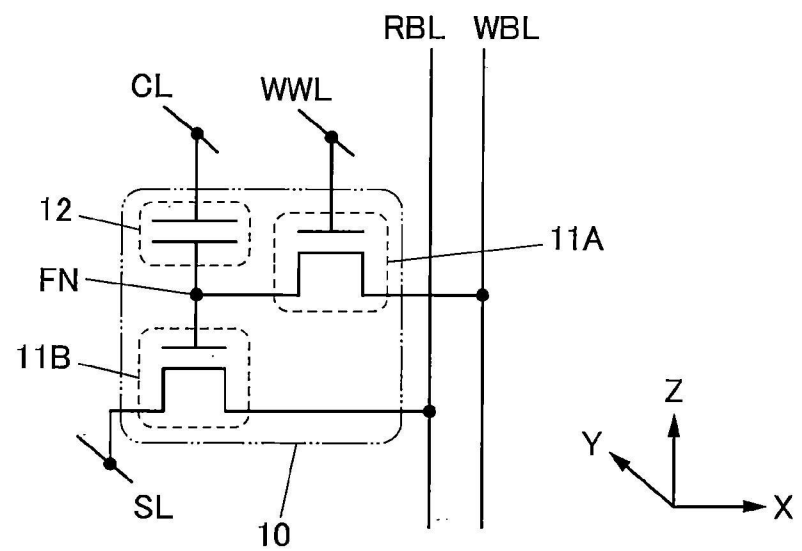


圖6

(A)



(B)

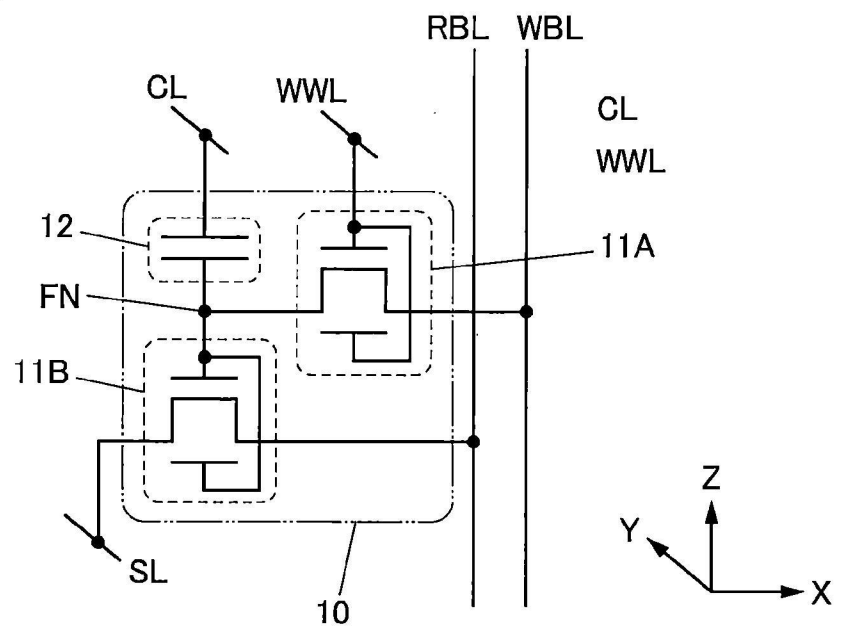


圖7

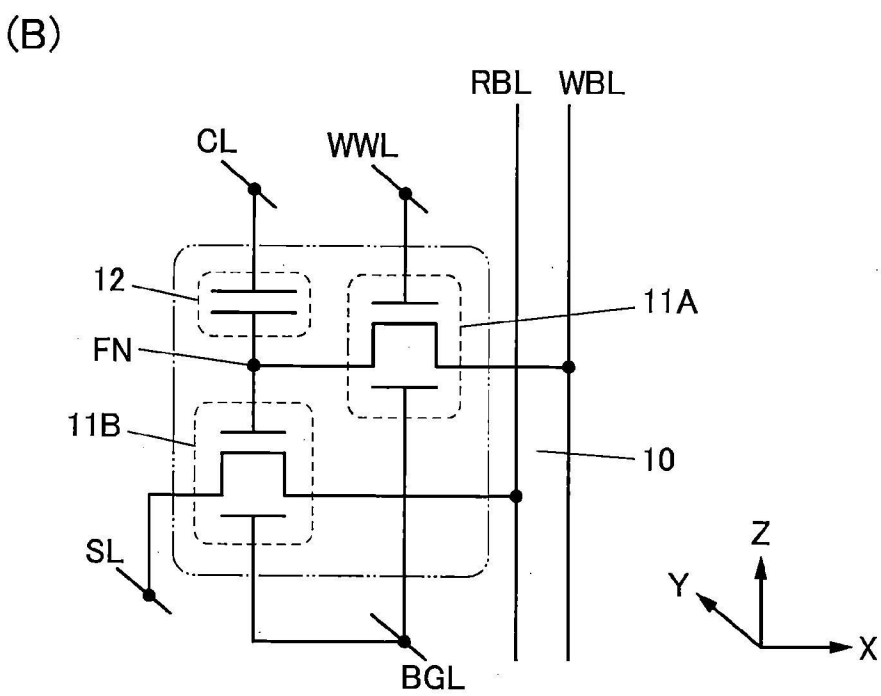
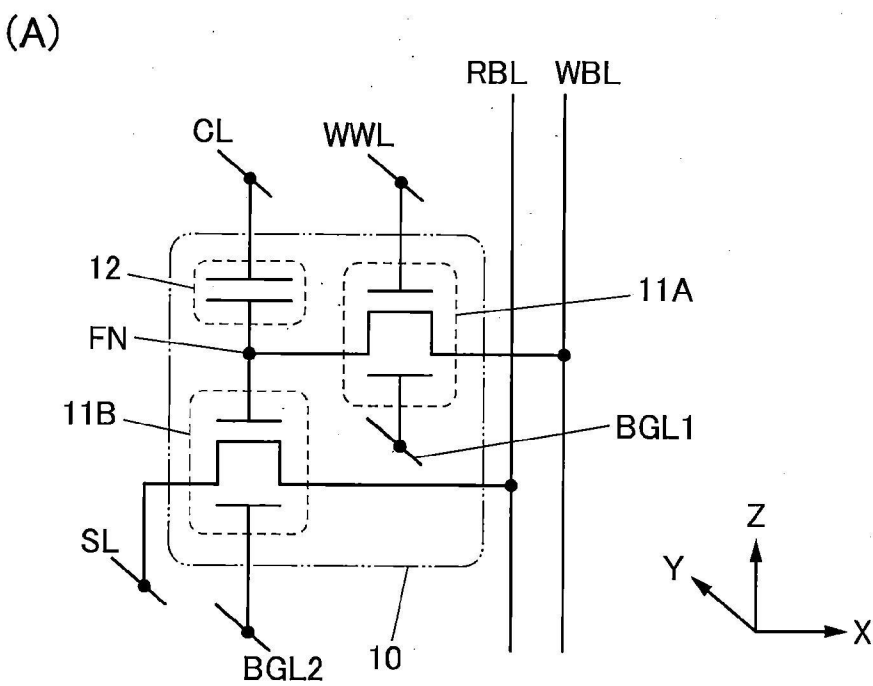


圖8

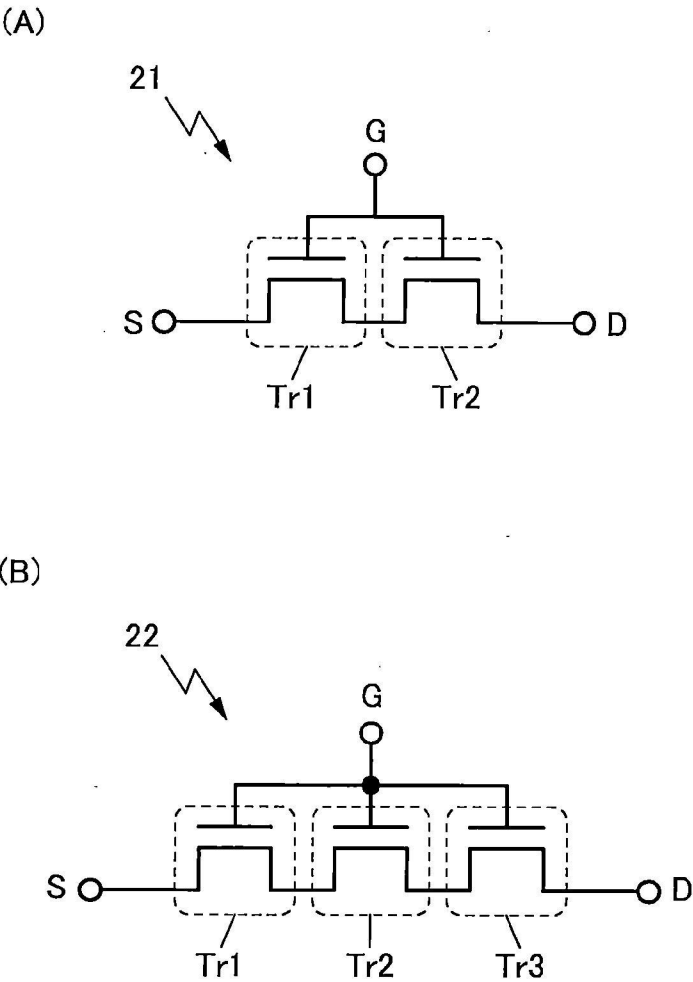


圖9

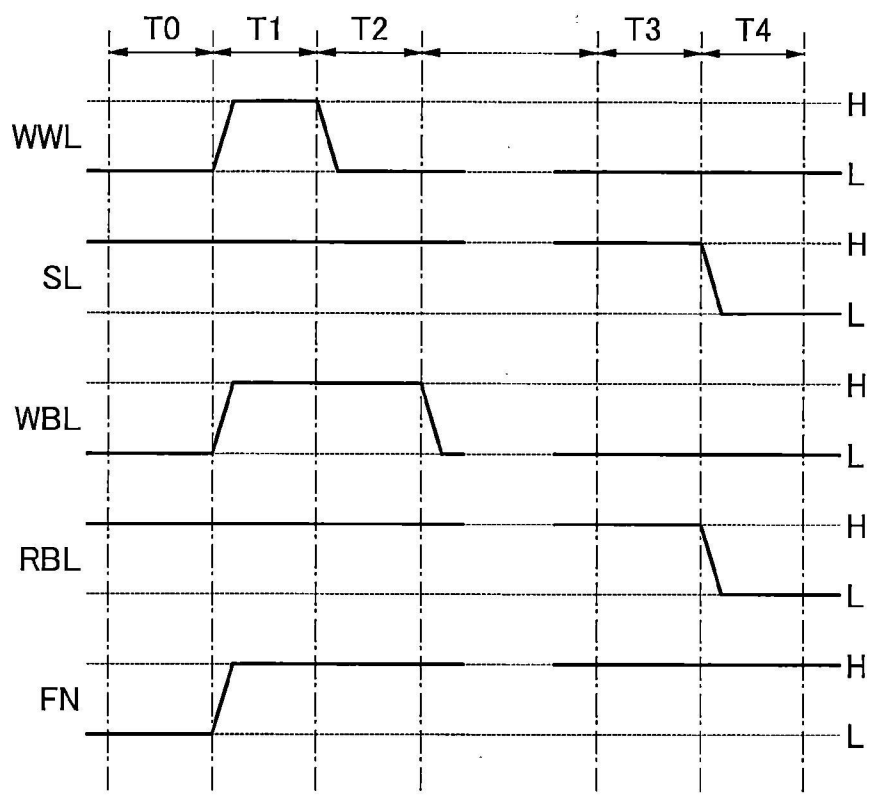


圖10

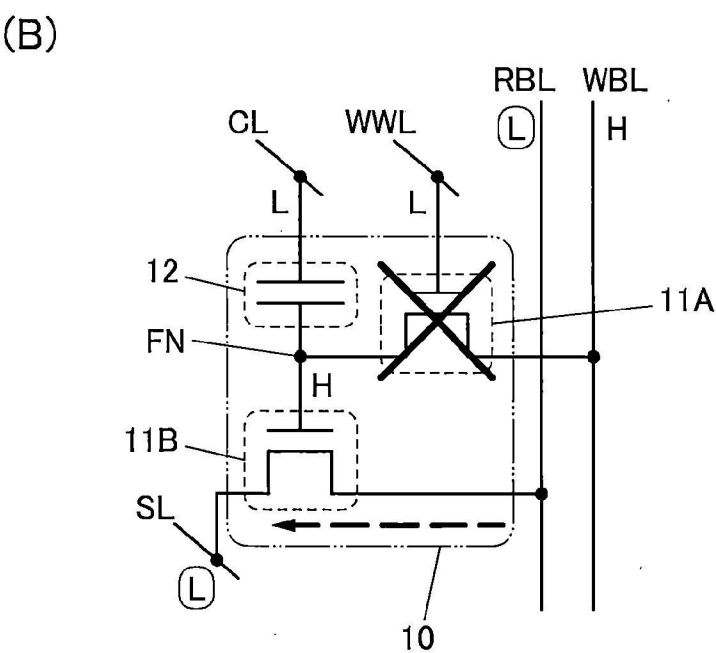
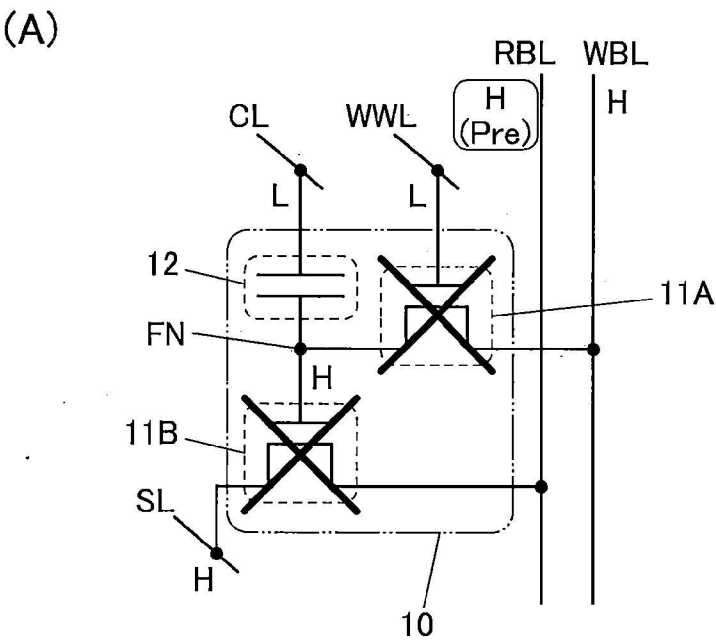


圖12

129

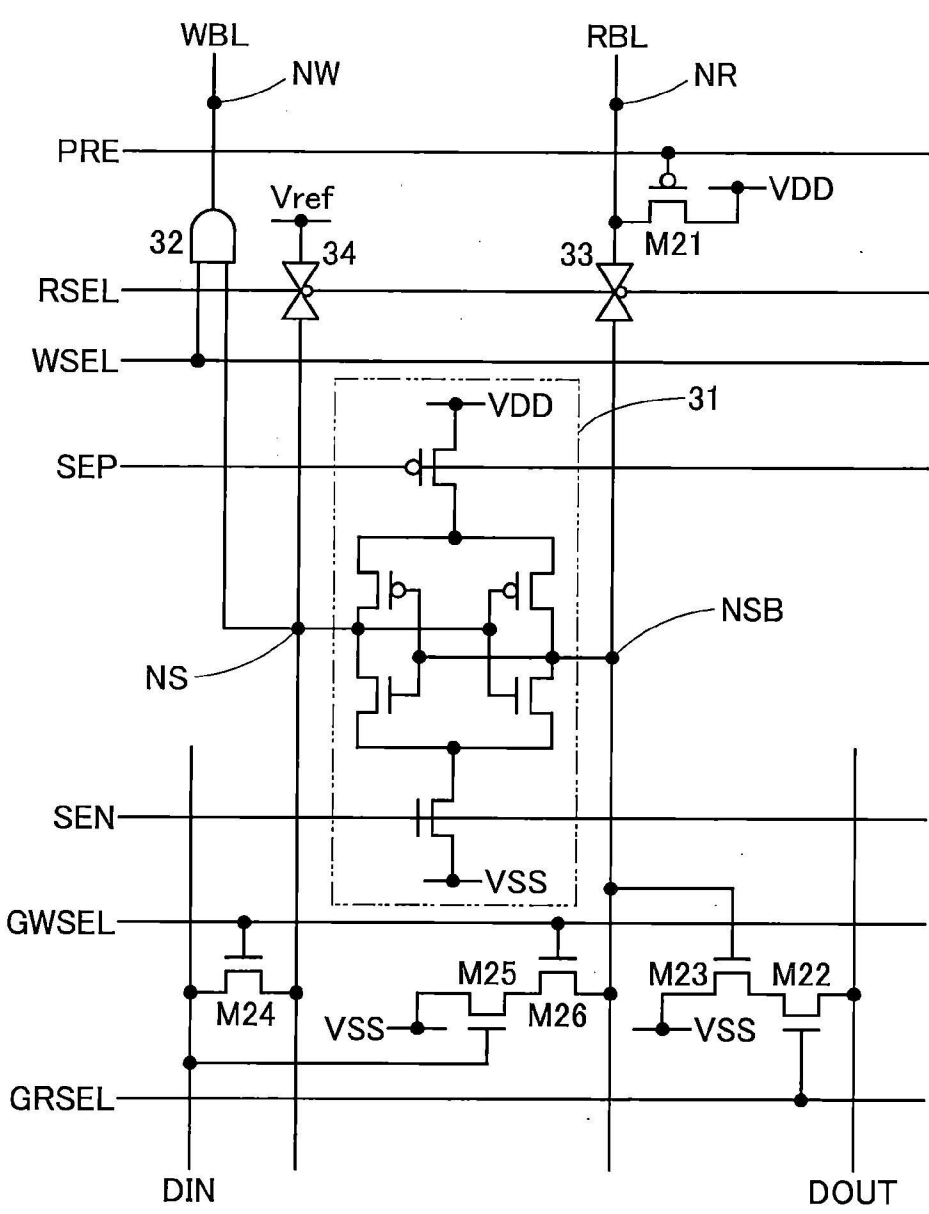


圖13

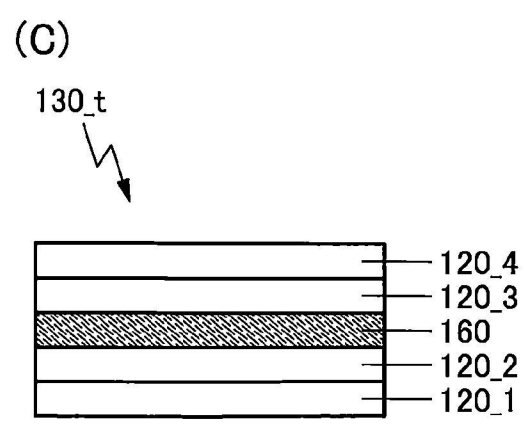
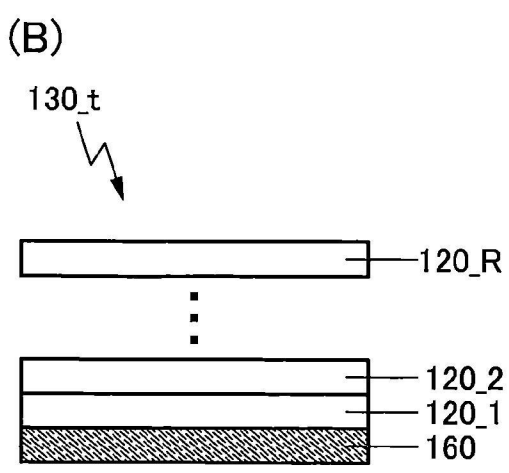
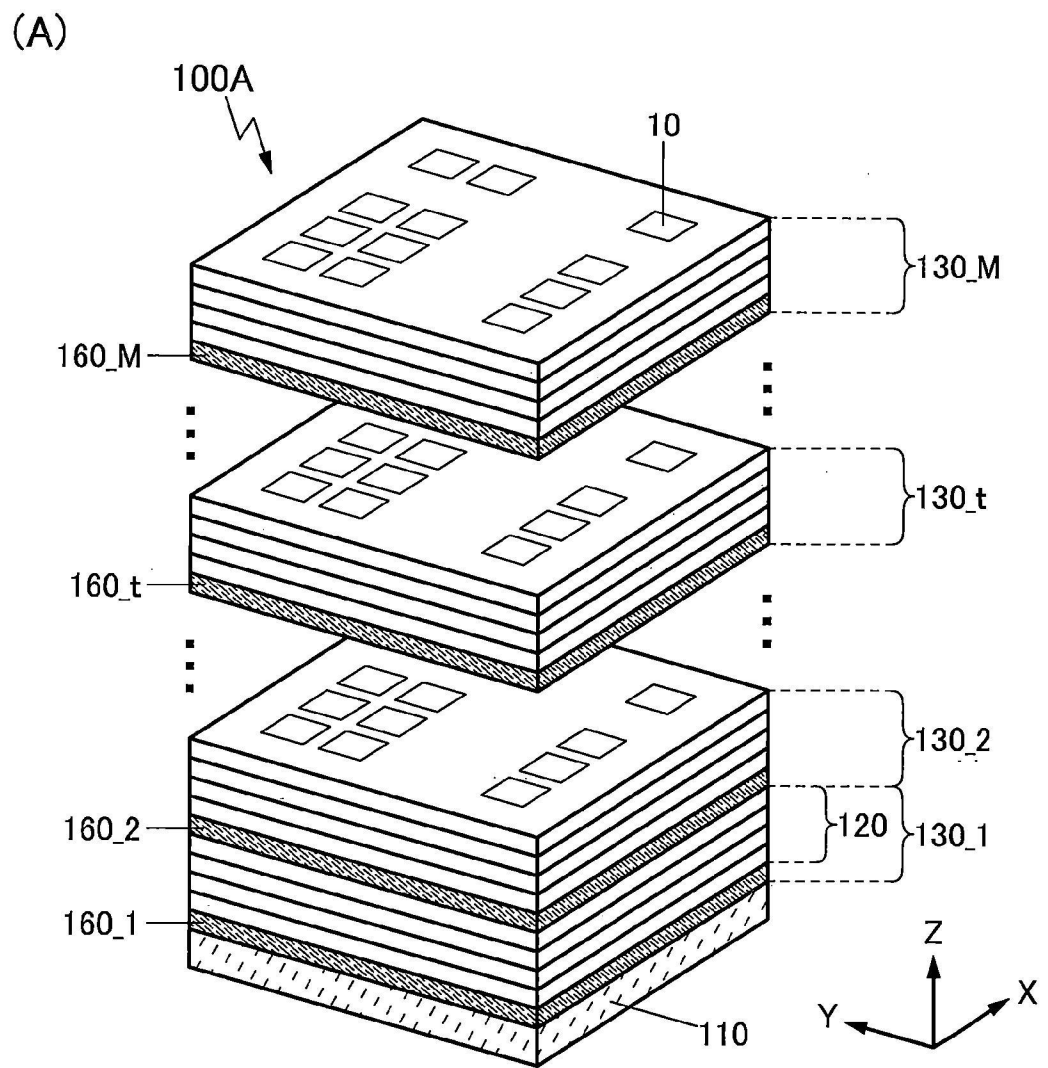


圖14

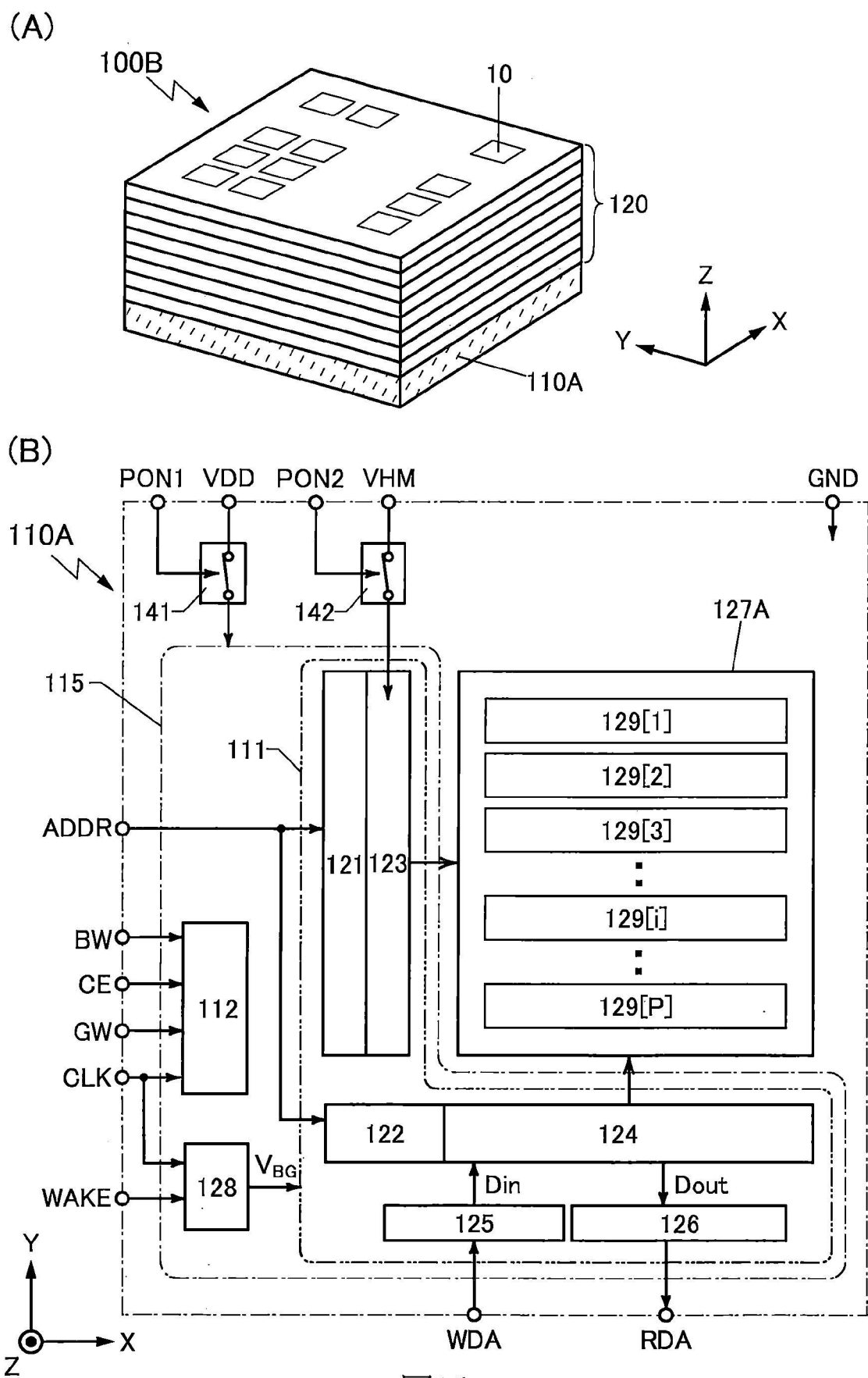


圖15

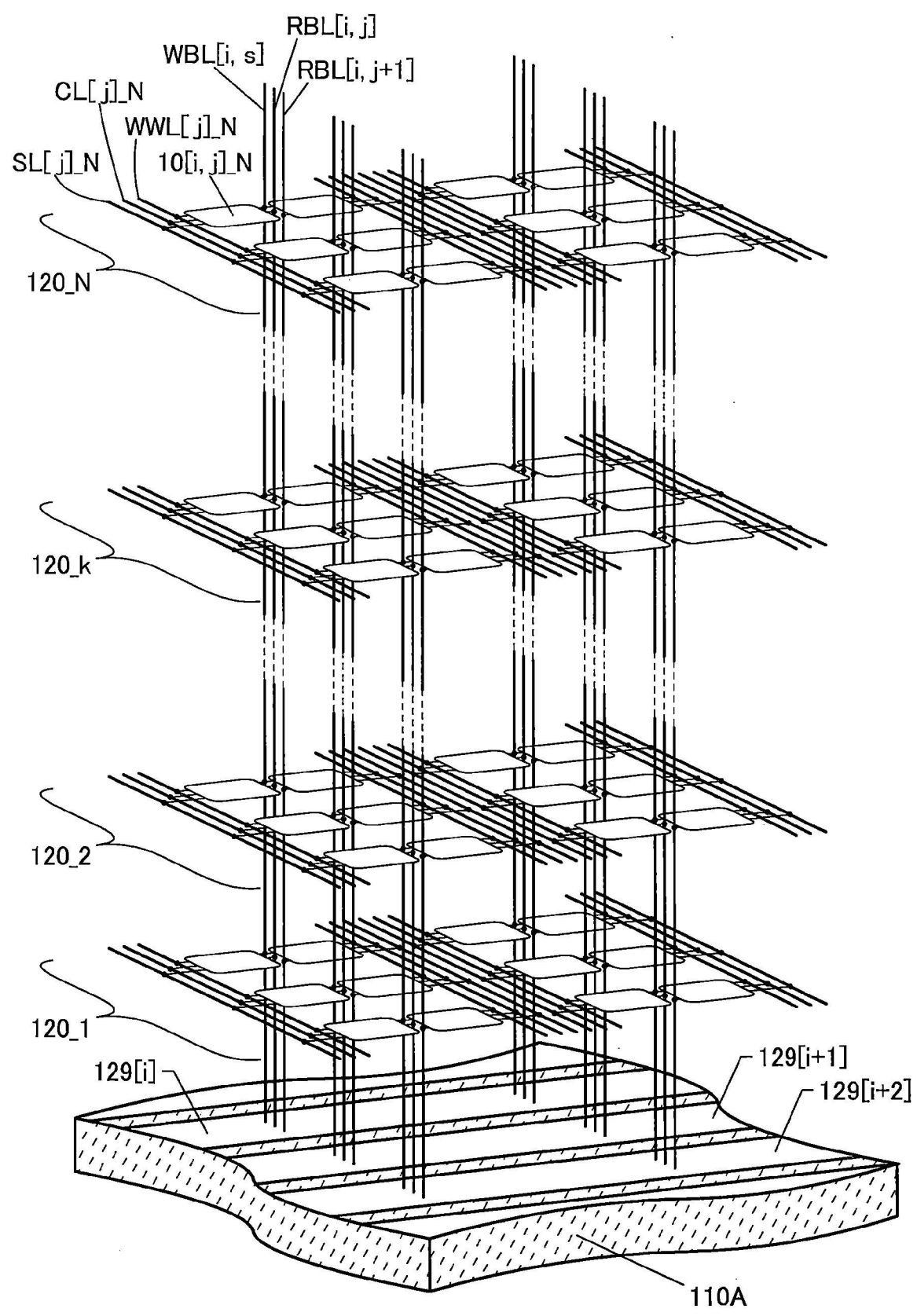


圖16

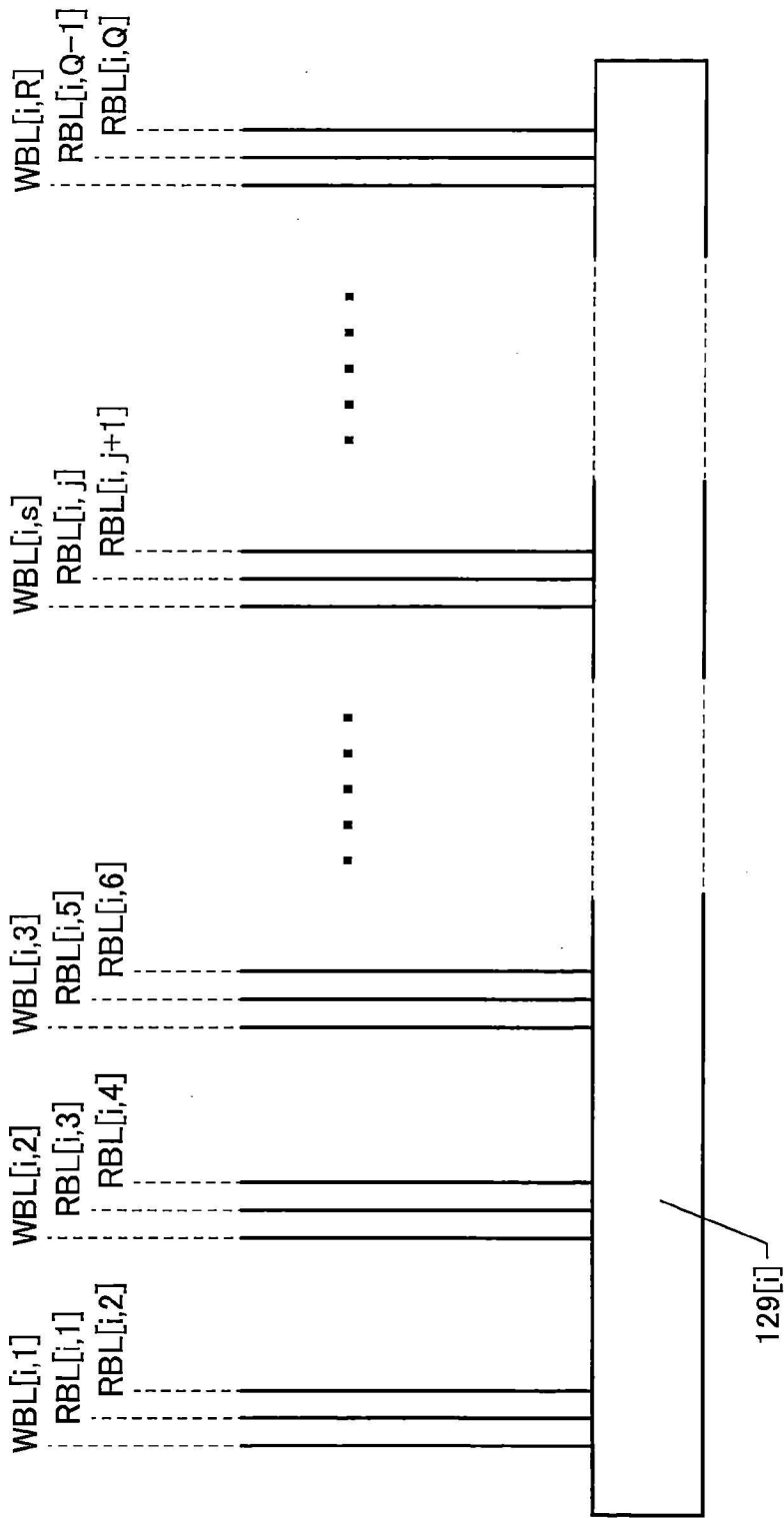


圖17

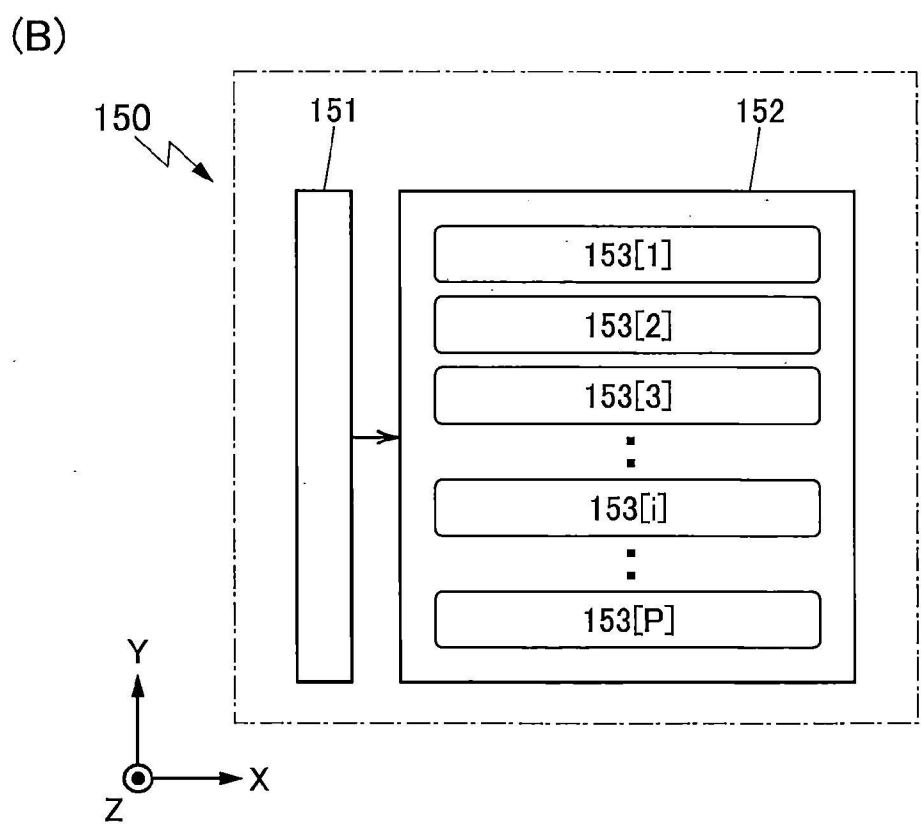
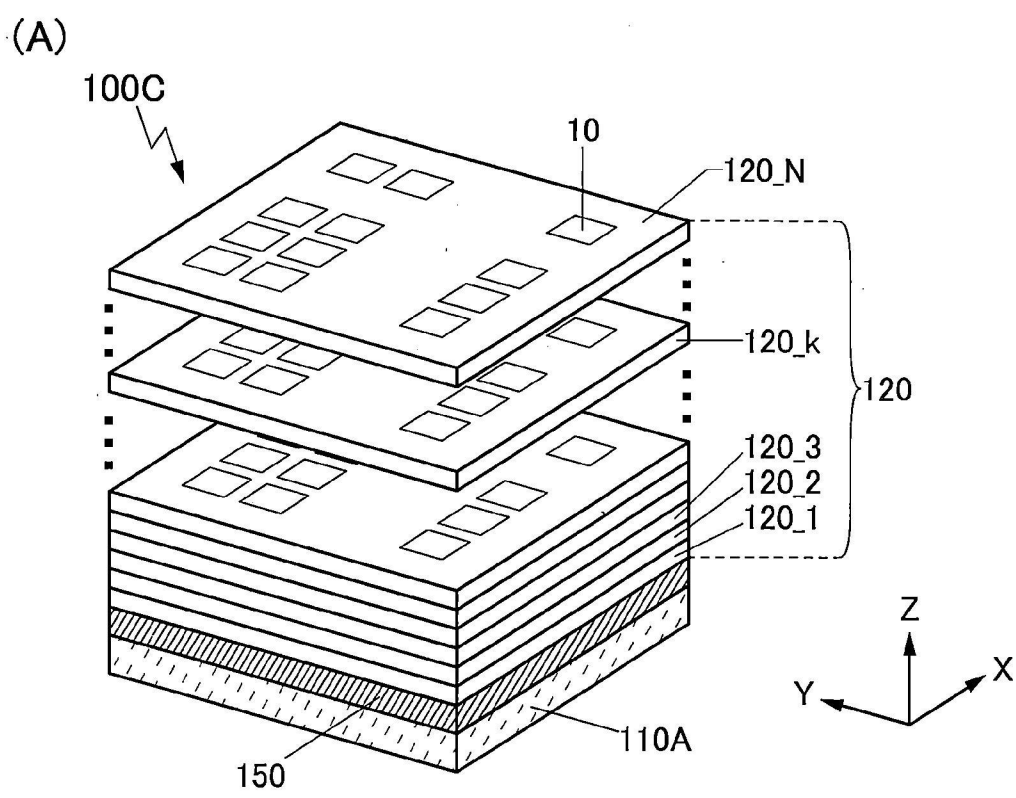


圖18

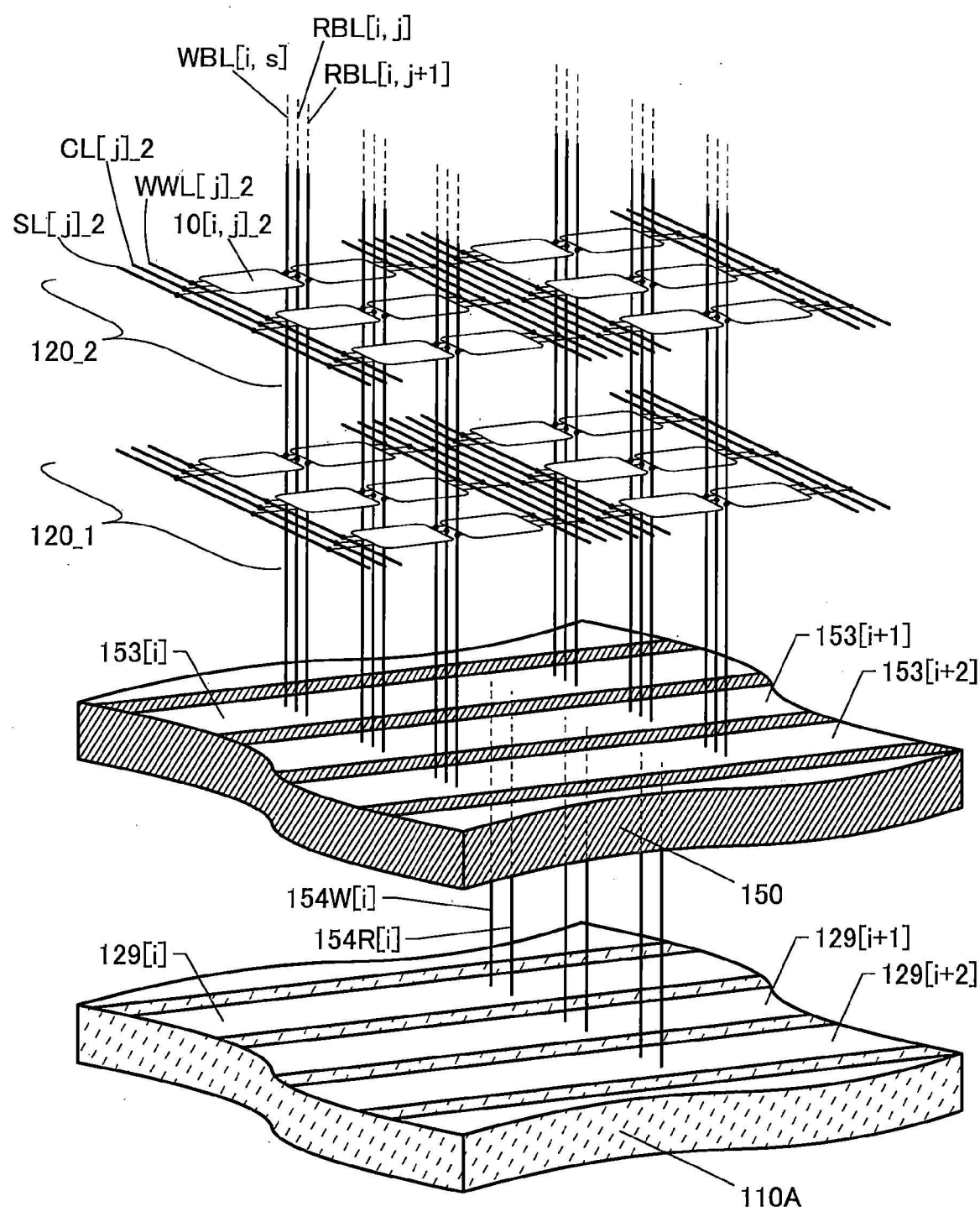


圖19

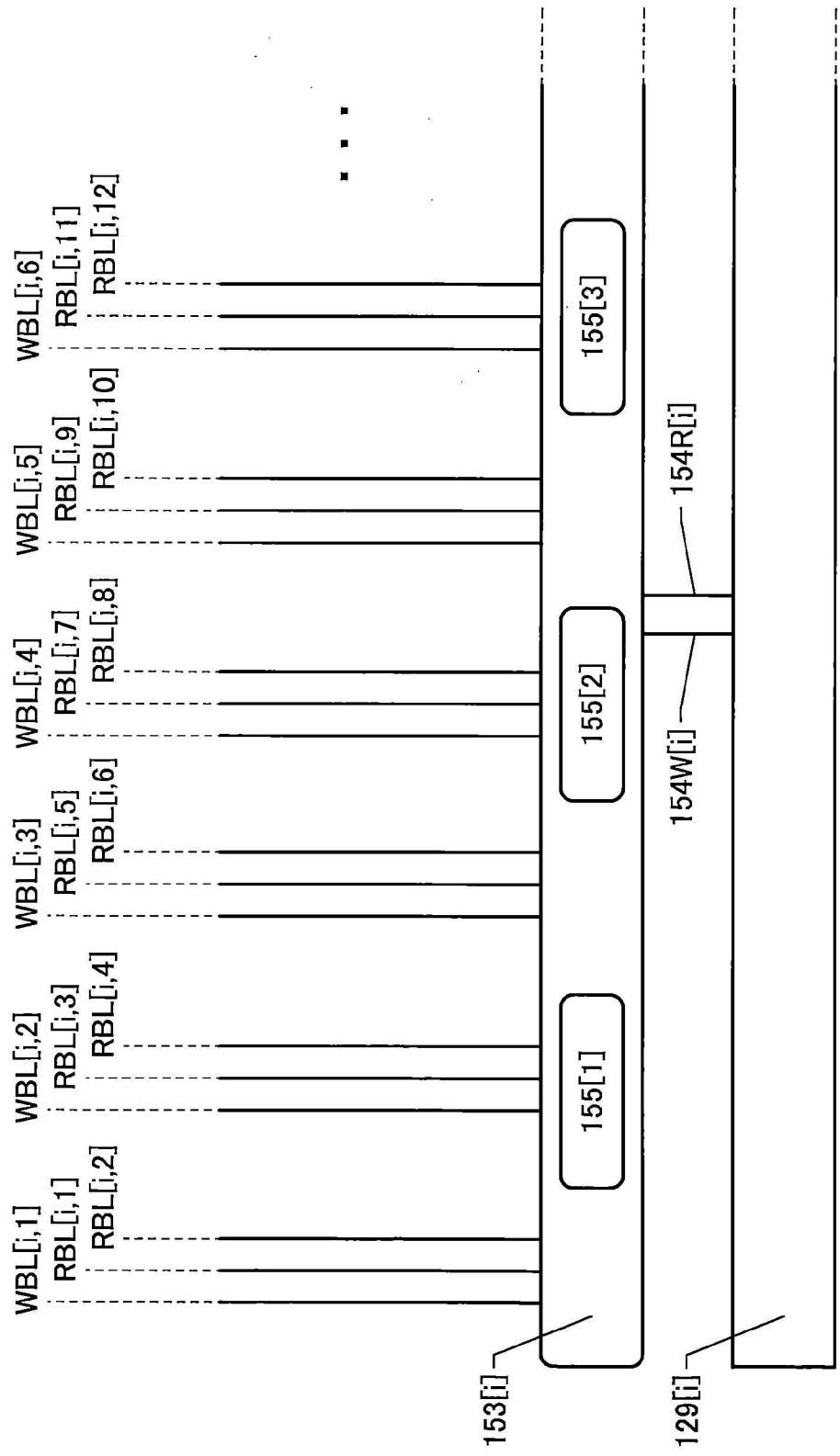


圖20

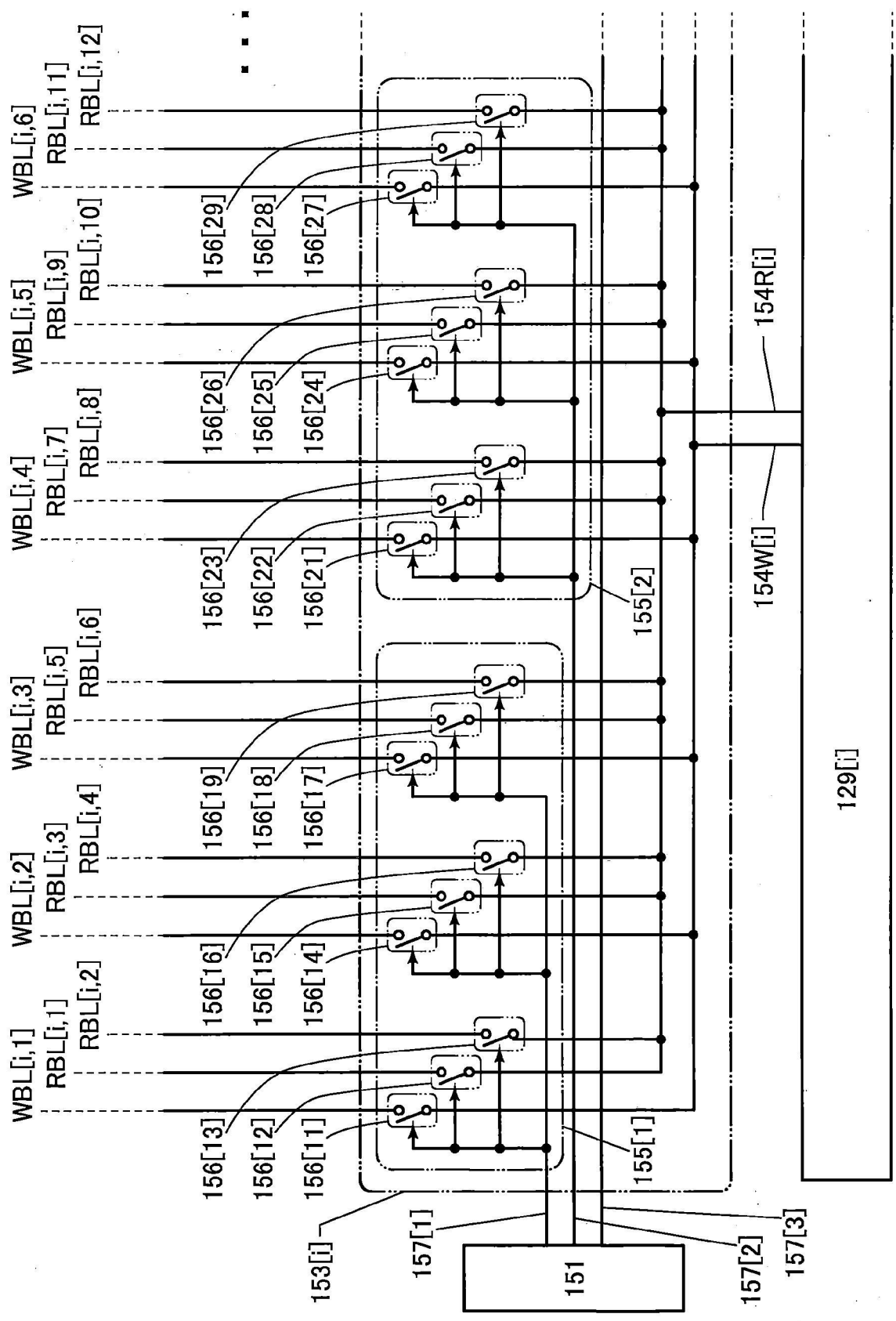


圖21

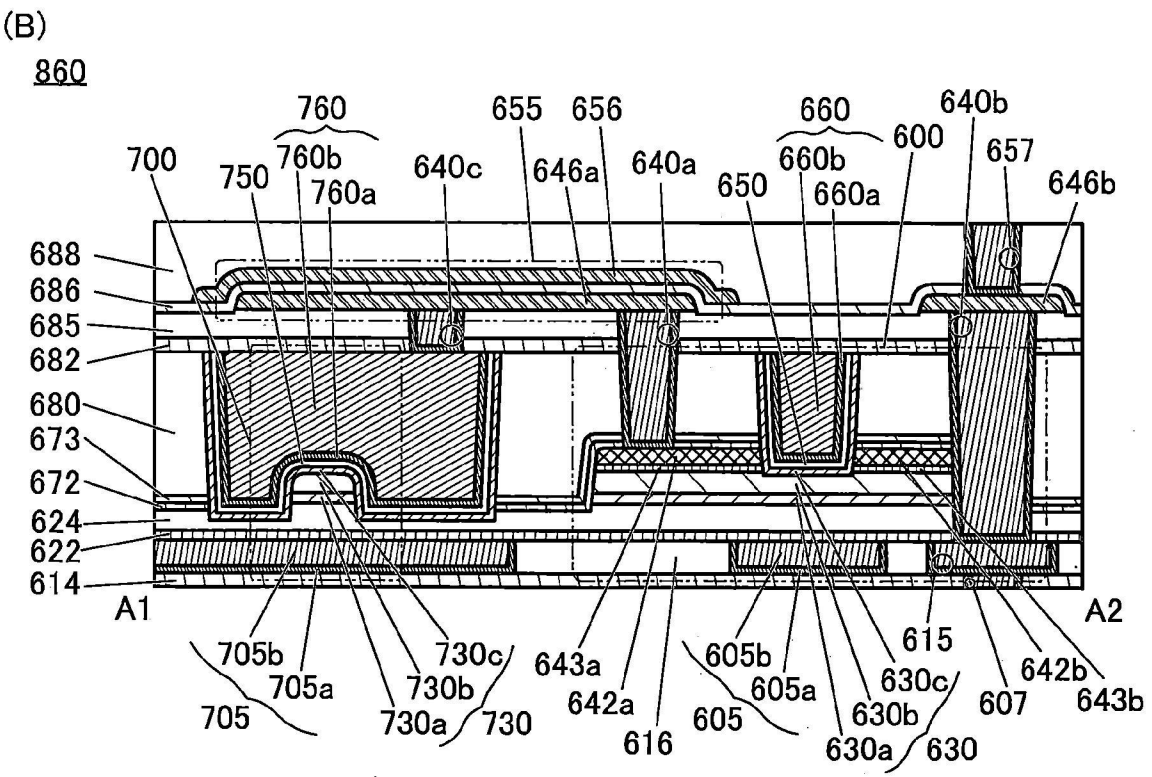
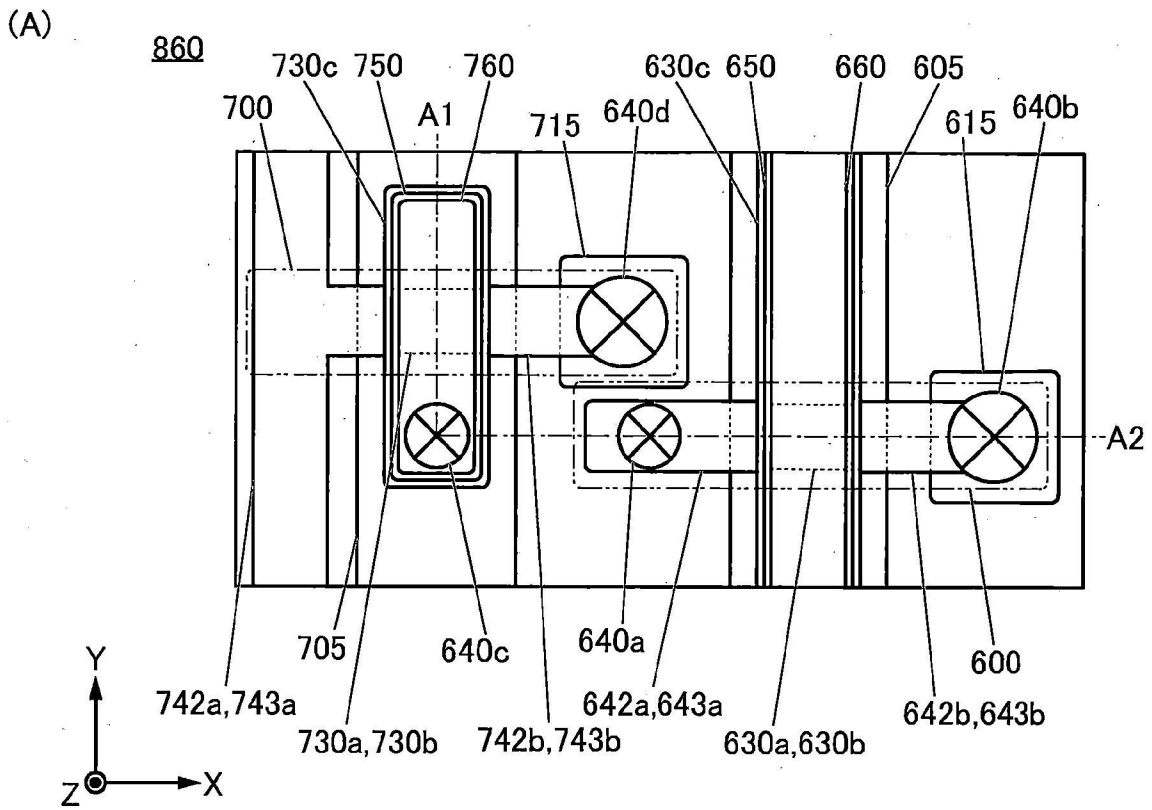
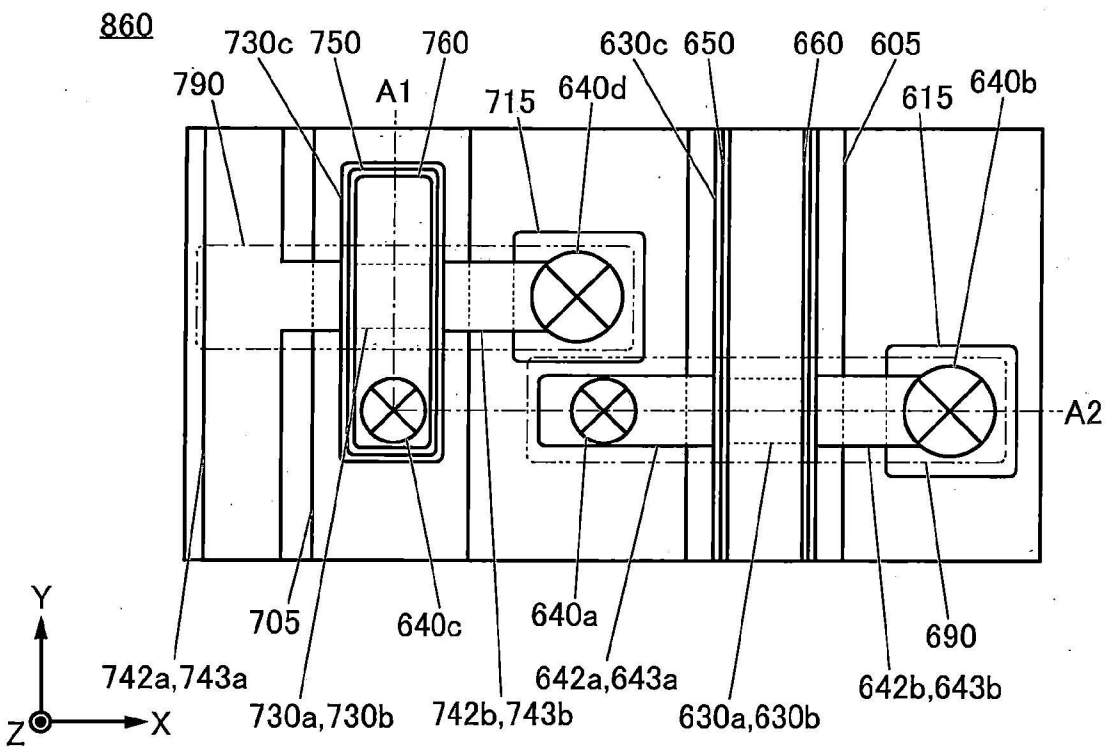


圖22

(A)



(B)

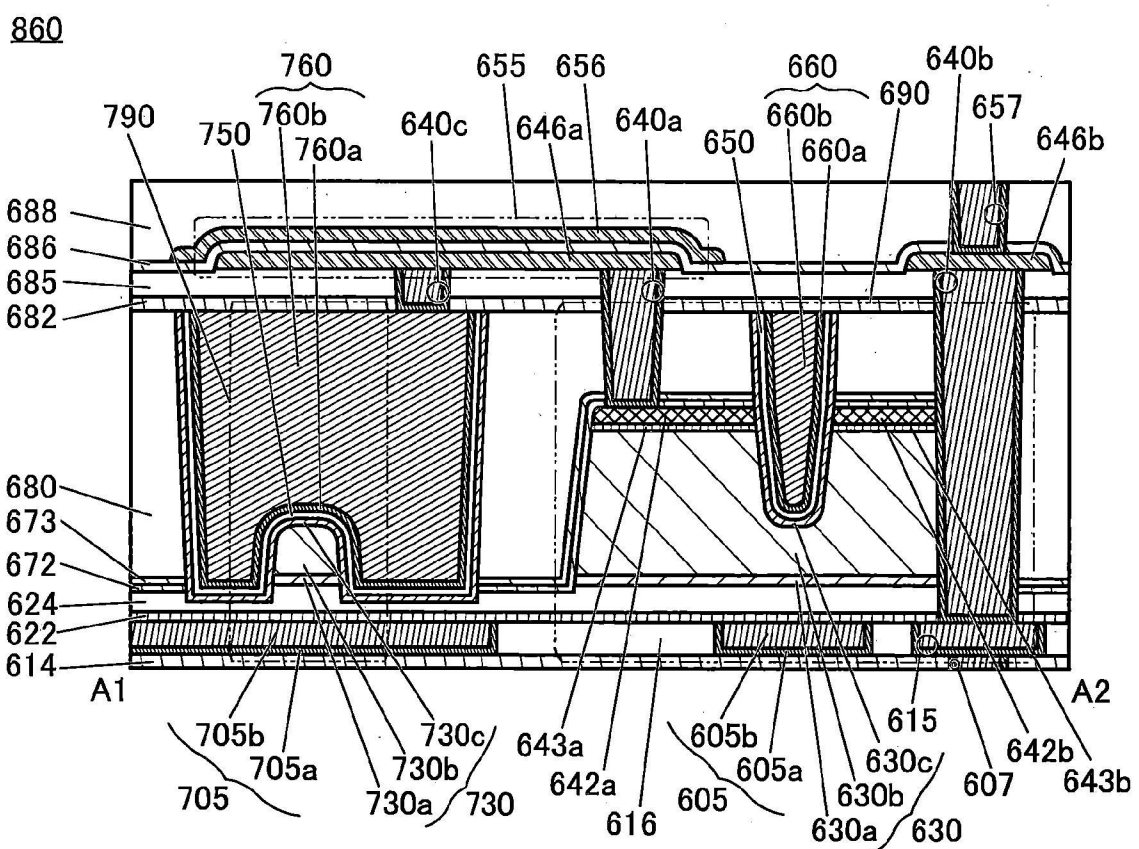


圖23

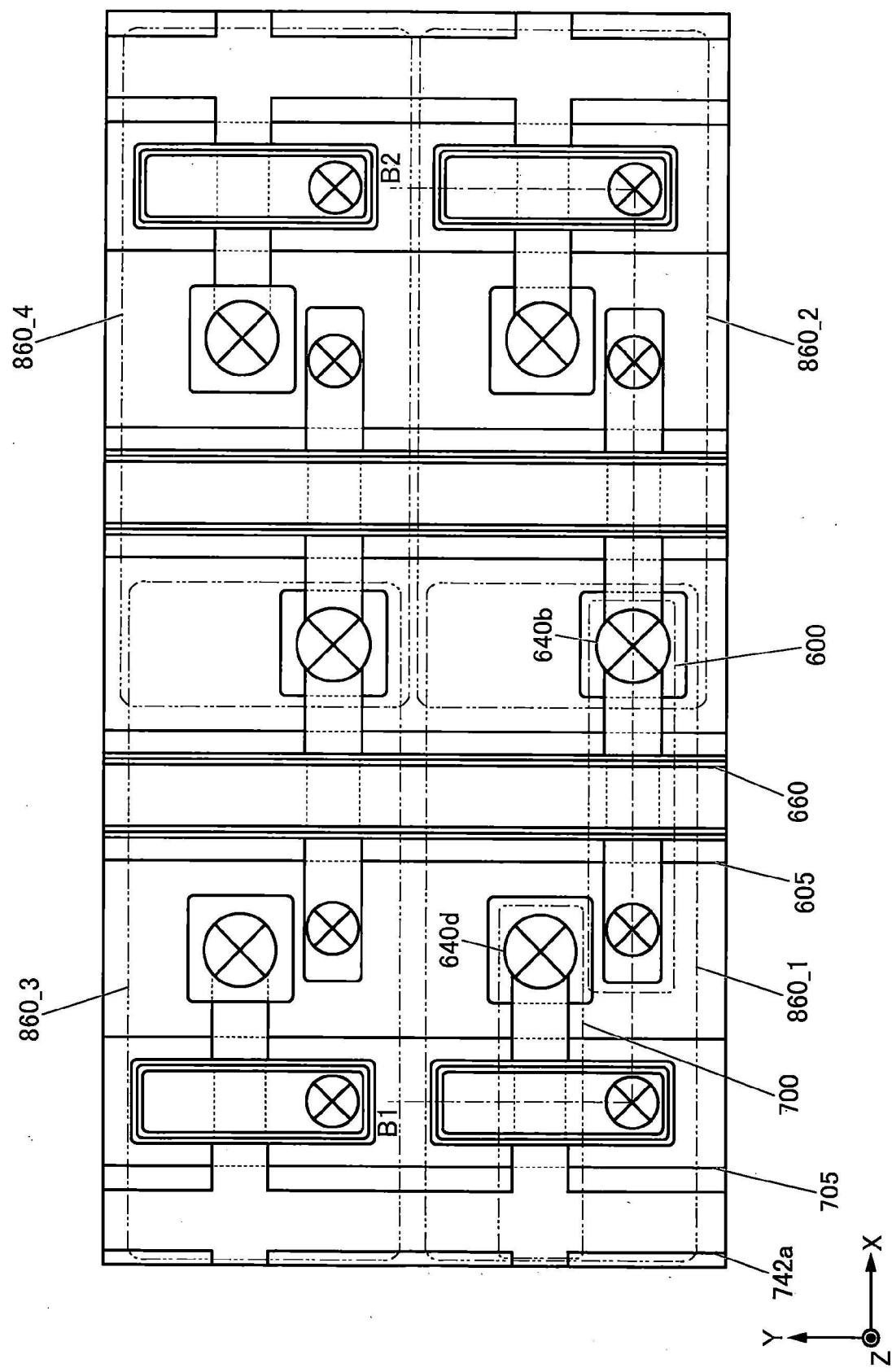


圖24

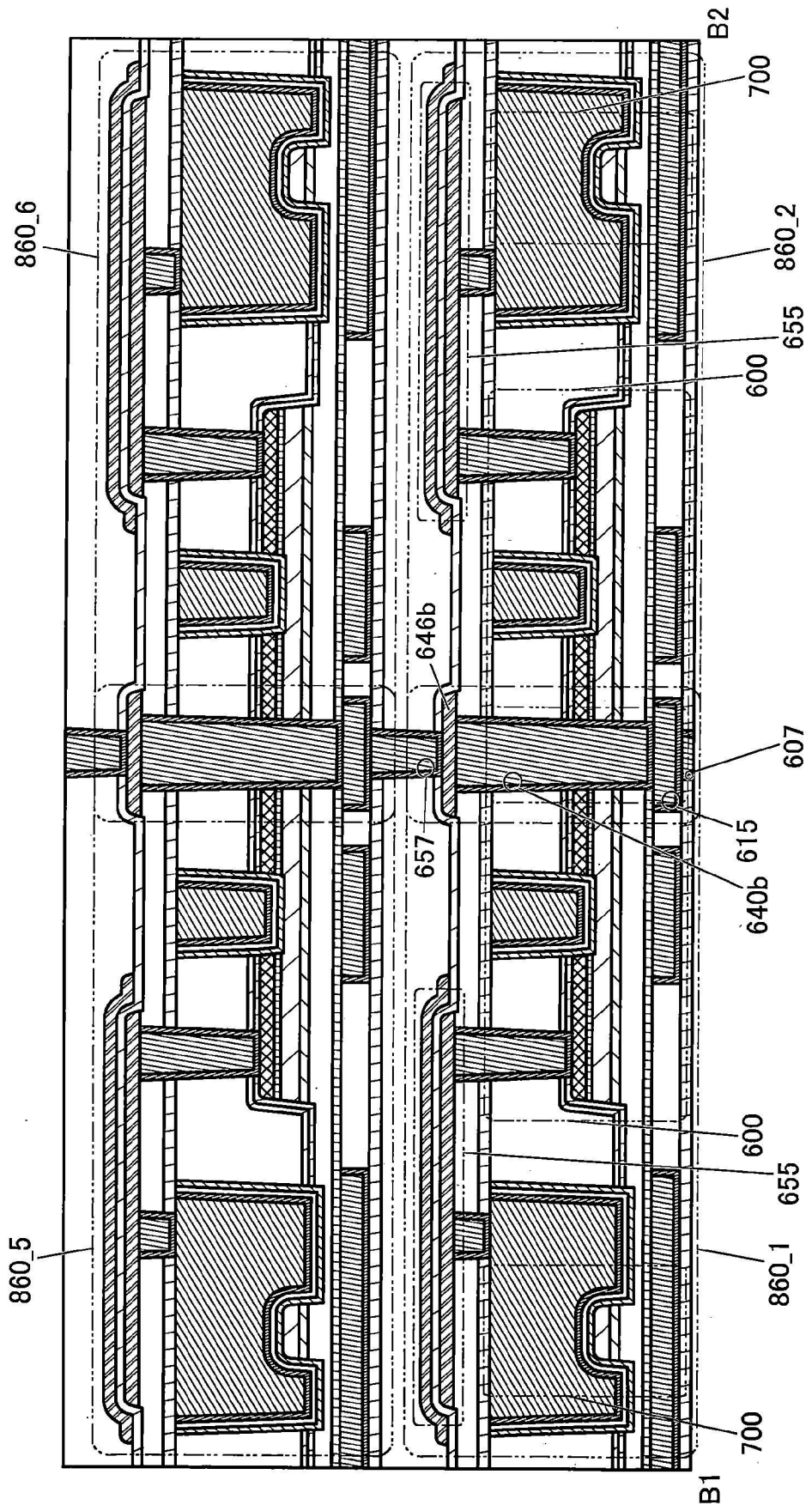


圖25

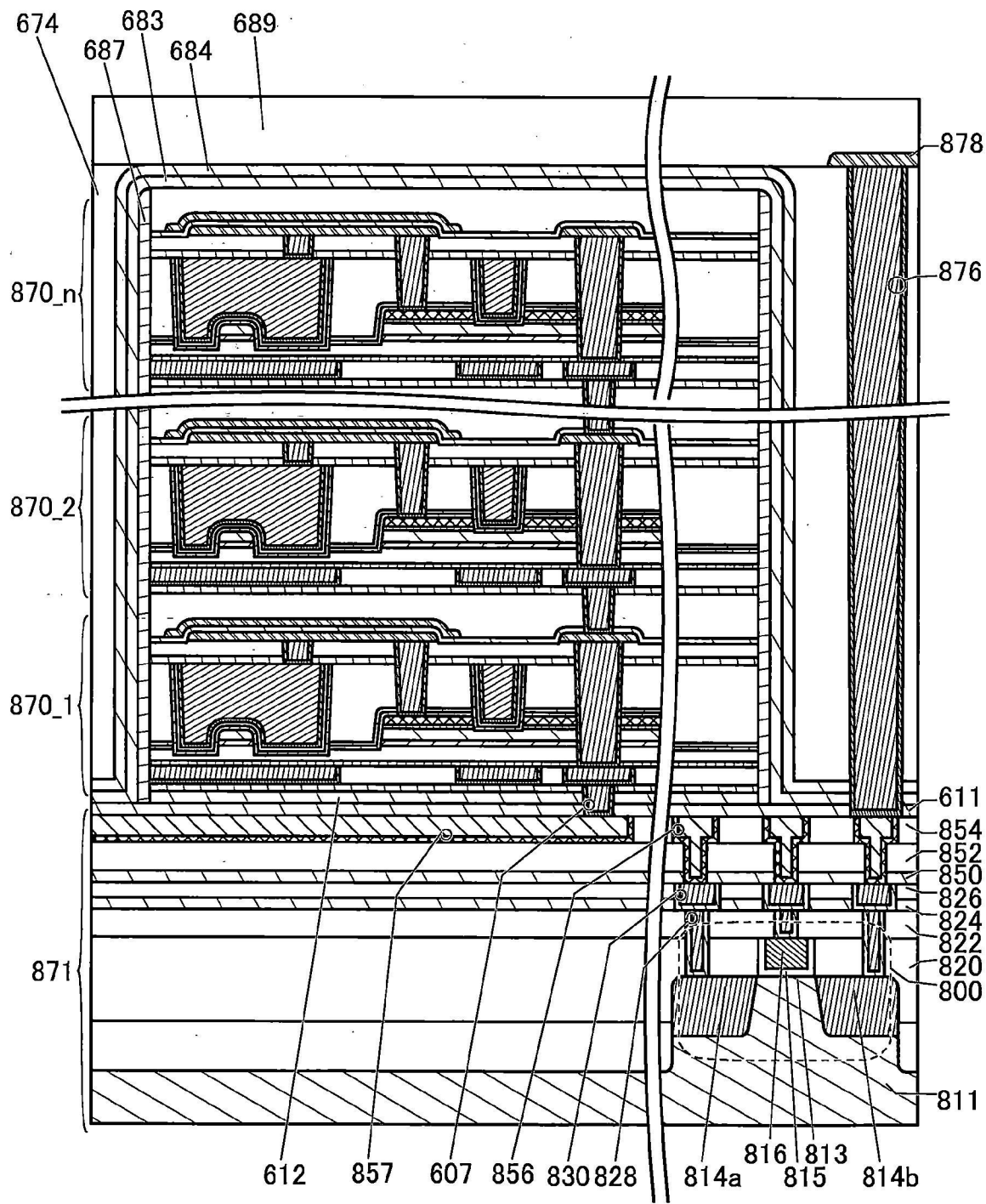


圖26

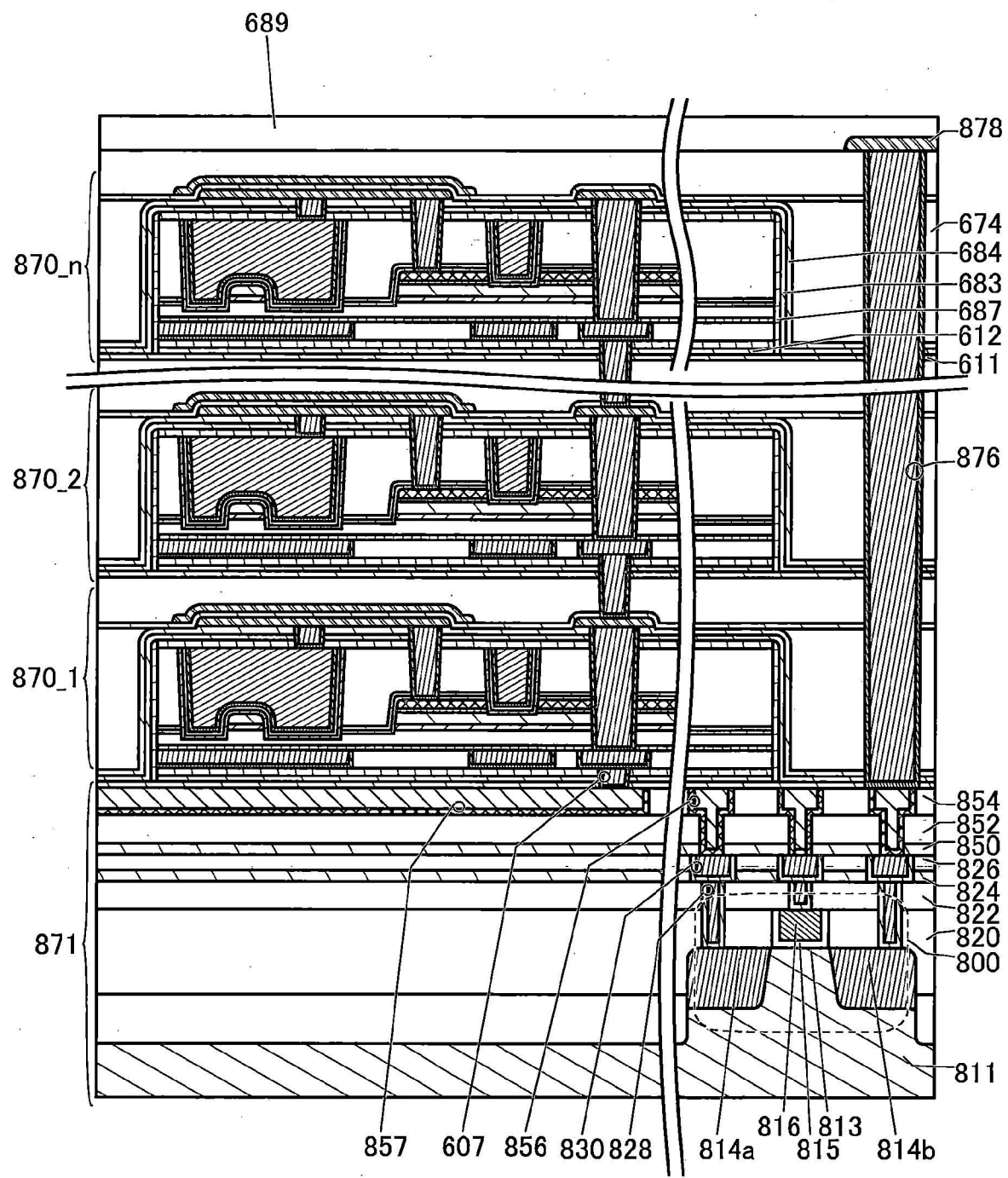
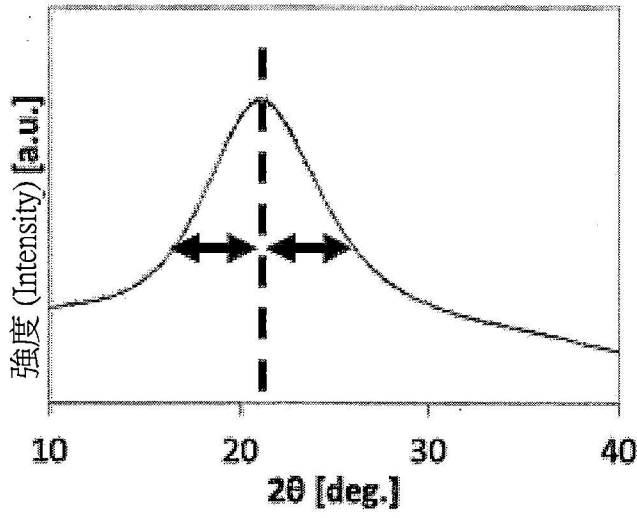


圖27

(A)

Amorphous	Crystalline	Crystal
completely amorphous	•CAAC •nc •CAC	•single crystal •poly crystal

(B)



(C)

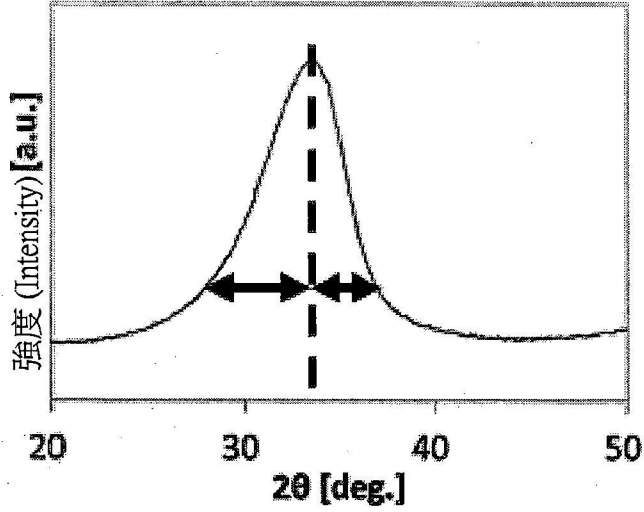


圖28

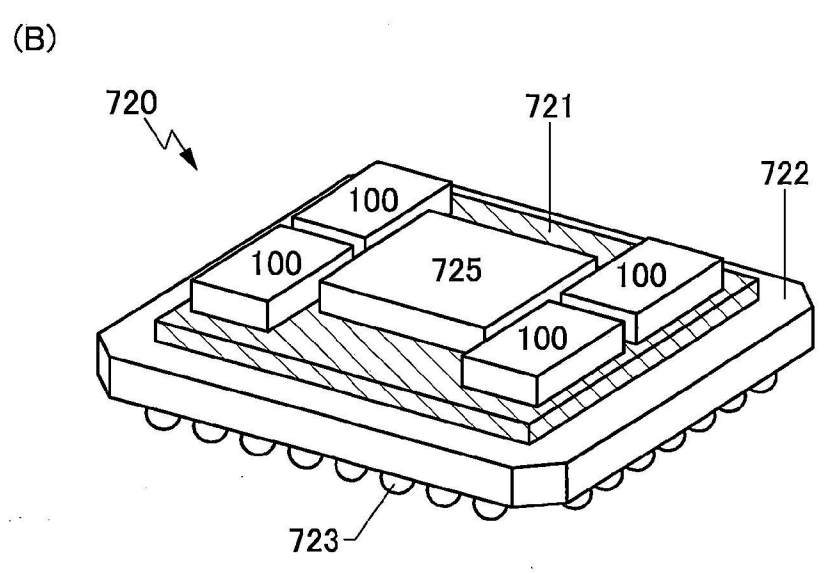
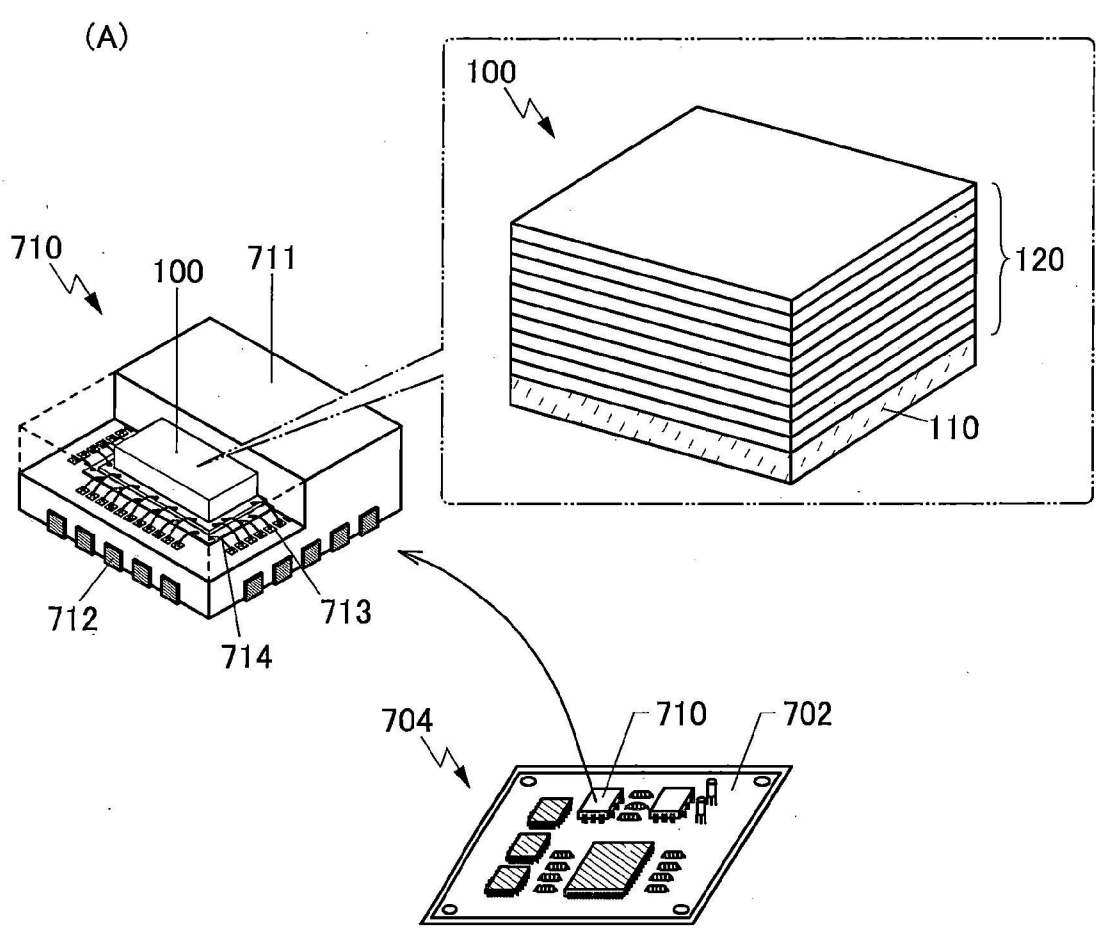


圖29

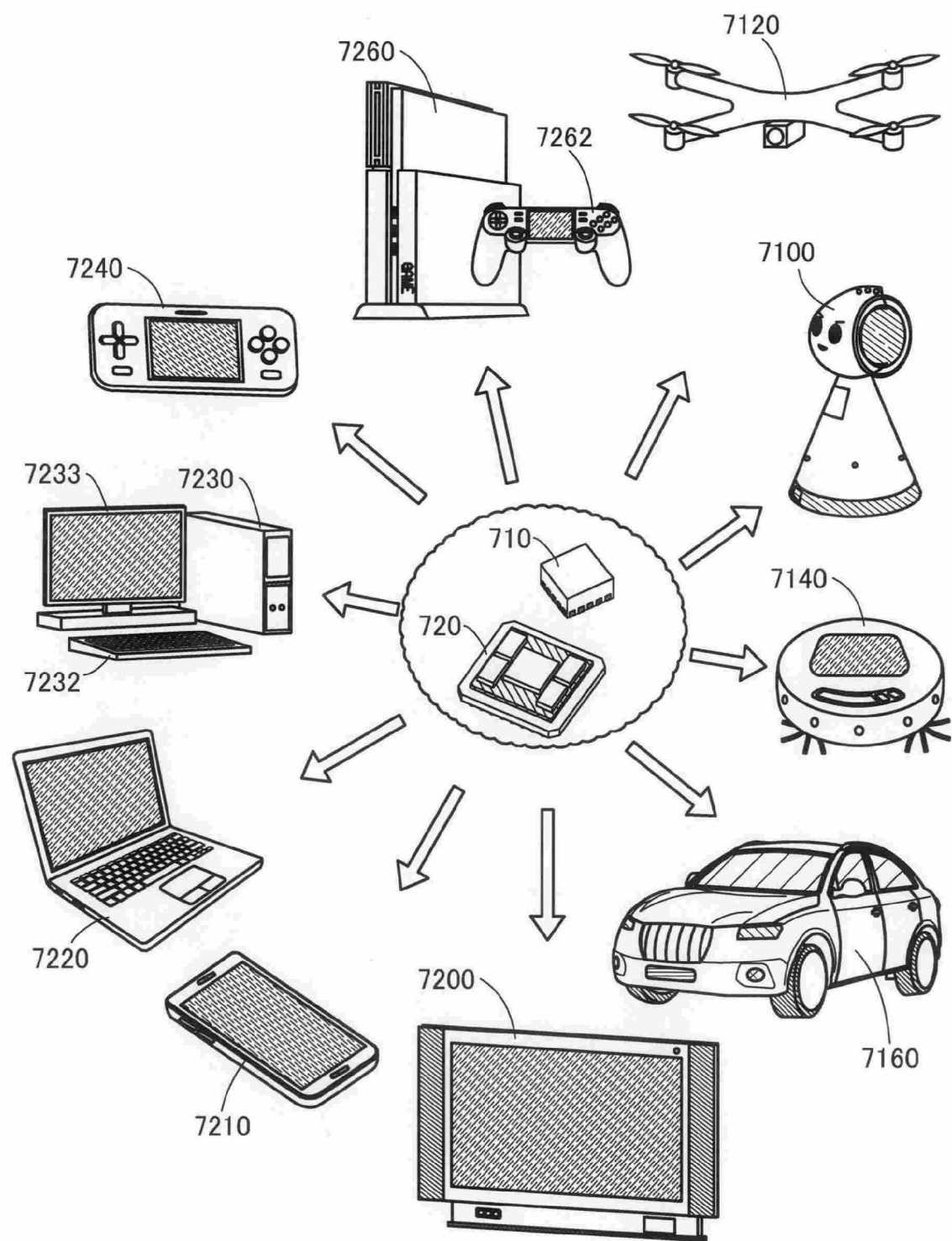


圖30

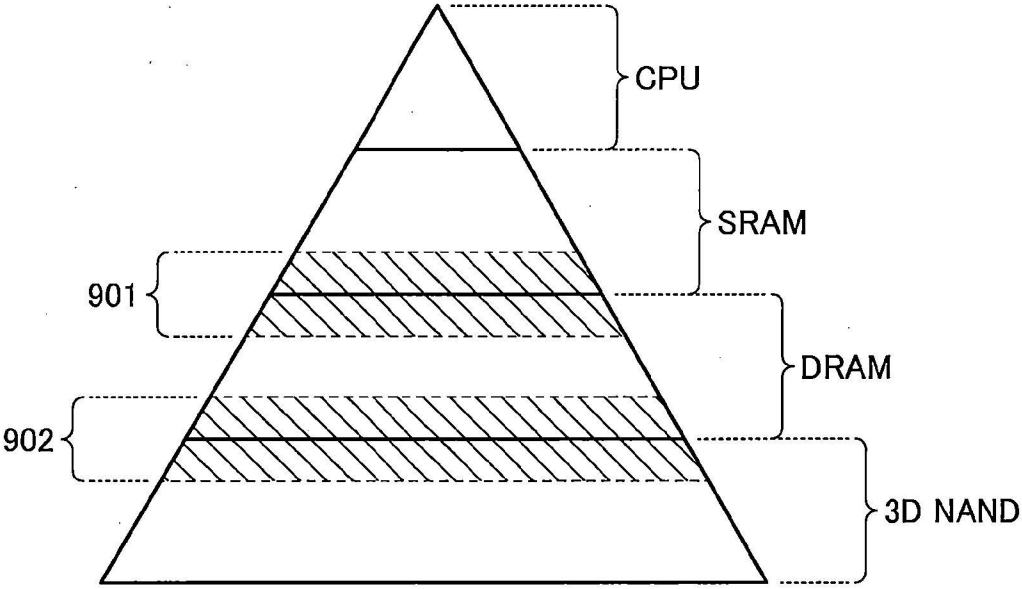


圖31

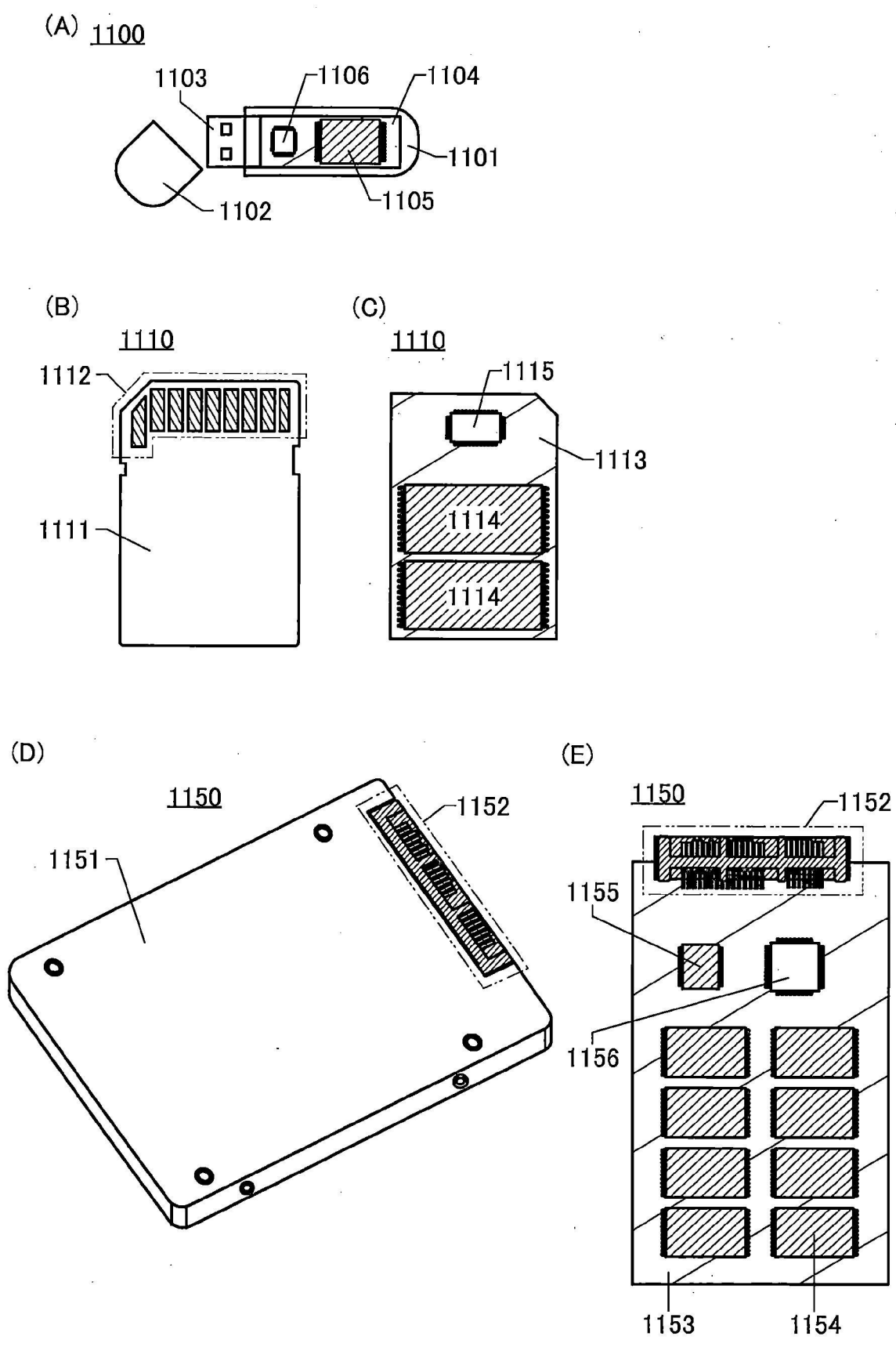


圖32

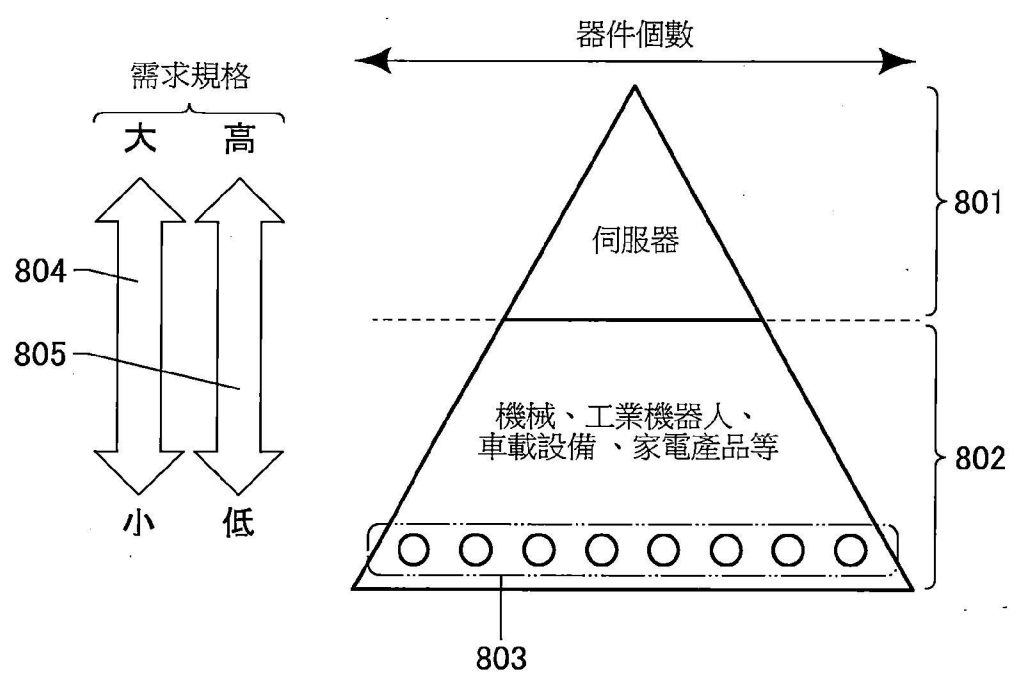


圖33

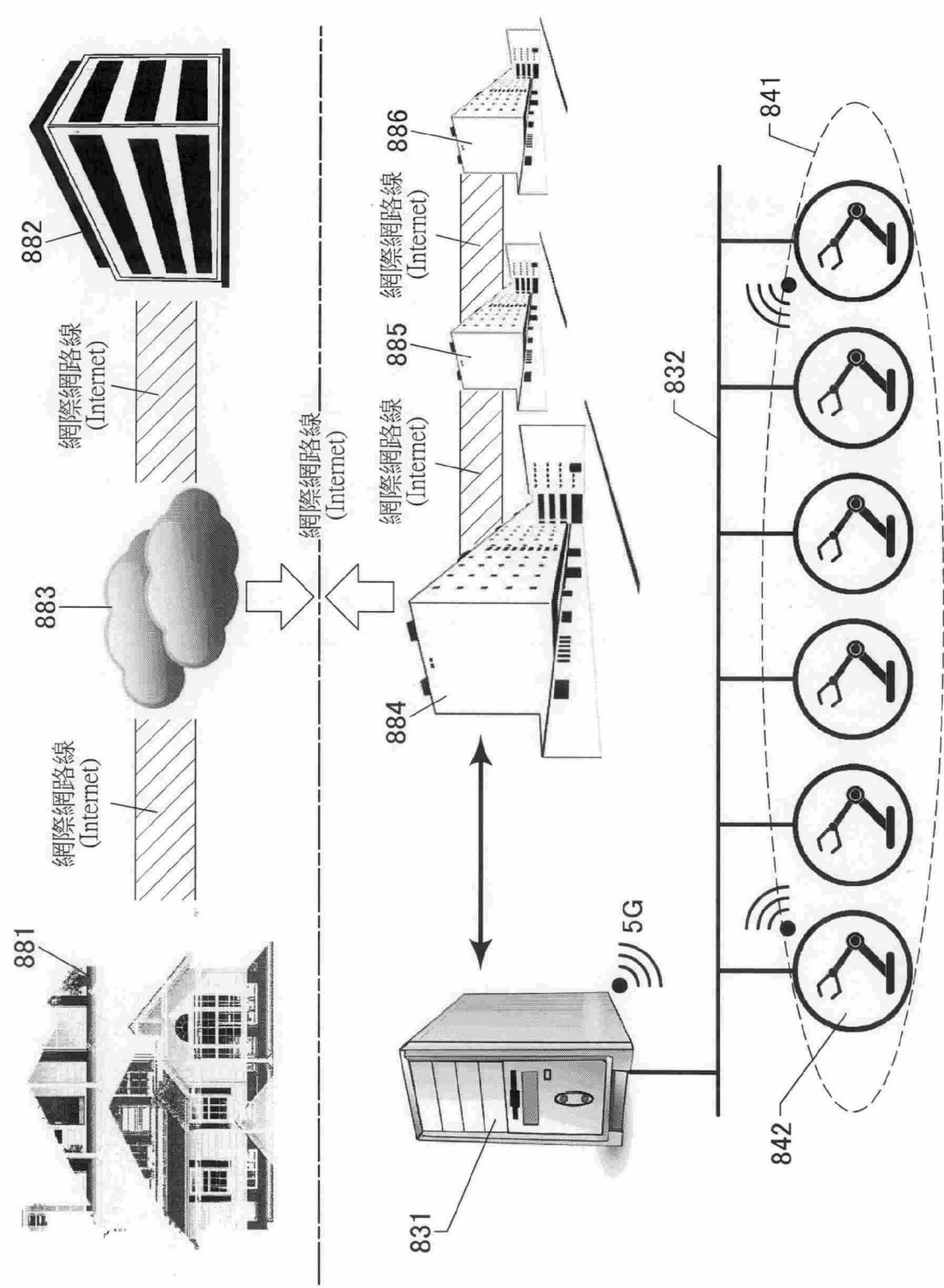


圖34