

公告本

申請日期	90.11.27
案 號	90129309
類 別	H01S 5/00

A4
C4

512562

(以上各欄由本局填註)

發 明 專 利 說 明 書

~~新 型~~

一、發明名稱	中 文	用於單一模式垂直腔面射雷射的通用方法和系統
	英 文	VERSATILE METHOD AND SYSTEM FOR SINGLE MODE VCSELS
二、發明人	姓 名	1.雷夫 H. 強森 RALPH H. JOHNSON 2.吉爾伯特 莫雷斯 GILBERTO MORALES
	國 籍	1.2.皆美國
三、申請人	住、居所	1.美國德州墨菲市瑞吉景路211號 2.美國德州亞靈頓市帕洛馬路1920號
	姓 名 (名稱)	美商哈尼威爾國際公司 HONEYWELL INTERNATIONAL INC.
三、申請人	國 籍	美國
	住、居所 (事務所)	美國紐澤西州摩里斯鎮哥倫比亞路101號
三、申請人	代 表 人 姓 名	羅傑 H. 克里斯 ROGER H. CRISS

裝
訂
線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 2000年11月28日 09/724,820 有 無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

發明技術領域

本發明一般而言係關於半導體雷射，特定而言，係關於用於產生單一橫斷模式垂直腔面射雷射(VCSELs)的多樣化系統。

發明背景

垂直腔面射雷射(VCSEL)很快地成為半導體光電的重要技術。VCSELs基本上可做為在使用其它雷射源(例如邊緣放射雷射)的任何地方之光線放射源，並提供一些好處給系統設計者。因此，VCSELs已成為對於現今高速化，短波長通訊系統，及其它高容量應用的光源選擇，例如光學編碼器，反射/穿透式感應器，及光學讀/寫應用。

面射雷射會發出垂直於半導體基板平面的輻射，由該晶片的上部或底部。一VCSEL為一種面射雷射，其具有置於與該晶圓表面平行的鏡面，其形成並包覆在它們之間的一光學腔。VCSELs通常具有一基板，其上置有一第一鏡面堆疊及第二鏡面堆疊，並在其間具有一量子井主動區域。每次通過的增益對於VCSEL要比一面射雷射低得多，其為較佳的雷射反射率所必須。為此原因，在VCSEL中的鏡面堆疊基本上包含複數個分散式的布拉格反射器(DBR)鏡面，其反射率為99%或更高。一電性接點通常置於該第二鏡面堆疊上，而另一個接點提供在相對端，並與該基板相接觸。當一電流被感應而在兩個接點之間流動時，雷射即由該主動區域感應，並放射通過該VCSEL的上表面或底表面。

VCSELs可廣泛地分類為多重橫斷模式及單一橫斷模式

五、發明說明 (2)

，每個類別對於不同的情況有不同的好處。製造單一模式 VCSELs 的目的在於假設在所有運作條件上為單一模式行為，而不會危害到其它效能特性。一般而言，單一橫斷模式 VCSELs 的主動區域需要小的橫向尺寸，其是要增加該串聯電阻及光束發散角度。再者，在一種運作條件下為單一模式的裝置可在另一個運作條件下成為多重模式，其效應可大為增加該頻譜寬度及該 VCSEL 的放射輻射的光束發散。

根據應用的不同，一 VCSEL 的輸出模式可以正面或負面地影響其用於信號傳輸及其它應用。該模式結構因為不同的模式可以不同地結合到一傳輸媒體(如光纖)而成為重要。此外，不同的模式會具有不同的臨限電流，其也會呈現不同的上升及下降時間。由不同模式造成的臨限電流的改變，結合到不同模式的不同耦合效率，其會造成耦合到一傳輸媒體相對於電流會以一高度非線性的方式變化。耦合到一傳輸媒體的變化，結合於不同模式的不同上升及下降時間，其可造成單一脈衝形狀根據該耦合的特殊特性而變化。此會造成信號通訊應用中的問題，其中傳輸係根據一穩定及可靠的信號。其它的應用(例如列印裝置，解析設備)，會需要一穩定及聚焦的光源或頻譜純度特性，而使得多重模式來源沒有效率或無法使用。

要製造具有模式控制及高效能特性的 VCSEL 具有一些挑戰。其很難製造出 VCSELs 可以有效率地運做在較低階的模式(單一模式)。大多數習用的 VCSELs 係要在較高階的橫斷

五、發明說明 (3)

模式中發出雷射，藉此單一橫斷模式雷射對一些應用較佳，例如感測器。習用嘗試來製造一單一模式 VCSEL 通常會造成結構上具有輸出功率不足以實際應用在大多數的應用中，因為其僅在小電流範圍上維持單一模式。通常，對製造一 VCSEL，其需要一相當大的電流空洞尺寸來達到一較低的串聯電阻及較高的功率輸出。一大電流空洞的問題在於引用較高階雷射模式，所以單一模式雷射僅會發生在剛好該臨限值之上，如果有任何會發生的話。製造具有一較小電流空洞的 VCSEL 來達到單一模式行為將造成多個問題：該串聯電阻變得較大，該光束發散角度變得較大，而可達到功率則變小。一些習用的抗波導結構可以達到此目的，但是會有製造上的困難，特別是其需要在磊晶成長之中斷，一圖案化步驟，及後續額外的磊晶。其它大型單一模式 VCSELs 需要多重步驟的 MBE 或 MBE/MOCVD 組合來製造，造成了對準及良率的問題；並增加生產成本及降低了商業競爭力。

發明概要

以下本發明的概述係提供來對於本發明獨特的創新特徵有所瞭解，其並非是要成為一完整的說明。對於本發明不同方面的完整瞭解可以經由整個規格，申請專利範圍，圖面及摘要而得到。

因此，目前需要用於以一低成本及有效率的方式來生產一單一模式 VCSEL 的多樣化系統，並在所有電流範圍上維持單一模式運作，其提供了商業上可行的 VCSEL 功率輸出

五、發明說明(4)

及效能，而克服了前述習用方法的限制。

在本發明中，VCSEL元件的電子，熱性，及幾何光學性質係設計及選擇來在一VCSEL裝置的中心提供電流的峰值，其重合於最低階模式的峰值，並最大化或完全消除較高階的模式。其可視需要，其它模式控制技術可配合本發明的原理來使用，藉以光學地調整該損耗輪廓到較佳的基本模式。

本發明提供了生產一單一模式VCSEL的結構及方法，其包含一基板，一位於該基板的下表面上的底部接點部份，一位於該基板的上表面上的下鏡面部份，一位於該下鏡面部份上的主動區域，及一由電性等向性材料形成的電流散佈上鏡面部份，其置於該主動區域上，一等電位部份，其可包含一額外的鏡面，其位於該上電流散佈鏡面部份上，一插入在該上電流散佈鏡面部份及該等電位部份之間的絕緣層，並用來在其間形成一空洞，及一位於該空洞周界之外，而在該等電位層之上的一上接點部份。

本發明提供一VCSEL元件，其可用來提供在寬廣電流範圍上的單一模式運作，其包含一具有一下表面及一上表面的半導體基板，一沿著該半導體基板的下表面配置的底部電性接點，一種n型材料形成的下鏡面，其位在該半導體基板的上表面上，一主動區域，其具有複數個量子井位在該下鏡面部份上，一種由電性等向性材料形成的上電流散佈鏡面，其位在該主動區域上，一等電位層，其可包含另一個鏡面，其位於該上鏡面部份上，一第一上電性接點位於

五、發明說明(5)

該等電位層之上的該VCSEL元件的第一橫向端點，一第二上地性接點位於該等電位層之上的該VCSEL元件的第二端點，並與該第一上電性接點有一特定的距離，一第一隔離區域，其位在該第一上接點之下，並穿過該等電位層，該上鏡面，該主動區域，及該下鏡面，一第二隔離區域，其位於該第二上接點之下，並穿過該等電位層，該上鏡面，該主動區域，及該下鏡面，以及一絕緣層，其插入在該上鏡面及該等電位層之間，並用來在其間形成一空洞。

本發明進一步提供一種方法來提供在一VCSEL中抗波導模式選擇性，其包含形成一VCSEL結構，其具有一基板，一位於該基板的下表面上的底部接點部份，一位於該基板上表面上的下鏡面部份，一位於該下鏡面部份上的主動區域，及一由電性等向性材料形成的上電流散佈鏡面部份，其置於該主動區域上，並提供一實質等電位部份，其位於該上佈鏡面部份上，其選擇性地插入一電性絕緣層在該上鏡面部份及該等電位層之間，以在其間形成一空洞，其中該電性絕緣層係用來提供一公稱腔共振，其在該空洞之外要比其在空洞之內要來得大，並提供位在該等電位層之上的一上接點部份。

本發明的創新特徵對於本技藝專業人士而言，在檢視以下本發明的詳細說明，或是由實際運用本發明皆可更為瞭解。但是，其必須瞭解到，所揭示的本發明之詳細說明及特定範例，其代表本發明的某些具體實施例，僅是做為說明的用途，因為本技藝專業人士將可由以下的本發明詳細

五、發明說明 (6)

說明及申請專利範圍而瞭解到在本發明範圍內的多種變化及修正。

圖式簡單說明

所附的圖面中，相同的參考編號代表在獨立的圖面中相同或功能上類似的元件，這些圖面被引用，並形成為該規格的一部份，並進一步說明了本發明，且配合本發明的詳細說明而來解釋本發明的原理。

圖1 所示為根據本發明的VCSEL元件的說明性架構；

圖2 所示為圖1中VCSEL元件的運作圖；

圖3 所示為根據本發明之另一個VCSEL元件的說明性架構；

圖4 所示為根據本發明的VCSEL元件的說明性架構；及

圖5 所示為圖4中VCSEL元件的運作圖。

其必須瞭解到這些圖面沒有必要是成比例的，其中具體實施例係使用圖形符號，虛線，圖表表示及片段的圖來說明。在某些狀況下，對於瞭解本發明並非必要者，或是造成其它細節很難瞭解者，皆被省略。當然其必須瞭解到本發明並不必要受限於此處所示的特殊具體實施例。

發明詳細說明

當製作及使用本發明的不同具體實施例在下述詳細說明時，其必須瞭解到本發明提供許多可應用的創新觀念，其可實施在廣泛的特定範圍中。此處所述的特定具體實施例僅說明了特定的方式來製作及使用本發明，其並不限制本發明的範圍。

五、發明說明(7)

其必須瞭解到此處所揭示的原理及應用可運用到廣大範圍的光電應用。為了解釋及說明的目的，本發明此後將參考VCSEL雷射源來說明。但是，相同的系統也可運用到使用單一模式來源的其它應用中。

如前所述，習用單一模式VCSEL方式的限制之一為其會在電流增加時趨向成為多重模式，造成一非常小的有效電流範圍，因此使得單一模式運作具有最小的功率輸出。習用的VCSELs通常在電流增加時成為多重模式，因為電流集中在靠近該放射區域的邊緣處，而造成在該裝置中心處可用增益的降低，其也會由於中心處的最低階模式的尖銳峰值造成。即使習用裝置具有模式控制結構也是如此。

相反地，本發明提供了在一VCSEL裝置的中心處有電流峰值，其重合於該基本(即最低階)模式的峰值。依照需要，其它模式控制技術可用於配合本發明的原理來光學性地調整該損耗輪廓來有利於該基本模式(例如使用長形腔，上表面圖案化)。

因此本發明提供一單一模式VCSEL，其輸出功率足以滿足敏感於成本的商業應用的效能需求。請先參考圖1，其說明根據本發明的一VCSEL元件100的橫截面圖。VCSEL 100包含一基板102，其由適當的半導體材料形成(例如砷化鎵[GaAs]，磷化銦[InP]，或其組合)。VCSEL 100進一步包含一背面接點部份104，其由適當的金屬或其它導電材料形成，並結合一基板102的下表面。一第一半導體鏡面堆疊106沿著基板102的上表面配置。鏡面106包含複數個交替有低

五、發明說明 (8)

及高折射係數的材料的鏡面配對(例如DBR鏡面)，並可為像是n型摻雜。位在一鏡面106的上表面的為主動區域108。主動區域108包含一些量子井(例如三個GaAs量子井)。一第二半導體電流散布鏡面堆疊110沿著區域108的上半部配置，其可包含例如複數個p型摻雜材料的鏡面配對。一導電層112置於最上端，並結合電流散布鏡面110。該鏡面110的反射率比疊層112要高得多，且該鏡面110的導電性係儘可能地等向性。疊層112包含在鏡面110之上的一非常高導電性的疊層(如其為鏡面110的導電性之4到10倍)，其實質上像是一等電位(例如電阻係數約為0.01 ohm/cm)。疊層112可包含一高度摻雜的半導體，其成長在VCSEL 100的下結構上(例如AlGaAs)。疊層112也可包含一DBR鏡面結構。另外，疊層112可包含一實質上鏡面110的等電位部份。因為n型鏡面基本上具有非等向性傳導性，其較佳地是可使用一p型材料來形成鏡面110。在VCSEL生產製程中，其隧穿接合在n及p區域之間產生接近電阻接點，而不具有一般的p-n接面特性，鏡面106及110可由p型或n型材料製成，如以下圖4之詳細說明。

一般而言，當任何所使用材料的組成包含超過兩種元素時，該材料的熱傳導性即明顯地降低。此會在降低最大功率時增加熱透鏡效應。因此其需要來使用二元化組成，特別是靠近區域108(即在鏡面106及110)。

VCSEL 100進一步包含一第一電性絕緣區域114及一第二電性絕緣區域116，其在彼此末端獨立的關係中插入在鏡面

五、發明說明 (9)

110及導電層112之間，並形成一空洞118在鏡面110及疊層112之間。雖然如圖1的橫截面所示，區域114及116為獨立的結構，其很重要地是注意到其可包含在其中形成有空洞(例如一圓洞)的單一連續絕緣區域之段落。在此具體實施例中，在疊層112及鏡面110之間必須有一些電性絕緣，除了空洞118的區域。此會限制電流流向VCSEL 100的中心。依照需要，區域114及116可進一步形成在疊層110中(即未立即相接到疊層112)，如接下來的圖3所述。絕緣區域114及116可包含一氧化物，或可用於所需要的半導體製程之一些其它適當的絕緣體。該絕緣區域可為任何厚度的任何一種絕緣材料(例如 Al_2O_3 或空氣)，但當由區域108量測的鏡面110的反射率因為該絕緣區域的厚度及位置之選擇而最小化時成為最佳化。此會造成較高階模式的更多損耗。因此，該絕緣區域可設計或圖案化來增加朝向該基本模式的運作選擇性。該絕緣區域的厚度及位置也可被最佳化，使得在該空洞118之外的公稱腔共振之波長比內側要長，而提供一抗波導效應。雖然較低實際係數的材料，例如 Al_2O_3 ，該絕緣區域的適當厚度及位置將提供一有效的較高係數，並造成一較長的共振波長。其亦可能依據所使用的製程及材料，可由區域114及116放出延伸的絕緣區域，其對於VCSEL 100的效能具有不同的電性及光學效應。此現象可用來提供該光學及電阻效應的獨立控制，藉由改變該絕緣區域的組成(例如增加一質子植入到該區域)。

VCSEL元件100進一步包含一第一上接點部份120及一第

五、發明說明 (10)

二上接點部份122。接點120及122係由一適當的金屬或其它導電材料形成在導電層112之上，其彼此有遠端獨立的關係，其由一間距124隔開。如所述，區域114及116可分別形成在接點120及122之下，或延伸超過接點120及122，使得空洞118小於間距124。另外，接點120及122，與區域114及116可形成使得接點120及122重疊區域114及116，造成一空洞118大於間距124。如圖1所示，一第一隔離區域126植入在接點120之下，穿過疊層112，區域114，鏡面110及區域108的部份，並延伸到鏡面106。類似地，一第二隔離區域128係植入在接點122之下，穿過疊層112，區域116，鏡面110及區域108的部份，並延伸到鏡面106。

疊層112的導電性及板導電為鏡面110的許多倍(例如一個大小等級)。疊層112形成的厚度足以加強鏡面110的反射性。鏡面110的橫向導電性必須為低，使得橫向電流散布可以最小化。鏡面110及112可設計來具有一相位關係，使得所組合的結構提供在空洞118之內的最大反射性。疊層112因為其與外界的介面而提供鏡面反射性。

鏡面110的垂直導電性必須足夠地高，而不會過度增加電阻。因為該鏡面堆疊係由不同能帶間隙的半導體構成，該鏡面必須設計成等向性導電，其可合理地降低橫向電流。因此，具有較高活動性的疊層需要較低的摻雜，而具有較低活動性的疊層需要較高的摻雜，所以電阻率在整個方向上幾乎相同，而與方向無關。該空洞濃度與該活動性的乘積對於鏡面110需要盡可能地為固定。該半導體之間的介面

五、發明說明 (11)

需要更重度及漸進地摻雜，係由於在該等級的中間組成中較低的活動性，及相鄰於較寬間隙材料的較低間隙材料之調變摻雜。

藉由形成一等電位部份112，及具有上述性質的電流散佈鏡面110，其提供了其間的電流限制空洞118，本發明將VCSEL電流集中在該裝置的中心，並位在最低階的模式，而最小化及散佈邊緣電流，並有效地消除較高階模式。模式選擇性進一步由本發明的抗波導效應所提供，如上所述。圖2提供本發明好處之說明。指標200代表VCSEL 100的運作電流流動。電流密度在VCSEL 100的中心部份202中為最大，其重合於該最低階模式的峰值。重合於較高階模式的電流被廣泛地散佈，最大化那些模式的損耗，並有效地減弱所有模式，除了最低階模式。因此，本發明提供一單一模式(即最低階模式)VCSEL裝置，可運作在很廣的電流範圍內。

如前所述，一些運作量測可被實施來進一步增加配合於本發明的模式選擇性。VCSEL 100的不同元件層的間隔及厚度可被改變來增加關於較高階模式的電流散佈效應(例如損耗)(例如可增加疊層114及116的厚度)。可加入額外的結構到VCSEL 100來加強光學選擇性。再回頭參考圖1，這樣一種選擇配合VCSEL 100來說明。一介電堆疊模式控制結構位於疊層112之上。此結構包含一第一介電層130，其沿著間距124而置於疊層112的一上表面，及置於疊層130之上的一第二介電層132。疊層132可置於對準空洞118。疊層

五、發明說明 (12)

130由一適當的材料形成(例如 SiO_2)，其厚度等於VCSEL 100的光源波長的四分之一(或其一些倍數)。疊層132由一適當的材料(例如 Si_3N_4)構成，其厚度結合於疊層130的厚度時，等於VCSEL 100的光源波長的一半(或其一些倍數)。在疊層130之下的有效鏡面反射性被降低，而增加光學損耗，除了在疊層132之下的區域，其中該鏡面反射性不受影響或可加強，係依據所使用的材料來形成疊層132。因此，反射回到疊層132之下的鏡面即較大；而會抑制較大及較高階的模式。這些效應可結合於本發明的其它於原理來進一步加強單一模式選擇及輸出。

現在參考圖3，所示為根據本發明一VCSEL元件300的另一具體實施例之橫截面圖。VCSEL 300在材料及結構上實質類似於圖1的VCSEL 100，例外則詳述於後。VCSEL 300包含一基板302，及一相接於基板302的下表面之背面接點部份304。一第一半導體鏡面堆疊306沿著基板302的上表面配置。位在鏡面306的上表面上為主動區域308。一第二半導體鏡面堆疊310沿著區域308的上半部配置，及一導電層312置於鏡面310之上並與其相接。VCSEL 300進一步包含一第一電性絕緣區域314及一第二電性絕緣區域316，其中間插入在鏡面310中而位在區域308及導電層312之間，其彼此為相隔獨立的關係，形成一空洞318。VCSEL 300可以形成，只要尖峰增益及電流密度實現朝向VCSEL 300的中心。在此具體實施例中，在區域314及316之上的鏡面310部份(即直接相鄰於疊層312的部份)，其必須基於控制限制及自

五、發明說明 (13)

由載子吸收限制而具有合理性的低電阻性。

如前所述，必須防止加熱。自由載子吸收會造成在 VCSEL 裝置中大量的熱量。加熱可藉由儘可能地在電場尖峰處較低的摻雜而最小化。I-R 加熱會在當過度降低摻雜來降低自由載子吸收時而成為嚴重。請注意，現在請參考圖 4，其揭示本發明一具體實施例來處理這些問題，並建構在上述原理之上。

圖 4 所示為根據本發明一 VCSEL 元件 400 的具體實施例之橫截面圖。VCSEL 400 包含一基板 402，其由適當的半導體材料製成(例如砷化鎵 [GaAs]，磷化銦 [InP]，或其組合)。VCSEL 400 進一步包含一第一半導體鏡面堆疊 404，其沿著基板 402 的上表面配置。鏡面 404 包含複數個交替為低及高折射係數材料的鏡面配對(例如 DBR 鏡面)。其可利用 AlGaAs DBR 鏡面，其使用 AlAs 做為特別低係數材料來改善熱傳導性。另外，AlInGaAsPSb，其晶格匹配於 InP 及可能的 InP 之極端配置，其可用來改善熱傳導性。配置在鏡面 404 的一上表面之上為一第一熱傳導層 406。疊層 406 包含一基板導向的材料(例如 AlAs 用於 GaAs 基板，InP 用於 InP 基板)。疊層 406 係定期摻雜來在最小電場時最大化摻雜，其可形成厚度為一微米的等級。此定期摻雜可包含在電場的空缺處之重摻雜，並在電場尖峰處之輕摻雜。該定期摻雜可改善導電性，並降低自由載子吸收。均勻重摻雜的使用通常可降低串聯的電阻。

配置在疊層 406 之上為主動區域 408。主動區域 408 包含位

五、發明說明 (14)

於疊層 406 之上的一下 p-n 接面層 410，位於疊層 410 之上的一第一隧穿接面 412，位於接面 412 之上的一上 p-n 接面層 414，及位於疊層 414 之上的一第二隧穿接面 416。疊層 410 及 414 可包含一些量子井。藉由使用隧穿接面 412 及 416，設計者即可利用在該鏡面及熱傳導層中的 n 型材料，並對於一給定的導電率明顯地降低自由載子吸收。在區域 408 中，此為特別有效的方式來降低電流及加熱效應。

位於區域 408 的一上表面之上的為一第二熱傳導層 418。疊層 418 也可等向地形成為一電流散佈器。疊層 418 包含一輕摻雜基板導向的材料(例如 AlAs 用於 GaAs 基板，InP 用於 InP 基板)。

一第二半導體鏡面堆疊 420 位於疊層 418 之上。鏡面 420 包含一第一上鏡面層 422，一第二上鏡面層 424，及一第三上鏡面層 426。疊層 422 儘可能地形成為等向性，並對於自由載子吸收進行輕摻雜。疊層 422 可形成具有厚度大約等於 4.5 週期。疊層 422 可包含複數個 n 摻雜或 p 摻雜材料的鏡面配對，如前所述係根據所使用的製程。如果使用 n 型材料，疊層 422 可形成在疊層 424 之上(未示出)。如果疊層 422 形成如圖 4 所示，疊層 418 例如可形成厚度約為一微米。如果疊層 422 形成在疊層 424 之上，則疊層 418 必須較厚，例如可形成厚度約為 2.6 微米。

VCSEL 400 進一步包含一第一電性絕緣區域 428 及一第二電性絕緣區域 430，其插入在疊層 424 中彼此相隔成獨立的關係，並在其間形成一空洞 432。空洞 432 的形成限制地電

五、發明說明 (15)

流流向 VCSEL 400 的中心。如前所述，絕緣區域 428 及 430 可包含任何厚度的任何適當的絕緣材料(例如一氧化物)，其提供形成朝向最小化鏡面 420 的反射率，由區域 408 所量測，也朝向最佳化公稱腔共振來提供一抗波導。再次的，其根據所使用的製程及材料而有可能所延伸的電阻區域 434 及 436 可分別由區域 428 及 430 放射，其對於 VCSEL 400 的效能具有不同的電性及光學效應。如前所示，區域 434 及 436 可透過設計來提供獨立的光學及電阻控制來操縱；但是，一般而言，其有需要這些區域儘可能地限定在較窄的區域 428 及 430 的中間區域附近。

在空洞 432 內側，電流密度比其它地方高，如稍後在圖 5 所示。該電流密度造成明顯的 IR 熱量，其必須被防止。因此，疊層 424 可包含一重 p 摻雜形式的材料，或一適度 n 摻雜形式的材料，或其它任何適當的材料(例如對於 VCSEL 為主的 InP 的 n-InP)，其提供了空洞 432 中降低的串聯電阻及加熱效應。依照需要，錐形物 438 可形成在區域 428 及 430 的末端，其尖端位在電場缺乏處，以加強電流限制及模式選擇性。疊層 426 包含形成為適當厚度的重摻雜材料(例如對於 AlGaAs 材料約為 16 週期)，以最佳化電阻，並對於一導電層 440 形成一等電位。導電層 440 置於鏡面 420 之上並與其相接，並形成一非常重度的摻雜材料以最小化電阻。該鏡面 420 的電阻係高於疊層 440，而該鏡面 420 的導電性係儘可能地等向性。疊層 440 包含在鏡面 420 之上的一非常高度導電性的疊層，其實質上形成類似一等電位。

五、發明說明 (16)

VCSEL 元件 400 進一步包含一第一上接點部份 442 及一第二上接點部份 444。接點 442 及 444 係以一適當的金屬或其它導電材料形成在導電層 440 之上，其彼此相隔成獨立的關係，其相隔一間距 124。VCSEL 400 可進一步包含一適當的模式選擇性結構 446，例如一介電鏡面或模式控制結構，如前所述。

圖 5 提供了 VCSEL 400 的電流流動之說明。指標 500 描述 VCSEL 400 的運作電流流動。電流密度係在 VCSEL 400 的中心部份 502 為最大，其重合於最低階模式的尖峰。重合於最高階模式的電流係被廣泛地散佈，最大化那些模式的損耗，並有效地減弱所有的模式，但除了最低階模式。如前所示，本發明藉此提供一單一模式(即最低階模式)VCSEL 裝置，其可運作在一寬廣的電流範圍內。

此處所揭示的具體實施例及範例係用來最佳地解釋本發明及其實際應用，並藉此使得本技藝專業人士可製作及利用本發明。但是，那些本技藝專業人士將可瞭解先前的說明及範例僅是用來說明及做為範例。本發明的原理及觀念可應用到其它種類的元件，封裝及結構，例如以除了(100)方向所製成的 VCSEL 元件。本發明之應用係與特殊的封裝結構無關。本發明的其它變化及修正對於本技藝專業人士可以瞭解到，其係由所附申請專利範圍來涵蓋這種變化及修正。所揭示的說明並不是要窮盡或限制本發明的範圍。許多修正及變化可由以上的原理得到啟示，而不背離以下申請專利範圍的精神及範圍。其可想到本發明的運用可牽

五、發明說明 (17)

涉到具有不同特性之元件。本發明的範圍係又由此處所附加的申請專利範圍所定義，並做為在所有方面中的同等者之認知。

四、中文發明摘要(發明之名稱：用於單一模式垂直腔面射雷射的通用方法和系統)

本發明揭示一種用來提供單一模式垂直腔面射雷射(VCSEL, vertical cavity surface emitting laser)元件(100)之系統和方法，其包含一具有一下表面及一上表面的半導體基板(102)，一沿著該基板的下表面配置的底部電性接點(104)，一n型材料形成的下鏡面(106)，其位在該基板的上表面上，一主動區域(108)，其具有複數個量子井，位在該下鏡面部份上，一由等向性材料形成的上鏡面(110)，其位在該主動區域上，一位於該上鏡面部份之上的等電位層(112)，一位於該等電位層之上的第一上電性接點(120)，並與該第一上電性接點(122)有一特定的距離(124)，一位在該第

英文發明摘要(發明之名稱：VERSATILE METHOD AND SYSTEM FOR SINGLE MODE VCSELS)

A system and method for providing a single mode VCSEL (vertical cavity surface emitting laser) component (100) is disclosed, comprising a semiconductor substrate (102) having a lower surface and an upper surface, a bottom electrical contact (104) disposed along the lower surface of the substrate, a lower mirror (106) formed of n-type material and disposed upon the upper surface of the substrate, an active region (108) having a plurality of quantum wells disposed upon the lower mirror portion, an upper mirror (110) formed from isotropic material and disposed upon the active region, an equipotential layer (112) disposed upon the upper mirror portion, a first upper electrical contact (120) disposed upon the equipotential layer, a second upper electrical contact (122) disposed upon the equipotential layer at a particular distance (124) from the first upper electrical contact, a first isolation region (126) disposed beneath the first upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, a second isolation region (128) disposed beneath the second upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, and an

四、中文發明摘要(發明之名稱:)

一上接點之下的第一隔離區域(126)，並穿過該等電位層，該上鏡面，該主動區域，及該下鏡面，一位於該第二上接點之下方的第二隔離區域(128)，並穿過該等電位層，該上鏡面，該主動區域，及該下鏡面，以及一絕緣層(114, 116)，其插入在該上鏡面及該等電位層之間，並適於在其間形成一空洞(118)，其尺寸小於該第一與第二上接點之間的該特定距離。

英文發明摘要(發明之名稱:)

insulating layer (114, 116) interposed between the upper mirror and the equipotential layer and adapted to form therebetween an aperture (118) of smaller dimension than the particular distance between the first and second upper contacts.

六、申請專利範圍

本發明的具體實施例中所提出的獨有權利所有權定義如下：

1. 一種製作一單一模式VCSEL的方法，其包含以下步驟：
形成一VCSEL結構，其具有一基板，位在該基板的下表面之上的一底部接點部份，位在該基板上表面之上的一下鏡面部份，位在該下鏡面部份之上的一主動區域，及由電性等向材料形成的一上鏡面部份，其位在該主動區域之上；
提供位在該上鏡面部份之上的一實質等電位層；
選擇性地在該上鏡面部份及該等電位層之間插入一電性絕緣層，以在其間形成一空洞；及
提供位在該等電位層之上的一上接點部份。
2. 如申請專利範圍第1項之方法，其中該基板由砷化鎵材料製成。
3. 如申請專利範圍第1項之方法，其中該下鏡面部份係由n型材料製成，而該上鏡面部份係由p型材料製成。
4. 如申請專利範圍第1項之方法，其中該下鏡面部份係由p型材料製成，而該上鏡面部份係由n型材料製成。
5. 如申請專利範圍第1項之方法，其中該下及上鏡面部份皆由n型材料形成。
6. 如申請專利範圍第1項之方法，其中該下及上鏡面部份皆由p型材料形成。
7. 如申請專利範圍第1項之方法，其中該提供一等電位層的步驟進一步包含提供具有電阻率為0.01 ohm/cm的材

六、申請專利範圍

料層。

8. 如申請專利範圍第1項之方法，其中該提供一等電位層的步驟進一步包含提供一砷化鋁鎵層。
9. 如申請專利範圍第1項之方法，其中該選擇性地插入一電性絕緣層的步驟進一步包含插入複數個相距隔離的絕緣區域來形成該空洞。
10. 如申請專利範圍第1項之方法，其中該絕緣層包含一個氧化物。
11. 如申請專利範圍第10項之方法，其中該絕緣層包含 Al_2O_3 。
12. 如申請專利範圍第1項之方法，其中該絕緣層包含空氣。
13. 如申請專利範圍第1項之方法，其中該提供一等電位層的步驟進一步包含提供一具有導電性的材料層，其比該上鏡面部份的導電性要大得多。
14. 如申請專利範圍第13項之方法，其中該提供一等電位層的步驟進一步包含提供一具有導電性的材料層，其大於該上鏡面部份的導電性至少四倍。
15. 如申請專利範圍第13項之方法，其中該提供一等電位層的步驟進一步包含提供一具有導電性的材料層，其大於該上鏡面部份的導電性至少十倍。
16. 如申請專利範圍第1項之方法，其中該形成一VCSEL結構的步驟進一步包含形成具有低橫向導電性的材料之上鏡面部份。
17. 如申請專利範圍第11項之方法，其中該絕緣層係形成以降低該空洞之外的反射率。

六、申請專利範圍

18. 如申請專利範圍第11項之方法，其中該絕緣層係形成以增加該空洞之外的有效係數，並藉此在該空洞之外產生一較長的共振波長。
19. 如申請專利範圍第11項之方法，其中該絕緣層係形成以降低反射率，並增加該空洞之外的有效係數。
20. 如申請專利範圍第1項之方法，其中該形成一VCSEL結構的步驟進一步包含，形成具有複數個p-n接面的主動區域，其由一隧穿界面來彼此隔開。
21. 如申請專利範圍第1項之方法，其中該形成一VCSEL結構的步驟進一步包含，在該下鏡面部份及該主動區域之間形成一第一熱傳導層，及在該上鏡面部份及該主動區域之間形成一第二熱傳導層。
22. 如申請專利範圍第21項之方法，其中該形成該熱傳導層進一步包含在對應於該疊層中電場的最小處及最大處選擇性地摻雜該熱傳導層。
23. 一種單一模式VCSEL，其包含：
 - 一VCSEL結構，其包含一基板，位在該基板的一下表面之上的一底部接點部份，位在該基板的一上表面之上的一下鏡面部份，位在該下鏡面部份之上的一主動區域，及由電性等向材料形成的一上鏡面部份，並位在該主動區域之上；
 - 一位在該上鏡面部份之上的等電位層；
 - 一插入在該上鏡面部份及該等電位層之間的絕緣層，並用來在其間形成一空洞；及

六、申請專利範圍

一位在該等電位層之上，及該空洞的周界之外的上接點部份。

24. 如申請專利範圍第23項之VCSEL，其中該絕緣層包含一個氧化物。
25. 如申請專利範圍第23項之VCSEL，其中該絕緣層包含空氣。
26. 如申請專利範圍第23項之VCSEL，其中該等電位層包含的材料，其導電性至少大於該上鏡面部份之導電性的四倍。
27. 如申請專利範圍第23項之VCSEL，其中該等電位層包含的材料，其導電性至少大於該上鏡面部份之導電性的十倍。
28. 如申請專利範圍第23項之VCSEL，其中該上鏡面部份包含具有低橫向導電性的材料。
29. 一種在VCSEL中提供抗波導模式選擇性的方法，其包含以下步驟：

形成一VCSEL結構，其包含一基板，位在該基板的下表面之上的一底部接點部份，位在該基板上表面之上的一下鏡面部份，位在該下鏡面部份之上的一主動區域，及由電性等向材料形成的一上鏡面部份，其位在該主動區域之上；

提供位在該上鏡面部份之上的一實質等電位層；

選擇性地在該上鏡面部份及該等電位層之間插入一電性絕緣層，以在其間形成一空洞，其中該電性絕緣層係

六、申請專利範圍

用來在空洞之外比在其內要提供一較大的公稱腔共振；
及

提供位在該等電位層之上的一上接點部份。

30. 一種VCSEL元件，適用於在寬廣的電流範圍中提供單一模式運作，其包含：

一具有一下表面及一上表面的半導體基板；

一沿著該半導體基板的下表面配置的底部電性接點；

一由n型材料形成的下鏡面，其位在該半導體基板上表面之上；

一具有複數個量子井之主動區域，其位於該下鏡面部份之上；

一由電性等向材料形成的上電流散佈鏡面，其位在該主動區域之上；

一位在該上鏡面部份之上的等電位層；

一在該VCSEL元件的第一橫向末端而位在該等電位層之上的第一上電性接點；

一在該VCSEL元件的第二末端而位在該等電位層之上的第二上電性接點，其距離該第一上電性接點一特殊的距離；及

一插入在該上鏡面及該等電位層之間的絕緣層，並用來在其間形成一空洞。

31. 一種製造一單一模式VCSEL的方法，其包含以下步驟：

形成一VCSEL結構，其具有一基板，位在該基板的下表面之上的一底部接點部份，位在該基板上表面之上

六、申請專利範圍

的一下鏡面部份，位在該下鏡面部份之上的一主動區域，及由電性等向材料形成的一上鏡面部份，其位在該主動區域之上；

提供位在該上鏡面部份之上的一實質等電位層；

選擇性地在該上鏡面部份及該等電位層之間插入一電性絕緣層，以在其間形成一空洞，其中該絕緣層係形成來降低反射率，並增加該空洞之外的有效係數；及

提供位在該等電位層之上的一上接點部份。

裝

訂

線

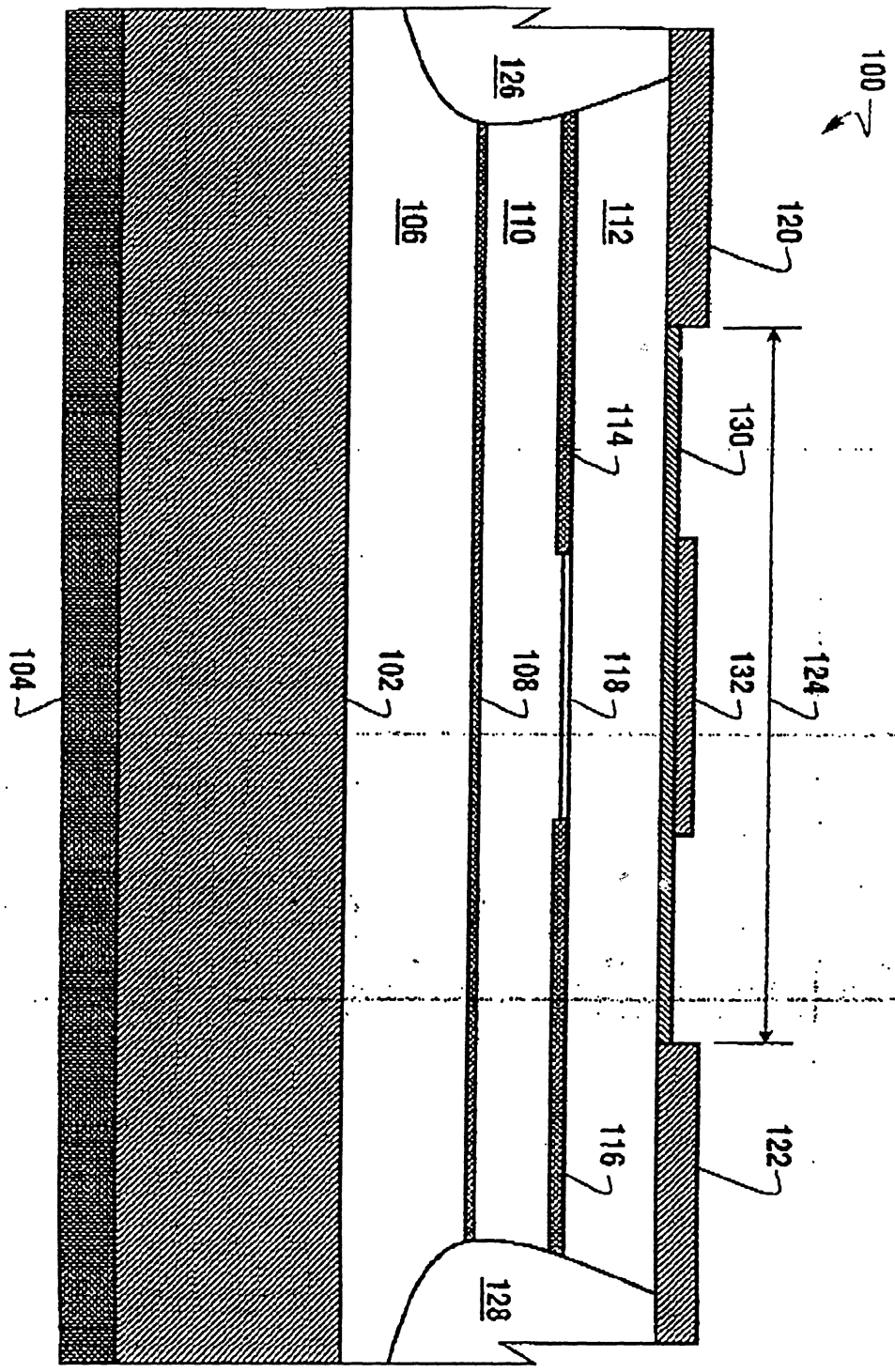


圖 1

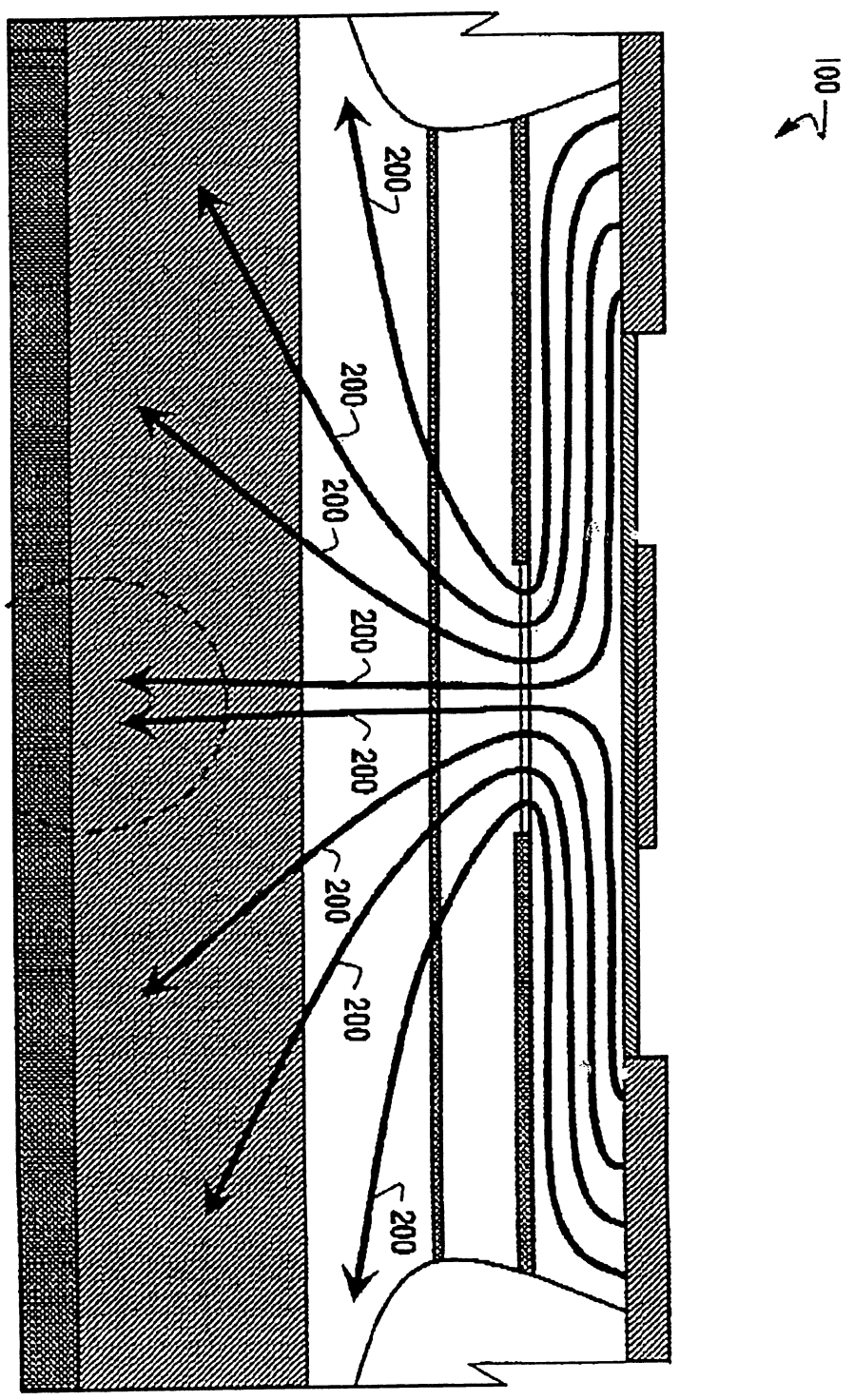


圖 2
202

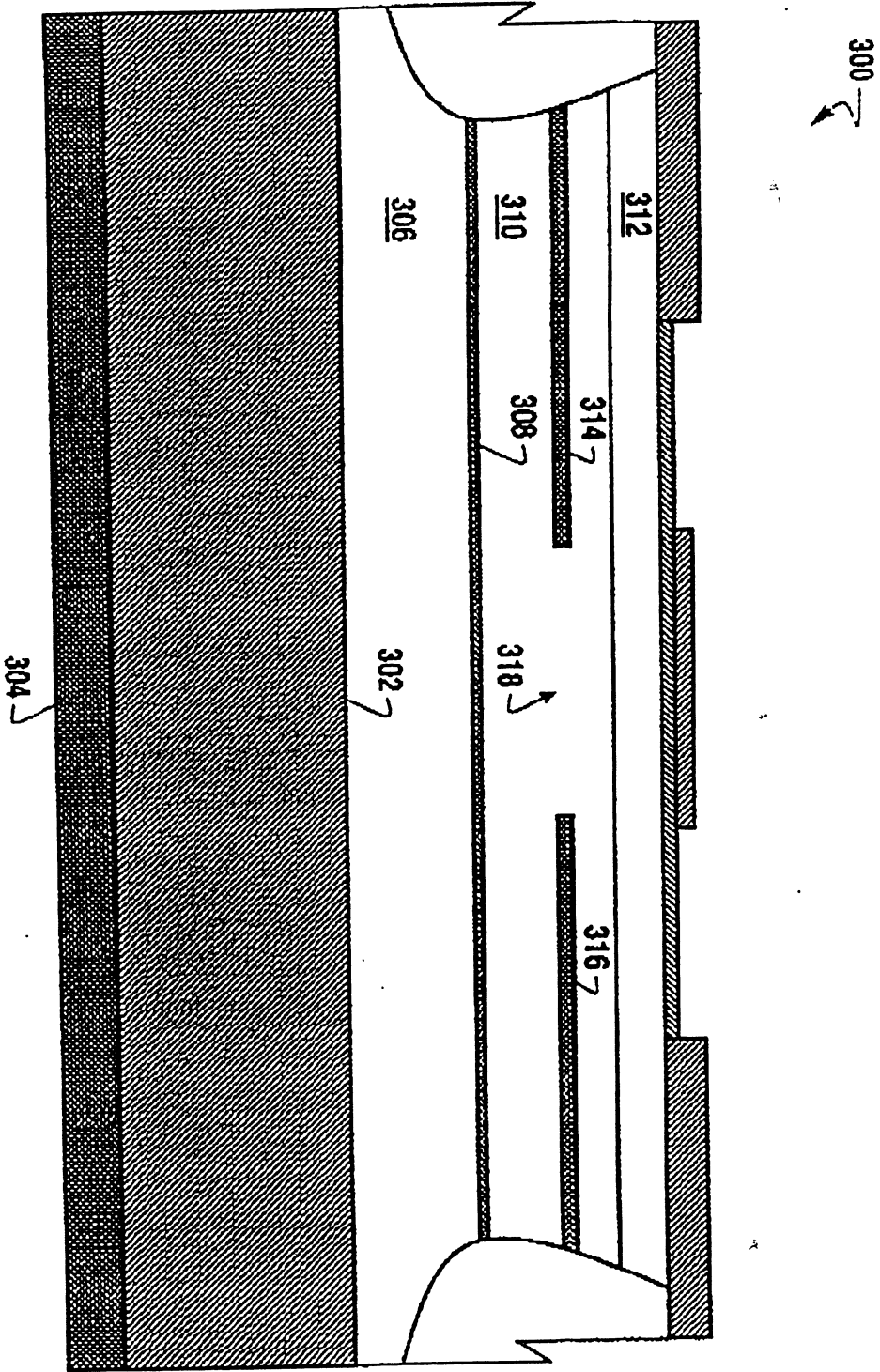


圖 3

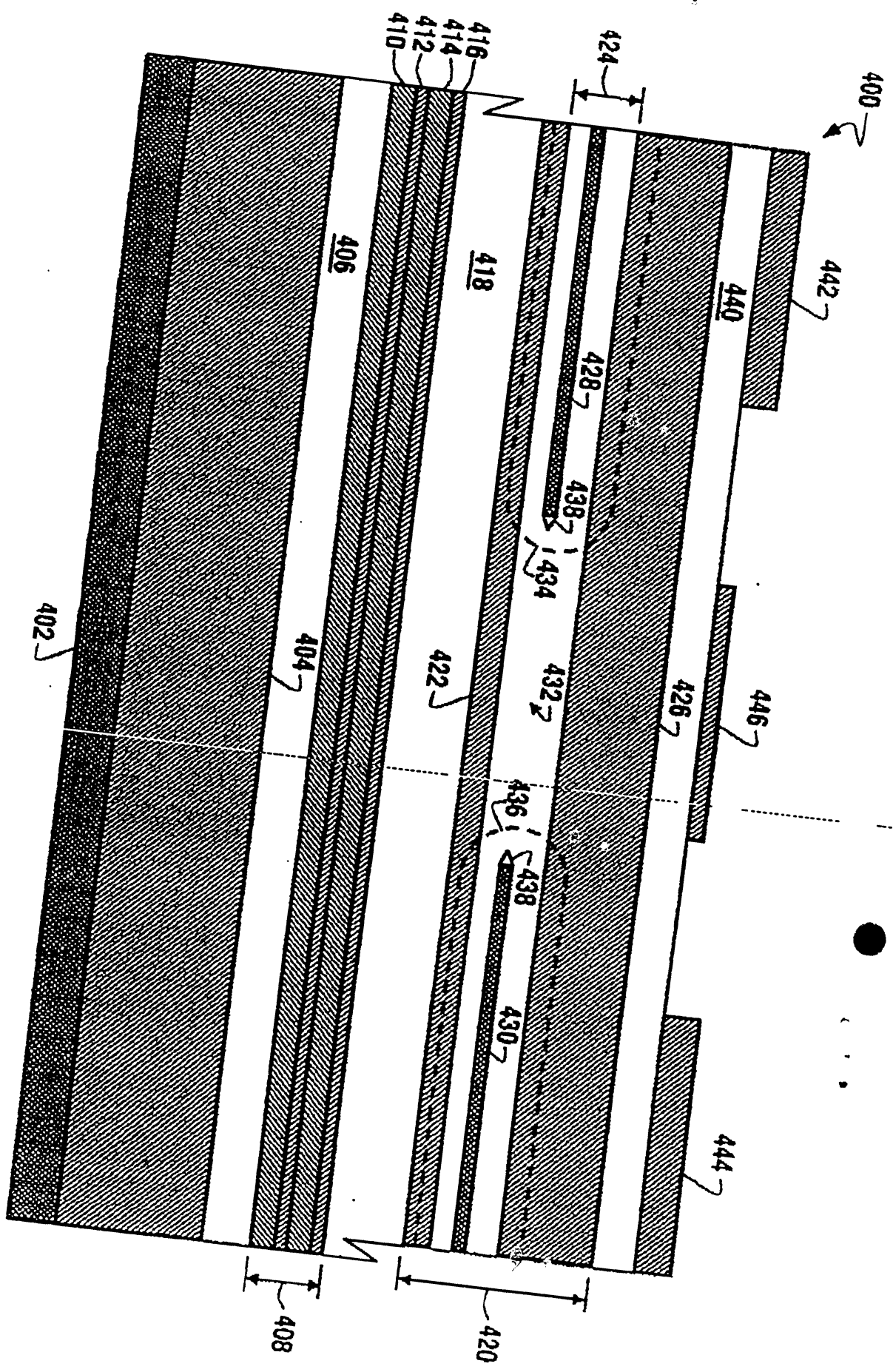


圖 4

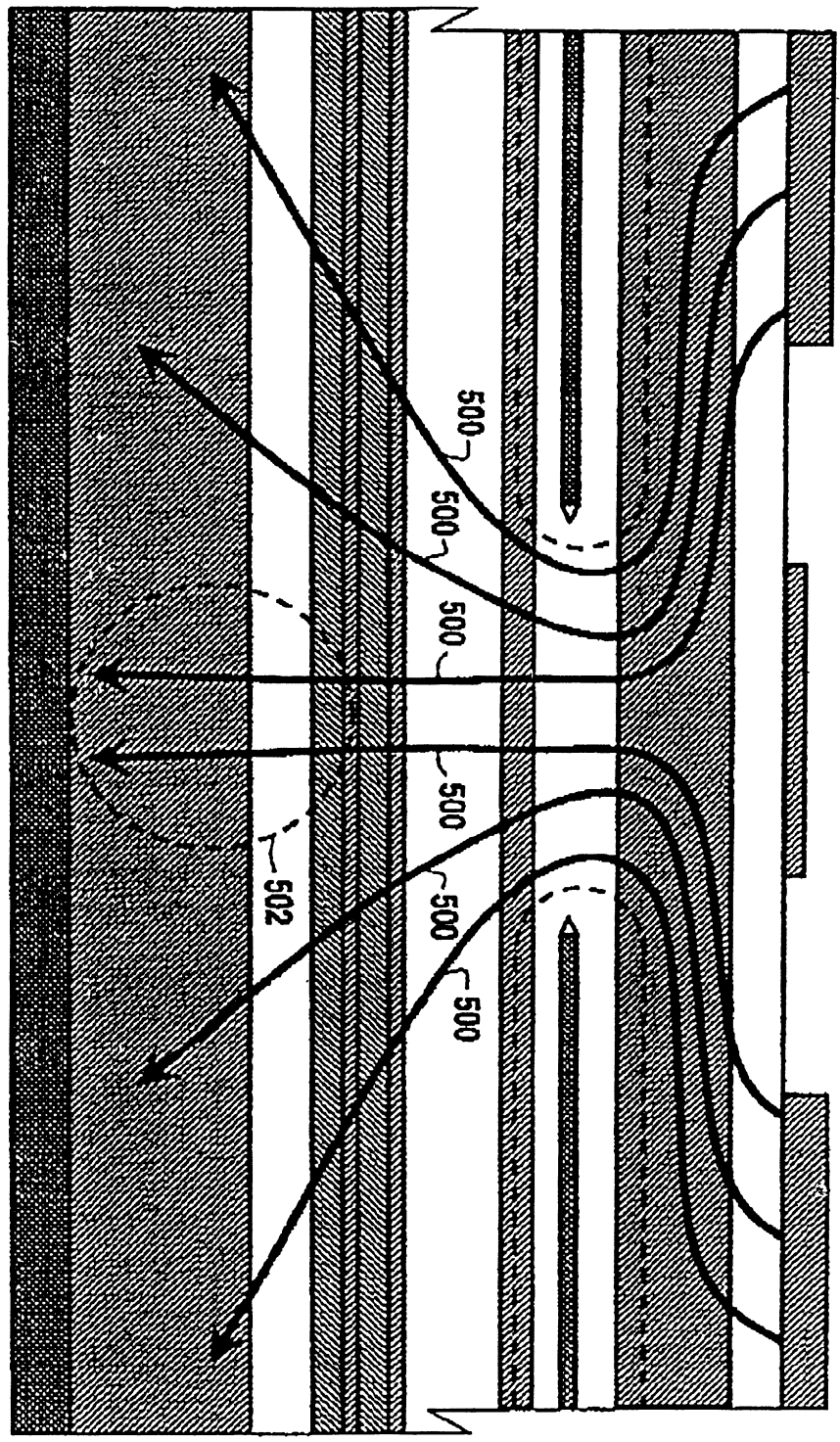


圖 5