



(12) 发明专利

(10) 授权公告号 CN 101432892 B

(45) 授权公告日 2010.08.25

(21) 申请号 200580031621.5

(22) 申请日 2005.09.20

(30) 优先权数据

10/711,479 2004.09.21 US

(85) PCT申请进入国家阶段日

2007. 03. 20

(86) PCT 申请的申请数据

PCT/US2005/033851 2005. 09. 20

(87) PCT申请的公布数据

W02006/034355 EN 2006. 03. 30

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72)发明人 皮特·J·盖斯 皮特·B·格雷

阿尔文·J·约瑟夫 刘奇志

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 康建峰

(51) Int. Cl.

H01L 31/109 (2006.01)

(56) 对比文件

US 2005/0250289 A1, 2005. 11. 10, 附图 7a-7b、说明书第 [0064] 段。

US 2003/0173580 A1, 2003. 09. 18, 全文.

US 4589193 , 1986. 05. 20, 全文.

CN 1223469 A, 1999. 07. 21, 3A-3B、说明书第 1-2 页。

US 5319239 A, 1994.06.07, 附图 1-6、说明书第 3 栏第 27 行 - 第 6 栏第 30 行, 尤其说明书第 4 栏第 42-62 行。

审查员 季茂源

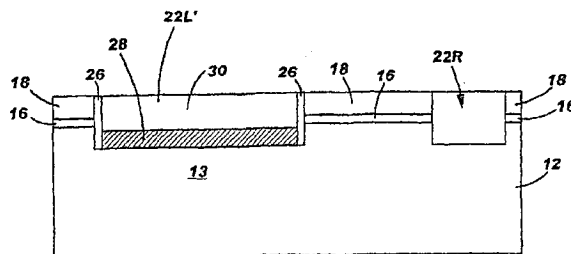
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

双极型互补金属氧化物半导体技术中形成集电极的方法

(57) 摘要

本发明提供一种用于高速 BiCMOS 应用的异质双极型晶体管 (HBT), 其中通过在器件的子集电极上浅槽隔离区下面提供隐埋耐熔金属硅化物层来降低集电极阻抗 R_c 。具体地, 本发明的 HBT 包括: 包含至少一个子集电极 (13) 的衬底 (12); 位于子集电极上的隐埋耐熔金属硅化物层 (28); 以及位于隐埋耐熔金属硅化物层的表面上的浅槽隔离区 (22)。本发明也提供制造这种 HBT 的方法。该方法包括在器件的子集电极上浅槽隔离区下面形成隐埋耐熔金属硅化物。



1. 一种异质双极型晶体管,包括:
包括至少一个子集电极的衬底;
位于子集电极上的隐埋耐熔金属硅化物层;以及
位于所述隐埋耐熔金属硅化物层的表面上的浅槽隔离区,
其中所述耐熔金属硅化物层延伸超出浅槽隔离区的边缘之外,使得所述耐熔金属硅化物层的一部分存在于底切区域中。
2. 根据权利要求1的异质双极型晶体管,其中所述衬底包括从 Si、SiGe、SiC、SiGeC、GaAs、InAs、InP、绝缘体上硅、绝缘体上硅锗、以及其他 III/V 或 II/VI 化合物半导体构成的组中选择的半导体衬底。
3. 根据权利要求2的异质双极型晶体管,其中所述半导体衬底是含 Si 的。
4. 根据权利要求1的异质双极型晶体管,其中所述子集电极是掺杂 C 的。
5. 根据权利要求1的异质双极型晶体管,其中所述浅槽隔离区和所述隐埋耐熔金属硅化物层位于包括氮化物或氮氧化物隔离物的开口中。
6. 根据权利要求1的异质双极型晶体管,其中所述耐熔金属硅化物层包括 Ti、Co、W、Ta、Ni 或上述金属的合金的硅化物。
7. 根据权利要求6的异质双极型晶体管,其中所述耐熔金属硅化物层包括 Co、Ta 或 W 的硅化物。
8. 根据权利要求7的异质双极型晶体管,其中所述耐熔金属硅化物层包括 W 的硅化物。
9. 根据权利要求1的异质双极型晶体管,其中所述浅槽隔离区包括沟槽电介质材料。
10. 根据权利要求1的异质双极型晶体管,其中所述耐熔金属硅化物层包括 Ti、Co、W、Ta、Ni 或上述金属的合金的硅化物。
11. 根据权利要求10的异质双极型晶体管,其中所述耐熔金属硅化物层包括 Co、Ta 或 W 的硅化物。
12. 根据权利要求11的异质双极型晶体管,其中所述耐熔金属硅化物层包括 W 的硅化物。
13. 根据权利要求1的异质双极型晶体管,还包括位于包括所述子集电极的所述衬底上的 SiGe 基极和多晶硅发射极。
14. 一种制造异质双极型晶体管的方法,包括步骤:
在包括子集电极的衬底中形成包含第一沟槽电介质材料的至少一个浅槽隔离区;
从所述至少一个浅槽隔离区中去除所述第一沟槽电介质材料,以形成暴露包括所述子集电极的所述衬底的一部分的开口;
使用侧蚀过程在所述开口中形成底切区域;
在衬底的所述暴露部分上所述开口的一部分中形成耐熔金属硅化物层,使得所述耐熔金属硅化物层位于所述开口内,并且所述耐熔金属硅化物层的一部分存在于底切区域中;
以及
在所述开口中所述耐熔金属硅化物层上形成第二沟槽电介质,所述第二沟槽电介质不延伸超出所述开口。
15. 根据权利要求14的方法,其中所述至少一个浅槽隔离由光刻、刻蚀和沟槽填充形成。

16. 根据权利要求 15 的方法,其中在所述沟槽填充之后还包括致密化或平面化过程的至少一个。

17. 根据权利要求 15 的方法,还包括在沟槽填充之前将 C 注入到所述子集电极中。

18. 根据权利要求 14 的方法,其中所述第一沟槽电介质材料的所述去除包括选择性刻蚀过程。

19. 根据权利要求 14 的方法,还包括在去除所述第一沟槽电介质材料和形成所述耐熔金属硅化物的步骤之间形成氮化物或氮氧化物隔离物。

20. 根据权利要求 14 的方法,其中所述形成所述耐熔金属硅化物层包括沉积耐熔金属层和退火。

21. 根据权利要求 20 的方法,还包括在沉积之前形成硅层。

22. 根据权利要求 20 的方法,其中所述沉积包括选择性沉积过程。

23. 根据权利要求 20 的方法,其中所述沉积包括非选择性沉积过程。

24. 根据权利要求 20 的方法,其中所述退火包括第一退火步骤和去除未反应的耐熔金属。

25. 根据权利要求 24 的方法,其中所述第一退火步骤在 400℃至 700℃的温度执行。

26. 根据权利要求 24 的方法,还包括在未反应的耐熔金属的所述去除之后执行的第二退火步骤。

27. 根据权利要求 26 的方法,其中所述第二退火步骤在 700℃至 1100℃的温度执行。

28. 根据权利要求 14 的方法,其中所述去除所述第一沟槽电介质材料包括形成保护所述至少一个浅槽隔离区的一部分的形成图案的光刻胶。

双极型互补金属氧化物半导体技术中形成集电极的方法

技术领域

[0001] 本发明一般地涉及双极型互补金属氧化物半导体 (BiCMOS) 技术, 尤其涉及一种在器件的子集电极上浅槽隔离区下面包括隐埋耐熔金属硅化物层的双极型晶体管 (NPN 或 PNP)。本发明的双极型晶体管表现出减小的集电极阻抗 R_c , 因此它适合于在高速应用中使用。本发明也涉及一种制造在器件的子集电极上浅槽隔离区下面包括隐埋耐熔金属硅化物层的本发明的双极型晶体管的方法。

背景技术

[0002] 双极型晶体管是具有彼此极接近的两个 pn 结的电子器件。典型的双极型晶体管具有三个器件区: 发射极、集电极和位于发射极与集电极之间的基极。理想地, 两个 pn 结, 也就是发射极-基极结和集电极-基极结, 存在于以特定距离相隔的单层半导体材料中。通过改变附近结的偏压调节一个 pn 结中的电流称作“双极型晶体管作用”。

[0003] 如果发射极和集电极掺杂 n 型而基极掺杂 p 型, 则器件是“NPN”晶体管。作为选择, 如果使用相反的掺杂构造, 则器件是“PNP”晶体管。因为 NPN 晶体管的基极区中少数载流子也就是电子的迁移率高于 PNP 晶体管的基极中空穴的迁移率, 所以使用 NPN 晶体管器件可以获得较高频率的操作和较高速度的性能。因此, NPN 晶体管包括用来构建集成电路的大部分双极型晶体管。

[0004] 因为双极型晶体管的垂直距离越来越紧密, 已经遇到了严重的器件操作限制。克服这些限制的一种积极研究方法是使用其带隙大于在基极中使用的材料的带隙的发射极材料构建晶体管。这种结构称作“异质结”晶体管。

[0005] 包括异质结的异质结构可以用于多数载流子和少数载流子器件。在多数载流子器件中, 最近已经研制出发射极由硅 (Si) 形成且基极由硅锗 (SiGe) 合金形成的异质结双极型晶体管 (HBT)。SiGe 合金 (经常简单地表示为硅锗) 带隙比硅窄。

[0006] 高级硅锗双极型互补金属氧化物半导体 (BiCMOS) 技术在异质结双极型晶体管中使用 SiGe 基极。在高频 (例如多 GHz) 状况中, 常规化合物半导体例如 GaAs 和 InP 当前支配高速有线和无线通信的市场。SiGe BiCMOS 不仅承诺与器件例如功率放大器中的 GaAs 相当的性能, 而且承诺因异质结双极型晶体管与标准 CMOS 的集成而减少基本成本, 产生所谓“片上系统”。

[0007] 对于高性能 NPN HBT 制造, 需要低集电极阻抗 R_c 。当前, R_c 主要来自大量 n 掺杂 Si 的子集电极, 并且是 8 欧姆 / 平方。对于低阻抗, n^+ 子集电极几乎是可制造的最高掺杂 Si。可以用来降低 R_c 的双集电极布局设计是已知的。尽管降低 R_c , 但双集电极布局设计增加了集电极-基极电容 C_{cb} 并且降低了 NPN 区域。因此, 双集电极布局设计在提高 NPN 性能方面具有它的局限性。

[0008] 考虑到上面所述现有技术 HBT 的缺点, 仍然存在提供具有低集电极阻抗而不像现有技术双集电极布局设计那样折衷 C_{cb} 和 NPN 区域的 HBT 的需求。另外, 存在提供最低程度地干扰标准 BiCMOS 工艺流程的 HBT 的需求。

发明内容

[0009] 本发明通过在器件的子集电极上浅槽隔离区下面提供隐埋耐熔金属硅化物来提供具有比常规 HBT 低的 R_c 的异质双极型晶体管 (HBT)。耐熔金属硅化物, 例如硅化钨可以幸免于 CMOS 和双极型模块中连续的高温热循环, 同时提供较低阻抗子集电极, 并且最小程度地干扰 BiCMOS 工艺流程。

[0010] 广泛地说, 本发明提供一种异质双极型晶体管 (HBT), 包括:

[0011] 包括至少一个子集电极的衬底;

[0012] 位于子集电极上的隐埋耐熔金属硅化物层; 以及

[0013] 位于所述隐埋耐熔金属硅化物层的表面上的浅槽隔离区。

[0014] 本发明的 HBT 可以是 NPN HBT 或 PNP HBT, 其中优选 NPNHBT。本发明的 HBT 结构还包括位于所述衬底表面上、与浅槽隔离区相邻的 SiGe 基极, 以及位于基极上的包含多晶硅的发射极。

[0015] 除了上述结构之外, 本发明也提供制造这种 HBT 的方法。特别地, 本发明的 HBT 使用下面的处理步骤制造, 包括:

[0016] 在包括子集电极的衬底中形成包含第一沟槽电介质材料的至少一个浅槽隔离区;

[0017] 从所述至少一个浅槽隔离区中去除所述第一沟槽电介质材料, 以形成暴露包括所述子集电极的所述衬底的一部分的开口;

[0018] 在衬底的所述暴露部分上所述开口的一部分中形成耐熔金属硅化物层, 所述耐熔金属硅化物层不在所述开口的上面延伸; 以及

[0019] 在所述开口中所述耐熔金属硅化物层上形成第二沟槽电介质, 所述第二沟槽电介质不在所述开口上延伸。

附图说明

[0020] 图 1A-1F 是说明在本发明中使用以用于集电极的硅化的基本处理步骤的图示 (通过横截面视图)。图 1F 中所示的结构是在其上形成 HBT 的模板。

[0021] 图 2A-2E 是说明本发明备选实施方案的图示 (通过横截面视图)。

具体实施方式

[0022] 现在将通过参考附随本申请的附图更详细地描述本发明, 其提供在器件的子集电极上浅槽隔离区下面具有隐埋耐熔金属硅化物层的 HBT 以及一种制造它的方法。应当注意, 附图并不按照比例绘制从而仅为了说明性目的而提供。而且, 在本申请中提供的附图说明在形成 HBT 器件的基极和发射极之前在子集电极上浅槽隔离区下面包括隐埋耐熔金属硅化物层的衬底。

[0023] 同样值得注意, 本申请的附图仅说明 HBT 器件区域。为了清楚, 没有显示 CMOS 器件区域以及典型 BiCMOS 结构的其他区域。没有显示的这些其他区域位于显示的 HBT 区域的外围。另外, 虽然显示单个 HBT 器件区域, 本发明可以在单个衬底上面形成多个 HBT 时使用。

[0024] 首先参考说明本发明第一实施方案的图 1A-1F。本发明的第一实施方案从提供例如图 1A 中所示的初始结构 10 开始。本发明的结构 10 包括具有位于其上的焊盘堆叠 14 和硬掩模 20 的衬底 12。如图所示,焊盘堆叠 14 位于衬底 12 的表面上并且硬掩模 20 位于焊盘堆叠 14 的上暴露表面上。

[0025] 在本发明中使用的衬底 12 包括任何半导体衬底,包括例如 Si, SiGe, SiC, SiGeC, GaAs, InAs, InP 和其他 III/V 或 II/VI 化合物半导体。衬底 12 也包括预先形成的绝缘体上硅 (SOI) 或绝缘体上硅锗 (SGOI) 衬底。在本发明的优选实施方案中,衬底 12 是包含 Si 的衬底,例如 Si、SiGe、SiGeC、SiC、SOI 和 SGOI。作为选择,衬底 12 可以包括堆叠结构,其中 Si 层例如外延硅或非晶硅在半导体衬底上形成。衬底 12 可能包括各种掺杂或井区。衬底 12 也包括在本发明的附图中显示的作为衬底的一部分的子集电极 13。图 1B 清楚地定义子集电极 13。如本领域技术人员已知的,子集电极 13 将 HBT 器件连接到相邻的集电极区。使用本领域技术人员众所周知的技术形成子集电极 13。例如,可以在制造子集电极 13 时使用离子注入和随后退火。

[0026] 焊盘堆叠 14 可以包括单层绝缘材料,或者它可以包括绝缘材料的多层堆叠,如图 1A 中所示。可以用作焊盘堆叠 14 的绝缘材料的说明性实例包括氧化物、氮化物、氮氧化物及其多层。

[0027] 焊盘堆叠 14 可以由相同或不同的沉积技术形成,包括例如热生长(也就是氧化、氮化或氧氮化),化学汽相沉积 (CVD),等离子增强化学汽相沉积 (PECVD),化学溶液沉积,原子层沉积 (ALD),蒸发和其他类似的沉积方法。

[0028] 特别地,图 1A 中所示的焊盘堆叠 14 包括位于衬底 12 表面上的焊盘氧化物 16 以及位于焊盘氧化物 16 上的焊盘氮化物 18。焊盘氧化物 16 典型地由热氧化形成,而焊盘氮化物 18 典型地由化学汽相沉积形成。

[0029] 焊盘堆叠 14 的厚度可以依赖于在堆叠中存在的材料层的数目而变化。在附图中说明的实例中,焊盘氧化物 16 比覆盖的焊盘氮化物 18 薄。典型地,焊盘氧化物 16 具有大约 3 至大约 50nm 的厚度,其中大约 5 至大约 20nm 的厚度更典型。另一方面,焊盘氮化物 18 典型地具有大约 50 至大约 300nm 的厚度,其中大约 100 至大约 200nm 的厚度更典型。

[0030] 硬掩模 20 在焊盘堆叠 14 的最上暴露表面上形成;在说明的实施方案中,硬掩模 20 在焊盘氮化物 18 的表面上形成。硬掩模 20 包括使用本领域技术人员众所周知的沉积技术从四乙基原硅酸盐 (TEOS) 中沉积的绝缘材料例如氧化物。硬掩模 20 在形成随后的浅槽隔离区时用作形成图案的掩模。硬掩模 20 的厚度可以依赖于使用的绝缘材料和沉积过程而变化。典型地,硬掩模 20 具有大约 50 至大约 300nm 的厚度,其中大约 100 至大约 200nm 的厚度更典型。

[0031] 接下来,并且如图 1B 中所示,形成至少一个浅槽隔离区。在附图中,形成两个浅槽隔离区 22L 和 22R。术语“浅槽隔离”表示具有从衬底 12 的顶面到沟槽开口的底面的测量深度(大约 0.5 微米或更少)的隔离区域。在刻蚀浅槽隔离区之后,典型地从结构中去掉硬掩模 20。

[0032] 使用本领域技术人员众所周知的常规处理形成该至少一个浅槽隔离区 22L 和 22R,包括例如光刻(例如涂敷光刻胶材料、将光刻胶暴露于辐射图案,并且使用常规光刻胶显影剂显影暴露的光刻胶),刻蚀(例如湿法刻蚀、干法刻蚀或其组合)以及沟槽填充。

可选地,可以在沟槽填充之前使用沟槽衬垫材料例如氧化物、氮化物或氮氧化物衬垫沟槽。沟槽填充包括由常规技术沉积的第一沟槽电介质材料例如高密度氧化物或 TEOS。致密化步骤(例如退火)和/或平面化(例如化学机械抛光)可以可选地在沟槽填充过程之后使用。在使用第一沟槽电介质材料填充沟槽之前,典型地使用本领域技术人员众所周知的 C 注入过程将 C 注入到衬底 12 的子集电极 13 和集电极(没有显示)中。

[0033] 接下来,在图 1B 中提供的结构上形成阻挡掩模(没有显示),使得暴露位于子集电极 13 上的至少一个浅槽隔离区 22L,并且去除区域 22L 中的第一沟槽电介质使得形成开口 24。开口 24 暴露包括子集电极 13 的衬底 12 的表面。阻挡掩模使用本领域技术人员众所周知的常规技术形成,包括例如光刻。

[0034] 从浅槽隔离区 22 去除第一沟槽电介质材料的去除步骤包括选择性地去除第一沟槽电介质材料的刻蚀过程。从浅槽隔离区 22L 选择性地去除第一沟槽电介质材料的刻蚀过程的实例是 HF 浸渍。注意,阻挡掩模的存在防止第一沟槽电介质材料从另一个浅槽隔离区 22R 去除。

[0035] 在从结构中去掉阻挡掩模之后,在由开口 24 提供的暴露侧壁上形成氮化物或氮氧化物隔离物 26。隔离物 26 通过沉积和刻蚀例如反应离子刻蚀形成。在上述步骤执行之后形成的作为结果的结构例如在图 1C 中显示。注意,图 1C 中显示的结构表示本发明的最简单实施方案。

[0036] 接下来,如图 1D 中所示,耐熔金属硅化物层 28 在衬底 12 的暴露部分上,也就是在子集电极 13 上的开口 24 中形成。首先通过在衬底 12 的暴露表面上沉积耐熔金属层来形成耐熔金属硅化物层 28。如果衬底 12 不包含硅,可以在沉积耐熔金属层之前在衬底 12 的暴露表面上形成硅层。耐熔金属层可以由选择性或非选择性沉积过程形成。当使用选择性沉积过程时,耐熔金属层完全在开口 24 内形成。当使用非选择性沉积过程时,耐熔金属层还在开口 24 外部形成。

[0037] 选择性沉积过程的说明性实例包括但不限于化学汽相沉积,而非选择性沉积过程的说明性实例包括但不限于化学汽相沉积(CVD)、等离子增强化学汽相沉积(PECVD)和溅射。

[0038] 在本发明中使用术语“耐熔金属”表示难以腐蚀或熔化,然而当在高温下与硅反应时能够形成硅化物的含金属的材料(也就是元素金属或金属合金)。可以在本发明中使用的耐熔金属的实例包括但不限于 Ti、Co、W、Ta、Ni 和合金。在这里使用的术语“合金”表示元素耐熔金属的混合物以及包含合金添加剂例如 Si 的元素耐熔金属。高度优选的耐熔金属包括 Co、Ta 和 W,其中 W 是最优选的,因为它的硅化物能够承受在形成 BiCMOS 器件时使用的更高温度的加热周期。

[0039] 在形成耐熔硅化物层 28 时使用的耐熔金属层的厚度可以根据使用的沉积技术和耐熔金属的类型而变化。典型地,耐熔金属层具有大约 5 至大约 150nm 的厚度,其中大约 10 至大约 100nm 的厚度更典型。然后,退火包括耐熔金属层的结构以在衬底 12 的暴露部分上,也就是子集电极 13 上的开口 24 中形成耐熔金属硅化物层 28。执行退火直到形成的硅化物处于其最低阻抗相中。对于一些耐熔金属例如 Ni,需要单个退火步骤以将耐熔金属层转化成低阻抗硅化物层,而对于其他耐熔金属例如 Ti 和 W,使用第一退火步骤以将耐熔金属转化成高阻抗的金属硅化物,然后使用第二退火以将高阻抗金属硅化物转化成其最低阻

抗相。

[0040] 第一退火步骤典型地在大约 400°C 至大约 700°C 的温度执行大约 1/2 分钟至大约 30 分钟的时间段。第一退火典型地在惰性气体例如 He、Ar、Ne、Xe、Kr、N₂ 或其混合物中执行。可以在本发明中使用有或没有保温的单个升温速率,或者可以在本发明中使用有或没有保温的多个升温速率。

[0041] 在第一退火期间,耐熔金属与硅相互作用并反应以形成耐熔金属硅化物。在相互作用和随后反应期间,消耗大部分耐熔金属和一些硅。

[0042] 在第一退火之后,利用化学刻蚀剂例如无机酸从结构中去掉任何未反应的金属。注意,当使用非选择性沉积过程时,该刻蚀步骤去除开口 24 外部形成的耐熔金属以及开口 24 内部的任何未反应金属。

[0043] 如果需要,现在可以执行第二退火步骤以将先前形成的硅化物转化成较低阻抗硅化物。第二退火步骤典型地在比第一退火步骤高的退火温度下执行。例如,第二退火步骤典型地在大约 700°C 至大约 1100°C 的温度下执行大约 10 秒至大约 5 分钟的时间段。第二退火步骤也典型地在惰性环境例如结合第一退火步骤在上面提及的那些中执行。也可以使用有或没有保温的单个升温速率,或者多个有或没有保温的升温速率。

[0044] 上面的步骤,也就是,第一退火、去除未反应的金属以及可选的第二退火在本领域中称作硅化步骤。

[0045] 如上所述,在形成耐熔金属硅化物 28 之后的作为结果的结构在图 1D 中显示。注意,耐熔金属硅化物 28 包含在开口 24 内,也就是它不在开口 24 上延伸。

[0046] 在硅化物形成之后,形成提供例如图 1E 中所示结构的第二沟槽电介质材料 30。第二沟槽电介质 30 典型地是氧化物例如 TEOS 或高密度氧化物。第二沟槽电介质 30 由常规沉积过程例如 CVD 或等离子增强 CVD 形成。第二沟槽电介质 30 典型地在沉积之后具有大约 200 至大约 600nm 的厚度。

[0047] 接下来,包括第二沟槽电介质 30 的结构经受平面化过程例如化学机械抛光或研磨,提供图 1F 中所示基本上平面化的结构。具体地,如图所示,第二电介质层 30 平面化到焊盘堆叠 14,也就是焊盘氮化物 18 的顶面,提供包括第二沟槽电介质 30 的新的浅槽隔离区 22L'。

[0048] 在平面化过程之后,可以使用本领域技术人员众所周知的常规 BiCMOS 处理形成 HBT 和其他器件。例如,在 HBT 器件区域中,SiGe 基极区和包括多晶硅发射极的发射极区可以由常规发射极后基极或发射极前基极处理步骤形成。

[0049] 包括图 1F 中所示结构的本发明的 HBT 结构因衬底 12 的子集电极 13 上、浅槽隔离区 22L' 下面的耐熔金属硅化物 28 的存在而降低 R_c。耐熔金属硅化物 28 在集电极接触点(没有显示)以及基极接触点(没有显示)下延伸。

[0050] 图 1A-1F 说明本发明的一种实施方案。图 2A-2E 说明本发明的第二实施方案,其中耐熔金属硅化物在包括可选、但是优选的底切区域的开口中形成。本发明的第二实施方案首先从提供本发明的图 1B 中所示的结构开始。

[0051] 接下来,含氮化物层 32 例如氮化硅或氧氮化硅在包括硬掩模 20 和浅槽隔离区 22R 和 22L 的整个结构上形成。含氮化物层 32 由常规沉积过程例如 CVD、PECVD、化学溶液沉积等形成。含氮化物层 32 具有典型地大约 5 至大约 200nm 的厚度,其中大约 10 至大约 100nm

的厚度更典型。

[0052] 然后形成图案的光刻胶 34 在包括含氮化物层 32 的结构上形成,提供例如图 2A 中所示的结构。形成图案的光刻胶 34 包括位于浅槽隔离区 22L 上的开口 35。包含开口 35 的形成图案的光刻胶 34 由光刻形成。

[0053] 在提供图 2A 中所示的结构之后,开口 35 通过刻蚀穿过含氮化物层 35 以及浅槽隔离区 22L 的一部分而延伸到浅槽隔离区 22L 中。注意,形成图案的光刻胶 34 具有延伸超出浅槽隔离区 22L 的侧壁之外的侧壁,使得形成图案的光刻胶 34 保护浅槽隔离区 22L 的一部分。

[0054] 用于延伸开口 35 的刻蚀步骤包括选择性地去除在氧化物上停止的氮化物的第一刻蚀步骤,以及定时且选择性地去除氧化物的第二刻蚀步骤。在一些实施方案中,用于延伸开口 35 的第一和第二刻蚀步骤可以组合成单个刻蚀步骤,其中首先去除不受形成图案的光刻胶 34 保护的氮化物层 32 的暴露部分,并且去除浅槽隔离区 22L 的底层第一电介质材料的一部分。在使用常规剥离过程的刻蚀之后去除形成图案的光刻胶 34。

[0055] 在延伸开口 35 的该刻蚀之后,在延伸开口 35 的暴露侧壁上形成氮化物或氮氧化物隔离物 26。包括延伸开口 35 和隔离物 26 的作为结果的结构在图 2B 中显示。注意,隔离物 26 如上在本发明第一实施方案中所述地形成。

[0056] 然后利用选择性地去除在衬底 12 的表面上停止的第一沟槽电介质材料,也就是氧化物的湿法刻蚀过程去除浅槽隔离区 22L 的剩余第一沟槽电介质。现在可以可选地执行在延伸开口 35 中提供底切区域 36 的侧蚀。侧面底切 36 是优选的,因为它保证硅化物将与发射极区接近。侧蚀可以由湿法化学刻蚀例如含 HF 的药剂执行。

[0057] 然后如上所述形成耐熔金属层。图 2D 显示耐熔金属层(由参考标号 27 表示)由非选择性沉积过程形成的实施方案。虽然附图绘制耐熔金属层 27 由非选择性沉积方法形成,第二实施方案也同样包括如上所述的选择性沉积方法。

[0058] 在所说明的实例中,然后去除开口 35 外部的耐熔金属层 27,提供图 2E 中所示的结构。然后执行上述处理步骤,也就是硅化物形成、以及第二沟槽电介质材料 30 形成和平面化,以提供除了装满硅化物的底切区域的存在之外,与图 1F 中所示类似的基本上平面化的结构。然后可以在包括装满耐熔金属硅化物的底切区域的基本上平面化的结构上执行 CMOS 处理和双极型晶体管形成。

[0059] 虽然已经关于其优选实施方案而特别显示和描述了本发明,本领域技术人员应当理解,可以在形式和细节方面进行前述和其他变化而不背离本发明的本质和范围。因此,本发明并不打算局限于描述和说明的确切形式和细节,而是落在附加权利要求的范围内。

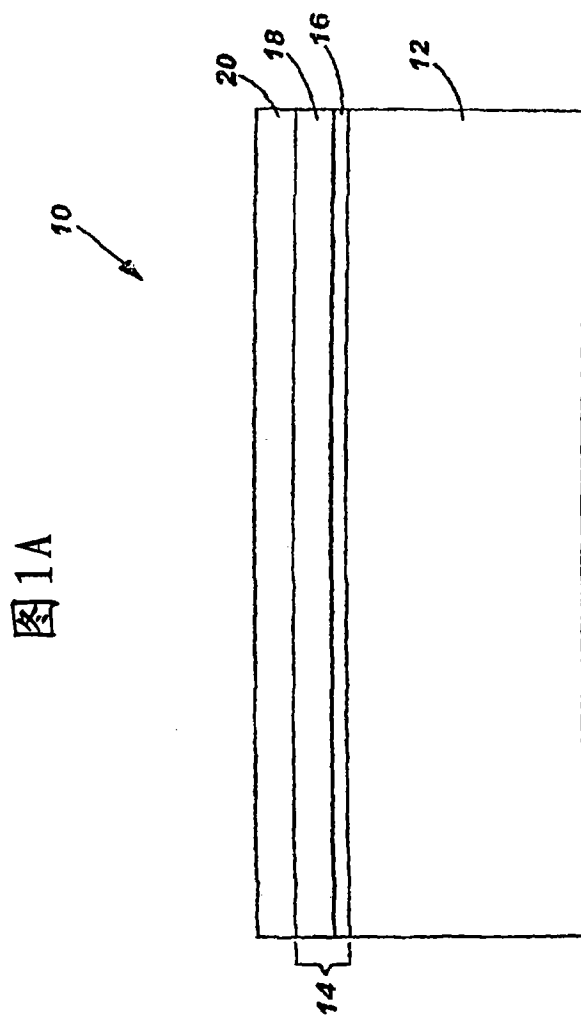


图1B

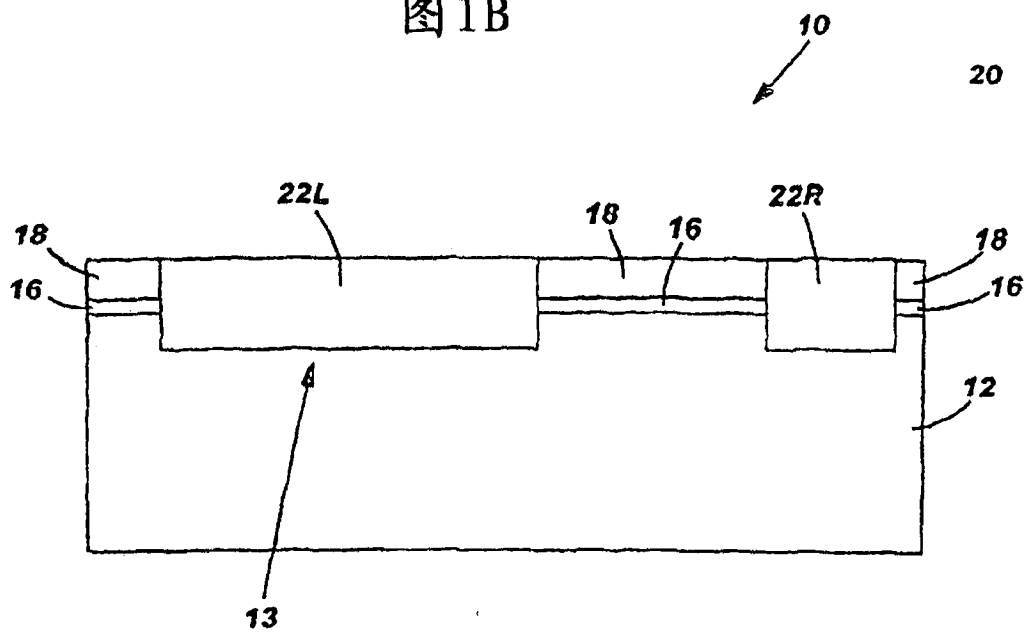


图1C

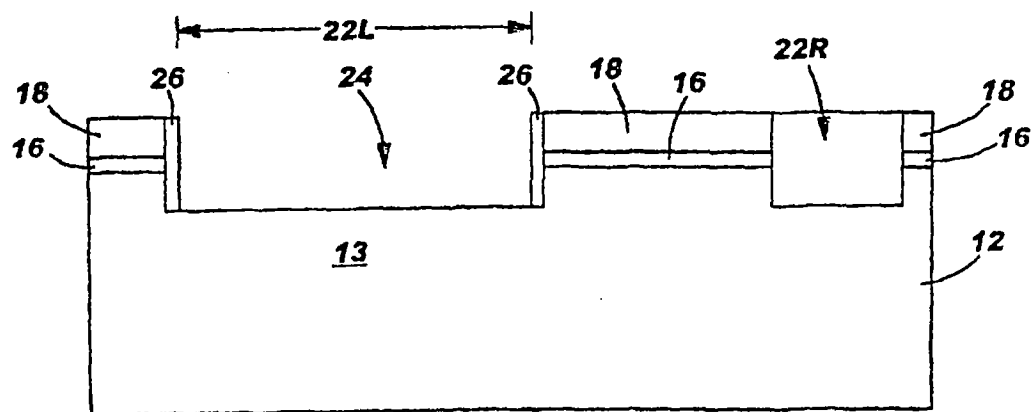


图1D

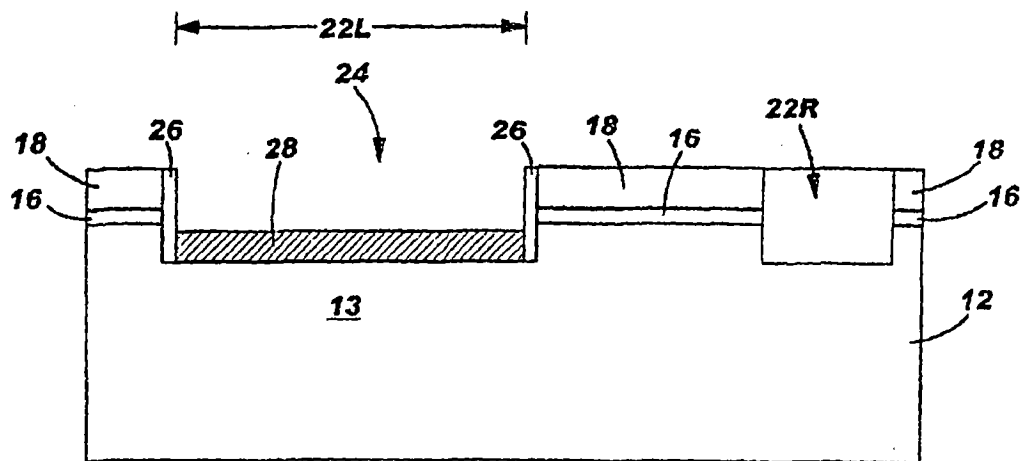


图1E

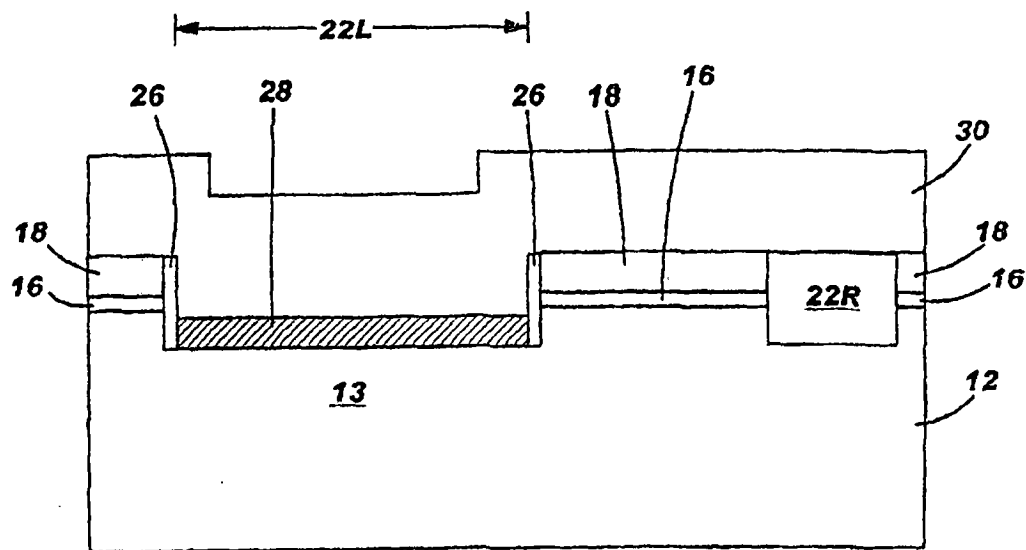


图1F

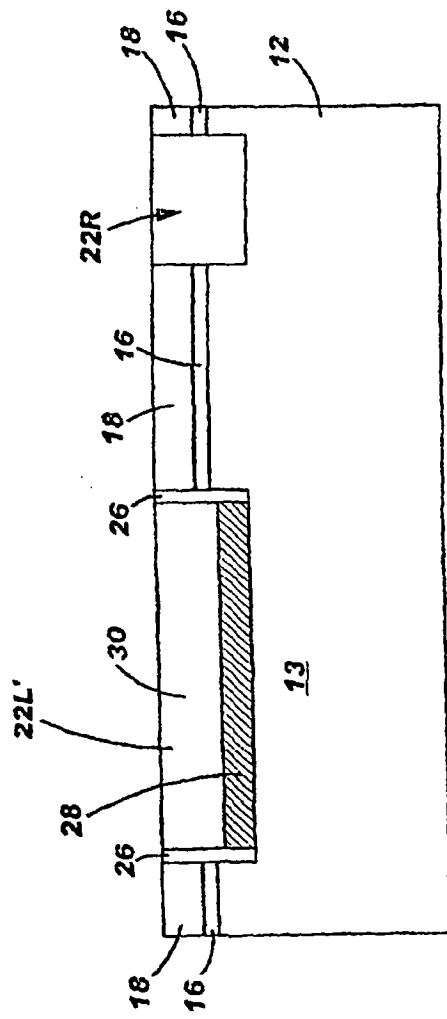


图2A

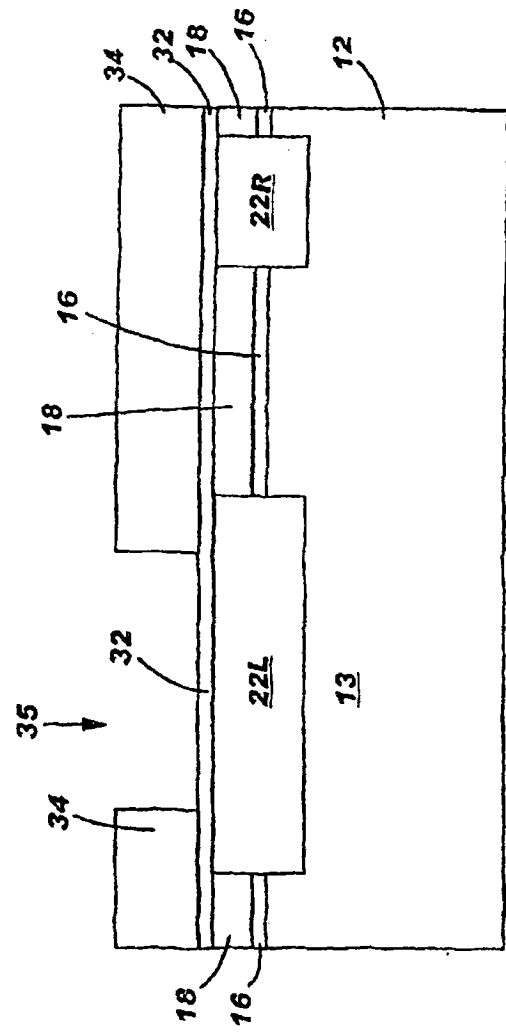


图 2B

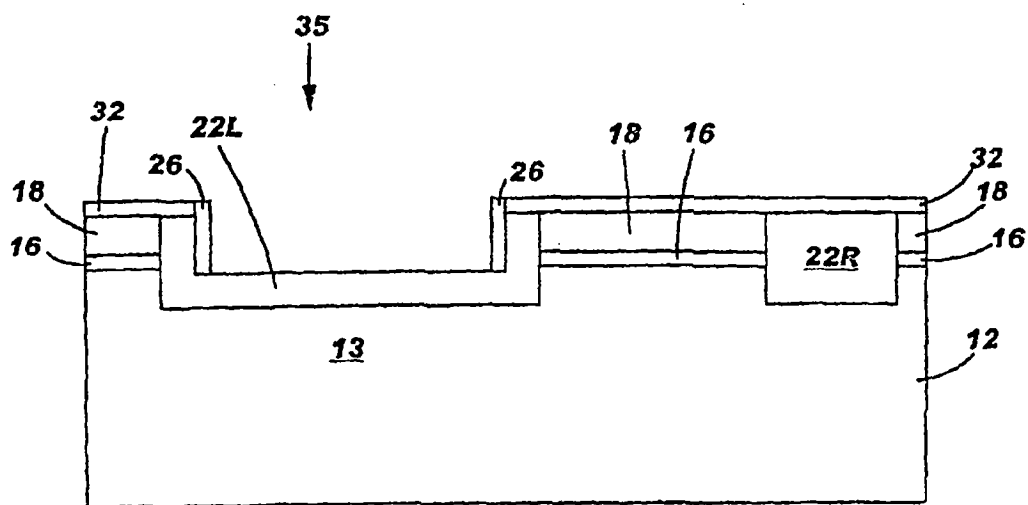


图 2C

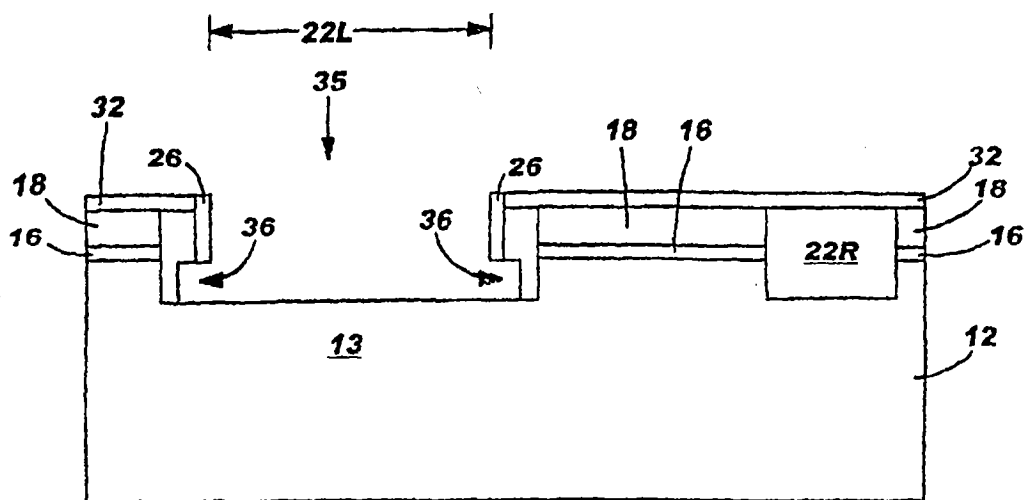


图 2D

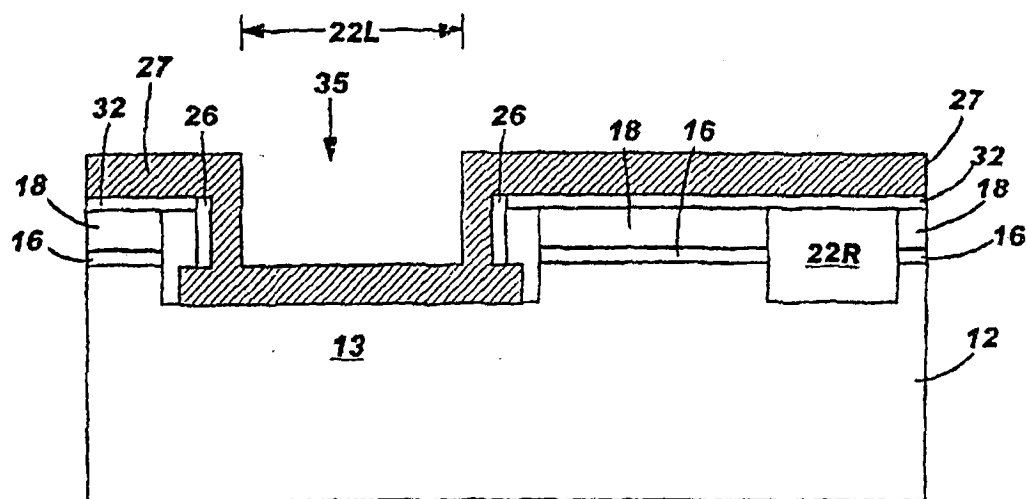


图 2E

