



등록특허 10-2121075



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월09일
(11) 등록번호 10-2121075
(24) 등록일자 2020년06월03일

- (51) 국제특허분류(Int. Cl.)
H03K 17/687 (2006.01) *H04B 1/44* (2006.01)
(21) 출원번호 10-2014-0014962
(22) 출원일자 2014년02월10일
 심사청구일자 2019년02월07일
(65) 공개번호 10-2014-0101692
(43) 공개일자 2014년08월20일
(30) 우선권주장
 13/764,655 2013년02월11일 미국(US)
(56) 선행기술조사문헌
 JP08275406 X2*
 (뒷면에 계속)

- (73) 특허권자
 트리퀀트 세미컨덕터 인코퍼레이티드
 미국 오리건주 (우편번호: 97124) 힐스보로 노스
 이스트 브룩크우드 파크웨이 2300
(72) 발명자
 클라우센 월리엄 제이
 미국 오레곤주 97124 힐스보로 노스이스트 브룩우
 드 파크웨이 2300
 푸리노 제임스 피 주니어
 미국 오레곤주 97124 힐스보로 노스이스트 브룩우
 드 파크웨이 2300
(74) 대리인
 제일특허법인(유)

전체 청구항 수 : 총 20 항

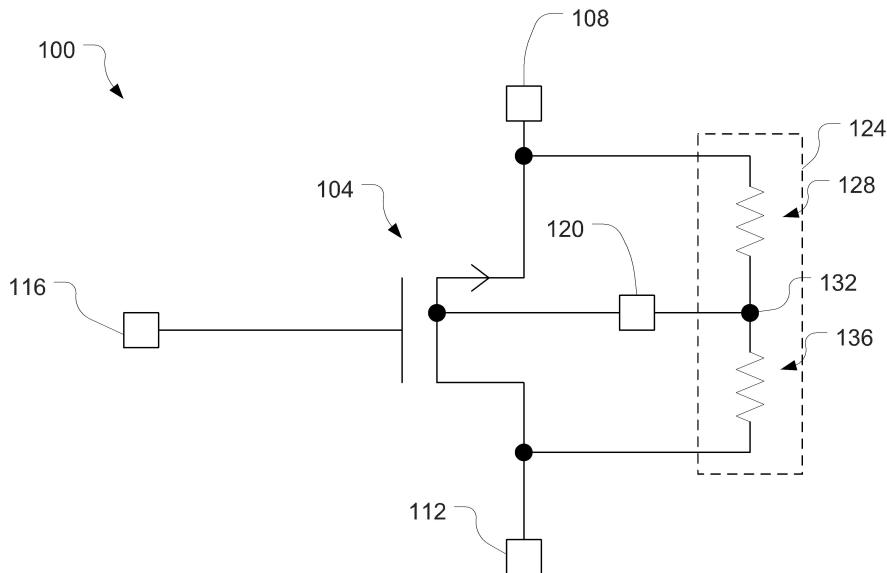
심사관 : 나병윤

(54) 발명의 명칭 바디-바이어스 스위칭 장치

(57) 요 약

실시예는 하나 이상의 전계-효과 트랜지스터(FET)를 포함하는 스위칭 장치를 제공한다. 실시예에서, 바디-바이어스 회로는 스위치 전계-효과 트랜지스터에 인가된 라디오 주파수 신호에 기초하여 바이어스 전압을 유도하고, 바이어스 전압을 스위치 전계-효과 트랜지스터의 바디 단자에 인가할 수 있다.

대 표 도



(56) 선행기술조사문현

JP2005136630 A*

JP2012070181 A*

JP2010212801 A

US20110260774 A1

US20120086499 A1

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

RF(radio-frequency) 신호들을 스위칭하도록 구성된 회로로서,
소스 단자, 게이트 단자, 드레인 단자, 및 바디 단자를 포함하는 전계-효과 트랜지스터("FET")와,
상기 소스 단자, 상기 드레인 단자 및 상기 바디 단자와 연결된 바디-바이어스 회로를 포함하고,
상기 바디-바이어스 회로는, 상기 소스 단자와 상기 바디 단자 사이에 연결된 제 1 회로 요소 및 상기 드레인
단자와 상기 바디 단자 사이에 연결된 제 2 회로 요소를 구비하고,
상기 제 1 회로 요소 및 상기 제 2 회로 요소는

상기 제 1 회로 요소 및 상기 제 2 회로 요소를 통해 상기 FET에 인가된 RF 신호로부터의 에너지에 기
초하여 네거티브 바이어스 전압을 유도하고,

상기 FET가 오프 상태에 있을 때, 상기 네거티브 바이어스 전압을 상기 바디 단자에 제공하도록 구성되
는

RF 신호 스위칭 회로.

청구항 2

제 1 항에 있어서,
서로 직렬로 연결된, 상기 FET를 포함하는 복수의 FET들을 더 포함하는
RF 신호 스위칭 회로.

청구항 3

제 1 항에 있어서,
상기 FET는 n-형 FET인
RF 신호 스위칭 회로.

청구항 4

제 1 항에 있어서,
상기 바디-바이어스 회로는 상기 소스 단자, 상기 드레인 단자, 및 상기 바디 단자에만 연결되는
RF 신호 스위칭 회로.

청구항 5

제 1 항에 있어서,
상기 회로는 SOI(silicon-on-insulator) 회로를 포함하는

RF 신호 스위칭 회로.

청구항 6

제 1 항에 있어서,

상기 FET는 제 1 FET이고, 상기 바디-바이어스 회로는,

상기 바디 단자와 연결된 노드를 포함하고,

상기 제 1 회로 요소는

상기 제 1 FET의 소스 단자와 연결된 소스 단자, 및

상기 노드와 연결된 드레인 단자를 갖는 제 2 FET

를 포함하고,

상기 제 2 회로 요소는

상기 노드와 연결된 드레인 단자, 및

상기 제 1 FET의 드레인 단자와 연결된 소스 단자를 갖는 제 3 FET

를 포함하는

RF 신호 스위칭 회로.

청구항 7

제 6 항에 있어서,

상기 제 2 FET는 상기 제 1 FET의 드레인 단자와 연결된 게이트 단자를 더 포함하고,

상기 제 3 FET는 상기 제 1 FET의 소스 단자와 연결된 게이트 단자를 더 포함하는

RF 신호 스위칭 회로.

청구항 8

제 6 항에 있어서,

상기 제 1 FET 및 상기 제 2 FET는 다이오드-접속 FET들이고,

상기 제 2 FET는 상기 노드와 연결된 게이트 단자를 더 포함하고,

상기 제 3 FET는 상기 노드와 연결된 게이트 단자를 더 포함하는

RF 신호 스위칭 회로.

청구항 9

제 1 항에 있어서,

상기 바디-바이어스 회로는, 상기 바디 단자와 연결된 노드를 포함하고,

상기 제 1 회로 요소는 상기 소스 단자 및 상기 노드와 연결된 제 1 다이오드를 포함하며,

상기 제 2 회로 요소는 상기 드레인 단자 및 상기 노드와 연결된 제 2 다이오드를 포함하는

RF 신호 스위칭 회로.

청구항 10

제 9 항에 있어서,

상기 제 1 다이오드는 상기 소스 단자와 연결된 캐소드 단자 및 상기 노드와 연결된 애노드 단자를 포함하고,

상기 제 2 다이오드는 상기 드레인 단자와 연결된 캐소드 단자 및 상기 노드와 연결된 애노드 단자를 포함하는

RF 신호 스위칭 회로.

청구항 11

제 1 항에 있어서,

상기 바디-바이어스 회로는 상기 RF 신호를 정류하도록 구성됨으로써 상기 네거티브 바이어스 전압을 유도하도록 구성된

RF 신호 스위칭 회로.

청구항 12

트랜시버와,

안테나와,

상기 트랜시버 및 상기 안테나와 연결되고, 상기 트랜시버와 상기 안테나 사이에서 신호들을 통신하도록 구성된 라디오 주파수(RF) 프론트-엔드를 포함하고,

상기 RF 프론트-엔드는 실리콘-온-인슐레이터 스위칭 장치를 포함하고, 상기 실리콘-온-인슐레이터 스위칭 장치는,

복수의 스위치 FET들(field-effect transistors)을 오프 상태 또는 온 상태로 설정하도록 구성된 디코더와,

상기 복수의 FET들 중 전계-효과 트랜지스터(FET) 및 바디-바이어스 회로를 갖는 셀

을 갖고,

상기 바디-바이어스 회로는, 상기 FET가 오프-상태에 있을 때, 네거티브 전압을 상기 FET의 바디에 제공하는 제 1 회로 요소 및 제 2 회로 요소를 포함하고,

상기 네거티브 전압은 상기 제 1 회로 요소 및 상기 제 2 회로 요소를 통해서 상기 FET에 인가된 RF 신호로부터의 에너지로부터 유도되는

무선 통신 장치.

청구항 13

제 12 항에 있어서,

상기 FET는 제 1 FET이고,

상기 바디-바이어스 회로는, 상기 제 1 FET의 바디 단자와 연결된 노드를 포함하고,

상기 제 1 회로 요소는, 상기 제 1 FET의 소스 단자와 연결된 소스 단자, 및 상기 노드와 연결된 드레인 단자를 갖는 제 2 FET를 포함하고,

상기 제 2 회로 요소는, 상기 노드와 연결된 드레인 단자, 및 상기 제 1 FET의 드레인 단자와 연결된 소스 단자를 갖는 제 3 FET를 포함하는
무선 통신 장치.

청구항 14

제 13 항에 있어서,
상기 제 2 FET는 상기 제 1 FET의 드레인 단자와 연결된 게이트 단자를 더 포함하고,
상기 제 3 FET는 상기 제 1 FET의 소스 단자와 연결된 게이트 단자를 더 포함하는
무선 통신 장치.

청구항 15

RF(radio-frequency) 신호들을 스위칭하는 방법으로서,
디코더 회로를 통해, 스위치 FET(field-effect transistor)를 오프 상태에 있도록 제어하는 단계와,
바디-바이어스 회로를 통해, 상기 스위치 FET가 상기 오프 상태에 있는 동안에, 상기 바디-바이어스 회로의 제 1 회로 요소 및 제 2 회로 요소를 통해서 상기 스위치 FET에 인가된 RF 신호로부터의 에너지에 기초하여 네거티브 바이어스 전압을 유도하는 단계와,
상기 바디-바이어스 회로에 의해, 상기 스위치 FET가 상기 오프 상태에 있는 동안에, 상기 네거티브 바이어스 전압을 상기 스위치 FET의 바디에 제공하는 단계
를 포함하는 방법.

청구항 16

제 15 항에 있어서,
상기 네거티브 바이어스 전압을 유도하는 단계는,
상기 스위치 FET에 인가된 상기 RF 신호를 정류하는 단계를 포함하는
방법.

청구항 17

RF(radio-frequency) 신호들을 스위칭하도록 구성된 회로로서,
소스 단자, 게이트 단자, 드레인 단자, 및 바디 단자를 포함하는 FET(field-effect transistor)와,
바디-바이어스 회로를 포함하고, 상기 바디-바이어스 회로는,
상기 바디 단자와 연결된 노드와,
상기 드레인 단자 및 상기 노드와 연결된 제 1 저항기와,
상기 소스 단자 및 상기 노드와 연결된 제 2 저항기를 갖고,
상기 바디-바이어스 회로는,
상기 제 1 회로 요소 및 상기 제 2 회로 요소를 통해서 상기 FET에 인가된 RF 신호로부터의 에너지에 기초하여 바이어스 전압을 유도하고,

상기 바이어스 전압을 상기 바디 단자에 제공하도록 구성되는
RF 신호 스위칭 회로.

청구항 18

제 17 항에 있어서,
상기 제 1 저항기 및 상기 제 2 저항기는 동일한 크기를 갖는
RF 신호 스위칭 회로.

청구항 19

제 17 항에 있어서,
상기 바디-바이어스 회로는 제로 볼트의 DC 전압으로서 바이어스 전압을 제공하도록 구성되는
RF 신호 스위칭 회로.

청구항 20

제 17 항에 있어서,
상기 FET의 게이트 단자는 디코더와 연결되고,
상기 FET의 드레인 단자는 상기 디코더와 연결되지 않는
RF 신호 스위칭 회로.

발명의 설명

기술 분야

[0001] 본 개시내용의 실시예들은 일반적으로 회로의 분야에 관한 것이며, 더 상세하게, 전계-효과 트랜지스터(FET)를 활용하는 바디-바이어스 스위칭 장치(body-biased switching device)에 관한 것이다.

배경 기술

[0002] SOI(silicon-on-insulator) 스위칭 장치에서, 네거티브 바디 바이어스 접속은 오프-모드 동작 동안에 플로팅 바디 효과(floating body effect)를 완화하는데 사용된다. 본 설계는 네거티브 전압을 바디에 직접적으로 공급하기 위한 차지 펌프(charge pump)의 사용을 요구한다. 그러한 설계를 채용하는데 사용되는 회로 요소는 기판 잡음 커플링, 디코더 회로에 대한 증가된 수의 제어 라인들, (이용 가능한 라우팅 경로들의 제한으로 인한) RF(radio frequency) 스위치 코어에 진입하는 스퍼리어스 신호(spurious signal) 및 더 큰 다이 크기와 연관될 수 있다.

도면의 간단한 설명

[0003] 실시예들이 예를 통해 도시되며, 또한 유사한 참조번호들이 유사한 요소들을 나타내는 첨부 도면들의 도면에서의 내용으로 제한되지는 않는다.

도 1은 일부 실시예에 따른 단위 셀을 예시한다.

도 2는 일부 실시예에 따른 스위치 트랜지스터의 도식을 예시한다.

도 3은 다른 실시예에 따른 단위 셀을 예시한다.

도 4(a) 및 도 4(b)는 일부 실시예에 따른, 시간에 걸친 전압의 그래프를 예시한다.

도 5는 다른 실시예에 따른 단위 셀을 예시한다.

도 6은 다른 실시예에 따른 단위 셀을 예시한다.

도 7은 일부 실시예에 따른 동작 방법의 흐름도를 예시한다.

도 8은 일부 실시예에 따른 스위칭 장치를 예시한다.

도 9는 일부 실시예에 따른 무선 통신 장치를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0004]

예시적인 실시예들의 다양한 양상들이, 그 작업의 본질을 본 기술 분야의 당업자에게 전달하기 위해, 본 기술 분야의 당업자에 의해 일반적으로 이용되는 용어들을 이용하여 기술될 것이다. 그러나, 본 기술 분야의 당업자라면, 기술된 양상들 중 단지 일부만을 갖는 대안적인 실시예들이 실시될 수 있음을 명확하게 이해할 것이다. 설명을 위한 목적으로, 예시적인 실시예들에 대한 완전한 이해를 제공하기 위해, 특정의 장치들 및 구성들이 개시된다. 그러나, 본 기술 분야의 당업자라면, 특정한 세부사항들 없이도 대안적인 실시예들이 실시될 수 있음을 명확하게 이해할 것이다. 다른 경우, 예시적인 실시예들을 불명료하게 하지 않도록, 잘 알려진 특징들은 생략되거나 또는 간략화된다.

[0005]

또한, 본 개시내용을 이해하는데 가장 도움이 되는 방식으로, 다양한 동작들이 다수의 개별적인 동작들로서 설명될 것이지만, 설명의 순서는 그러한 동작들이 반드시 순서에 의존적임을 나타내는 것으로 해석되어서는 안 된다. 특히, 그러한 동작들은 제시된 순서로 수행될 필요는 없다.

[0006]

"일 실시예에서"라는 문구가 반복적으로 이용된다. 일반적으로, 이러한 문구는 동일한 실시예를 의미하지는 않지만, 그럴 수도 있다. "포함하는", "갖는" 및 "구비하는"이라는 용어들은, 그 문맥이 다르게 나타내지 않는 한, 동의어이다.

[0007]

본 명세서에서, "연결된"이라는 용어 및 그 파생어가 이용될 수 있다. "연결된"이라는 것은 아래의 내용 중 하나 이상을 의미할 수 있다. "연결된"이라는 것은 둘 이상의 요소들의 직접적인 물리적 또는 전기적 접촉 상태를 의미할 수 있다. 그러나, "연결된"이라는 것은 둘 이상의 요소들이 서로 간접적으로 접촉하지만, 여전히 서로간에 함께 동작하거나 또는 상호작용하는 것을 의미할 수도 있으며, 하나 이상의 다른 요소들이, 서로 연결된 것으로 말할 수 있는 요소들 사이에 연결되거나 또는 접속됨을 의미할 수 있다.

[0008]

실시예는 FET(field effect transistor)를 포함하는 스위칭 장치에서 채용되는 회로를 포함할 수 있다. FET는 각각의 단자들이 서로와 연결되는 바디, 소스, 드레인 및 게이트를 포함할 수 있다. 스위칭 장치는 SOI(silicon-on-insulator) 스위칭 장치일 수 있다. 회로는, 한 쌍의 회로 요소들을 포함하고 FET에 인가된 RF(radio frequency) 신호에 기초하여 바이어스 전압을 유도하고 FET가 오프일 때 FET의 바디 단자에 바이어스 전압을 제공하도록 구성된 바디-바이어스 회로를 또한 포함할 수 있다. 일부 실시예에서, 유도된 바이어스 전압은 네거티브 바이어스 전압일 수 있다. 다양한 실시예는 도면을 참조하여 아래에 더 상세히 기재될 것이다.

[0009]

도 1은 다양한 실시예에 따른 회로(100)를 예시한다. 회로(100)는 또한 단위 셀(100), 또는 간단히 셀(100)로서 지칭될 수 있다. 셀(100)은, 스위치 FET(104)로서 또한 지칭될 수 있는 FET(104)를 포함할 수 있다. FET(104)는 n-형 전계 효과 트랜지스터(nFET)일 수 있거나, 일반적으로 이로서 도시된다. FET(104)는, 도 2를 참조하여 아래에 기재된 바와 같이, FET의 각각의 드레인, 소스, 게이트 및 바디와 연결되는 소스 단자(108), 드레인 단자(112), 게이트 단자(116) 및 바디 단자(120)를 포함할 수 있다.

[0010]

셀(100)은 바디-바이어스 회로(124)를 더 포함할 수 있다. 바디-바이어스 회로(124)는 FET(104)의 소스 단자(108), 드레인 단자(112) 및 바디 단자(120)와 연결될 수 있다. 바디-바이어스 회로(124)는 아래에 기재될 바와 같이 적절한 바이어스 전압을 FET(104)의 베이스에 제공하는데 사용될 수 있다. 다양한 실시예에서, 바디-바이어스 회로(124)는 단지 FET(104)의 3 개의 단자들과 연결될 것이다. 즉, 어떠한 외부 접속 또는 제어 라인들도 바이어스-제어 회로(124)와 연결될 필요가 없다.

[0011]

바디-바이어스 회로(124)는 제 1 저항기(128), 노드(132) 및 제 2 저항기(136)를 포함할 수 있다. 제 1 저항기(128)는 소스 단자(108) 및 노드(132)와 연결되고 이들 사이에 연결될 수 있다. 제 2 저항기(136)는 드레인 단

자(112) 및 노드(132)와 연결되고 이들 사이에 연결될 수 있다. 노드(132)는 바디 단자(120)와 연결될 수 있다. 저항기들(128, 136)은 동일한 크기를 가질 수 있다.

[0012] FET(104)는 인핸스먼트 모드(enhancement mode) 또는 공핍 모드(depletion mode) FET일 수 있다. 일부 실시예에서, FET(104)는 MOSFET(metal-oxide-semiconductor FET)일 수 있고, 한편 다른 실시예에서, FET(104)는 IGFET(insulated-gate FET) 또는 MISFET(metal-insulator-semiconductor FET)로서 지칭될 수 있다.

[0013] 다양한 실시예는 FET(104)의 바디의 전압을 바이어싱하는데 있어서 사용될 바디-바이어싱 방식을 제공한다. 바이어싱 방식은 본원에서 nFET를 참조하여 논의된다. 그러나, 다른 실시예에서, 바이어싱 방식은 p형 FET과 같은 다른 형태의 FET에서 사용될 수 있다.

[0014] 다양한 실시예에서, FET(104)는 이후에 RF(radio frequency) 신호로서 지칭되는 전송 신호의 스위칭을 용이하게 하기 위해 오프 상태 및 온 상태 사이에서 선택적으로 전환할 수 있다. 예를 들면, FET(104)는, FET(104)가 온 상태에 있는 경우에 소스 단자(108)와 드레인 단자(112) 사이에서 RF 신호를 통과시킬 수 있고, FET(104)가 오프 상태에 있는 경우에, FET(104)는 드레인 단자(112) 및 소스 단자(108) 사이의 RF 신호의 통과를 방지할 수 있다.

[0015] FET(104)는 오프 상태 및 온 상태 사이에서 FET(104)를 전환하기 위한 제어 신호를 게이트 단자(116)에서 수신 할 수 있다. 예를 들면, 드레인 단자(112) 및 소스 단자(108)의 DC 전압에 관련하여 + 2.5 V의 DC 전압 – 게이트-소스 전압으로서 또한 지정됨 – 이 게이트 단자(116)에 인가될 수 있다. 일부 실시예에서, 전압은 디코더(도 1에 도시되지 않음)에 의해 인가될 수 있다. + 2.5 V는, RF 신호가 드레인 단자(112) 및 소스 단자(108) 사이에서 통과할 수 있도록 드레인 단자(112) 및 소스 단자(108) 사이의 저항이 매우 낮게 되게 함으로써 FET(104)를 온 상태로 설정하는 효과를 가질 수 있다.

[0016] 포지티브 게이트-소스 전압의 인가는, FET(104)가 SOI 스위칭 장치에 포함될 때 일반적으로 도 2에 도시된 바와 같은 부분들을 포함할 수 있기 때문에, RF 신호가 FET를 통해 흐르도록 허용할 수 있다. FET(104)는 드레인 단자(112)에 접속된 드레인(200), 소스 단자(108)에 접속된 소스(204), 및 게이트 단자(116)에 접속된 게이트(208)로 구성될 수 있다. 실시예에서, 드레인(200), 소스(204), 및 게이트(208) 모두는 금속 또는 도전성 금속, 예를 들면, 알루미늄 또는 구리로 구성될 수 있다. 실시예에서, 드레인(200), 소스(204) 및 게이트(208)는 동일한 물질 또는 상이한 물질로 구성될 수 있다.

[0017] FET(104)는 바디 단자(120)에 접속된 바디(212)를 더 포함할 수 있다. FET(104)는, 아래에 추가로 기재될 바와 같이, 드레인(200)과 바디(212) 사이에 위치된 n-형 드레인 부분(220), 및 소스(204)와 바디(212) 사이에 위치된 n-형 소스 부분(228)을 더 포함할 수 있다.

[0018] 본원에 사용된 바와 같이, 단자는, FET(104)가 회로 내의 다른 요소에 접속하는 FET(104)의 요소이다. 드레인(200) 및 드레인 단자(112)가 동일한 요소인 것으로 간주될 수 있는 일부 실시예에서, 예를 들면, FET(104)는 드레인(200) 및 회로 내의 요소 사이의 직접적인 접속을 통해 회로 내의 다른 요소에 접속할 수 있다. 다른 실시예에서, 드레인 단자(112)는, 드레인(200)과 전기적으로 연결되는 단자, 예를 들면, 도전성 리드(conductive lead)일 수 있다. 예를 들면, 이러한 다른 실시예에서, FET(104)는, 구리 또는 다른 도전성 리드와 같은 금속성 리드일 수 있고, 결국 드레인(200)과 연결될 수 있는 드레인 단자(112)를 통해 회로 내의 다른 요소와 접속할 수 있다. 마찬가지로, 소스(204) 및 소스 단자(108)는, 드레인(200) 및 드레인 단자(112)에 관련하여 상술된 바와 같이, 서로 동일할 수 있거나 서로와 전기적으로 연결될 수 있다. 마찬가지로, 게이트(208) 및 게이트 단자(116)는 서로 동일하거나 서로와 전기적으로 연결될 수 있다. 마지막으로, 바디(212) 및 바디 단자(120)는 서로 동일하거나 서로와 연결될 수 있다. 본원에 사용된 바와 같이, 요소들에 주어진 명칭들은 다른 요소로부터 FET(104)의 하나의 요소를 구별하는 것을 목적으로 하며, 상이한 실시예는 상이한 명칭을 사용할 수 있고, 예를 들면, n-형 드레인 부분(220)을 드레인이라 칭하거나 n-형 소스 부분(228)을 FET(104)의 소스라 칭한다.

[0019] FET(104)의 사용의 예로서, DC 전압은 게이트 단자(116)에 인가되는 것으로 논의될 것이며, 이것은 결국 게이트(208)로 하여금 특정 전압을 획득하게 할 수 있다. 그러나, 일부 실시예에서, DC 전압이 게이트(208)에 직접적으로 인가될 수 있다. 또 다른 예로서, RF 신호는 소스(204) 또는 소스 단자(108)(또는 드레인(200) 또는 드레인 단자(112)) 중 어느 하나에서 수신되고, FET(104)가 온 상태에 있을 때 FET(104)를 통해 드레인(200) 또는 드레인 단자(112)(또는 소스(204) 또는 소스 단자(108))로 전달될 수 있다.

[0020] 바디(212)는 p-형 물질, 예를 들면, 보론 또는 알루미늄과 같은 그룹 III 원소들로 도핑된 실리콘 또는 게르마늄과 같은 그룹 IV 원소로 구성될 수 있다. n-형 드레인 및 소스 부분들(220, 228)은 비소 또는 인

(phosphorous)과 같은 그룹 V 원소로 도핑된 실리콘 또는 게르마늄과 같은 그룹 IV 원소로 구성될 수 있다. n-형 드레인 및 소스 부분들(220, 228)은 바디(212)에 의해 서로로부터 분리될 수 있다. 일반적으로, p-형 물질은 전자가 없고, 정공들(electron holes)을 갖는 것으로 말하여 진다. n-형 물질은 n-형 물질 내의 또는 외부의 전류로서 이동할 수 있는 여분의 전자를 갖고, 따라서 이동성 전자(mobile electron)를 갖는 것으로 말하여 질 수 있다.

[0021] 위에서 유의된 바와 같이, FET(104)의 게이트(208)는 구리 또는 알루미늄과 같은 도전성 금속으로 구성될 수 있다. 다른 실시예에서, 게이트(208)는 탄탈륨, 텅스텐 또는 탄탈륨 질화물로 구성될 수 있다. 다른 실시예에서, FET(104)의 게이트(208)는 폴리실리콘 물질로 구성될 수 있다. 드레인(200), 소스(204), 게이트(208) 및 바디(212) 모두는 유전체(224), 예를 들면, 실리콘 이산화물, 실리콘 산질화물, 또는 드레인(200)과 소스(204) 사이의 전자의 흐름을 방지하는 몇몇의 다른 하이-k 유전체에 의해 서로로부터 분리될 수 있다.

[0022] FET(104)를 턴 온하기 위해, 정전기장(electrostatic field)이 게이트(208) 및 FET(104)의 나머지 사이에서 생성될 수 있다. 이것은 포지티브 전압, 예를 들면, 2.5 V를 게이트(208)에 인가하는 디코더에 의해 이루어질 수 있다. 드레인(200) 및 소스(204)는, 예를 들면, 0 V의 DC-바이어스 전압을 가질 수 있다. 바디(212)는, 낮은 변조 전력 레벨이 FET(104)를 통해 전송되는 RF 신호에 의해 제공되는 경우에, 플로팅(float)하여, 예를 들면, 대략 0 V의 DC-바이어스 전압을 발생시킬 수 있다.

[0023] 포지티브 게이트-소스 전압은, 바디(212)의 p-형 물질에서 자유 전자를 끌어당기면서 바디(212)의 p-형 물질에서 정공을 밀어낼 수 있다. 동시에, 포지티브-게이트-소스 전압은 n-형 드레인 및 소스 부분들(220, 228)에서 이동성 전자를 끌어당길 수 있다. 게이트(208)의 포지티브 전압이 드레인(200) 및 소스(204)의 DC 전압, 임계 전압으로서 알려진 전압과 비교하여 충분히 높게 될 때, 바디(212)의 p-형 물질 내의 반발(repulsion), 및 바디(212) 내의 자유 전자 및 n-형 드레인 및 소스 부분들(220, 228) 내의 이동성 전자의 인력은 전기 채널을 생성할 수 있다. 전기 채널은 때때로 역전층(inversion layer)이라 불리고, n-형 드레인과 소스 부분들(220, 228) 사이 및 유전체(224) 바로 아래에 존재할 수 있다. 다시 말해서, n-형 드레인 및 소스 부분들(220, 228) 사이의 전기 채널은 직접적으로 바디(212) 및 유전체(224) 사이에 존재할 수 있다. 일부 실시예에서, 게이트(208)에 인가된 전압을 증가시키는 것은 정전기장의 크기를 증가시킬 수 있다. 정전기장의 증가는 전기 채널의 크기, 및 따라서 드레인(220)과 소스(204) 사이에서 통과될 수 있는 전류의 양을 증가시킬 수 있다.

[0024] FET(104)를 턴 오프하기 위해, 디코더는 -2.5 V의 전압을 게이트(208)에 인가할 수 있다. 드레인(200) 및 소스(204)는 0 V에서 바이어싱된 DC 상태에 있을 수 있다. 그러나, 바디(212)는 제 1 저항기(128) 및 제 2 저항기(136)를 통한 RF 신호로부터의 에너지로 변조될 수 있다. 대략 0 V일 수 있는 바디-바이어스 전압의 이러한 제공은 RF 신호로부터 유도된 바이어싱 전압에 의해 전체적으로 이루어질 수 있고, 디코더로부터의 여분의 제어라인을 요구하지 않는다.

[0025] 도 3은 다양한 실시예에 따른 셀(300)을 예시한다. 셀(300)은 실질적으로 상호 교환 가능한 동일한 명칭의 요소들을 갖는 셀(100)과 유사할 수 있다.

[0026] 셀(300)은 소스 단자(308), 드레인 단자(312), 및 게이트 단자(316)를 갖는 스위치 FET(304)를 포함할 수 있다. 셀(300)은, 제 1 바이어싱 FET(328), 바디 단자(320)와 연결된 노드(332), 및 제 2 바이어싱 FET(336)를 포함하는 바디-바이어스 회로(324)를 더 포함할 수 있다. 바이어싱 FET들(328, 336)은 기재된 바와 같이 일반적으로 nFET들로서 지정될 수 있다. 그러나, 다른 실시예는 pFET들과 같은 다른 형태의 FET를 활용할 수 있다.

[0027] 제 1 바이어싱 FET(328)는 소스 단자(308)와 연결된 소스 단자(340), 노드(332)와 연결된 드레인 단자(344), 및 드레인 단자(312)와 연결된 게이트 단자(348)를 포함할 수 있다. 제 2 바이어싱 FET(336)는 노드(332)와 연결된 드레인 단자(352), 드레인 단자(312)와 연결된 소스 단자(356), 및 소스 단자(308)와 연결된 게이트 단자(360)를 포함할 수 있다.

[0028] 스위치 FET(304)가 오프 상태에 있을 때, 바디 바이어스 회로(324)는 스위치 FET(304)에 인가되는 RF 신호에 기초하여 바디를 바이어싱하기 위한 네거티브 전압을 생성할 수 있다. 이것은 도시된 바와 같이 스위치 FET(304)의 반대 소스 및 드레인 단자들과 바이어싱 FET들(328, 336)의 게이트들의 결속(tying)의 결과로서 이루어질 수 있다. 바이어싱 FET들(328, 336)을 이러한 방식으로 구성하는 것은 RF 신호의 포지티브 전압을 제한 또는 고정시키고 RF 신호의 네거티브 전압을 증폭시키는 역할을 할 수 있어서, 바디 단자(320)에 인가된 네거티브 바이어스 전압을 발생시킨다. 이것은, 시간 및 전압의 함수로서 상이한 전력 레벨들에서 다수의 RF 신호들을 나타내는 도 4의 도표에서 볼 수 있다. 특히, 도 4(a)는 시간에 걸쳐 스위치 FET(304)에 인가된 RF 신호들의 전압들을 나

타내고, 도 4(b)는 시간에 걸쳐 바디-바이어스 회로(324)에 의해 스위치 FET(304)의 바디에 인가되는 대응하는 전압들을 나타낸다.

[0029] 셀(300)에 의해 이루어진 바와 같이 네거티브 전압을 바디에 인가하는 것은 셀(300)의 성능을 개선할 수 있다. 이것은 네거티브 게이트-소스 전압과 관련하여 네거티브 소스-바디 전압으로 인한 것일 수 있으며, 드레인 단자(312)와 소스 단자(308) 사이에 높은 저항을 제공하는 네거티브 정전기장을 생성한다. 이것은, 동시에 p-형 바디 내의 정공을 끌어당기고 n-형 드레인 및 소스 부분들 내의 이동성 전자들을 밀어내고, 이로써 소스와 드레인 사이의 전자의 이동을 억제하는 네거티브 정전기장으로 인한 것이다. pFET가 nFET 대신에 사용되는 다른 실시예에서, 바디는 n-형 물질일 수 있고, 드레인 및 소스 부분들은 p-형 물질일 수 있다.

[0030] 네거티브 정전기장을 제공하는 것은, 상술된 바와 같이, 스위치 FET(304)의 소스와 드레인 사이의 채널을 완전히 공핍시킬 수 있다. 이것은, 스위치 FET(304)가 오프 상태에 있고 부분 공핍형 채널만을 가질 때 발생할 수 있는 큰 RF 신호들의 변조 효과를 제한할 수 있다. 채널이 단지 부분적으로 공핍되면, 스위치 FET(304)는 NPN 접합의 P 섹션으로서 기능하는 부분 공핍형 채널의 부분을 갖는 측면 기생 바이폴라 접합 트랜지스터(lateral parasitic bipolar junction transistor)로서 역할을 할 것이다.

[0031] 도 5는 다양한 실시예에 따른 셀(500)을 예시한다. 셀(500)은 실질적으로 상호 교환 가능한 동일한 명칭의 요소들을 갖는 셀들(100 또는 300)과 유사할 수 있다.

[0032] 셀(500)은 소스 단자(508), 드레인 단자(512), 게이트 단자(516), 및 바디 단자(520)를 갖는 FET(504)를 포함할 수 있다. 셀(500)은 제 1 바이어싱 다이오드(528), 바디 단자(520)와 연결된 노드(532), 및 제 2 바이어싱 다이오드(536)를 포함하는 바디-바이어스 회로(524)를 더 포함할 수 있다.

[0033] 제 1 바이어싱 다이오드(528)는 소스 단자(508)와 연결된 다이오드 단자(540), 및 노드(532)와 연결된 캐소드 단자(544)를 포함할 수 있다. 제 2 바이어싱 다이오드(536)는 노드(532)와 연결된 애노드 단자(548), 및 드레인 단자(512)와 연결된 캐소드 단자(552)를 포함할 수 있다.

[0034] FET(504)가 온 상태에 있을 때, 바이어싱 다이오드들(528, 536)은 도통하지 않을 것이고, 바디는 플로팅 할 것이다. 바디는 플로팅 할 때 일반적으로 약 0 V에 머무를 수 있다. FET(504)가 오프 상태에 있을 때, 바이어싱 다이오드들(528, 536)은 스위치 FET(504)의 바디를 플로팅으로부터 평균 네거티브 전압으로 구동시키기 위해 RF 신호를 DC 신호로 정류할 수 있고, 평균 네거티브 전압은 스위치 FET(504)에 걸친 RF 신호의 피크 전압에 의존한다. 바디에 인가된 전압의 파형들은 도 4b에 도시된 것들과 유사할 수 있다.

[0035] 도 6은 다양한 실시예에 따른 셀(600)을 예시한다. 셀(600)은 실질적으로 상호 교환 가능한 동일한 명칭의 요소들을 갖는 셀들(100, 300 또는 500)과 유사할 수 있다.

[0036] 셀(600)은 소스 단자(608), 드레인 단자(612), 게이트 단자(616) 및 바디 단자(620)를 갖는, 스위치 FET(604)로서 또한 지정되는 FET(604)를 포함할 수 있다. 셀(600)은 제 1 바이어싱 FET(628), 바디 단자(620)와 연결된 노드(632), 및 제 2 바이어싱 FET(636)를 포함하는 바디-바이어스 회로(624)를 더 포함할 수 있다. 다른 실시예가 다른 형태의 pFET와 같은 FET를 사용할 수 있지만, 바이어싱 FET들(628, 636)은 nFET들일 수 있다.

[0037] 제 1 바이어싱 FET(628)는 소스 단자(608)와 연결된 소스 단자(640), 노드(632)와 연결된 드레인 단자(644), 및 노드(632)와 연결된 게이트 단자(648)를 포함할 수 있다. 제 2 바이어싱 FET(636)는 노드(632)와 연결된 드레인 단자(652), 드레인 단자(612)와 연결된 소스 단자(656), 및 노드(632)와 연결된 게이트 단자(660)를 포함할 수 있다. 이러한 방식으로, 바이어싱 FET들(628, 636)은 스위치 FET(604)의 드레인 및 소스 사이에 배치된 다이오드-접속 FET들일 수 있고, 바디-바이어스 회로(624)의 중심점은 스위치 FET(604)의 바디와 연결된다.

[0038] 다이오드-접속 FET들(628, 636)은 도 5에 관련하여 위에서 논의된 바이어싱 다이오드들과 유사하게 동작할 수 있다. 그러나, 다이오드-접속 FET는 바이어싱 다이오드의 턴-온 전압보다, 예를 들면, 0.2 또는 0.3 V만큼 더 낮은 턴-온 전압을 가질 수 있다. 이것은 스위치 FET(604)가 오프 상태에 있을 때 바디에 인가되는 더 많은 네거티브 전압을 발생시킬 수 있다.

[0039] 도 7은 일부 실시예에 따른, 단위 셀, 예를 들면, 셀(100, 300, 500 또는 600)을 동작시키는 방법(700)의 흐름도를 도시한다.

[0040] 블록(704)에서, 방법(700)은 온 상태에 있는 스위치 FET를 제어하는 단계를 포함할 수 있다. 이것은, 예를 들면, 스위치 FET 상에 포지티브 게이트-소스 전압을 제공하는 디코더에 의해 이루어질 수 있다. 방법(700)은, 블록(704)에서, 스위치 FET의 바디가 플로팅하도록 허용하는 단계를 더 포함할 수 있고, 이것은 대략 0 V일 수

있다. 이것은, 예를 들면, 도 1, 도 3, 도 5 또는 도 6에 관련하여 도시 및 기재된 것들과 같은 스위치 FET의 드레인, 소스 및 바디 단자들에 관련하여 바디-바이어스 회로의 연결 구성에 의해 이루어질 수 있다.

[0041] 블록(708)에서, 방법(700)은 스위치 FET를 오프 상태에 있도록 제어하는 단계를 포함할 수 있다. 이것은, 예를 들면, 스위치 FET 상에 네거티브 게이트-소스 전압을 제공하는 디코더에 의해 이루어질 수 있다. 방법(700)은, 블록(708)에서, 바이어스 전압을 스위치 FET의 바디에 제공하는 단계를 더 포함할 수 있다. 상술된 바와 같이, 이것은 스위치 FET에 인가된 RF 신호로부터 바디-바이어스 전압을 유도하는 바디-바이어스 회로에 의해 이루어질 수 있다. 일부 실시예에서, 바디-바이어스 전압은 네거티브 바이어스 전압일 수 있다.

[0042] 도 8은 일부 실시예에 따른 스위치 장치(800)의 예를 도시한다. 스위치 장치(800)는 직렬 라인(808) 상에서 서로 직렬로 연결된 복수의 직렬 셀들(804)을 포함할 수 있다. 스위치 장치(800)는 분류 라인(shunt line)(816) 상에서 서로 직렬로 연결된 복수의 분류 셀들(812)을 더 포함할 수 있다. 위에서 유의된 바와 같이, 스위치 FET가 오프 상태에 있을 때, 소스 단자 및 드레인 단자 사이에 큰 저항이 생성되기 때문에, 도시된 바와 같이 많은 셀들을 직렬로 연결하는 것이 바람직할 수 있다. RF 신호의 전류가 매우 큰 경우에, 스위치 FET가 손상될 수 있다. 복수의 FET들을 직렬로 연결함으로써, 큰 RF 신호에 의해 생성된 부하가 분산될 수 있어서, 각각의 FET는 단지 부하의 일부분만을 감당한다. 이러한 방식으로, FET의 수명이 연장될 수 있다. 스위치 장치(800)의 개별적인 셀들은 셀들(100, 300, 500 또는 600)과 유사할 수 있다.

[0043] 스위치 장치(800)는 디코더(820)를 더 포함할 수 있다. 디코더(820)는 디코더 라인(824)(직렬 라인(808) 및 분류 라인(816)보다 더 경량의 라인으로 도시됨)을 통해 셀과 연결될 수 있다. 특히, 디코더 라인(824)이 각각의 셀의 게이트 단자에 제공될 수 있다. 직렬 셀(804) 및 분류 셀(812)의 바디-바이어스 회로가 적절한 바디 바이어스 전압을 유도하기 위해 RF 신호를 사용하면, 셀들은 그들의 바디 단자들과 연결된 디코더 라인을 필요로 하지 않는다. 제어 라인들의 이러한 감소는 더 작은 다이 크기, 더 적은 기판 잡음 커플링, 및 임의의 온-다이 차지 펌프 회로로부터 RF 스위치 코어에 진입하는 스펍리어스 신호의 감소를 발생시킬 수 있다.

[0044] 스위치 장치(800)가 온 상태에 있을 때, RF 신호를 입력으로부터 출력으로 전달하기 위해, 디코더(820)는 직렬 셀들(804) 각각을 온 상태로 설정할 수 있고, 분류 셀들(812) 각각을 오프 상태로 설정할 수 있다. 스위치 장치(800)가 오프 상태에 있을 때, 입력으로부터 출력으로 RF 신호의 전달을 방지하기 위해, 디코더(820)는 직렬 셀들(804) 각각을 오프 상태로 설정할 수 있고, 분류 셀들(812) 각각을 온 상태로 설정할 수 있다.

[0045] 일부 실시예에 따른 무선 통신 장치(900)가 도 9에 예시된다. 무선 통신 장치(900)는 하나 이상의 RF 스위치들(908)을 포함하는 RF 프론트 엔드(904)를 가질 수 있다. RF 스위치(908)는 스위치 장치(800)와 유사하고, 실질적으로 스위치 장치(800)와 교환 가능할 수 있다. RF 스위치(908)는, 이에 제한되지 않지만, 안테나 스위치 모듈, 분배 스위치, 전송기, 수신기 등과 같은 RF 프론트 엔드(904)의 다양한 요소들에 전개될 수 있다. RF 프론트 엔드(904)는, 이에 제한되지 않지만, 증폭기, 변환기, 필터 등과 같이 구체적으로 도시 또는 논의되지 않은 다른 요소들을 또한 포함할 수 있다.

[0046] RF 프론트 엔드(904) 이외에, 무선 통신 장치(900)는 적어도 도시된 바와 같이 서로 연결된 안테나 구조(916), 트랜시버(920), 프로세서(924) 및 메모리(928)를 가질 수 있다.

[0047] 프로세서(924)는 무선 통신 장치(900)의 전체 동작을 제어하기 위해, 메모리(928)에 저장된 기본 운영 시스템 프로그램을 실행할 수 있다. 예를 들면, 메인 프로세서(924)는 트랜시버(920)에 의한 신호의 수신 및 신호의 전송을 제어할 수 있다. 메인 프로세서(924)는 메모리(928)에 상주하는 다른 프로세스 및 프로그램을 실행할 수 있고, 원한다면, 실행 프로세스에 의해 메모리(928) 내외로 데이터를 이동시킬 수 있다.

[0048] 트랜시버(920)는 프로세서(924)로부터 인출되는 데이터(예를 들면, 음성 데이터, 웹 데이터, e-메일, 시그널링 데이터 등)를 수신할 수 있고, 인출되는 데이터를 표현하기 위해 RF 신호(들)를 생성하고, RF_{in} 신호(들)를 RF 프론트 엔드(904)에 제공할 수 있다. 반대로, 트랜시버(920)는 인입하는 데이터를 표현하는 RF 신호들을 RF 프론트 엔드(904)로부터 수신할 수 있다. 트랜시버(920)는 RF 신호들을 프로세싱하고, 추가적인 프로세싱을 위해 인입하는 신호를 프로세서(924)로 전송할 수 있다.

[0049] RF 프론트 엔드(904)는 다양한 프론트-엔드 기능을 제공할 수 있다. 프론트-엔드 기능은, 이에 제한되지 않지만, RF 스위치(908)에 의해 제공되는 스위칭을 포함한다. 특히, RF 스위치(908)는 무선 통신 장치(900)의 구성요소로, 구성요소로부터, 구성요소 내에서 RF 신호(들)를 선택적으로 전달할 수 있다.

[0050] 다양한 실시예에서, 무선 통신 장치(900)는, 이에 제한되지 않지만, 모바일 휴대폰, 페이징 장치, 휴대 정보 단

말기, 텍스트 메시징 장치, 휴대용 컴퓨터, 데스크톱 컴퓨터, 기지국, 가입자국, 액세스 포인트, 레이더, 위성 통신 장치, 또는 RF 신호를 무선으로 전송/수신할 수 있는 임의의 다른 장치일 수 있다.

[0051] 당분야의 숙련자는, 무선 통신 장치(900)가 예로서 제공되고, 간략하고 명료하게 하기 위해, 실시예의 이해를 위해 필요한 만큼 무선 통신 장치(900)의 구조 및 동작 중 많은 것들이 도시 및 기재된다는 것을 인지할 것이다. 다양한 실시예는, 특정 필요에 따라 무선 통신 장치(900)와 연관하여 임의의 적절한 임무를 수행하는 임의의 적절한 구성요소 또는 구성요소들의 결합을 고려한다. 또한, 무선 통신 장치(900)가 실시예가 구현될 수 있는 장치의 형태를 제한하는 것으로 해석되지 않아야 한다는 것이 이해된다.

[0052] 다양한 실시예는 RF(radio-frequency) 신호를 스위칭하도록 구성된 회로를 설명하고, 상기 회로는: 소스 단자, 게이트 단자, 드레인 단자 및 바디 단자를 포함하는 FET; 및 소스 단자, 드레인 단자 및 바디 단자와 연결된 바디-바이어스 회로를 포함하고, 바디-바이어스 회로는: FET에 인가된 RF 신호에 기초하여 네거티브 바이어스 전압을 유도하고; FET가 오프 상태에 있을 때 네거티브 바이어스 전압을 바디 단자에 제공하도록 구성된다.

[0053] 상기 회로는 서로 직렬로 연결된 FET(예를 들면, n-형 FET)를 포함하는 복수의 FET들을 포함할 수 있다.

[0054] 바디-바이어스 회로는 단지 소스 단자, 드레인 단자, 및 바디 단자와 연결될 수 있다.

[0055] 상기 회로는 SOI 회로일 수 있다.

[0056] FET가 제 1 FET인 경우에, 바디-바이어스 회로는 바디 단자와 연결된 노드; 제 1 FET의 소스 단자와 연결된 소스 단자, 및 노드와 연결된 드레인 단자를 갖는 제 2 FET; 및 노드와 연결된 드레인 단자, 및 제 1 FET의 드레인 단자와 연결된 소스 단자를 갖는 제 3 FET를 포함할 수 있다.

[0057] 제 2 FET는 제 1 FET의 드레인 단자와 연결된 게이트 단자를 더 포함할 수 있고, 제 3 FET는 제 1 FET의 소스 단자와 연결된 게이트 단자를 더 포함할 수 있다.

[0058] 제 1 및 제 2 FET들은 다이오드-접속 FET들일 수 있고, 제 2 FET는 노드와 연결된 게이트 단자를 더 포함할 수 있고, 제 3 FET는 노드와 연결된 게이트 단자를 더 포함할 수 있다.

[0059] 바디-바이어스 회로는 바디 단자와 연결된 노드; 소스 단자 및 노드와 연결된 제 1 다이오드; 및 드레인 단자 및 노드와 연결된 제 2 다이오드를 포함할 수 있다.

[0060] 제 1 다이오드는 소스 단자와 연결된 캐소드 단자 및 노드와 연결된 애노드 단자를 포함할 수 있고, 제 2 다이오드는 드레인 단자와 연결된 캐소드 단자 및 노드와 연결된 애노드 단자를 포함한다.

[0061] 바디-바이어스 회로는 RF 신호를 정류함으로써 네거티브 바이어스 전압을 유도할 수 있다.

[0062] 일부 실시예는 무선 통신 장치를 설명하고, 무선 통신 장치는 트랜시버; 안테나; 및 트랜시버와 안테나와 연결되고 트랜시버와 안테나 사이에서 신호를 통신하도록 구성된 라디오 주파수(RF) 프론트-엔드를 포함하고, 라디오 주파수 프론트-엔드는 실리콘-온-인슐레이터 스위칭 장치를 포함하고, 실리콘-온-인슐레이터 스위칭 장치는: 복수의 스위치 FET들을 오프 상태 또는 온 상태로 설정하도록 구성된 디코더; 및 복수의 FET들 중 제 1 FET 및 바디-바이어스 회로를 갖는 셀을 갖고, 바디-바이어스 회로는 제 1 FET가 오프-상태일 때 네거티브 전압을 전계-효과 트랜ジ스터의 바디에 제공하도록 구성되고, 네거티브 전압은 제 1 FET에 인가된 RF 신호로부터 유도된다.

[0063] 바디-바이어스 회로는 제 1 FET의 바디 단자와 연결된 노드; 제 1 FET의 소스 단자와 연결된 소스 단자, 및 노드와 연결된 드레인 단자를 갖는 제 2 FET; 및 노드와 연결된 드레인 단자, 및 제 1 FET의 드레인 단자와 연결된 소스 단자를 갖는 제 3 FET를 포함할 수 있다.

[0064] 제 2 FET는 제 1 FET의 드레인 단자와 연결된 게이트 단자를 더 포함할 수 있고, 제 3 FET는 제 1 FET의 소스 단자와 연결된 게이트 단자를 더 포함할 수 있다.

[0065] 일부 실시예는 방법을 포함할 수 있고, 상기 방법은, 디코더 회로를 통해, 스위치 FET(field-effect transistor)를 오프 상태에 있도록 제어하는 단계; 바디-바이어스 회로를 통해, 스위치 FET가 오프 상태에 있는 동안에 스위치 FET에 인가된 RF 신호에 기초하여 네거티브 바이어스 전압을 유도하는 단계; 및 바디-바이어스 회로에 의해, 스위치 FET가 오프 상태에 있는 동안에 네거티브 바이어스 전압을 스위치 FET의 바디에 제공하는 단계를 포함한다.

[0066] 네거티브 바이어스 전압을 유도하는 단계는 스위치 FET에 인가된 RF 신호를 정류하는 단계를 포함할 수 있다.

[0067] 일부 실시예는 RF 신호를 스위칭하도록 구성된 회로를 설명하고, 상기 회로는: 소스 단자, 게이트 단자, 드레인

단자, 및 바디 단자를 포함하는 FET; 및 바디-바이어스 회로를 포함하고, 바디-바이어스 회로는: 바디 단자와 연결된 노드; 드레인 단자 및 노드와 연결된 제 1 저항기; 및 소스 단자 및 노드와 연결된 제 2 저항기를 갖고, 바디-바이어스 회로는 FET에 인가된 RF 신호에 기초하여 바이어스 전압을 유도하고, 바이어스 전압을 바디 단자에 제공하도록 구성된다.

[0068] 제 1 저항기 및 제 2 저항기는 동일한 크기를 가질 수 있다.

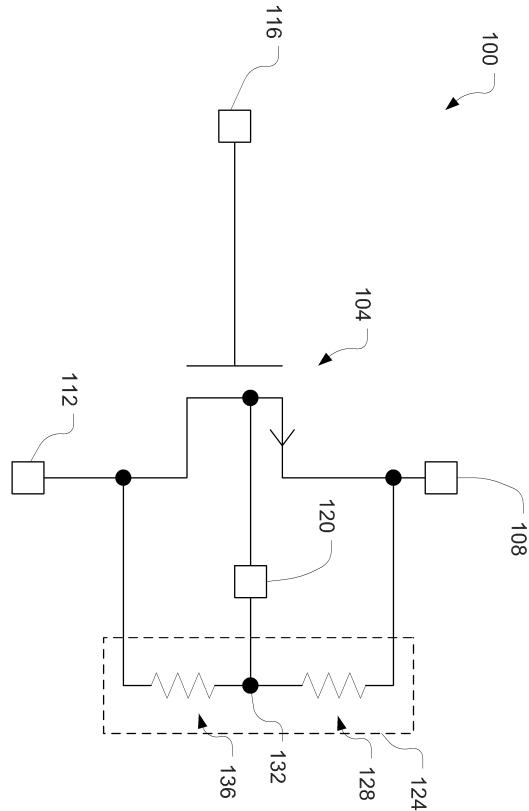
[0069] 바디-바이어스 회로는 대략 제로 볼트의 DC 전압으로서 바이어스 전압을 제공하도록 구성될 수 있다.

[0070] FET의 게이트 단자는 디코더와 연결될 수 있고, FET의 드레인 단자는 디코더와 연결되지 않는다.

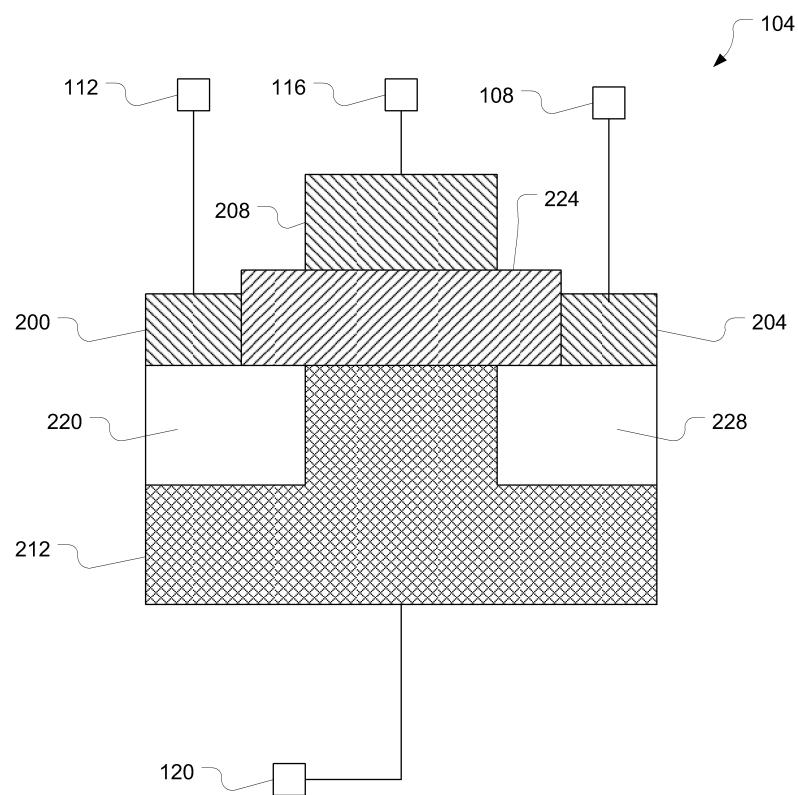
[0071] 본 개시내용은 위에서 예시된 실시예들의 관점에서 기술되었지만, 본 기술 분야의 당업자라면, 동일한 목적을 달성하기 위해 계산된 다양한 대안적 및/또는 등가의 구현들이, 본 개시내용의 영역을 벗어나지 않고서도, 도시되고 기술된 특정 실시예들을 대체할 수 있음을 이해할 것이다. 본 기술 분야의 당업자라면, 본 개시내용의 내용은 매우 다양한 실시예들에서 구현될 수 있음을 쉽게 이해할 것이다. 이러한 설명은 제한적인 것이 아닌, 예시적인 것으로 간주되도록 의도된다.

도면

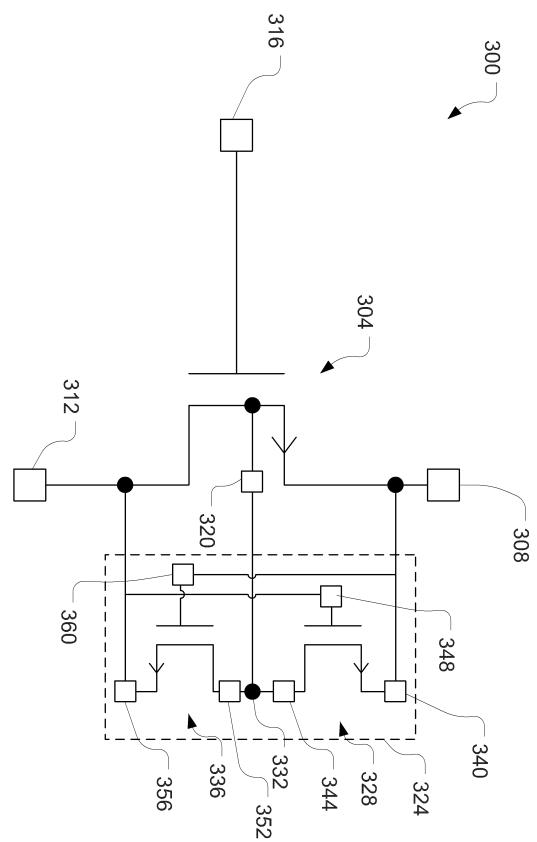
도면1



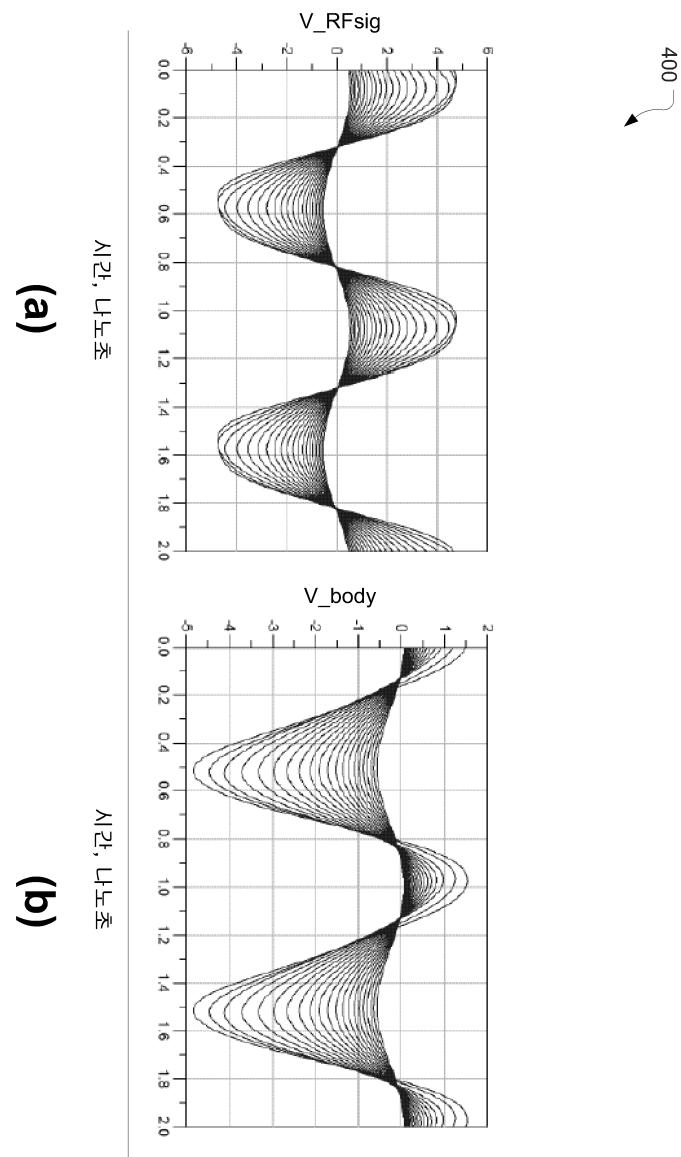
도면2



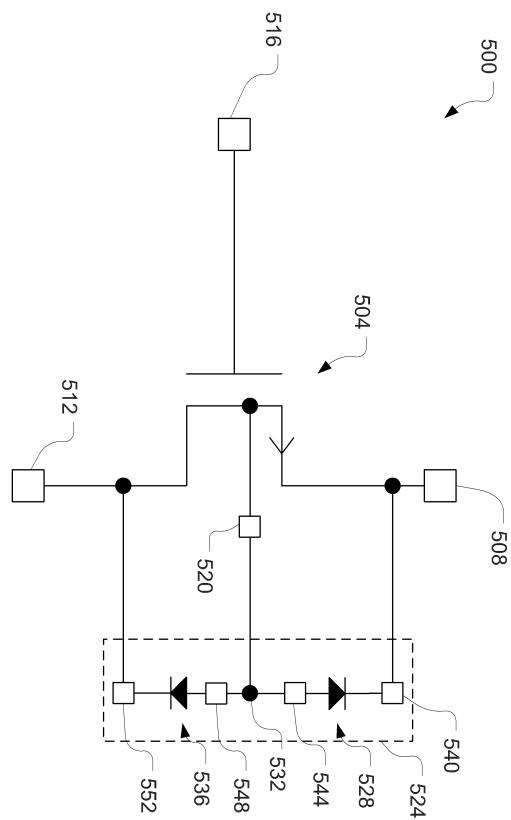
도면3



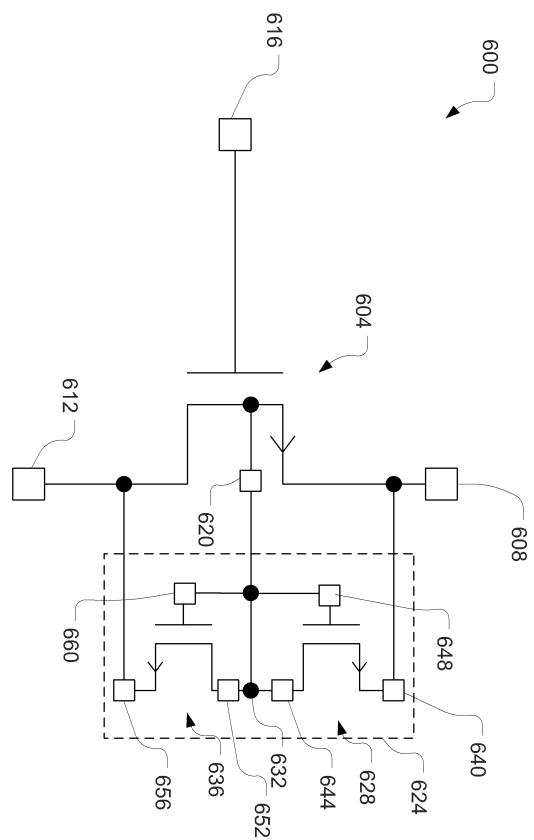
도면4



도면5

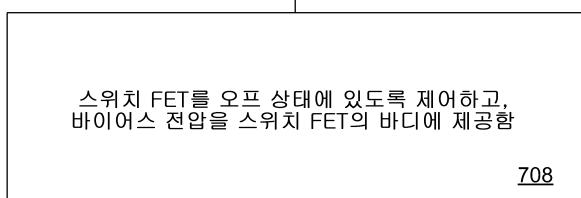
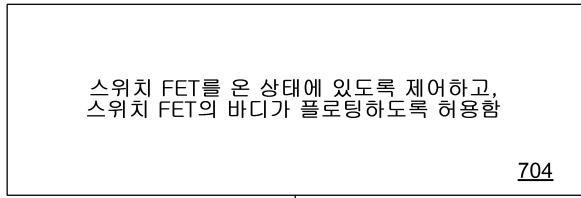


도면6

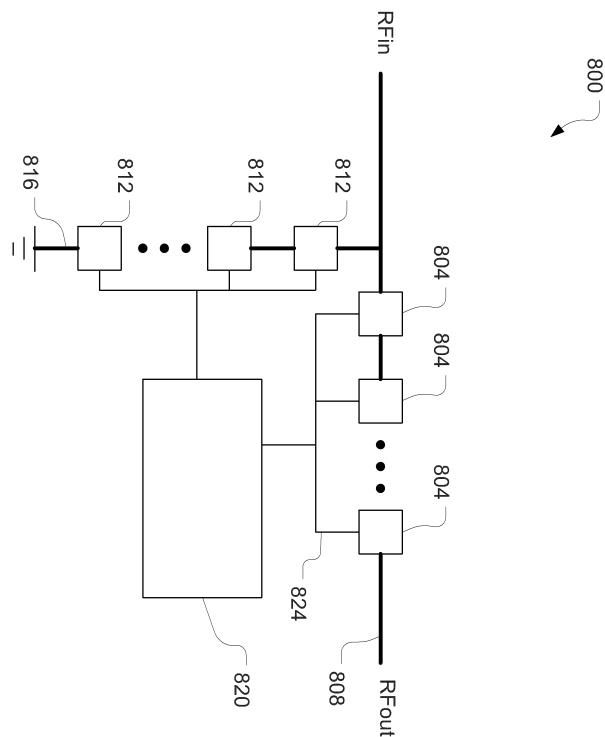


도면7

700



도면8



도면9

