

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94116365

※申請日期：94.5.19

※IPC 分類：H01L 27/01 (2006.01)

一、發明名稱：(中文/英文)

獨立夾緊N通道及P通道電晶體

SEPARATELY STRAINED N-CHANNEL AND P-CHANNEL
TRANSISTORS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市西帕莫路7700號

7700 WEST PARMER LANE, AUSTIN, TEXAS 78729, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 史考特 K 波茲德
POZDER, SCOTT K.
2. 沙利 M 賽利克
CELIK, SALIH M.
3. 畢楊 W 明
MIN, BYOUNG W.
4. 凡斯 H 亞當斯
ADAMS, VANCE H.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 土耳其 TURKEY
3. 韓國 REPUBLIC OF KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年05月28日；10/856,581

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種積體電路，其具有形成於一第一晶圓上之第一複數個電晶體與形成於一第二晶圓上之第二複數個電晶體。該第一電晶體中至少實質上多數電晶體係一第一導電率類型，而該第二複數個電晶體中至少實質上多數電晶體係一第二導電率類型。在將晶圓黏接在一起後，移除該第二晶圓之一部分，其中該第二複數個電晶體之通道應變比該第一複數個電晶體之通道應變更具壓縮力。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

101	晶 圓
105	絕 緣 體
107	層
109	接 觸 層
111	ILD
113	氧化物部分
114	P通道電晶體
115	區域
116	P通道電晶體
117	汲極區域
119	汲極區域
120	通道區域
121	閘極
125	汲極接點
126	汲極接點
127	導通孔
129	互連
131	互連
133	互連
201	晶 圓
203	基 板
205	絕 緣 體

207	層
209	接觸層
211	ILD
214	N通道電晶體
215	區域
216	N通道電晶體
217	汲極區域
219	汲極區域
301	所產生的晶圓
303	材料
305	導通孔
309	導通孔
311	隨後的ILD
312	鈍化層
313	互連
317	觸點
318	互連
319	開口
321	互連
327	觸點
334	互連
336	互連

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於積體電路，而特定言之係關於對於不同導電率類型的電晶體具有夾緊程度不同的通道之積體電路。

【先前技術】

電晶體之通道應變影響該電晶體之載子遷移率。在製造期間，可能有意或無意地引起應變。一特定的應變對N型通道電晶體之電子遷移率及P型電晶體之電洞遷移率有不同的影響。一特定的應變可能對於N通道電晶體之操作速度而言很需要，而對於P通道電晶體之操作速度而言則不太需要。例如，一通道區域之一拉伸應變越高可使得電子遷移率增加而電洞遷移率減小。

所需要的係一種對於N通道電晶體與P通道電晶體二者而言其操作速度皆獲提高之積體電路。

【發明內容】

本發明揭示一種積體電路，其具有形成於一第一晶圓上之第一複數個電晶體與形成於一第二晶圓上之第二複數個電晶體。該第一電晶體中至少實質上多數電晶體係一第一導電率類型，而該第二複數個電晶體中至少實質上多數電晶體係一第二導電率類型。在將晶圓黏接在一起後，移除該第二晶圓之一部分，其中該第二複數個電晶體之通道應變比該第一複數個電晶體之通道應變更具壓縮力。

【實施方式】

下文對一種用以實現本發明的模式作出詳細說明。該說明僅供說明本發明，而不應視為限制本發明。

圖1至3顯示在依據本發明之一積體電路之一項具體實施例之製造期間的三個不同階段。圖1顯示依據本發明之一晶圓之一部分橫切側視圖。顯示在晶圓101上有二個位於絕緣體105及基板103上的P通道電晶體114及116。電晶體114包括形成於層107中之一主動區域115。主動區域115係由一摻雜有一N型導電摻雜劑(例如，磷或砷)之半導體材料(例如，矽)製成。主動區域包括一主體124及二個係反向摻雜成P+型導電之源極/汲極區域117及119。電晶體114包括位於電晶體114之通道區域120(其位於主動區域115中)上的一閘極121(例如，多晶矽或金屬)。

層107之氧化物部分113位於電晶體114的主動區域115與電晶體116的主動區域136之間。氧化物部分113係充當介於主動區域之間的一隔離區域。在一項具體實施例中，藉由蝕刻層107之矽或其他半導體材料而然後以一氧化物來填充，從而形成氧化物部分113。在一項具體實施例中，層107之主動區域係由一單一材料(例如，矽)製成。在其他具體實施例中，層107可能係由不同材料之多層製成，例如，在一矽鍍層上之一矽層。

導通孔127將閘極121電耦合至層間介電質(ILD)111中之一互連129。互連129係耦合至另一閘極(未顯示)或另一源極/汲極區域(未顯示)。源極/汲極接點125(例如，由鎢製成)將源極/汲極區域119耦合至ILD 111之互連131。源極/汲極接

點126將源極/汲極區域117耦合至ILD 111之互連133。互連131將源極/汲極區域119耦合至P通道電晶體116之源極/汲極區域132。在所示具體實施例中，ILD 111僅包括一單一的互連層，但在其他具體實施例中，可能具有多個互連層。

阻障層(例如，鈦、氮化鈦)可能位於該等接點(125及126)與源極/汲極區域(119及117)之間、該等互連與該等導通孔之間，及/或位於該等導通孔、互連及接點之側壁上。該等閘極及該等源極/汲極區域之頂部部分還可能包括矽化物(未顯示)。

在一項具體實施例中，基板103之厚度為600微米，絕緣體105之厚度為200 nm，層107之厚度為110 nm，多晶矽/接觸層109之厚度為400 nm，而ILD 111之厚度為200 nm。在其他具體實施例中，其他晶圓可能有其他尺寸。在一項具體實施例中，基板103比層107至少厚100倍，而在某些具體實施例中至少厚1000倍。

圖2顯示依據本發明之另一晶圓之一部分橫切視圖。顯示在晶圓201上有二個位於絕緣體205及基板203上的N通道電晶體214及216。晶圓201與晶圓101類似，不同之處在於電晶體214及216係N型電晶體。電晶體214包括形成於主動層207中之一主動區域215。主動區域215摻雜有一P型導電摻雜劑(例如，硼)，且包括一主體226與二個反向摻雜成N+型導電之源極/汲極區域217及219。一ILD 211位於一閘極/接觸層209上。

在後續處理中，晶圓101係反向且係以一「面對面」的組

態黏接至晶圓 201 以形成一所產生的晶圓。在此一組態中，該等電晶體 114 及 116 係以一面朝下的組態黏接。

然後，(例如)藉由將基板 103 研磨至約 50 微米之厚度而然後藉由實行一四甲基氫氧化銨(TMAH)蝕刻來移除基板 103 之剩餘部分，從而移除基板 103。在其他具體實施例中，可使用其他類型的蝕刻劑來移除該基板之剩餘部分。在其他具體實施例中，還可移除絕緣體 105。

圖 3 係在已將晶圓 101 黏接至晶圓 201、已移除基板 103 且已形成一後續的 ILD 311 之後所產生的晶圓 301 之一部分橫切視圖。在某些具體實施例中，在已移除基板 103 後，可在絕緣體 105 上沈積一例如 200 nm 厚的後續介電層(未顯示)，以在形成 ILD 311 之前保護絕緣體 105。在其他具體實施例中，不使用此一後續介電層。

該等晶圓係藉由向 ILD 211 施加之一接合材料 303 而黏接。在一項具體實施例中，該接合材料 303 係苯環丁烯(BCB)。在一項具體實施例中，該材料係由 DOW 化學公司出售，商品名稱為 CYCLOTENE。

在一項具體實施例中，接合材料 303 具有一較低的楊氏模數(例如，10 千兆帕或更低)。在一項具體實施例中，接合材料 303 之楊氏模數為 2.9 千兆帕。

在黏接之前，層 107 及 207 之形式取決於其個別基板(例如，103 及 203)之形式，而一所產生的應變取決於其個別基板及 ILD 並取決於其製作程序。在某些具體實施例中，該等晶圓略向上彎(例如，彎曲半徑為 80 至 100 米或更大)。在移

除基板103時，移除層107上由基板103提供的應力，從而使得層107的主動區域上之應變更具壓縮力。移除基板103會令該ILD 111提供於層107的主動區域上之一壓縮應力，從而導致層107的主動區域之應變變得更具壓縮力。此壓縮應變使得對於構建於該些主動區域中的電晶體之通道區域(例如120)而言，電洞遷移率增加。在移除基板103之前，基板103(例如，對於大型矽，其楊氏模數為47千兆帕)針對ILD 111之壓縮應力提供一反作用力。在移除基板103後，接合材料303(例如，在一項具體實施例中，其楊氏模數為2.9千兆帕)針對此壓縮應力提供一減小的反作用力。

在層107之主動區域上提供一增加的應力，使得形成於該些主動區域中的通道區域具有一更大的壓縮應變，從而具有電洞遷移率更大之通道區域。因此，若P通道裝置之通道區域位於層107的主動區域內，則其電洞遷移率大於通道區域在層207中的電晶體(例如，214及216)。

在所示之具體實施例中，接合材料303之楊氏模數較低，從而允許晶圓201之結構對層107的主動區域之應變具有最小的影響力。因此，層107之主動區域具有比層207之主動區域更大的壓縮應變。

在形成ILD 311之前，用於導通孔305及309之孔係形成為分別貫通至ILD 111之互連334及336。孔亦係形成為分別貫通至ILD 111之互連318及133。在沈積一層導通孔金屬以填充該等孔後，研磨(例如，化學機械研磨)所產生的晶圓301以拋光並移除該等孔外部的多餘金屬。然後，形成互連層

(ILD)311。ILD 311包括將ILD 111之互連與ILD 211之互連耦合之互連313及321。同樣，ILD 311包括多個觸點(317及327)用於所產生晶圓的電晶體之外部耦合。具有用於揭露該等多觸點(例如，317)的開口(例如，319)之一鈍化層312位於ILD 311上。在某些具體實施例中，可能形成導通孔以接觸層107的源極/汲極區域(例如，119)之背側。

隨後的處理步驟可在晶圓301上實行，例如，形成導電罩及切斷隨後的個別積體電路。

若有一積體電路，其一層之通道區域之壓縮應變大於另一層之通道區域，則可允許一積體電路之P通道電晶體之通道區域具有一相對更大的壓縮應變以提高電洞遷移率而其N通道電晶體之通道區域具有一相對更大的拉伸應變以提高電子遷移率。因此，一積體電路可能由晶圓301製成，其中該等P型通道電晶體中的大多數(若非全部)皆位於晶圓101之剩餘層中，而該等N通道電晶體中的大多數(若非全部)皆位於晶圓201之層中。藉由此一組態，在某些具體實施例中，該等P通道電晶體可能係製造得令電洞遷移率提高，而該等N通道電晶體可能係製造得令電子遷移率提高。

在一項具體實施例中，層107的通道區域之應變比層207的通道區域之應變更具壓縮力。如圖3所示，該壓縮應變處於橫向上(相對於圖3之視線方向)，但其還可能在朝頁面內之方向上(相對於圖3之視線方向)更具壓縮力。

圖3顯示為獲得一所產生的晶圓而如何將一晶圓以一面朝下的組態黏接至另一晶圓之一範例，且其中該所產生的

晶圓之一第一層中的通道區域之應變比一第二層的通道區域之應變更具壓縮力。同樣，在某些具體實施例中，將一晶圓以一面朝上的組態黏接至另一晶圓可獲得之一所產生的晶圓還可能係，在一第一層中的通道區域之應變比一第二層的通道區域之應變更具壓縮力。在某些具體實施例中，該應變對於一面朝上的組態比對於一面朝下的組態而言略更具壓縮力。

圖4至6顯示在一面朝上組態中具有處於不同層中的通道區域之一積體電路之一項具體實施例之製造期間的三個不同階段。圖4顯示具有P通道電晶體而將以一面朝上的組態附著於另一晶圓之一晶圓。圖4中顯示有二個P通道電晶體414及416位於絕緣體405及基板403上。電晶體414包括形成於層407中之一主動區域415。主動區域415摻雜有一N型導電摻雜劑(例如，硼或砷)，且包括一主體426與二個反向摻雜成P+型導電之源極/汲極區域417及419。電晶體414包括位於主動區域415之通道區域420上之一閘極421(例如，多晶矽或金屬)。晶圓401還包括具有互連433、429、431及435之一ILD 411。

在一項具體實施例中，基板403、絕緣體405、層407、層409及ILD 411與晶圓101之基板103、絕緣體105、層107、層109及ILD 111類似。

在形成ILD 411後，在ILD 411上形成一氧化層452。在一項具體實施例中，氧化層452為20 nm厚並在後續處理中用於保護ILD 411。

基板 453(例如，矽)係藉由接合材料 451 而黏接至層 452。在一項具體實施例中，接合材料 451 係 BCB，但在其他具體實施例中可能包括其他類型的接合材料。

在已將基板 453 黏接至層 452 後，(例如)藉由研磨及隨後進行蝕刻來移除基板 403。然後，將晶圓 401 以一面朝上的組態黏接至另一晶圓。

圖 5 係在已將晶圓 401 黏接至晶圓 502 而以一面朝上的組態形成所產生的晶圓 501 之一部分橫切側視圖。晶圓 502 包括基板 503、絕緣體 505、層 507、層 509 及 ILD 511。ILD 511 包括互連 533、531 及 532。晶圓 502 包括二個 N 通道電晶體 514 及 516。在一項具體實施例中，晶圓 502 與晶圓 201 類似。

藉由接合材料 551，將晶圓 401 黏接至晶圓 502。在一項具體實施例中，接合材料 551 係 BCB，但在其他具體實施例中可能係其他類型之接合材料(包括楊氏模數較低之接合材料)。

在已將晶圓 401 黏接至晶圓 502、基板 453、接合材料 451 後，移除層 452。

圖 6 係在已移除基板 453、接合材料 451 及層 452 後該所產生的晶圓 501 之部分橫切側視圖。在移除層 452 後以及在形成 ILD 605 之前，用於導通孔 607 及 619 之孔係形成為分別貫通至 ILD 511 之互連 533 及 532。孔還係形成為分別針對導通孔 611、651、653 及 614 而貫通至 ILD 411 之互連 433、429、431 及 435。在沈積一層導通孔金屬以填充該等孔後，研磨(例如，化學機械研磨)所產生的晶圓 501 以拋光並移除該等

孔外部的多餘金屬。然後，形成ILD 605。ILD 605包括互連609以將互連533與433耦合在一起，還包括互連621以將互連435與532耦合在一起。ILD 605還包括觸點631及673與導通孔641及635以外部耦合所產生的晶圓501之電晶體(已顯示)。在ILD 605上形成一鈍化層661，並形成開口以曝露觸點631及673。在一項具體實施例中，晶圓501可包括其他類型之外部導電結構。

如同晶圓301一樣，晶圓501包括具有應變不同的通道區域之二層407及507。因此，層407之通道區域之一應變相對更具壓縮力並因此更有利於增加電洞遷移率，而層507之通道區域之一應變相對更具張力並因此更有利於電子遷移率。

在一項具體實施例中，圖3及6所示之電晶體係用於一積體電路，例如，實施一互補金氧半導體(CMOS)組態的電晶體之一積體電路。在一項具體實施例中，層107、207、407及507橫越其個別晶圓之整個表面。在其他具體實施例中，該些層係定位於該晶圓之特定區域以實施一積體電路之特定電路(例如，一處理器核心、記憶體或計時器)。

在一項具體實施例中，一積體電路包括一基板、位於該基板上之一第一層以及實施於該第一層中的第一複數個通道區域。實施於該第一層中的通道區域中至少實質上大多數係用於第一導電率類型之電晶體。該積體電路還包括在該第一層上之一接合材料、該接合材料上之一第二層及實施於該第二層中之第二複數個通道區域。實施於該第二層

中的通道區域中至少實質上大多數係用於第二導電率類型之電晶體。

另一項具體實施例包括形成一積體電路之一方法。該方法包括提供包括一第一層之第一晶圓。在該第一層中具有通道區域之電晶體中至少實質上大多數係第一導電率類型。該方法還包括將一第二晶圓黏接至該第一晶圓。該第二晶圓包括一第二層。在該第二層中具有通道區域之電晶體中至少實質上大多數係第二導電率類型。該方法進一步包括在該黏接後移除該第二晶圓之一部分。

另一項具體實施例還包括形成一積體電路之一方法。該方法包括提供包含一第一層、一第一絕緣體及一第一基板之一第一晶圓。該第一絕緣體位於該第一層與該第一基板之間。該方法還包括在該第一層中形成源極/汲極區域。該等源極/汲極區域中至少實質上大多數係第一導電率類型。該方法進一步包括提供包含一第二層、一第二絕緣體及一第二基板之一第二晶圓。該第二絕緣體位於該第二層與該第二基板之間。該方法還進一步包括在該第二層中形成源極/汲極區域。該等源極/汲極區域中至少實質上大多數係第二導電率類型。該方法還包括在於該第一層中形成該等源極/汲極區域及於該第二層中形成該等源極/汲極區域後將該第一晶圓黏接至該第二晶圓。該黏接包括藉由一楊氏模數較低之材料來黏接。該方法包括在將該第一晶圓黏接至該第二晶圓後移除該第二基板。

儘管已顯示並說明本發明之特定具體實施例，但熟習此

項技術者將明白，依據本文之原理，可作進一步變更及修改而不脫離本發明及其更廣義之方面，而且因此，隨附申請專利範圍欲將所有屬於此發明的真實精神及範疇內之所有此類變更及修改皆涵蓋於其範疇內。

【圖式簡單說明】

藉由參考隨附圖式，可更好地理解本發明，而其眾多目的、特徵及優點將為熟習此項此項技術者所明白。

圖1係在依據本發明之一積體電路之一項具體實施例之一製造階段期間一晶圓之部分橫切側視圖。

圖2係在依據本發明之一積體電路之一項具體實施例之另一製造階段期間一晶圓之部分橫切側視圖。

圖3係在依據本發明之一積體電路之一項具體實施例之另一製造階段期間一晶圓之部分橫切側視圖。

圖4係在依據本發明之一積體電路之另一項具體實施例之一製造階段期間一晶圓之部分橫切側視圖。

圖5係在依據本發明之一積體電路之另一項具體實施例之另一製造階段期間一晶圓之部分橫切側視圖。

圖6係在依據本發明之一積體電路之另一項具體實施例之另一製造階段期間一晶圓之部分橫切側視圖。

除非另有提及，否則，不同圖式中使用的相同參考符號表示相同的項目。該等圖式不一定係按比例繪製。

【主要元件符號說明】

101 晶圓

103 基板

105	絕緣體
107	層
109	接觸層
111	ILD
113	氧化物部分
114	P通道電晶體
115	區域
116	P通道電晶體
117	汲極區域
119	汲極區域
120	通道區域
121	閘極
124	主體
125	汲極接點
126	汲極接點
127	導通孔
129	互連
131	互連
132	汲極區域
133	互連
136	區域
201	晶圓
203	基板
205	絕緣體

207	層
209	接觸層
211	ILD
214	N通道電晶體
215	區域
216	N通道電晶體
217	汲極區域
219	汲極區域
226	主體
301	所產生的晶圓
303	材料
305	導通孔
309	導通孔
311	隨後的ILD
312	鈍化層
313	互連
318	互連
321	互連
334	互連
336	互連
401	晶圓
403	基板
405	絕緣體
407	層

409	層
411	ILD
414	P通道電晶體
415	區域
416	P通道電晶體
417	汲極區域
419	汲極區域
420	通道區域
421	閘極
426	主體
429	互連
431	互連
433	互連
435	互連
451	材料
452	氧化層
453	基板
501	所產生的晶圓
502	晶圓
503	基板
505	絕緣體
507	層
509	層
511	ILD

514	N通道電晶體
516	N通道電晶體
531	互連
532	互連
533	互連
551	材料
605	後來的ILD
607	導通孔
609	互連
611	導通孔
614	導通孔
619	導通孔
621	互連
631	觸點
635	導通孔
641	導通孔
651	導通孔
653	導通孔
661	鈍化層
673	觸點

十、申請專利範圍：

1. 一種形成一積體電路之方法，該方法包含：

101年5月11日 修正 補充 P.1-2

提供一包括一第一層之第一晶圓，其中複數個電晶體中具有處於該第一層中之通道區域者之至少實質上大多數電晶體為一第一導電率類型；

將一第二晶圓黏接至該第一晶圓，該第二晶圓包括一第二層，其中該複數個電晶體中具有處於該第二層中之通道區域者之至少實質上大多數電晶體為一第二導電率類型；以及

在黏接該第二晶圓至該第一晶圓之後移除該第二晶圓之一部分，其中

在該移除該第二晶圓之該部分之後，在該第一層中之該等通道區域一般具有一第一應力(張力)以及在該第二層中之該等通道區域一般具有一第二應力(壓縮力)，其中該第一應力較該第二應力更具有張力。

2. 如請求項1之方法，其中移除該第二晶圓之該部分包括移除該第二晶圓之厚度的至少99%。
3. 如請求項1之方法，其進一步包含：

在黏接該第二晶圓至該第一晶圓之前，於一第一基板上形成該第二層；

在黏接該第二晶圓至該第一晶圓之前，於該第二層上黏接一第二基板；

在黏接該第二晶圓至該第一晶圓之前，從該第二層移除該第一基板；

其中移除該第二晶圓之該部分包括移除該第二基板。

4. 如請求項1之方法，其進一步包含：

在移除該第二晶圓之該部分之後，於該等第一及第二晶圓上形成一層間介電質。

5. 如請求項1之方法，其中黏接該第二晶圓至該第一晶圓包括黏接該第二晶圓而使得在該第二層中具有通道區域之該複數個電晶體之位置係相對於該第一晶圓而面朝上。

十一、圖式：

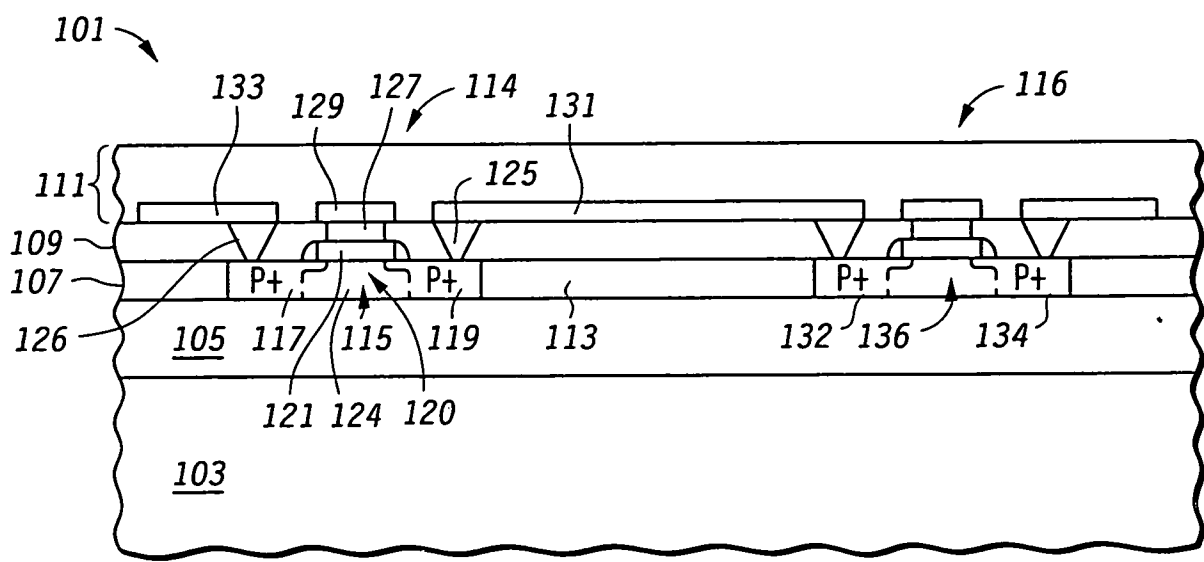


圖 1

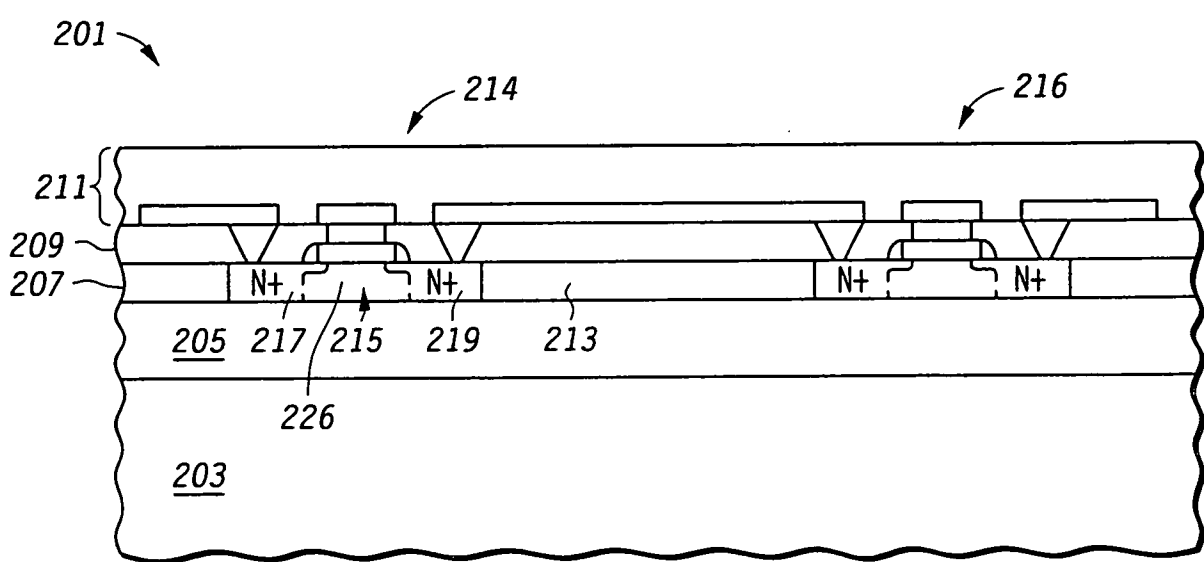


圖 2

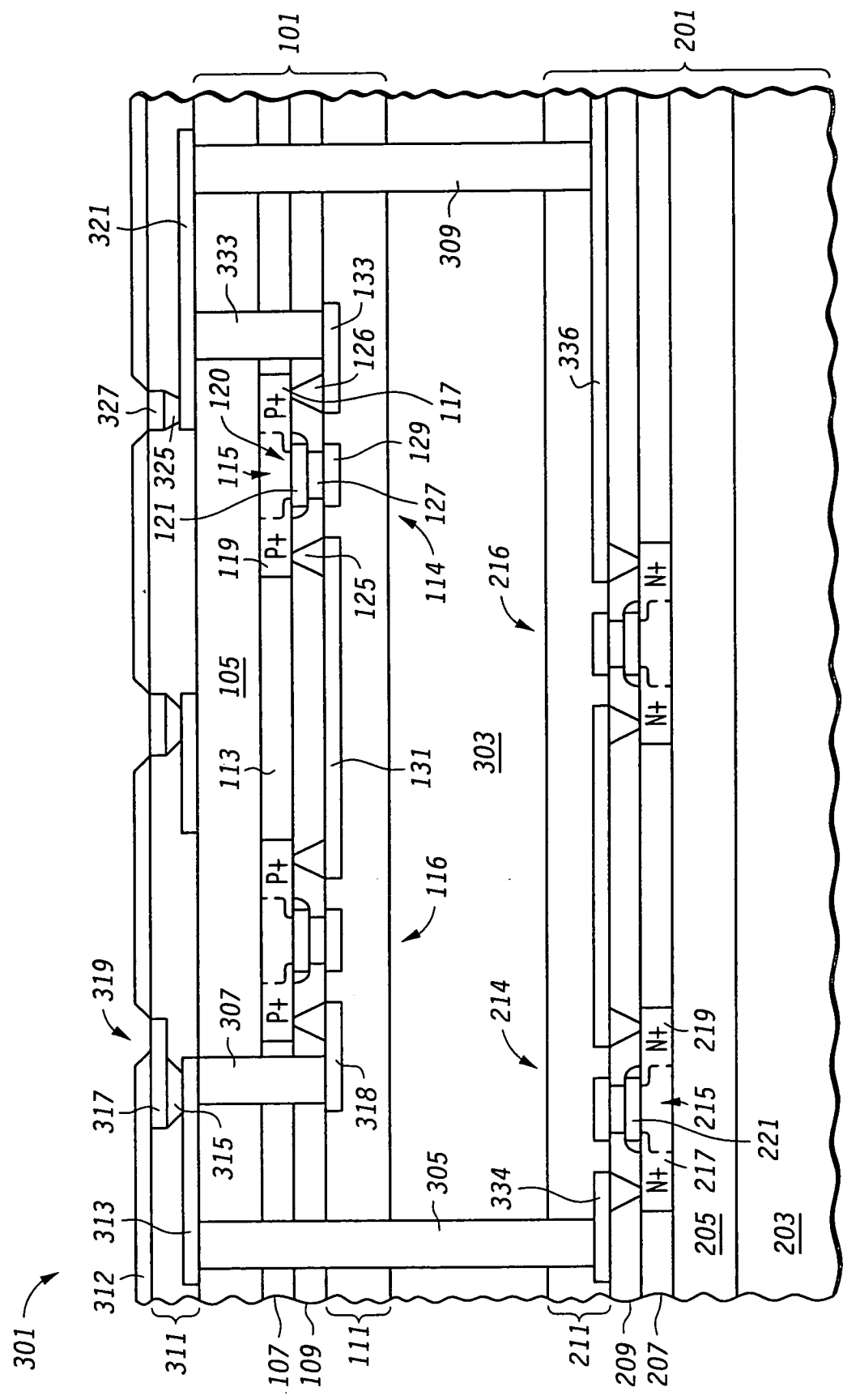


圖3

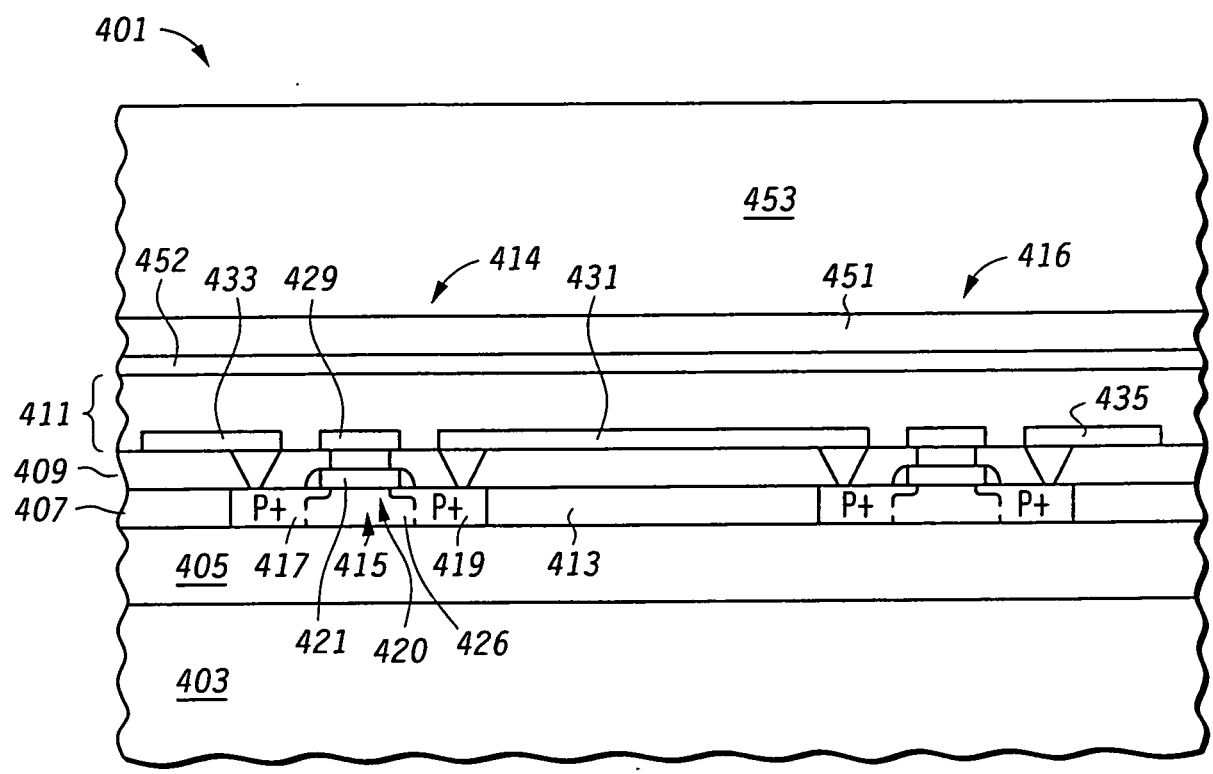


圖 4

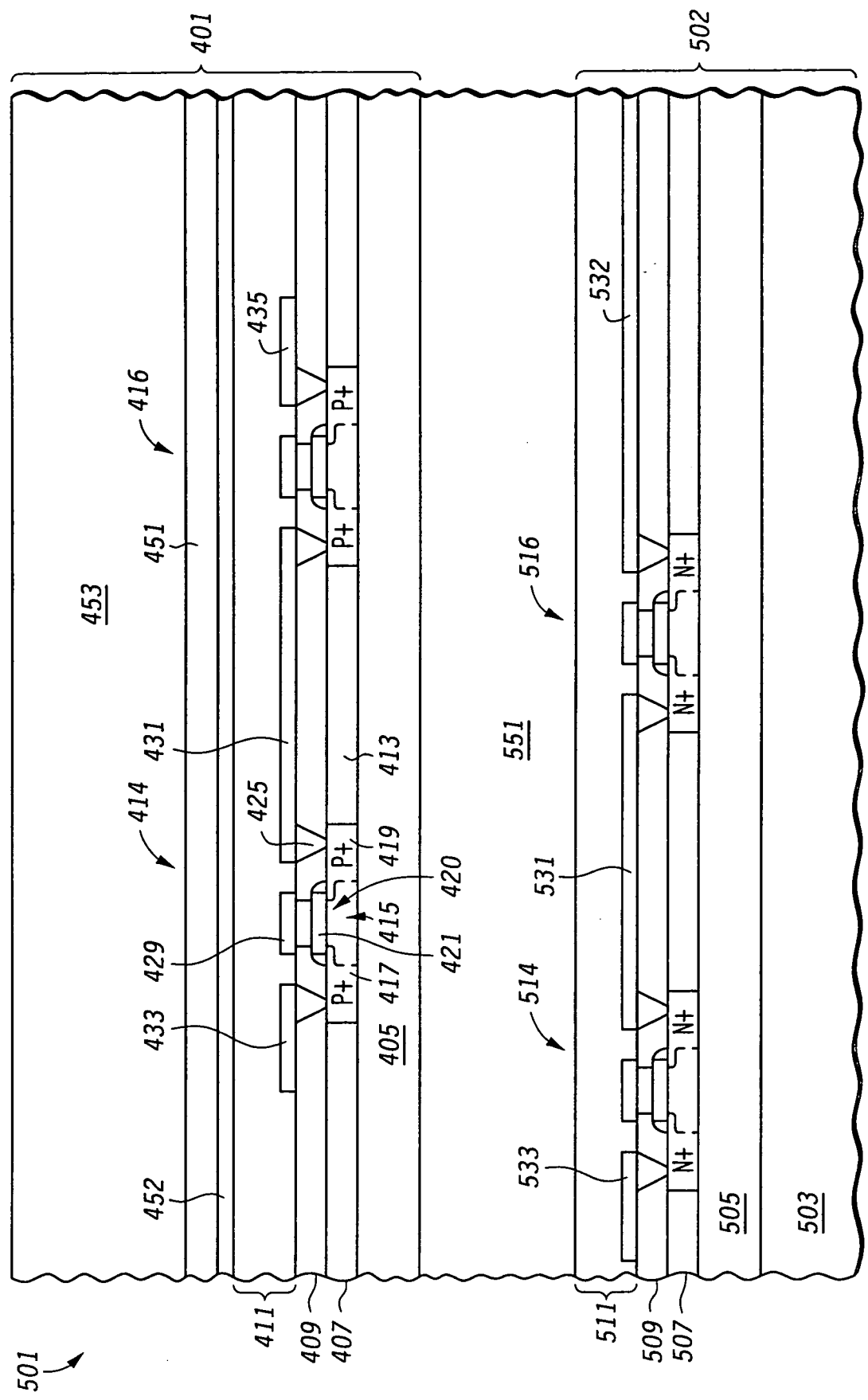


圖5

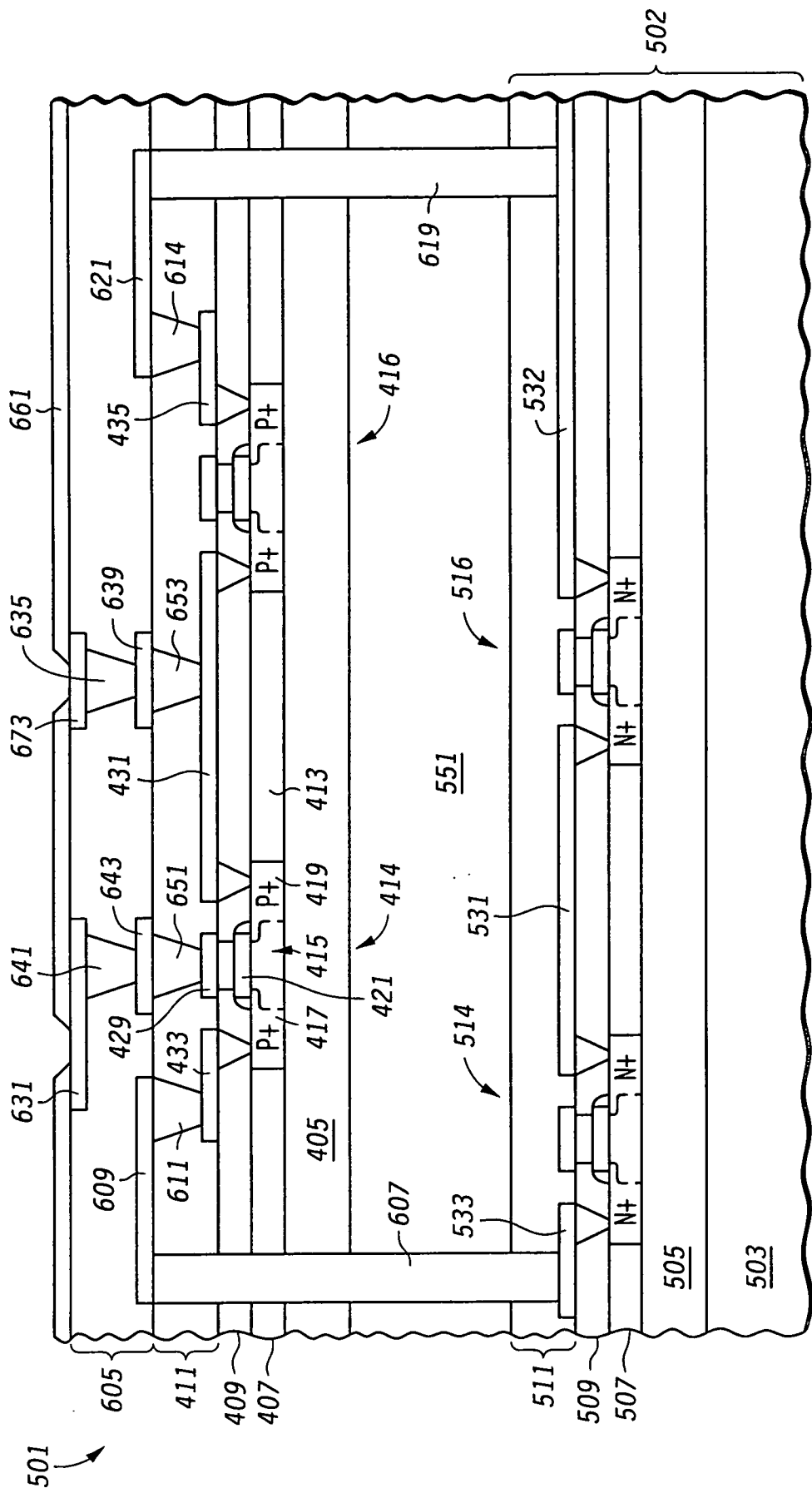


圖6