

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年6月9日(2005.6.9)

【公開番号】特開2002-141469(P2002-141469A)

【公開日】平成14年5月17日(2002.5.17)

【出願番号】特願2000-333732(P2000-333732)

【国際特許分類第7版】

H 01 L 27/04

H 01 L 21/822

H 01 L 21/768

H 01 L 21/8247

H 01 L 27/115

H 01 L 27/10

H 01 L 29/788

H 01 L 29/792

【F I】

H 01 L 27/04 C

H 01 L 27/10 4 8 1

H 01 L 21/90 A

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成16年8月20日(2004.8.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に設けられた主要回路領域と、

前記主要回路領域内に形成された、第1電極層、電極間絶縁膜、第2電極層が順に積層された構造と、

前記半導体基板上であって、前記主要回路領域の周辺に設けられ、キャパシタ素子を有する周辺回路領域と、

前記周辺回路領域内に形成された前記第1電極層と同一の層からなる前記キャパシタ素子の下部電極と、

前記下部電極上に形成され、前記電極間絶縁膜と同一の層からなる前記キャパシタ素子の電荷蓄積層と、

前記電荷蓄積層に形成され、底部に前記下部電極が露出する開口部と、

前記開口部とその周囲の前記電荷蓄積層上に形成され、前記開口部を介して前記下部電極と電気的に接続され、前記第2電極層と同一の層である第1領域と、

前記電荷蓄積層上に形成され、前記第2電極層と同一の層であり、前記第1領域と電気的に分離された、前記キャパシタ素子の上部電極と

を有する半導体装置。

【請求項2】

前記半導体基板に埋め込まれた素子分離領域を有し、

前記第1領域と、前記上部電極は、それぞれ少なくとも一部が前記素子分離領域にオーバーラップしている請求項1に記載の半導体装置。

**【請求項3】**

前記第1領域および前記上部電極を被覆する層間絶縁層と、

前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記第1領域上にコンタクト部を持つ第1コンタクトホールと、

前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記上部電極上にコンタクト部を持つ第2コンタクトホールと

を有する請求項1に記載の半導体装置。

**【請求項4】**

前記素子分離領域は、

前記第1電極層から前記半導体基板に至る深さの溝に埋め込まれた絶縁層であり、

前記第1電極層の平面パターンが前記素子分離領域の平面パターンにより自己整合的に画定されている請求項2または3に記載の半導体装置。

**【請求項5】**

前記素子分離領域は、

前記半導体基板に設けられた溝に埋め込まれた絶縁層であり、

前記第1電極層の平面パターンと前記素子分離領域の平面パターンとが独立に形成されたものである請求項2または3に記載の半導体装置。

**【請求項6】**

半導体基板と、

前記半導体基板上に設けられた不揮発性メモリ領域と、

前記不揮発性メモリ領域内の前記半導体基板上に形成された第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に形成された浮遊ゲート電極層と、

前記浮遊ゲート電極層上に形成された第2ゲート絶縁膜と、

前記第2ゲート絶縁膜上に形成された制御ゲート電極層と

前記半導体基板上であって、前記不揮発性メモリ領域の周辺に設けられたキャパシタ素子を有する周辺回路領域と、

前記周辺回路領域内に形成された前記浮遊ゲート電極層と同一の層からなる前記キャパシタ素子の下部電極と、

前記下部電極上に形成された、前記第2ゲート絶縁膜と同一の層からなる前記キャパシタ素子の電荷蓄積層と、

前記電荷蓄積層に形成され、底部に前記下部電極が露出する開口部と、

前記開口部とその周囲の前記電荷蓄積層上に形成され、前記開口部を介して前記下部電極と電気的に接続され、前記制御ゲート電極層と同一の層である第1領域と、

前記電荷蓄積層上に形成され、前記制御ゲート電極層と同一の層であり、前記第1領域と電気的に分離された、前記キャパシタ素子の上部電極と

を有する半導体装置。

**【請求項7】**

前記半導体基板に埋め込まれた素子分離領域を有し、

前記第1領域と上部電極は、それぞれ少なくとも一部が前記素子分離領域にオーバーラップしている請求項6に記載の半導体装置。

**【請求項8】**

前記不揮発性メモリは、E P R O M、E E P R O Mのいずれかである請求項6に記載の半導体装置。

**【請求項9】**

前記不揮発性メモリは、N A N D型、A N D型、D I N O R型、およびN O R型いずれかのE E P R O Mであり、

不揮発性メモリ領域に、メモリセルアレイを有し、

前記素子分離領域は各メモリセル領域を画定するとともに、セル領域内の前記第1ゲー

ト絶縁膜と、前記浮遊ゲート電極層の平面パターンを自己整合的に画定する請求項8に記載の半導体装置。

【請求項 10】

前記第1領域および前記上部電極を被覆する層間絶縁層と、

前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記第1領域上にコンタクト部を持つ第1コンタクトホールと、

前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記上部電極上にコンタクト部を持つ第2コンタクトホールと

を有する請求項6に記載の半導体装置。

【請求項 11】

前記素子分離領域は、

前記第1ゲート絶縁膜と前記浮遊ゲート電極層とが形成された半導体基板主表面に設けられた溝に埋め込まれた絶縁層であり、

前記浮遊ゲート電極層の平面パターンが前記素子分離領域の平面パターンにより自己整合的に画定されている請求項6に記載の半導体装置。

【請求項 12】

前記素子分離領域は、

前記半導体基板に設けられた溝に埋め込まれた絶縁層であり、

前記浮遊ゲート電極層の平面パターンが前記素子分離領域の平面パターンと独立に形成されたものである請求項6に記載の半導体装置。

【請求項 13】

半導体基板層上の主要回路領域に第1電極層を形成し、同時に周辺回路領域に前記第1電極層と同一層でキャパシタ素子の下部電極を形成する工程と、

主要回路領域の前記第1電極層上に電極間絶縁膜を形成し、同時に周辺回路領域に、前記電極間絶縁膜と同一層で前記キャパシタ素子の電荷蓄積層を前記下部電極上に形成する工程と、

周辺回路領域内の前記電荷蓄積層に前記下部電極が露出する開口部を形成する工程と、

主要回路領域の前記電極間絶縁膜上に第2電極層を形成し、同時に周辺回路領域に前記電荷蓄積層と前記開口部を前記第2電極層で被覆する工程と、

周辺回路領域内の前記第2電極層をパターニングして、前記開口部を介して前記下部電極と電気的に短絡された第1領域と、前記第1領域と電気的に分離された、前記キャパシタ素子の上部電極とを形成する工程と

を有する半導体装置の製造方法。

【請求項 14】

前記第1電極層を形成する工程後、前記電極間絶縁膜を形成する工程前に、

前記第1電極層より前記半導体基板層に至る層に溝を形成する工程と、

前記溝を素子分離絶縁膜で埋め込む工程と、

前記第1電極層が露出するまで表面を平坦化し、素子分離領域を形成する工程と  
を有する請求項13に記載の半導体装置の製造方法。

【請求項 15】

前記第1電極層を形成する工程前に、

前記半導体基板層に溝を形成する工程と、

前記溝を素子分離絶縁膜で埋め込む工程と、

前記半導体基板層が露出するまで表面を平坦化する工程と  
を有する請求項13に記載の半導体装置の製造方法。

【請求項 16】

さらに、第2電極層をパターニング後の基板表面に層間絶縁層を形成する工程と、

前記素子分離領域の上方部分にあたる層間絶縁膜であって、前記第1領域および前記上部電極のそれぞれにコンタクト部を持つ第1コンタクトホールと第2コンタクトホールと  
を形成する工程と

を有する請求項 1 4 または 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】

半導体基板層上の主要回路領域に第 1 ゲート絶縁膜と浮遊ゲート電極層を形成し、同時に周辺回路領域に前記浮遊ゲート電極層と同一層でキャパシタ素子の下部電極を形成する工程と、

主要回路領域の前記浮遊ゲート電極層上に第 2 ゲート絶縁膜を形成し、同時に周辺回路領域に、前記第 2 ゲート絶縁膜と同一層で前記キャパシタ素子の電荷蓄積層を前記下部電極上に形成する工程と、

周辺回路領域内の前記電荷蓄積層に前記下部電極が露出する開口部を形成する工程と、

主要回路領域の前記第 2 ゲート絶縁膜上に制御ゲート電極層を形成し、同時に周辺回路領域に前記電荷蓄積層と前記開口部を前記制御ゲート電極層で被覆する工程と、

周辺回路領域内の前記制御ゲート電極層をパターニングして、前記開口部を介して前記下部電極と電気的に短絡された第 1 領域と、前記第 1 領域と電気的に分離された、前記キャパシタ素子の上部電極とを形成する工程と

を有する半導体装置の製造方法。

【請求項 1 8】

前記浮遊ゲート電極層を形成する工程後、前記第 2 ゲート絶縁膜を形成する工程前に、

前記浮遊ゲート電極層より前記半導体基板層に至る層に溝を形成する工程と、

前記溝を素子分離絶縁膜で埋め込む工程と、

前記浮遊ゲート電極層が露出するまで表面を平坦化し、素子分離領域を形成する工程と  
を有する請求項 1 7 に記載の半導体装置の製造方法。

【請求項 1 9】

前記浮遊ゲート層を形成する工程前に、

前記半導体基板層に溝を形成する工程と、

前記溝を素子分離絶縁膜で埋め込む工程と、

前記半導体基板層が露出するまで表面を平坦化する工程と  
を有する請求項 1 7 に記載の半導体装置の製造方法。

【請求項 2 0】

前記制御ゲート電極層をパターニング後の基板表面に、層間絶縁層を形成する工程と、

前記素子分離領域の上方部分にあたる層間絶縁膜であって、前記第 1 領域および前記上部電極のそれぞれにコンタクト部を持つ第 1 コンタクトホールと第 2 コンタクトホールとを形成する工程と

を有する請求項 1 7 ~ 1 9 のいずれか 1 項に記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 0

【補正方法】変更

【補正の内容】

【0 0 2 0】

【課題を解決するための手段】

本発明の半導体装置の第 1 の特徴は、半導体基板と、前記半導体基板上に設けられた主要回路領域と、前記主要回路領域内に形成された、第 1 電極層、電極間絶縁膜、第 2 電極層が順に積層された構造と、前記半導体基板上であって、前記主要回路領域の周辺に設けられ、キャパシタ素子を有する周辺回路領域と、前記周辺回路領域内に形成された前記第 1 電極層と同一の層からなる前記キャパシタ素子の下部電極と、前記下部電極上に形成され、前記電極間絶縁膜と同一の層からなる前記キャパシタ素子の電荷蓄積層と、前記電荷蓄積層に形成され、底部に前記下部電極が露出する開口部と、前記開口部とその周囲の前記電荷蓄積層上に形成され、前記開口部を介して前記下部電極と電気的に接続され、前記第 2 電極層と同一の層である第 1 領域と、前記電荷蓄積層上に形成され、前記第 2 電極層と同一の層であり、前記第 1 領域と電気的に分離された、前記キャパシタ素子の上部電極

とを有することである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

さらに、上記第1の特徴を有する半導体装置において、前記半導体基板に埋め込まれた素子分離領域を有し、前記第1領域と、前記上部電極は、それぞれ少なくとも一部が前記素子分離領域にオーバーラップしていてもよい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

さらに、前記第1領域および前記上部電極を被覆する層間絶縁層と、前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記第1領域上にコンタクト部を持つ第1コンタクトホールと、前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記上部電極上にコンタクト部を持つ第2コンタクトホールとを有してもよい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

なお、前記素子分離領域は、前記第1電極層から前記半導体基板に至る深さの溝に埋め込まれた絶縁層であり、前記第1電極層の平面パターンが前記素子分離領域の平面パターンにより自己整合的に画定されているものであってもよい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

あるいは、前記素子分離領域は、前記半導体基板に設けられた溝に埋め込まれた絶縁層であり、前記第1電極層の平面パターンと前記素子分離領域の平面パターンとが独立に形成されたものであってもよい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の半導体装置の第2の特徴は、半導体基板と、前記半導体基板上に設けられた不揮発性メモリ領域と、前記不揮発性メモリ領域内の前記半導体基板上に形成された第1ゲート絶縁膜と、前記第1ゲート絶縁膜上に形成された浮遊ゲート電極層と、

前記浮遊ゲート電極層上に形成された第2ゲート絶縁膜と、前記第2ゲート絶縁膜上に形成された制御ゲート電極層と、前記半導体基板上であって、前記不揮発性メモリ領域の周辺に設けられたキャパシタ素子を有する周辺回路領域と、前記周辺回路領域内に形成さ

れた前記浮遊ゲート電極層と同一の層からなる前記キャパシタ素子の下部電極と、前記下部電極上に形成された、前記第2ゲート絶縁膜と同一の層からなる前記キャパシタ素子の電荷蓄積層と、前記電荷蓄積層に形成され、底部に前記下部電極が露出する開口部と、前記開口部とその周囲の前記電荷蓄積層上に形成され、前記開口部を介して前記下部電極と電気的に接続され、前記制御ゲート電極層と同一の層である第1領域と、前記電荷蓄積層上に形成され、前記制御ゲート電極層と同一の層であり、前記第1領域と電気的に分離された、前記キャパシタ素子の上部電極とを有することである。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

上記本発明の半導体装置の第2の特徴によれば、主要回路領域上の不揮発性メモリのスタックドゲート構造を利用して、周辺回路領域に、第2ゲート絶縁膜を電荷蓄積層とするキャパシタ素子を形成することができる。浮遊ゲート電極層と同一の層でこのキャパシタ素子の下部電極を構成し、制御ゲート電極層と同一の層で上部電極を構成する。下部電極は、第2ゲート絶縁膜に形成した開口を介して第2電極層の第1領域から、上部電極は第2電極層の第2領域からそれぞれ電極の引き出しを行うことができる。この構造によれば、下部電極から直接電極の引き出しを行わないので、下部電極の形状の自由度が広がる。また、従来のように下部電極からの電極引き出しのため、電極層の積み上げ工程が不要であり、第2ゲート絶縁膜の開口形成工程や第2電極層の第1領域と第2領域を分離するために必要となるエッチング工程は、配線形成工程等と共に通する工程であるため、プロセス上の負担も少ない。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

上記半導体装置の第2の特徴において、前記半導体基板に埋め込まれた素子分離領域を有し、前記第1領域と上部電極は、それぞれ少なくとも一部が前記素子分離領域にオーバーラップしていてもよい。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

また、前記第1領域および前記上部電極を被覆する層間絶縁層と、前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記第1領域上にコンタクト部を持つ第1コンタクトホールと、前記素子分離領域の上方部分にあたる前記層間絶縁層に形成され、前記上部電極上にコンタクト部を持つ第2コンタクトホールとを有してもよい。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

あるいは、前記素子分離領域は、前記半導体基板に設けられた溝に埋め込まれた絶縁層

であり、前記浮遊ゲート電極層の平面パターンが前記素子分離領域の平面パターンと独立に形成されたものであってもよい。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

本発明の半導体装置の製造方法の第1の特徴は、半導体基板層上の主要回路領域に第1電極層を形成し、同時に周辺回路領域に前記第1電極層と同一層でキャパシタ素子の下部電極を形成する工程と、主要回路領域の前記第1電極層上に電極間絶縁膜を形成し、同時に周辺回路領域に、前記電極間絶縁膜と同一層で前記キャパシタ素子の電荷蓄積層を前記下部電極上に形成する工程と、周辺回路領域内の前記電荷蓄積層に前記下部電極が露出する開口部を形成する工程と、主要回路領域の前記電極間絶縁膜上に第2電極層を形成し、同時に周辺回路領域に前記電荷蓄積層と前記開口部を前記第2電極層で被覆する工程と、周辺回路領域内の前記第2電極層をパターニングして、前記開口部を介して前記下部電極と電気的に短絡された第1領域と、前記第1領域と電気的に分離された、前記キャパシタ素子の上部電極とを形成する工程とを有することである。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

本発明の半導体装置の製造方法の第2の特徴は、半導体基板層上の主要回路領域に第1ゲート絶縁膜と浮遊ゲート電極層を形成し、同時に周辺回路領域に前記浮遊ゲート電極層と同一層でキャパシタ素子の下部電極を形成する工程と、主要回路領域の前記浮遊ゲート電極層上に第2ゲート絶縁膜を形成し、同時に周辺回路領域に、前記第2ゲート絶縁膜と同一層で前記キャパシタ素子の電荷蓄積層を前記下部電極上に形成する工程と、周辺回路領域内の前記電荷蓄積層に前記下部電極が露出する開口部を形成する工程と、主要回路領域の前記第2ゲート絶縁膜上に制御ゲート電極層を形成し、同時に周辺回路領域に前記電荷蓄積層と前記開口部を前記制御ゲート電極層で被覆する工程と、周辺回路領域内の前記制御ゲート電極層をパターニングして、前記開口部を介して前記下部電極と電気的に短絡された第1領域と、前記第1領域と電気的に分離された、前記キャパシタ素子の上部電極とを形成する工程とを有することである。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

上記製造方法の第2の特徴によれば、半導体基板の主要回路領域には、スタックドゲート構造の不揮発性メモリを形成できるとともに、周辺回路領域には、第2ゲート絶縁膜を電荷蓄積層とするキャパシタ素子を形成することができる。また、浮遊ゲート電極層と同一の導電層でキャパシタ素子の下部電極を構成し、制御ゲート電極層と同一の導電層で上部電極を構成する。下部電極は、第2ゲート絶縁膜に形成した開口を介して第2電極層の第1領域から、上部電極は第2電極層の第2領域からそれぞれ電極の引き出しを行うことができる。この構造によれば、下部電極から直接電極の引き出しを行わないで、下部電極の形状の自由度が広がる。また、従来のように下部電極からの電極引き出しのため、電極層の積み上げ工程が不要であり、第2ゲート絶縁膜の開口形成工程や第2電極層の第1

領域と第2領域を分離するために必要となるエッチング工程は、配線形成工程等と共通する工程であるため、プロセス上の負担も少ない。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

上記第2の特徴を有する半導体装置の製造方法において、前記浮遊ゲート電極層を形成する工程後、前記第2ゲート絶縁膜を形成する工程前に、前記浮遊ゲート電極層より前記半導体基板層に至る層に溝を形成する工程と、前記溝を素子分離絶縁膜で埋め込む工程と、前記浮遊ゲート電極層が露出するまで表面を平坦化し、素子分離領域を形成する工程とを有してもよい。この場合は、自己整合的に素子分離領域の形成と同時に浮遊ゲート電極層のパターンを形成できる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正の内容】

【0099】

また、本発明の第2の特徴を有する半導体装置及び半導体装置の製造方法によれば、スタックドゲート構造を有する不揮発性メモリを有する半導体装置において、周辺回路領域に浮遊ゲート電極層と同一の層を下部電極、第2ゲート絶縁膜を電荷蓄積層、制御ゲート電極層と同一の層を上部電極とするキャパシタ素子を形成できる。不揮発性メモリの第2ゲート絶縁膜は一般に高誘電率層であるため、キャパシタ素子の面積の縮小化を図ることができる。また、第1電極層が素子分離領域と自己整合的にパターニングされる場合にも、プロセス上の負担なく、自己整合的にパターニングされた第1電極層をキャパシタ素子の下部電極として効果的に活用できる。