

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4654471号
(P4654471)

(45) 発行日 平成23年3月23日(2011.3.23)

(24) 登録日 平成23年1月7日(2011.1.7)

(51) Int.Cl. F I
 HO 1 L 27/108 (2006.01) HO 1 L 27/10 3 2 1
 HO 1 L 21/8242 (2006.01)

請求項の数 6 (全 14 頁)

<p>(21) 出願番号 特願平11-215800 (22) 出願日 平成11年7月29日(1999.7.29) (65) 公開番号 特開2001-44297(P2001-44297A) (43) 公開日 平成13年2月16日(2001.2.16) 審査請求日 平成18年1月12日(2006.1.12)</p>	<p>(73) 特許権者 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 (74) 代理人 100094053 弁理士 佐藤 隆久 (72) 発明者 窪田 通孝 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内 (72) 発明者 小林 敏夫 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内 審査官 河合 俊英</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ソースあるいはドレインとなる2つの拡散層と、ゲートの3つ、またはソースあるいはドレインとなる2つの拡散層と、ゲート、基板あるいはチャンネルが形成される領域を含む層の4つの端子とを持つ電界効果トランジスタである複数の能動素子と、

第1電極と第2電極との間に絶縁層を有するキャパシタである、少なくとも1つの受動素子と

からなる理論回路と混載されているメモリセルを有し、

上記第1電極は、ワード線の金属配線により構成され、

上記第2電極は、上記理論回路用の金属配線により構成され、

上記メモリセルの構成が、第1の電界効果トランジスタの第2の拡散層端子と、キャパシタの第2電極と、第2の電界効果トランジスタのゲート電極端子が接続されており、

さらに、キャパシタの第1の電極をワード線に、第1の電界効果トランジスタの第1の拡散層端子がビットラインに、第1の電界効果トランジスタのゲート端子がコントロールゲートラインに、第2の電界効果トランジスタの第1の拡散層端子がビットラインに、第2の電界効果トランジスタの第2の拡散層端子が所定の電源端子に接続されている

半導体装置。

【請求項2】

上記メモリセルを構成する能動素子が、少なくともデータ書き込み機能を有するトランジスタおよびデータ読み出し機能を有するトランジスタを含む

請求項 1 記載の半導体装置。

【請求項 3】

上記メモリセルは、2つの電界効果トランジスタと1つのキャパシタで構成されており、第1の電界トランジスタはNチャネル形か、あるいはPチャネル形であり、第2の電界トランジスタもNチャネル形か、あるいはPチャネル形である

請求項 2 記載の半導体装置。

【請求項 4】

上記メモリセルを構成する能動素子がすべてN型電界効果トランジスタであるか、またはすべてP型電界効果トランジスタである

請求項 1 または 2 記載の半導体装置。

10

【請求項 5】

上記メモリセルをアレー状に配置した場合、1本のワードラインに接続された複数のメモリセルのそれぞれの第1の電界トランジスタのゲート電極端子が、1本のコントロールゲートラインに接続されているメモリセルアレーを有する

請求項 1 から 4 のいずれか一に記載の半導体装置。

【請求項 6】

上記メモリセルをアレー状に配置した場合、1本のビットラインに接続された複数のメモリセルのそれぞれの第1の電界トランジスタのゲート電極端子が、1本のコントロールゲートラインに接続されているメモリセルアレーを有する

請求項 1 から 4 のいずれか一に記載の半導体装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特に、ロジック回路との混載に適したいわゆるDRAMゲインセルに関するものである。

【0002】

【従来の技術】

近年、半導体の微細化が進み、1つのチップに多くの素子を搭載するだけでなく、いくつかの機能を組み込むことが求められている。

その代表的な例として、いわゆるシステムLSIである、DRAMとロジック回路を混載したLSIである。

30

これは、ASIC (Application Specific Integrated Circuit) にロジック回路のみならず、メモリを搭載することにより、ASICの応用範囲を広げるものである。

【0003】

現在、高密度、大容量の半導体メモリとして最も代表的なDRAM (Dynamic Random Access Memory) では、図10に示すように、ビット線BLと共通電位線SLとの間にワード線WLの電位によりオン/オフが制御されるトランジスタTと、メモリキャパシタMCA Pとを直列に接続させてメモリセルMCが構成されている。

【0004】

この1トランジスタ - 1キャパシタ型のメモリセルMCでは、メモリキャパシタMCA PとトランジスタTとの接続中点が記憶ノードNDとなり、この記憶ノードに蓄えられた電荷量の差によりデータの“1”と“0”を判別する。

40

記憶データの読み出しに際して安定動作を確保するには、ビット線BLに十分な大きさの電位変化を現出させることが必要であり、この観点からメモリキャパシタMCA Pについて、電荷を蓄積可能な容量(キャパシタ容量)が決められる。

【0005】

【発明が解決しようとする課題】

ところが、半導体メモリセルの専有面積の縮小化にともない、キャパシタ容量値そのものが低下しがちな傾向にあるうえ、大容量化によりビット線容量も増大するため、読み出し可能なビット線電位の変化が以前にも増して得にくくなっている。

50

【 0 0 0 6 】

この問題を解決するための一方策として、スタック形、フィン形、円筒形など単位面積当たりの表面積を増大させたキャパシタ電極を有するスタックドキャパシタ、さらにはトレンチキャパシタなど、様々なキャパシタ構造が提案されている。

しかしながら、基板に形成されるトレンチのアスペクト比、スタック電極層の高さなど加工技術上の限界、あるいは複雑な構造を形成するためのプロセスステップ数の増加による製造コストの増大などが原因で、単位面積当たりのキャパシタ容量値を増加させることが困難になってきている。

【 0 0 0 7 】

その一方で、キャパシタ容量は電極間に挟むキャパシタ絶縁膜の誘電率に比例することから、誘電率が高いキャパシタ絶縁材料の開発も行われている。

ところが、誘電体材料の開発自体の難しさにくわえ、誘電体との相性が良い電極材料の開発、これら新材料の加工技術の開発など、開発テーマが多岐にわたり開発費用や新規に導入すべき製造装置などが負担になって、D R A M製造コストは増加の一途を辿っている。したがって、セル面積を縮小しD R A Mの大容量化を進めても、ビット当たりのコストがなかなか下がらないのが現状である。

【 0 0 0 8 】

かかる背景のもと、構造および材料を変更せずにセル面積の縮小を進めるとした場合、D R A Mセルの読み出し信号が小さくなり、ついにはメモリセルに記憶されたデータを検出することが困難になることが予想される。

【 0 0 0 9 】

また、D R A Mセルとしては、上述した1トランジスタ1キャパシタ型の他に、キャパシタを用いない、たとえば3つのトランジスタを用いた3トランジスタ型のメモリセル等が知られているが、この場合、書き込み用と読み出し用の2本のワード線に加えて、書き込み用と読み出し用の2本のビット線が必要であり、配線層が多くなる。

しかしながら、この配線層の多さは、セル面積の縮小化の制限要因となる可能性が高い。

【 0 0 1 0 】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、安価なD R A M機能を有するメモリの提供にある。特にロジック回路との混載を考えた場合、ロジックプロセスへの影響を最小限にし、メモリセルと周辺回路との混載回路を容易にかつ低コストで実現できる半導体装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明に係る半導体装置は、ソースあるいはドレインとなる2つの拡散層と、ゲートの3つ、またはソースあるいはドレインとなる2つの拡散層と、ゲート、基板あるいはチャンネルが形成される領域を含む層の4つの端子とを持つ電界効果トランジスタである複数の能動素子と、第1電極と第2電極との間に絶縁層を有するキャパシタである、少なくとも1つの受動素子とからなる理論回路と混載されているメモリセルを有し、上記第1電極は、ワード線の金属配線により構成され、上記第2電極は、上記理論回路用の金属配線により構成され、上記メモリセルの構成が、第1の電界効果トランジスタの第2の拡散層端子と、キャパシタの第2電極と、第2の電界効果トランジスタのゲート電極端子が接続されており、さらに、キャパシタの第1の電極をワード線に、第1の電界効果トランジスタの第1の拡散層端子がビットラインに、第1の電界効果トランジスタのゲート端子がコントロールゲートラインに、第2の電界効果トランジスタの第1の拡散層端子がビットラインに、第2の電界効果トランジスタの第2の拡散層端子が所定の電源端子に接続されている。

【 0 0 1 3 】

また、本発明では、上記メモリセルを構成する能動素子が、少なくともデータ書き込み機能を有するトランジスタおよびデータ読み出し機能を有するトランジスタを含む。

【 0 0 1 4 】

また、本発明では、上記メモリセルは、2つの電界効果トランジスタと1つのキャパシタで構成されており、第1の電界トランジスタはNチャンネル形か、あるいはPチャンネル形であり、第2の電界トランジスタもNチャンネル形か、あるいはPチャンネル形である。

【0017】

また、本発明では、上記メモリセルを構成する能動素子がすべてN型電界効果トランジスタであるか、またはすべてP型電界効果トランジスタである。

【0018】

また、本発明では、上記メモリセルをアレー状に配置した場合、1本のワードラインに接続された複数のメモリセルのそれぞれの第1の電界トランジスタのゲート電極端子が、1本のコントロールゲートラインに接続されているメモリセルアレーを有する。

10

【0019】

また、本発明では、上記メモリセルをアレー状に配置した場合、1本のビットラインに接続された複数のメモリセルのそれぞれ第1の電界トランジスタのゲート電極端子が、1本のコントロールゲートラインに接続されているメモリセルアレーを有する。

【0021】

本発明によれば、受動素子、たとえばキャパシタの電荷蓄積は、記憶データに応じて能動素子である第1の電界効果トランジスタ（読み出しトランジスタ）のオン/オフが制御できる程度でよい。

したがって、このメモリセルでは、1トランジスタ - 1キャパシタ型DRAMセルのようにキャパシタの蓄積電荷で直接、大きな容量のビット線を充放電する必要がないため、キャパシタの電荷蓄積容量が小さくて済む。

20

この結果、この構造のメモリセルでは、とくにキャパシタ構造を工夫して単位面積当たりの電荷蓄積量を向上させなくてもよく、また、高い誘電率のキャパシタ誘電体材料を開発する必要がない。つまり、構造が複雑でないため作り易いうえ、プロセスの煩雑化に伴う製造コストの上昇がない。

また、ビット線が1本でセル面積が小さく、高集積化が可能であり、また、ロジック用トランジスタを大きな変更なしに用いることができるためCMOSロジックプロセスとの整合性が良く、DRAM機能を少ない工程でロジック回路との混載を実現可能である。

【0022】

【発明の実施の形態】

30

図1は、本発明に係る半導体装置としてのゲインセルの一実施形態を示す回路図である。

【0023】

このゲインセルGMCは、図1に示すように、読み出しトランジスタTR、書き込みトランジスタTW、キャパシタCAP、ビット線BL、ワード線WL、コントロールゲート線CGLを有している。

なお、図1において、TAはキャパシタCAPの第1電極、TBはキャパシタCAPの第2電極、WGは書き込みトランジスタTWのゲート端子、WAは書き込みトランジスタTWの一方のソース/ドレイン端子、WBは書き込みトランジスタの他方のソース/ドレイン端子、RGは読み出しトランジスタTRのゲート端子、RAは読み出しトランジスタTRの一方のソース/ドレイン端子、RBは読み出しトランジスタTRの他方のソース/ドレイン端子をそれぞれ示している。

40

【0024】

セルGMCは、たとえばメモリセルアレー内にm個×n個（m, n：任意の自然数）がマトリックス状に配置される。

このアレー構成の場合、同一行に配置されたメモリセルのキャパシタCAPの第1電極TAは共通のワード線WLに接続される。

また、同一列に配置されたメモリセルの書き込みトランジスタTWのゲート端子WGが共通のコントロールゲート線CGLに接続される。

さらに、同一列に配置されたメモリセルの読み出しトランジスタTRの一方のソース/ドレイン端子RAが共通のビット線BLに接続される。

50

また、ビット線 B L は、たとえば参照セルが接続された図示しないラッチ型のセンスアン
プに接続される。

このようにゲインセル G M C をメモリセルアレーとし、メモリ周辺回路を付加し、 L S I
チップ内にロジック回路（図 1 には図示せず）と混載される。

【 0 0 2 5 】

書き込みトランジスタ T W、および読み出しトランジスタ T R は、絶縁ゲート型電界効果
トランジスタ、たとえば n チャンネル M O S（ N M O S トランジスタ）により構成される。

【 0 0 2 6 】

書き込みトランジスタ T W は、ゲート端子 W G がコントロールゲート線 C G L に接続され
、一方のソース/ドレイン端子 W A がビット線 B L に接続され、他方のソース/ドレイン
端子 W B がキャパシタ C A P の第 2 電極 T B に接続されている。

読み出しトランジスタ T R は、ゲート端子 R G がキャパシタ C A P の第 2 電極 T B に接続
され、一方のソース/ドレイン端子 R A がビット線 B L に接続され、他方のソース/ドレ
イン端子 R B が基準電圧 V_{ss} （接地電圧 G N D）の供給ラインに接続されている。

そして、キャパシタ C A P の第 2 電極 T B、並びに、これに接続された書き込みトランジ
スタ T W の他方のソース/ドレイン端子 W B および読み出しトランジスタ T R のゲート端
子 R G の接続中点により、メモリセル G M C の記憶ノード S N が構成されている。

【 0 0 2 7 】

キャパシタ C A P は、第 1 電極 T A がワード線 W L に接続されている。

このキャパシタ C A P は、大容量である必要はないことから、たとえば 2 つの金属配線間
に絶縁体（層）を形成した、いわゆる M I M (Metal Insulator Metal) 型の容量により構
成される。

たとえば、第 1 電極 T A はアルミニウム（ A l ）等のワード線 W L と同一の金属配線によ
り構成され、第 2 電極はロジック回路用の金属配線により構成される。

そして、絶縁体としては、たとえばプラズマ C V D により形成された窒化膜（以下、プラ
ズマ窒化膜という）により形成される。

【 0 0 2 8 】

このような構成を有するキャパシタ C A P についてさらに考察する。

キャパシタ C A P に蓄積される電荷は主として、接合リークによって失われるが、典型的
なリーク値として 1 f A を仮定する。

保持すべき電位差を 1 V とし、放電時間（データ保持時間）を 600 m s とすれば、保持
電荷は次のようになる。

【 0 0 2 9 】

【 数 1 】

$$600 \text{ m s} \times 1 \text{ f A} = 0.6 \text{ f C}$$

【 0 0 3 0 】

また、キャパシタ C A P の容量は次のようになる。

【 0 0 3 1 】

【 数 2 】

$$0.6 \text{ f C} / 1 \text{ V} = 0.6 \text{ f F}$$

【 0 0 3 2 】

ここで、キャパシタ C A P の電極面積として、 8 F^2 （ F はデザインルール）を仮定する
と、 $F = 0.13 \mu \text{ m}$ のとき、 $8 \text{ F}^2 = 0.1352 \mu \text{ m}^2$ で、比誘電率 = 7 の誘電体
を用いるとすれば、絶縁体の膜厚 d は、以下のように、 14 n m となる。

【 0 0 3 3 】

【 数 3 】

$$d = (7 \cdot 8.854 \text{ e-}12 \cdot 0.1352 \text{ e-}12) / (0.6 \text{ e-}15) = 14 \text{ e-}9 \text{ [m]}$$

【 0 0 3 4 】

以上の条件は、絶縁膜としてプラズマ窒化膜を利用すれば、十分に実現することが可能で
ある。

10

20

30

40

50

また、キャパシタCAPは、複雑な汎用DRAMのようなキャパシタではなく、平行平板型キャパシタが良い。

さらに、プラズマ窒化膜はAl等の配線が形成された後でも利用できる低温プロセスであることから、上述したようにロジック回路用の配線層を流用したMIM型キャパシタとすることが可能である。

【0035】

次に、図1の単一ビット線タイプのメモリセルGMCのパターンおよび断面の構造例を図2および図3に関連付けて説明する。

図2は、本実施形態に係るメモリセルGMCのパターン図、図3(a)は図2のA-A線における断面図、図3(b)は図2のB-B線における断面図である。なお、本実施形態においては、コントロールゲート線CGLとビット線BLが平行になるよう配置されているが、コントロールゲート線CGLとワード線WLが平行になるよう配置してもよい。

10

【0036】

図3に示すように、本実施形態に係るメモリセルGMCは、たとえばAlからなる4層の第1～第4の金属配線層MTL1～MTL4を有している。第1の金属配線層MTL1は、書き込みトランジスタTWのドレインと読み出しトランジスタTRのゲートとを接続する層である。第2の金属配線層MLT2は、コントロールゲート線CGLを構成する層である。第3の金属配線層MLT3は、キャパシタCAPの第2電極(積層構造として見た場合、下部電極)TBを構成する層である。第4の金属配線層MLT4は、キャパシタCAPの第1電極(積層構造として見た場合、上部電極)TAはワード線WLを兼用する層である。

20

【0037】

また、ワード線と書き込みトランジスタのコントロールゲート線CGLが独立している。このため、キャパシタCAPの容量と書き込みトランジスタTWのしきい値電圧の間に制限がない。

【0038】

本メモリセルGMCは、図3に示すように、シリコン等の半導体基板10に、素子分離用のたとえばSTI(Shallow Trench Isolation)11が形成され、STI11にて分離されたアクティブ領域に、書き込みトランジスタTW、および読み出しトランジスタTRが形成されている。

30

【0039】

書き込みトランジスタTWおよび読み出しトランジスタTRは、ソース/ドレイン領域12, 13間のチャンネル形成領域上に形成されたゲート絶縁膜14、ゲート絶縁膜14上に形成されたポリシリコンからなるゲート電極15、並びに窒化シリコン(SiN)により形成されたサイドウォール16を有している。

すなわち、書き込みトランジスタTWおよび読み出しトランジスタTRは、周辺回路としてのロジック回路を構成するMOSトランジスタと同様の構造を有して、後述するように、通常のMOSトランジスタと同様のプロセスで形成される。

【0040】

そして、書き込みトランジスタTWおよび読み出しトランジスタTRを覆うように形成され、その上面が平坦化されている第1層間絶縁膜17上に、第1の金属配線層MLT1が形成されている。

40

この第1層間絶縁膜17には、第1の金属配線層MLT1の下面から書き込みトランジスタTWの他方のソース/ドレイン端子WBに達するコンタクトホールC1、および読み出しトランジスタTRのゲート電極GRに達するコンタクトホールC2が形成され、これらコンタクトホールC1, C2には、たとえばタングステン(W)からなるプラグPLG1, PLG2がそれぞれ埋め込まれている。

すなわち、プラグPLG1、第1金属配線層MLT1、プラグPLG2を介して、書き込みトランジスタTWの他方のソース/ドレイン端子WBと読み出しトランジスタTRのゲート電極GRが接続されている。

50

【0041】

第1の金属配線層MLT1を覆うように形成され、その上面が平坦化されている第2層間絶縁膜18上に、コントロールゲート線CGLとしての第2の金属配線層MLT2が形成されている。

そして、第2層間絶縁膜18、第1層間絶縁膜17には、第2の金属配線層MLT2の下面から書き込みトランジスタTWのゲート電極GWに達するコンタクトホールC3が形成され、このコンタクトホールC3には、WからなるプラグPLG3が埋め込まれている。すなわち、プラグPLG3を介して、書き込みトランジスタTWのゲート電極GWがコントロールゲート線CGLとしての第2の金属配線層MLT2に接続されている。

【0042】

さらに、第2の金属配線層MLT2を覆うように形成され、その上面が平坦化された第3層間絶縁膜19上に、キャパシタCAPの第2電極TAが形成されている。

そして、第3層間絶縁膜19、第2層間絶縁膜18には、第3の金属配線層MLT3の下面から第1の金属配線層MLT1に達するコンタクトホールC4が形成され、このコンタクトホールC4には、WからなるプラグPLG4が埋め込まれている。

すなわち、キャパシタCAPの第1電極TAには、プラグPLG4、第1の金属配線層MLT1、プラグPL1、PL2を介して、書き込みトランジスタTWの他方のソース/ドレイン端子WBと読み出しトランジスタTRのゲート電極GRが接続されている。

【0043】

さらに、第3の金属配線層MLT3の上面を除く周囲には、上面が第3の金属配線層MLT3の上面より上位にある第4層間絶縁膜20が形成されている。

そして、第3の金属配線層MLT3の上面、および第4層間絶縁膜20の上面に、キャパシタCAPの絶縁体としてのプラズマ窒化膜INSが形成され、プラズマ窒化膜INSの上面に第4の金属配線層MLT4が形成されている。

【0044】

次に、図2および図3に示すような単位メモリセルGMCの製造方法について、図面に関連付けて説明する。

図4および図5は製造方法を説明するための簡略断面図、図6、図7、および図8は製造方法を説明するための平面図である。

なお、図4および図5は、図2のA-Aにおける断面図である。また、ここでは、拡散層等は省略する。また、以下の説明では、アニール、洗浄等は省略する。

【0045】

(1) 素子分離(STI)形成

まず、図4(a)および図6(a)に示すように、半導体基板10の所定の領域にトレンチを形成した後、このトレンチ内に酸化絶縁膜を埋め込む形、すなわち通常の方法でSTI11を形成する。

また、アクティブ領域には、NMOSの場合はpウェルが形成され、pチャネルMOSの場合には、nウェルが形成される。そして、必要に応じてしきい値電圧調整用のイオン注入を行う。

【0046】

(2) ゲート電極形成

次に、図4(a)に示すように、半導体基板10のアクティブ領域上にゲート酸化膜14を形成する。

ゲート酸化膜14を形成後、図4(a)および図6(b)に示すように、ゲート電極材料としてポリシリコンを用い、CVD等でゲート電極15を形成し、イオン注入などの手段でドーピングを行い、低抵抗化する。

なお、その場でドーピングしたポリシリコンを用いても良いし、上層側からW/WN/ポリシリコンの積層構造であるいわゆるポリメタル構造等にしてもよい。

電極の加工は、まず、SiNをフォトリソグレイド(PR)をマスクに加工してから、SiNのマスクでエッチングを行う。

10

20

30

40

50

【0047】

(3) コンタクト形成1

LDDイオン注入の後、図4(b)に示すように、SiN膜をCVDで形成し、エッチバックによりサイドウォール16を形成する。

その後、第1層間絶縁膜17を形成し、好ましくは平坦化した後、図4(b)および図6(c)に示すように、まず、半導体基板11へのコンタクトホールC1、次に、読み出しトランジスタTR用のゲート電極15へのコンタクトホールC2を形成する。

なお、通常コンタクト形成前に低抵抗化のため、ロジック部のソース/ドレインのシリサイド化が行われるが、本説明のDRAM部は層間絶縁膜で覆い、シリサイド化されないようにする(シリサイド化により、接合リークが増加するのを防止する)。

10

【0048】

(4) TRのゲートとTWのソース/ドレインを接続

次に、図4(b)および図7(d)に示すように、W等によりコンタクトホールC1、C2内にプラグPLG1、PLG2を形成した後、第1層間絶縁膜17上に第1の金属配線層MTL1を形成して、書き込みトランジスタTWのソース/ドレインと読み出しトランジスタTRのゲート電極15とを接続する。

【0049】

(5) コンタクト形成2

図5(c)に示すように、第2層間絶縁膜18を形成し、好ましくは平坦化した後、図7(e)に示すように、書き込みトランジスタTW用のゲート電極用コンタクトホールC3

20

を形成する。

次に、プラグPLG3をW等で形成する。

【0050】

(6) CG配線形成

そして、図5(c)および図7(f)に示すように、第2層間絶縁膜18上に、プラグPLG3同士(コンタクトホールC3同士)を接続するコントロールゲート線CGLとしての第2の金属配線層MLT2を形成する。

【0051】

(7) キャパシタ下部電極用コンタクト形成

図5(d)に示すように、第3層間絶縁膜19を形成し、好ましくは平坦化した後、図8(g)に示すように、第3層間絶縁膜19、第2層間絶縁膜18に金属配線層MLT1に達するキャパシタ下部電極用コンタクトホールC4を形成する。

30

【0052】

(8) キャパシタ下部電極形成

図5(d)に示すように、コンタクトホールC4に、WからなるプラグPLG4を形成する。

そして、図5(d)および図8(h)に示すように、キャパシタCAPの第2電極TA(下部電極)を形成する。

【0053】

(9) WL形成

図5(d)に示すように、第4層間絶縁膜20を形成し、好ましくは平坦化した後、キャパシタ下部電極に窓開けし、プラズマ-SiN等のキャパシタ絶縁膜INSを形成する。そして、図5(d)および図8(i)に示すように、キャパシタCAPの第1電極TA(上部電極)およびワード線WLとしての第4の金属配線層MLT4を形成する。

40

なお、この工程で、周辺回路と並行して製造する場合には、増加するマスクは1枚である。

また、DRAMセル部以外でプラズマ窒化膜が不要な場合には、さらにマスクを1枚追加することにより、不要部を除去することができる。

【0054】

以上により、単位セルの製造が完了する。

50

【 0 0 5 5 】

図 9 は、以上のように製造されるメモリセル G M C をマトリクス状に配置した場合のレイアウトの一例を示す図である。

このレイアウトでは、図 9 に示すように、ワード線 W L としての第 4 の金属配線層 M T L 4 と、コンタクトホール C 1 と C 2 を接続する第 1 の金属配線層 M T L 1 とを平行になるように形成し、これに直交する方向にコンタクトホール C 3 同士を接続するコントロールゲート線 C G L としての第 2 の金属配線層 M T L 2 を形成している。

【 0 0 5 6 】

このレイアウトの場合、設計ルール F を用いてセル面積を考察すると、 $15F^2$ となり、キャパシタ面積は $8F^2$ となる。

図 9 のレイアウトにしない場合には、セル面積は $16F^2$ あるいはそれ以上になると考察される。

したがって、本レイアウトによりセル面積を小さくでき、ひいてはコスト低減を実現できる。

【 0 0 5 7 】

次に、上記構成によるメモリセル G M C の書き込み、消去、および読み出し動作について説明する。

【 0 0 5 8 】

書き込み動作

まず、選択セルが接続されたワード線 W L が接地電位に設定され、ビット線 B L が高電位（ハイレベル H；電源電圧レベル）に設定され、コントロールゲート線 C G L が高電位（ハイレベル H；電源電圧レベル）に設定される。

これにより、書き込みトランジスタ T W が導通状態となり、キャパシタ C A P にビット線 B L の電荷が蓄積される。

この場合、キャパシタ C A P においては、第 2 電極 T B が第 1 電極 T A に対して高電位となる。

そして、キャパシタ C A P に蓄積された電荷により、読み出しトランジスタ T R のしきい値 V_{thR} が実効的に低くなる。

【 0 0 5 9 】

消去動作

まず、選択セルが接続されたワード線 W L が接地電位に設定され、ビット線 B L が接地電位に設定され、コントロールゲート線 C G L が高電位（ハイレベル H；電源電圧レベル）に設定される。

これにより、書き込みトランジスタ T W が導通状態となり、キャパシタ C A P に蓄積された電荷は、ビット線 B L に放電される。

この場合、キャパシタ C A P においては、第 1 電極 T A と第 2 電極 T B は同電位となる。その結果、読み出しトランジスタ T R のしきい値 V_{thR} は初期値に保持される。

【 0 0 6 0 】

読み出し動作

まず、選択セルが接続されているコントロールゲート線 C G L が接地電位に設定され、ワード線 W L が接地電位に設定され、ビット線 B L が高電位（ハイレベル H；電源電圧レベル）に設定された後、電氣的に浮遊状態とされる。

これにより、書き込みトランジスタ T W は非導通状態に保持され、このときキャパシタ C A P に、読み出しトランジスタ T R を導通させるに十分な電荷が蓄積されていれば、読み出しトランジスタ T R が導通状態となり、ビット線 B L の電荷が基準電圧 V_{ss} の供給ラインに流れ、ビット線電位が低下する。

一方、キャパシタ C A P に、読み出しトランジスタ T R を導通させるに十分な電荷が蓄積されていなければ、読み出しトランジスタ T R は非導通状態に保持される。したがって、ビット線 B L の電位は低下しない。

そして、所定時間内にビット線電位に上記のいずれかの状態が生じるか否かで、書き込

10

20

30

40

50

れたデータの違いが判別される。

【0061】

本実施形態によれば、ビット線BLと、ワード線WLと、コントロールゲート線CGLと、第1電極TAがワード線WLに接続されたキャパシタCAPと、ビット線BLと所定の電位点との間に接続され、ゲート電極がキャパシタCAPの第2電極TBに接続されたNMOSからなる読み出しトランジスタTRと、ビット線BLとキャパシタCAPの第2電極TBとの間に接続され、ゲート電極がコントロールゲート線CGLに接続されたNMOSからなる書き込みトランジスタTWとを設けたので、1トランジスタ - 1キャパシタ型DRAMセルのように、キャパシタ容量がビット線の読み出しデータの大きさ(振幅)を決める訳ではなく、比較的小さな容量値ですむ。

10

そして、本実施形態に係るDRAMゲインセルでは、キャパシタの容量値が小さくても、セル動作が安定しており、ノイズに強く、誤動作が少ない。大容量のキャパシタを必要とせず、キャパシタの単位面積当たりの蓄積電荷量を上げるための複雑な電極構造、電極や誘電体膜の材料を新たに開発する必要がない。

【0062】

また、本実施形態に係る半導体装置では、メモリセル内のビット線BLが1本であり、このビット線BLに書き込みトランジスタTWと読み出しトランジスタTRがともに接続されている。したがって、セル面積を小さくでき、高集積化が可能である。

また、バルク型トランジスタを用いるためCMOSロジックプロセスとの整合性が良く、DRAM機能を少ない工程でロジックICチップに追加することが可能となる。

20

【0063】

以上より、製造プロセスの簡略化、低コスト化でき動作信頼性が高いメモリ - ロジック混載ICが本発明によって実現可能となる。

【0064】

【発明の効果】

本発明に係る半導体装置によれば、精度に影響を与えることなくセル面積の縮小が可能で、また配線層数を低減できる。

そして、バルク型の場合は、CMOSロジックプロセスとの整合性が良く、DRAM機能を少ない工程でロジックICチップに追加することができるという利点がある。

以上より、複雑な製造プロセスを追加することなく、低コスト化でき動作信頼性が高いメモリ - 周辺回路(ロジック回路)との混載回路が実現可能となる。

30

【図面の簡単な説明】

【図1】本発明に係る半導体装置としてのゲインセルの一実施形態を示す回路図である。

【図2】本実施形態に係るメモリセルのパターン図である。

【図3】(a)は図2のA - A線における断面図、(b)は図2のB - B線における断面図である。

【図4】本発明に係るメモリセルの製造方法を説明するための断面図である。

【図5】本発明に係るメモリセルの製造方法を説明するための断面図である。

【図6】本発明に係るメモリセルの製造方法を説明するための平面図である。

【図7】本発明に係るメモリセルの製造方法を説明するための平面図である。

40

【図8】本発明に係るメモリセルの製造方法を説明するための平面図である。

【図9】本発明に係るDRAMゲインセルのレイアウトの一例を示す図である。

【図10】1トランジスタ - 1キャパシタ型DRAMセルの回路図である。

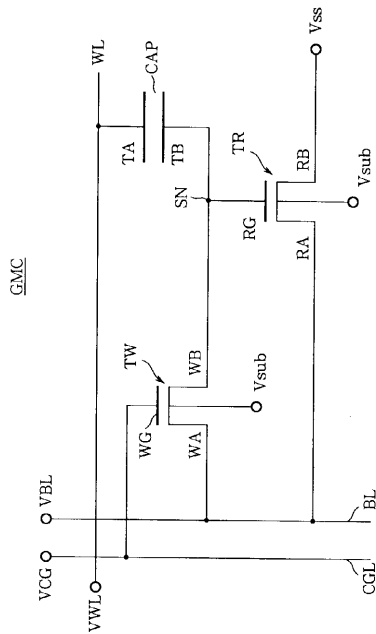
【符号の説明】

GMC...DRAMゲインセル(メモリセル)、TW...書き込みトランジスタ、TR...読み出しトランジスタ、CAP...キャパシタ、WL...ワード線、CGL...コントロールゲート線、BL...ビット線、10...半導体基板、11...素子分離絶縁層(STI)、12, 13...ソース/ドレイン、14...ゲート絶縁膜、15...ゲート電極、16...サイドウォール、17...第1層間絶縁膜、18...第2層間絶縁膜、19...第3層間絶縁膜、20...第4層間絶縁膜、MTL1...第1の金属配線層、MTL2...第2の金属配線層、MTL3...第3の

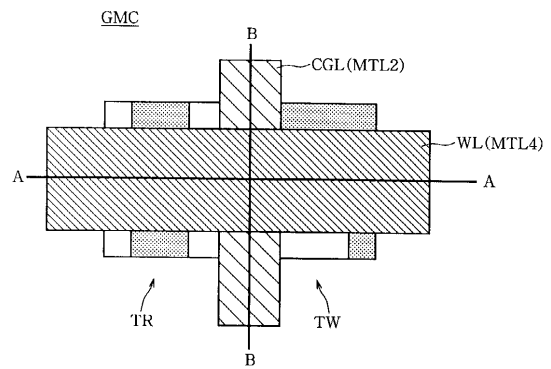
50

金属配線層、M T L 4 ... 第 4 の金属配線層、I N S ... 絶縁体、C 1 ~ C 4 ... コンタクトホール、P L G 1 ~ P L G 4 ... プラグ。

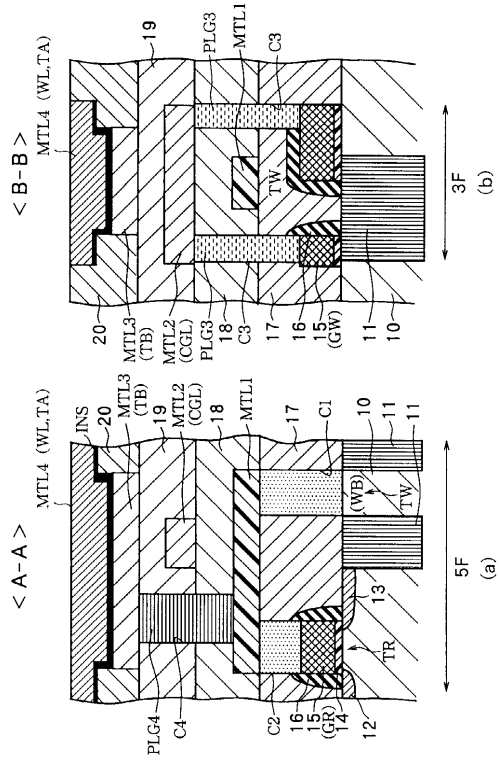
【 図 1 】



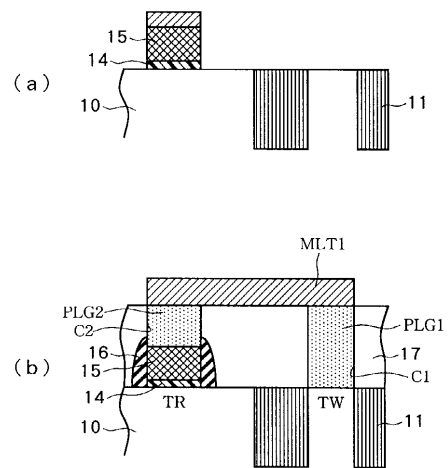
【 図 2 】



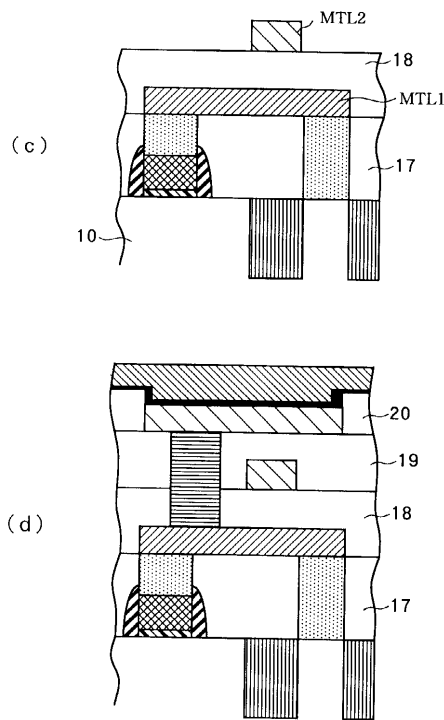
【 図 3 】



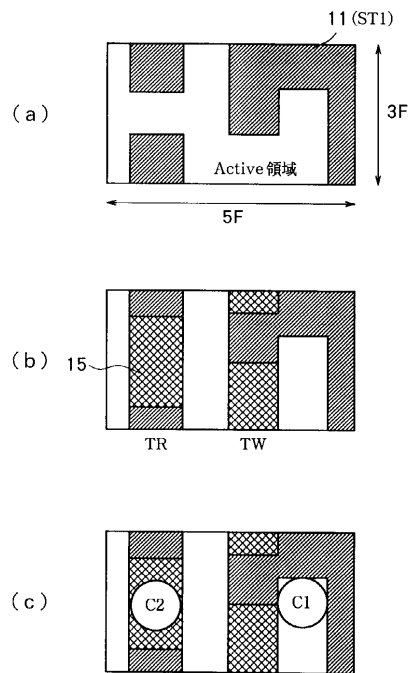
【 図 4 】



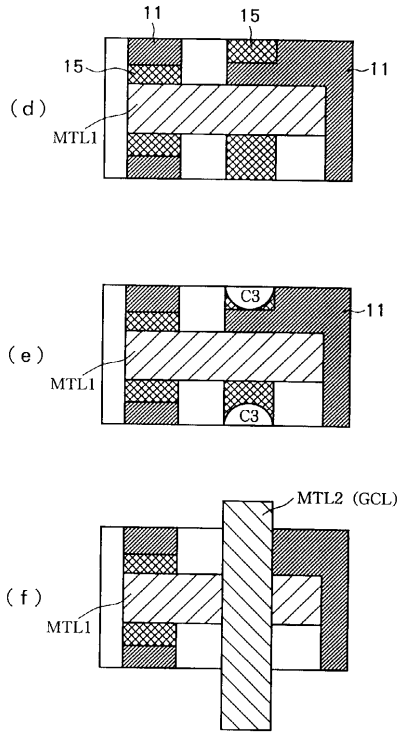
【 図 5 】



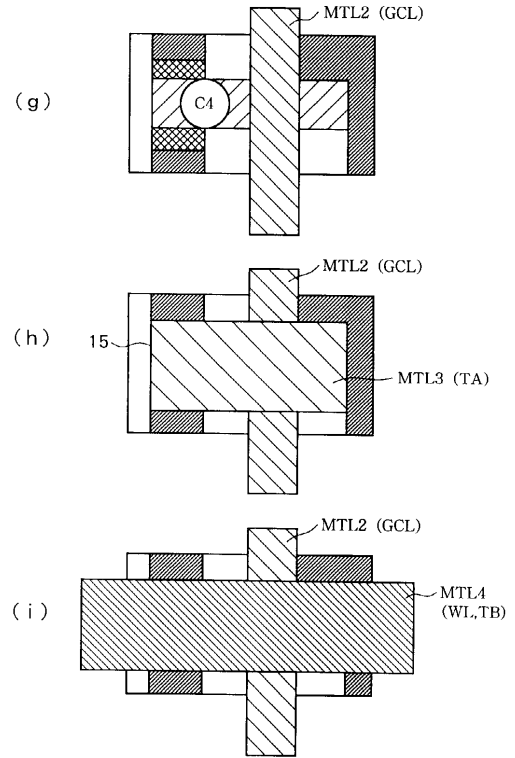
【 図 6 】



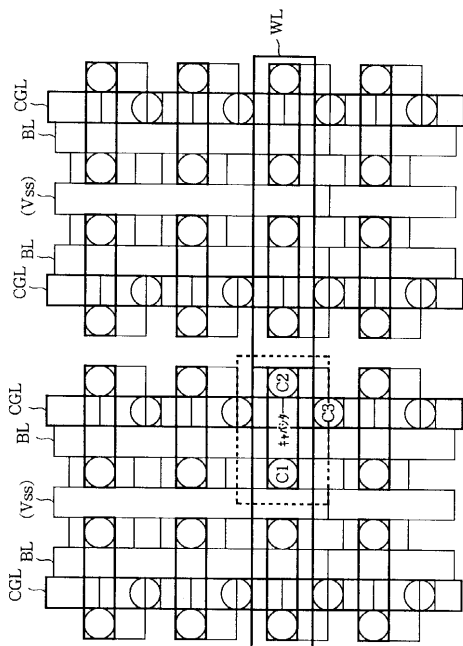
【 図 7 】



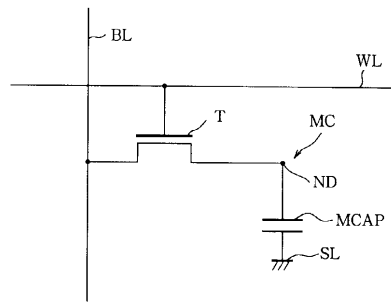
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 特開昭62-060192(JP,A)
特開平02-054572(JP,A)
特開昭62-060191(JP,A)
特開平11-017025(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/8242
H01L 27/108