

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0061479
(43) 공개일자 2020년06월03일

(51) 국제특허분류(Int. Cl.)

H01L 31/0445 (2014.01) H01L 31/0224 (2006.01)

H01L 31/0392 (2006.01) H01L 31/18 (2006.01)

(52) CPC특허분류

H01L 31/0445 (2015.01)

H01L 31/022425 (2013.01)

(21) 출원번호 10-2018-0146702

(22) 출원일자 2018년11월23일

심사청구일자 2018년11월23일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

장효식

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(74) 대리인

김호중

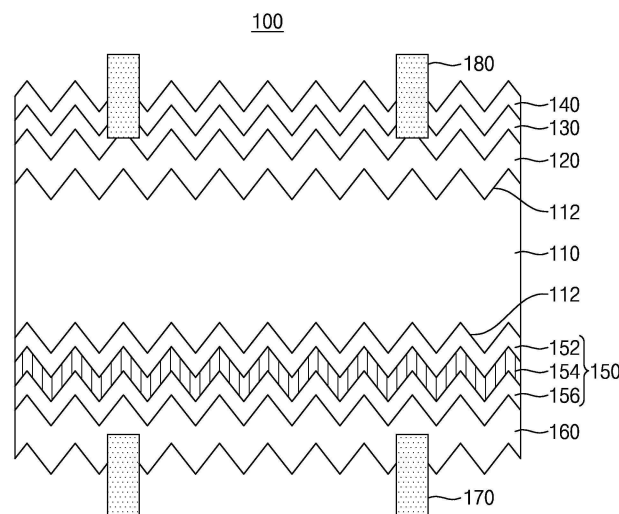
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전하선택 박막을 포함하는 실리콘 태양전지 및 이의 제조방법

(57) 요약

본 발명의 실리콘 태양전지의 제조방법은, 제1 도전성 타입의 실리콘 기판을 준비하는 단계와, 상기 실리콘 기판의 상면에 제2 도전성 타입의 에미터층을 형성하는 단계와, 상기 에미터층 상에 패시베이션층을 형성하는 단계와, 상기 패시베이션층 상에 반사 방지막을 형성하는 단계와, 상기 실리콘 기판의 하부에 전하선택 박막을 형성하는 단계와, 상기 전하선택 박막의 하부에 투명층을 형성하는 단계와, 상기 투명층의 하면에 제1 전극을 형성하는 단계와, 상기 에미터층과 전기적으로 접속되는 제2 전극을 형성하는 단계를 포함한다.

대표도 - 도1a



(52) CPC특허분류

H01L 31/0392 (2013.01)

H01L 31/18 (2013.01)

H01L 31/1868 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 20173010012940

부처명 산업통산자원부

연구관리전문기관 한국에너지기술평가원

연구사업명 에너지기술개발사업

연구과제명 태양광산업 원천기술 개발 및 중소·중견기업 경쟁력 제고를 위한 통합형기술개발 플랫폼
구축 및 운영

기 여 율 1/1

주관기관 한국에너지기술연구원

연구기간 2018.01.01 ~ 2018.12.31

명세서

청구범위

청구항 1

제1 도전성 타입의 실리콘 기판을 준비하는 단계;
 상기 실리콘 기판의 상면에 제2 도전성 타입의 에미터층을 형성하는 단계;
 상기 에미터층 상에 패시베이션층을 형성하는 단계;
 상기 패시베이션층 상에 반사 방지막을 형성하는 단계;
 상기 실리콘 기판의 하부에 전하선택 박막을 형성하는 단계;
 상기 전하선택 박막의 하부에 투명층을 형성하는 단계;
 상기 투명층의 하면에 제1 전극을 형성하는 단계; 및
 상기 에미터층과 전기적으로 접속되는 제2 전극을 형성하는 단계;를 포함하는 실리콘 태양전지의 제조방법.

청구항 2

제1 항에 있어서,
 상기 전하선택 박막을 형성하는 단계에서,
 상기 실리콘 기판의 하면에 제1 금속 산화막을 형성하고, 상기 제1 금속 산화막의 하면에 제2 금속 산화막을 형성하고, 상기 제2 금속 산화막의 하면에 제3 금속 산화막을 형성하는 실리콘 태양전지의 제조방법.

청구항 3

제2 항에 있어서,
 상기 제1 금속 산화막은 산화 알루미늄(Al_2O_3) 또는 알루미늄 실리케이트($Al-Si-O$)로 0.1nm~2.0nm의 두께로 형성되는 실리콘 태양전지의 제조방법.

청구항 4

제2 항에 있어서,
 상기 제2 금속 산화막은 산화 몰리브덴(MoO_x)으로 3.0nm~15.0nm의 두께로 형성되는 실리콘 태양전지의 제조방법.

청구항 5

제2 항에 있어서,
 상기 제3 금속 산화막은 산화 알루미늄(Al_2O_3)으로 0.1nm~2.0nm의 두께로 형성되는 실리콘 태양전지의 제조방법.

청구항 6

제1 도전성 타입의 실리콘 기판;
 상기 실리콘 기판의 상면에 배치된 제2 도전성 타입의 에미터층;
 상기 에미터층 상에 배치된 패시베이션층;
 상기 패시베이션층 상에 배치된 반사 방지막;
 상기 실리콘 기판의 하부에 배치된 전하선택 박막;

상기 전하선택 박막의 하부에 배치된 투명층;

상기 투명층의 하면에 배치된 제1 전극; 및

상기 에미터층과 전기적으로 접속되는 제2 전극;을 포함하는 전하선택 박막을 포함하는 실리콘 태양전지.

청구항 7

제6 항에 있어서,

상기 전하선택 박막은,

상기 실리콘 기판의 하면에 배치된 제1 금속 산화막;

상기 제1 금속 산화막의 하면에 배치된 제2 금속 산화막; 및

상기 제2 금속 산화막의 하면에 배치된 제3 금속 산화막;을 포함하는 실리콘 태양전지.

청구항 8

제7 항에 있어서,

상기 제1 금속 산화막은 산화 알루미늄(Al_2O_3) 또는 알루미늄 실리케이트($Al-Si-O$)로 0.1nm~2.0nm의 두께로 형성되는 실리콘 태양전지.

청구항 9

제7 항에 있어서,

상기 제2 금속 산화막은 산화 몰리브덴(MoO_x)으로 3.0nm~15.0nm의 두께로 형성되는 실리콘 태양전지.

청구항 10

제7 항에 있어서,

상기 제3 금속 산화막은 산화 알루미늄(Al_2O_3)으로 0.1nm~2.0nm의 두께로 형성되는 실리콘 태양전지.

발명의 설명

기술 분야

[0001] 본 발명은 태양전지에 관한 것으로, 보다 자세하게는 전하선택 박막을 포함하는 실리콘 태양전지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 태양전지는 태양광을 직접 전기로 변환시키는 태양광 발전의 핵심 소자로서, 기본적으로 p-n 접합으로 이루어진 다이오드(Diode)라 할 수 있다. 실리콘 태양전지는 p-n 접합면을 갖는다. 상기 p-n 접합면에 빛이 조사되면 전자와 정공이 발생하며, 전자와 정공은 p 영역과 n 영역으로 이동하게 된다. 이때, p 영역과 n 영역 사이에 전위차(기전력)가 발생하고, 태양전지에 부하를 연결하면 전류가 흐르게 된다.

[0003] 실리콘 태양전지는 사용 재료의 종류에 따라서 결정계, 비정질계, 화합물계 등으로 분류되며, 결정계 실리콘 태양전지는 단결정형 및 다결정형으로 분류된다. 단결정 실리콘 태양전지는 기판의 품질이 좋기 때문에 고효율화가 용이하지만 기판의 제조 비용이 큰 단점이 있다. 이에 반하여 다결정 실리콘 태양전지는 단결정 실리콘 태양전지에 비해 상대적으로 기판의 품질이 좋지 않기 때문에 고효율화가 어려운 단점이 있다.

[0004] 태양전지는 일반적으로 n형 실리콘 기판 상에 p형 실리콘 박막(p형 반도체층)이 형성된 구조를 이루게 된다. p형 실리콘 박막은 p형 불순물의 도핑에 의해 형성된다. 이에, 실리콘 기판의 하층부는 n형 반도체층으로 남는다. 실리콘 기판의 상층부는 p형 반도체층을 이루게 되어 p-n 접합부를 구성한다. 그리고 실리콘 기판의 전후면에는 p-n 접합부에 의해 광 생성된 정공 및 전자를 포집하기 위한 금속 전극이 형성된다. 태양전지는 전자 또는 정공과 같은 전하의 재결합을 최소화 시킴으로써 태양전지의 발전 효율을 극대화시키는 것이 중요하다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 발전 효율을 향상시킬 수 있는 실리콘 태양전지 및 이의 제조방법을 제공하는 것을 기술적 과제로 한다.
- [0006] 본 발명은 실리콘 기판에 전하선택 박막을 적용하고, 전하선택 박막의 특성을 향상시켜 전하의 이동도를 높일 수 있는 실리콘 태양전지 및 이의 제조방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

- [0007] 본 발명의 실시 예에 따른 실리콘 태양전지의 제조방법은, 제1 도전성 타입의 실리콘 기판을 준비하는 단계와, 상기 실리콘 기판의 상면에 제2 도전성 타입의 에미터층을 형성하는 단계와, 상기 에미터층 상에 패시베이션층을 형성하는 단계와, 상기 패시베이션층 상에 반사 방지막을 형성하는 단계와, 상기 실리콘 기판의 하부에 전하선택 박막을 형성하는 단계와, 상기 전하선택 박막의 하부에 투명층을 형성하는 단계와, 상기 투명층의 하면에 제1 전극을 형성하는 단계와, 상기 에미터층과 전기적으로 접속되는 제2 전극을 형성하는 단계를 포함한다.
- [0008] 본 발명의 실시 예에 따른 실리콘 태양전지의 제조방법은 상기 전하선택 박막을 형성하는 단계에서, 상기 실리콘 기판의 하면에 제1 금속 산화막을 형성한다. 상기 제1 금속 산화막의 하면에 제2 금속 산화막을 형성한다. 상기 제2 금속 산화막의 하면에 제3 금속 산화막을 형성한다.
- [0009] 본 발명의 실시 예에 따른 실리콘 태양전지의 제조방법에서, 상기 제1 금속 산화막은 산화 알루미늄(Al_2O_3) 또는 알루미늄 실리케이트($Al-Si-O$)로 0.1nm~2.0nm의 두께로 형성된다.
- [0010] 본 발명의 실시 예에 따른 실리콘 태양전지의 제조방법에서, 상기 제2 금속 산화막은 산화 몰리브덴(MoO_x)으로 3.0nm~15.0nm의 두께로 형성된다.
- [0011] 본 발명의 실시 예에 따른 실리콘 태양전지의 제조방법에서, 상기 제3 금속 산화막은 산화 알루미늄(Al_2O_3)으로 0.1nm~2.0nm의 두께로 형성된다.
- [0012] 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지는, 제1 도전성 타입의 실리콘 기판과, 상기 실리콘 기판의 상면에 배치된 제2 도전성 타입의 에미터층과, 상기 에미터층 상에 배치된 패시베이션층과, 상기 패시베이션층 상에 배치된 반사 방지막과, 상기 실리콘 기판의 하부에 배치된 전하선택 박막과, 상기 전하선택 박막의 하부에 배치된 투명층과, 상기 투명층의 하면에 배치된 제1 전극과, 상기 에미터층과 전기적으로 접속되는 제2 전극을 포함한다.
- [0013] 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지의 상기 전하선택 박막은, 상기 실리콘 기판의 하면에 배치된 제1 금속 산화막과, 상기 제1 금속 산화막의 하면에 배치된 제2 금속 산화막과, 상기 제2 금속 산화막의 하면에 배치된 제3 금속 산화막을 포함한다.
- [0014] 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지의 상기 제1 금속 산화막은 산화 알루미늄(Al_2O_3) 또는 알루미늄 실리케이트($Al-Si-O$)로 0.1nm~2.0nm의 두께로 형성된다.
- [0015] 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지의 상기 제2 금속 산화막은 산화 몰리브덴(MoO_x)으로 3.0nm~15.0nm의 두께로 형성된다.
- [0016] 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지의 상기 제3 금속 산화막은 산화 알루미늄(Al_2O_3)으로 0.1nm~2.0nm의 두께로 형성된다.

발명의 효과

- [0017] 본 발명은 발전 효율이 증가되는 실리콘 태양전지 및 이의 제조방법을 제공할 수 있다.
- [0018] 본 발명의 실리콘 태양전지는 전하선택 박막의 특성을 향상시켜 전하의 이동도를 높일 수 있다.
- [0019] 본 발명의 실리콘 태양전지 및 이의 제조 방법은 제2 금속 산화막(MoO_x)의 상면에 제1 금속 산화막(Al_2O_3 또는 $Al-Si-O$, $Al-silicate$)이 배치되어 실리콘 산화막의 결합(sub-oxide state)을 감소시켜 전하선택 박막의 특성

을 향상시킬 수 있다. 또한, 제2 금속 산화막(MoOx)의 하면에 제3 금속 산화막(Al_2O_3)이 배치되어 제2 금속 산화막의 MoOx의 조성의 변화를 방지하여 전하선택 박막의 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0020]

도 1a는 본 발명의 일 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지를 나타내는 도면이다.

도 1b는 본 발명의 일 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지를 나타내는 도면이다.

도 2a는 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지의 제조방법을 나타내는 도면이다.

도 2b는 전하선택 박막을 형성하는 방법을 나타내는 도면이다.

도 3은 실리콘 기판의 상/하면에 텍스처링 구조를 형성하는 것을 나타내는 도면이다.

도 4는 실리콘 기판의 상면에 에미터층을 형성하는 것을 나타내는 도면이다.

도 5는 에미터층의 상면에 패시베이션층을 형성하는 것을 나타내는 도면이다.

도 6은 패시베이션층의 상면에 반사 방지막을 형성하는 것을 나타내는 도면이다.

도 7은 반사 방지막 상에 금속층을 형성하는 것을 나타내는 도면이다.

도 8a는 실리콘 기판의 하면에 전하선택 박막을 형성하는 것을 나타내는 도면이다.

도 8b는 실리콘 기판의 하면에 제1 금속 산화막을 형성하는 것을 나타내는 도면이다.

도 8c는 제1 금속 산화막의 하면에 제2 금속 산화막을 형성하는 것을 나타내는 도면이다.

도 8d는 제2 금속 산화막의 하면에 제3 금속 산화막을 형성하는 것을 나타내는 도면이다.

도 9는 전하선택 박막의 하부에 투명층을 형성하는 것을 나타내는 도면이다.

도 10은 투명층의 하부에 금속층을 형성하는 것을 나타내는 도면이다.

도 11은 제1 전극 및 제2 전극을 형성하는 것을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021]

이하에서, 첨부된 도면을 참조하여, 본 발명의 실시 예들에 전하선택 박막을 포함하는 실리콘 태양전지 및 이의 제조방법에 대하여 상세하게 설명한다.

[0022]

도 1a는 본 발명의 일 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지를 나타내는 도면이다.

[0023]

도 1a를 참조하면, 본 발명의 실시 예에 따른 실리콘 태양전지(100)는 실리콘 기판(110, silicon base substrate), 에미터층(120, emitter layer), 패시베이션층(130), 반사 방지막(140, ARC: anti-reflection coating), 전하선택 박막(150), 투명층(160), 제1 전극(170), 및 제2 전극(180)을 포함할 수 있다. 상기 전하선택 박막(150)은 제1 금속 산화막(152), 제2 금속 산화막(154, MoOx), 및 제3 금속 산화막(156)을 포함할 수 있다.

[0024]

실리콘 기판(110)은 태양전지의 베이스 기판으로서, 제1 도전성 타입, 예를 들어 p형 도전성 타입의 불순물이 도핑된 반도체 기판이다. 실리콘 기판(110)의 p형 도전성 타입을 가지는 경우, 붕소(B), 갈륨(Ga), 인듐(In) 등과 같은 3가 원소의 불순물을 포함할 수 있다. 이에 한정되지 않고, 실리콘 기판(110)이 n형의 도전성 타입을 가질 경우, 실리콘 기판(110)은 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 포함할 수 있다.

[0025]

실리콘 기판(110)의 전면(상면, front surface) 및 후면(하면, rear surface)에 미세한 텍스처링(Texturing) 구조(112, 또는 요철 구조)가 형성될 수 있다. 웨이퍼의 표면에 빛이 닿는 면적을 최대한 넓히기 위해, 웨이퍼에 에칭 공정을 마친 후, 인위적으로 줄무늬 형식의 스캐칭 공정을 수행하여 텍스처링 구조(112)를 형성할 수 있다. 일 예로서, 산성 에칭과 같은 습식 에칭을 반복 수행하여 텍스처링 구조(112)를 형성할 수 있다.

[0026]

에미터층(120)은 빛이 입사되는 실리콘 기판(110)의 전면(상면)에 배치될 수 있다. 에미터층(120)에는 상기 제1 도전성 타입과 상이한 제2 도전성 타입의 불순물이 도핑될 수 있다. 실리콘 기판(110)과 동일하게 에미터층

(120)은 텍스처링 구조로 형성될 수 있다.

- [0027] 일 예로서, 실리콘 기판(110)이 p형의 도전성 타입의 불순물을 포함하는 경우, 에미터층(120)에는 n형의 도전성 타입의 불순물이 도핑될 수 있다. 예를 들어, 에미터층(120)에 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물이 도핑될 수 있다. 이러한, 에미터층(120)은 실리콘 기판(110)에 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 확산시켜 일정 두께를 가지도록 형성할 수 있다.
- [0028] 일 예로서, 실리콘 기판(110)이 p형의 도전성 타입의 불순물을 포함하는 경우, 에미터층(120)에는 p형의 도전성 타입의 불순물이 도핑될 수 있다. 예를 들어, 에미터층(120)에는 붕소(B), 갈륨(Ga), 인듐(In) 등과 같은 3가 원소의 불순물이 도핑될 수 있다. 이러한, 에미터층(120)은 실리콘 기판(110)에 붕소(B), 갈륨(Ga), 인듐(In) 등과 같은 3가 원소의 불순물을 확산시켜 일정 두께를 가지도록 형성할 수 있다.
- [0029] 실리콘 기판(110)과 에미터층(120)에 의해서 p-n 접합이 형성될 수 있다. p-n 접합에 의해 내부 전위차(built-in potential difference)가 발생할 수 있다. 실리콘 기판(110)에 입사된 빛에 의해 생성된 전하인 전자-정공 쌍은 전자와 정공으로 분리되고, 전자는 n형 쪽으로 이동하고 정공은 p형 쪽으로 이동할 수 있다.
- [0030] 일 예로서, 상기 실리콘 기판(110)이 p형이고 에미터층(120)이 n형일 경우, 분리된 정공은 실리콘 기판(110)쪽으로 이동하고, 분리된 전자는 에미터층(120)쪽으로 이동할 수 있다.
- [0031] 일 예로서, 상기 실리콘 기판(110)이 n형이고 에미터층(120)이 p형일 경우, 분리된 전자는 실리콘 기판(110)쪽으로 이동하고, 분리된 정공은 에미터층(120)쪽으로 이동할 수 있다.
- [0032] 에미터층(120) 상에 패시베이션층(130)이 배치될 수 있다. 패시베이션층(130)은 에미터층(120)의 보호를 위한 것으로, 1nm 내지 50nm의 두께를 가질 수 있다. 원자층 증착법(Atomic Layer Deposition) 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법에 의하여 에미터층(120)의 전면에 산화 알루미늄(Al_2O_3)을 증착할 수 있다. 이후, 에미터층(120)의 전면에 형성된 산화 알루미늄(Al_2O_3)을 경화시켜 패시베이션층(130)을 형성할 수 있다. 패시베이션층(130)은 실리콘 기판(110)과 동일하게 텍스처링 구조로 형성될 수 있다.
- [0033] 패시베이션층(130)의 상면에 반사 방지막(140, ARC: anti-reflection coating)이 배치될 수 있다. 반사 방지막(140)은 에미터층(120)에 입사되는 빛이 굴절률이 다른 두 매체 사이의 계면에서 반사되지 않고 투과 또는 흡수 되도록 하는 막으로써, 에미터층(120)에 입사된 빛이 외부로 반사되는 것을 방지할 수 있다. 이러한, 반사 방지막(140)이 단층 또는 복층으로 형성될 수 있으며, 반사 방지막(140)에 의해서 태양 전지의 발전 효율을 향상시킬 수 있다. 실리콘 기판(110)과 동일하게 반사 방지막(140)은 텍스처링 구조로 형성될 수 있다.
- [0034] 반사 방지막(140)은 $SiNx:H$ 막, $SiON$ 막과 같은 절연막을 단층 또는 복층으로 적층된 구조로 형성될 수 있다. $SiNx:H$ 반사 방지막은 $SiNx$ 막 형성을 위한 소스 가스를 공급하면서 플라즈마 강화 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)법에 의하여 형성될 수 있다. 상기 $SiON$ 반사 방지막은 $SiNx$ 막 형성을 위한 소스 가스와 N_2O 가스를 함께 공급하면서 ICP 방식의 PECVD법에 의하여 형성될 수 있다. 상기 $SiNx$ 막은 100nm 내지 180nm로 형성될 수 있으며, $SiON$ 막은 80nm 내지 130nm로 형성될 수 있다.
- [0035] 도 1a에서는 에미터층(120) 상에 패시베이션층(130)이 배치되고, 패시베이션층(130) 상에 반사 방지막(140)이 배치된 것으로 도시하고 설명하였다. 이에 한정되지 않고, 에미터층(120) 상에 반사 방지막(140)이 배치되고, 반사 방지막(140) 상에 패시베이션층(130)이 배치될 수도 있다.
- [0036] 실리콘 기판(110)의 후면(하면)에 전하선택 박막(150)이 배치될 수 있다. 실리콘 기판(110)과 동일하게 전하선택 박막(150)은 텍스처링 구조로 형성될 수 있다. 전하선택 박막(150)은 제1 금속 산화막(152), 제2 금속 산화막(154, MoO_x), 및 제3 금속 산화막(156)을 포함할 수 있다. 실리콘 기판(110)의 후면(하면)에 제1 금속 산화막(152)이 배치될 수 있다. 제1 금속 산화막(152)의 하면에 제2 금속 산화막(154, MoO_x)이 배치될 수 있다. 제2 금속 산화막(156)의 하면에 제3 금속 산화막(156)이 배치될 수 있다.
- [0037] 전하선택 접합은 전자나 홀을 투과(터널링)시켜 전하가 전극에 도달하게 할 수 있다. 전하선택 접합에 적용되는 물질들은 전이금속 산화물(TMO, Transition Metal Oxide)로, WO_3 , V_2O_5 , MoO_x 는 홀을 선택(hole selective contact)하여 수집하고, ZnS , SnO_2 , TiO_2 는 전자를 선택(electron selective contact)하여 수집할 수 있다.
- [0038] 실리콘 기판(110)의 후면(하면)에 제2 금속 산화막(154, MoO_x)이 배치되는 경우, 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x)의 계면에 결함이 발생할 수 있다. 본 발명에서는 제1 금속 산화막(152)을 실리콘 기판(110)

과 제2 금속 산화막(154, MoO_x)의 사이에 배치하여, 실리콘과 산화막의 계면에서 발생할 수 있는 실리콘 산화막의 결함(sub-oxide state)을 감소시킬 수 있다.

[0039] 일 예로서, 제1 금속 산화막(152)은 실리콘 기판(110)의 하면과 접하게 배치되며, 산화 알루미늄(Al_2O_3)으로 0.1nm ~2.0nm의 두께로 형성될 수 있다. 제1 금속 산화막(152)은 원자층 증착법(ALD: Atomic Layer Deposition), 또는 CVD(Chemical Vapor Deposition, 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법, 또는 PVD(Physical Vapor Deposition)법에 의하여 실리콘 기판(110)의 후면(하면)에 산화 알루미늄(Al_2O_3)을 증착하여 형성할 수 있다.

[0040] 일 예로서, 제1 금속 산화막(152)은 산화 실리콘(SiO_x)으로 형성할 수 있다. 산화 실리콘(SiO_x)으로 제1 금속 산화막(152)을 형성하여, 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x)의 계면에서 결함이 발생하는 것을 방지할 수 있다.

[0041] 일 예로서, 제1 금속 산화막(152)은 알루미늄 산화막(Al_2O_x)과 실리콘 산화막(SiO_x)을 믹스(mix)한 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 형성할 수 있다. 제1 금속 산화막(152, Al-Si-O)은 0.1nm ~2.0nm의 두께로 형성될 수 있다. 제1 금속 산화막(152, Al-Si-O)은 원자층 증착법(ALD: Atomic Layer Deposition)으로 형성될 수 있다. 즉, 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x) 사이에 Al-Si-O (Al-silicate)로 형성된 제1 금속 산화막(152)을 배치할 수 있다. 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x) 사이에 Al-Si-O (Al-silicate)의 제1 금속 산화막(152)을 배치하여 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x)의 계면층의 결함 밀도를 줄이면서 계면의 조성을 조절할 수 있다.

[0042] 제1 금속 산화막(152, Al-Si-O)의 양면 중에서 실리콘 기판(110)과 접하는 상면은 산화 실리콘(SiO_x)과 가까운 조성을 가지는 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 형성할 수 있다. 제1 금속 산화막(152, Al-Si-O)의 양면 중에서 제2 금속 산화막(154, MoO_x)과 접하는 하면은 산화 알루미늄(Al_2O_3)에 가까운 조성을 가지는 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 형성할 수 있다. 즉, 제1 금속 산화막(152, Al-Si-O)을 형성할 때, 실리콘 기판(110)과 접하는 쪽과 제2 금속 산화막(154, MoO_x)과 접하는 쪽의 알루미늄 실리케이트(Al-Si-O , Al-silicate)의 조성을 조절하여 계면 결함밀도를 줄이면서 패시베이션 특성을 향상시킬 수 있다.

[0043] 일 예로서, 제2 금속 산화막(154, MoO_x)은 제1 금속 산화막(152)의 하면에 접하게 배치되며, 산화 몰리브덴(MoO_x)으로 3.0~15.0nm의 두께로 형성될 수 있다. 제2 금속 산화막(154, MoO_x)은 원자층 증착법(Atomic Layer Deposition), 또는 CVD(Chemical Vapor Deposition, 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법, 또는 PVD(Physical Vapor Deposition)법에 의하여 제1 금속 산화막(152)의 하면에 산화 몰리브덴(MoO_x)을 증착하여 형성할 수 있다. 일 예로서, 몰리브덴(Mo)의 전구체(precursor)인 Mo(CO)_6 와 oxidant(H_2O 또는 O_3)의 반응으로 제2 금속 산화막(154, MoO_x)을 형성할 수 있다.

[0044] 일 예로서, 제2 금속 산화막(154, MoO_x)은 실리콘 기판(110)과의 계면에서 산화 실리콘(SiO_2) 만큼 우수한 계면 트랩 전하밀도(interface state density)를 가지지 못하고, 계면 결함이 발생할 수 있다. 본 발명에서는 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x)의 계면에서 결함이 발생하는 것을 방지하기 위해서, 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x) 사이에 제1 금속 산화막(152, Al_2O_3)을 배치하였다. 이에 한정되지 않고, 산화 실리콘(SiO_x)으로 제1 금속 산화막(152)을 형성하고, 그 위에 제2 금속 산화막(154, MoO_x)을 형성할 수도 있다. 이에 한정되지 않고, 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 제1 금속 산화막(152)을 형성하고, 그 위에 제2 금속 산화막(154, MoO_x)을 형성할 수도 있다.

[0045] 제2 금속 산화막(154, MoO_x)이 전하 선택층으로 기능하도록 MoO_3 의 조성이 되어야 한다. 이를 위해, 제조 공정 중 금속 산화막을 증착시킨 후, 열처리를 수행하여 계면의 결함밀도 개선 및 조성비를 개선할 수 있다.

[0046] 제2 금속 산화막(154, MoO_x)의 형성 시, 열처리 조건의 일예로서, 100℃~350℃ 이하의 온도에서 3~25분 이내로 열처리를 진행할 수 있다. 제2 금속 산화막(154, MoO_x)을 형성 시, 가스는 질소 분위기에서 첫번째 스텝(step 1)을 진행한 후, 포밍 가스(forming gas) 분위기로 두번째 스텝(step 2)을 진행할 수 있다.

[0047] 일 예로서, 제3 금속 산화막(156)은 제2 금속 산화막(154, MoO_x)의 하면과 접하게 배치되며, 산화 알루미늄(Al_2O_3)으로 0.1nm ~2.0nm의 두께로 형성될 수 있다. 제3 금속 산화막(156)은 원자층 증착법(Atomic Layer

Deposition), 또는 CVD(Chemical Vapor Deposition, 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법, 또는 PVD(Physical Vapor Deposition)법에 의하여 제2 금속 산화막(154, MoOx)의 하면에 산화 알루미늄(Al_2O_3)을 증착하여 형성할 수 있다. 즉, 제조 공정 중 제2 금속 산화막(154, MoOx)이 공기와 접촉하면서 조성의 변화되는 것을 방지하기 위해서, 제2 금속 산화막(154, MoOx)의 하면에 제3 금속 산화막(156, Al_2O_3)을 형성할 수 있다.

[0048] 제3 금속 산화막(156)의 하면에 투명층(160)이 배치될 수 있다. 투명층(160)은 ITO(Indium Tin Oxide)와 같은 투명전도성 물질로 1.0nm~200nm의 두께로 형성될 수 있다.

[0049] 제2 금속 산화막(154, MoOx)과 투명층(160) 사이에 배치된 제3 금속 산화막(156)에 의해서 제2 금속 산화막(154, MoOx)과 공기 및 투명층(160)이 직접 접촉하지 않게 되어, 투명층(160)이 증착되면서 제2 금속 산화막(154, MoOx)의 MoOx의 조성이 변화되는 것을 방지할 수 있다.

[0050] 이와 같이, 제2 금속 산화막(154, MoOx)의 상면에 제1 금속 산화막(152)이 배치되어 실리콘 산화막의 결합(sub-oxide state)을 감소시켜 전하선택 박막(150)의 특성을 향상시킬 수 있다. 또한, 제2 금속 산화막(154, MoOx)의 하면에 제3 금속 산화막(156)이 배치되어 제2 금속 산화막(154, MoOx)의 MoOx의 조성의 변화를 방지하여 전하선택 박막(150)의 특성을 향상시킬 수 있다.

[0051] 투명층(160)의 하면에 제1 전극(170)이 배치될 수 있다. 제1 전극(170)은 CVD(Chemical Vapor Deposition) 또는 PECVD(Plasma Enhanced CVD)와 같은 화학 기상 증착 공정, 스퍼터링 공정, 도금, 스크린 프린팅과 같은 페이스트 도포 공정에 의하여 형성될 수 있다. 제1 전극(170)은 투명층(160)의 하면에 알루미늄(Al) 금속층을 증착시킨 후, 패터닝 및 어닐링 공정을 수행하여 제1 전극(170)을 형성할 수 있다. 제1 전극(170)은 알루미늄(Al)에 더하여 은(Ag)과 같은 도전성 금속을 포함할 수 있다. 알루미늄 금속층을 200nm 내지 15 μ m의 두께로 증착시킨 후, 패터닝을 수행하고, 어닐링 공정을 수행하여 제1 전극(170)이 형성될 수 있다.

[0052] 일 예로서, 제1 전극(170)은 도전성 페이스트로 이루어질 수 있다. 제1 전극(170)은 투명층(160)에 도전성 페이스트를 도포하여 형성할 수 있다. 도전성 페이스트는 은(Ag) 또는 알루미늄(Al)을 포함하는 물질로 이루어질 수 있다. 또한, 제1 전극(170)은 저온 소성이 가능한 도전성 페이스트를 사용하여 형성할 수 있다. 제1 전극(170)이 저온 소성이 가능한 도전성 페이스트로 형성되는 경우에 고온에서 소성되는 도전성 페이스트로 형성되는 경우에 비하여 우수한 전기 전도도를 나타내므로, 전하 수집 효율을 개선할 수 있다.

[0053] 제2 전극(180)은 패시베이션층(130) 및 반사 방지막(140)이 형성되지 않은 부분을 이용하여 에미터층(120)과 전기적으로 연결되도록 배치될 수 있다. 또는 제2 전극(180)은 패시베이션층(130) 및 반사 방지막(140)의 일부를 식각하여 에미터층(120)과 전기적으로 연결되도록 배치될 수 있다.

[0054] 일 예로서, 제2 전극(180)은 알루미늄(Al), 니켈(Ni), 구리(Cu), 은(Ag), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나의 도전성 물질로 형성될 수 있다. 제2 전극(180)은 CVD(Chemical Vapor Deposition) 또는 PECVD(Plasma Enhanced CVD)와 같은 화학 기상 증착 공정, 스퍼터링 공정, 도금, 스크린 프린팅과 같은 페이스트 도포 공정에 의하여 형성될 수 있다. 제2 전극(180)은 정해진 방향으로 나란히 연장되는 복수의 전극으로 형성될 수 있다. 제2 전극(180)은 에미터층(120)쪽으로 이동한 전하, 예를 들어 정공을 수집할 수 있다.

[0055] 일 예로서, 제2 전극(180)은 도전성 페이스트로 이루어질 수 있다. 제2 전극(180)은 패시베이션층(130) 및 반사 방지막(140)의 일부가 제거되어 노출되는 에미터층(120)에 도전성 페이스트를 도포하여 형성할 수 있다. 도전성 페이스트는 은(Ag) 또는 알루미늄(Al)을 포함하는 물질로 이루어질 수 있다. 또한, 제2 전극(180)은 저온 소성이 가능한 도전성 페이스트를 사용하여 형성할 수 있다. 제2 전극(180)이 저온 소성이 가능한 도전성 페이스트로 형성되는 경우에 고온에서 소성되는 도전성 페이스트로 형성되는 경우에 비하여 우수한 전기 전도도를 나타내므로, 전하 수집 효율을 개선할 수 있다.

[0056] 이와 같이, 제1 전극(170) 및 제2 전극(180)을 형성하면 실리콘 기관(110)의 전면 및 후면에서 빛을 수광하여 양면 수광형 태양전지로 기능할 수 있다.

[0057] 도면에 도시하지 않았지만, 제2 전극(180) 상에는 제2 전극(180)과 교차하는 방향으로 복수의 집전부가 위치할 수 있으며, 집전부와 제2 전극(180)은 전기적 및 물리적으로 연결될 수 있다.

[0058] 도 1b는 본 발명의 일 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지를 나타내는 도면이다.

- [0059] 실리콘 기판(110)의 전면쪽에는 텍스처링 구조(112)를 형성하고, 실리콘 기판(110)의 후면쪽에는 텍스처링 구조(112) 없이 평탄하게 형성할 수 있다. 제조 공정 중, 에미터층(120)을 형성한 이후에, 실리콘 기판(110)의 후면에 평탄화 공정(단면만 질산 혼합용액을 이용)을 진행할 수 있다. 이를 통해, 실리콘 기판(110)의 후면쪽에는 텍스처링 구조(112, 또는 요철)를 형성하지 않을 수 있다. 이때, 제1 전극(170)은 투명층(160)의 전면에 형성될 수 있다. 이와 같이, 제1 전극(170) 및 제2 전극(180)을 형성하면 실리콘 기판(110)의 전면에서 빛을 수광하는 태양전지로 기능할 수 있다.
- [0060] 도 2a는 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지의 제조방법을 나타내는 도면이다. 도 2b는 전하선택 박막을 형성하는 방법을 나타내는 도면이다.
- [0061] 도 1a, 도 2a 및 도 2b를 참조하면, 전하선택 박막을 포함하는 실리콘 태양전지(100)의 제조방법은, 실리콘 기판(110)의 전면(상면)과 후면(하면)에 텍스처링 구조(112)를 형성하는 단계(S10)와, 실리콘 기판(110)의 상면에 에미터층(120)을 형성하는 단계(S20)와, 에미터층(120)의 상면에 반사 방지막(140)을 형성하는 단계(S30)와, 반사 방지막(140) 상에 금속층을 형성하는 단계(S40)와, 실리콘 기판(110)의 하부에 전하선택 박막을 형성하는 단계(S50)와, 전하선택 박막(150)의 하부에 투명층(160)을 형성하는 단계(S60)와, 투명층(160)의 하부에 금속층을 형성하는 단계(S70)와, 금속층을 패터닝하여 제1 전극(170)을 형성하는 단계(S80)와, 반사 방지막의 상부에 제2 전극(180)을 형성하는 단계(S90)를 포함할 수 있다.
- [0062] 도 3은 실리콘 기판의 상/하면에 텍스처링 구조를 형성하는 것을 나타내는 도면이다.
- [0063] 도 2a 및 도 3을 참조하면, 실리콘 기판(110)의 전면(상면) 및 후면(하면)에 산성 에칭과 같은 습식 에칭을 반복 수행하여 텍스처링 구조(112, 또는 요철 구조)를 형성할 수 있다(S10).
- [0064] 실리콘 기판(110)은 태양전지의 베이스 기판으로서, 제1 도전성 타입, 예를 들어 p형 도전성 타입의 불순물이 도핑된 반도체 기판이다. 실리콘 기판(110)이 p형 도전성 타입을 가지는 경우, 붕소(B), 갈륨(Ga), 인듐(In) 등과 같은 3가 원소의 불순물을 포함할 수 있다. 이에 한정되지 않고, 실리콘 기판(110)이 n형의 도전성 타입을 가질 경우, 실리콘 기판(110)은 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 포함할 수 있다.
- [0065] 도 4는 실리콘 기판의 상면에 에미터층을 형성하는 것을 나타내는 도면이다.
- [0066] 이어서, 도 2a 및 도 4를 참조하면, 실리콘 기판(110)의 상면에 에미터층(120)을 형성할 수 있다(S20).
- [0067] 에미터층(120)은 빛이 입사되는 실리콘 기판(110)의 상면(front surface)에 배치될 수 있다. 에미터층(120)에는 상기 제1 도전성 타입과 상이한 제2 도전성 타입의 불순물이 도핑될 수 있다. 실리콘 기판(110)과 동일하게 에미터층(120)은 텍스처링 구조로 형성될 수 있다.
- [0068] 일 예로서, 실리콘 기판(110)이 p형의 도전성 타입의 불순물을 포함하는 경우, 에미터층(120)에는 n형의 도전성 타입의 불순물이 도핑될 수 있다. 예를 들어, 에미터층(120)에 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물이 도핑될 수 있다. 이러한, 에미터층(120)은 실리콘 기판(110)에 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물을 확산시켜 일정 두께를 가지도록 형성할 수 있다.
- [0069] 일 예로서, 실리콘 기판(110)이 p형의 도전성 타입의 불순물을 포함하는 경우, 에미터층(120)에는 p형의 도전성 타입의 불순물이 도핑될 수 있다. 예를 들어, 에미터층(120)에는 붕소(B), 갈륨(Ga), 인듐(In) 등과 같은 3가 원소의 불순물이 도핑될 수 있다. 이러한, 에미터층(120)은 실리콘 기판(110)에 붕소(B), 갈륨(Ga), 인듐(In) 등과 같은 3가 원소의 불순물을 확산시켜 일정 두께를 가지도록 형성할 수 있다.
- [0070] 실리콘 기판(110)과 에미터층(120)에 의해서 p-n 접합이 형성될 수 있다. p-n 접합에 의해 내부 전위차(built-in potential difference)가 발생할 수 있다. 실리콘 기판(110)에 입사된 빛에 의해 생성된 전하인 전자-정공 쌍은 전자와 정공으로 분리되고, 전자는 n형 쪽으로 이동하고 정공은 p형 쪽으로 이동할 수 있다.
- [0071] 일 예로서, 상기 실리콘 기판(110)이 p형이고 에미터층(120)이 n형일 경우, 분리된 정공은 실리콘 기판(110)쪽으로 이동하고, 분리된 전자는 에미터층(120)쪽으로 이동할 수 있다.
- [0072] 일 예로서, 상기 실리콘 기판(110)이 n형이고 에미터층(120)이 p형일 경우, 분리된 전자는 실리콘 기판(110)쪽으로 이동하고, 분리된 정공은 에미터층(120)쪽으로 이동할 수 있다.
- [0073] 도 5는 에미터층의 상면에 패시베이션층을 형성하는 것을 나타내는 도면이다.
- [0074] 이어서, 도 2a 및 도 5를 참조하면, 에미터층(120) 상에 패시베이션층(130)을 형성할 수 있다. 패시베이션층

(130)은 에미터층(120)의 보호를 위한 것으로, 1nm 내지 50nm의 두께를 가질 수 있다.

[0075] 일 예로서, 원자층 증착법(Atomic Layer Deposition) 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법에 의하여 에미터층(120)의 전면에 산화 알루미늄(Al_2O_3)을 증착할 수 있다. 이후, 에미터층(120)의 전면에 형성된 산화 알루미늄(Al_2O_3)을 경화시켜 패시베이션층(130)을 형성할 수 있다. 패시베이션층(130)은 실리콘 기판(110)과 동일하게 텍스처링 구조로 형성될 수 있다.

[0076] 도 6은 패시베이션층의 상면에 반사 방지막을 형성하는 것을 나타내는 도면이다.

[0077] 이어서, 도 2a 및 도 6을 참조하면, 패시베이션층(130) 상에 반사 방지막(140)을 형성할 수 있다(S30).

[0078] 반사 방지막(140)은 $SiNx:H$ 막, $SiON$ 막과 같은 절연막을 단층 또는 복층으로 적층된 구조로 형성될 수 있다. $SiNx:H$ 반사 방지막은 $SiNx$ 막 형성을 위한 소스 가스를 공급하면서 플라즈마 강화 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)법에 의하여 형성될 수 있다. 상기 $SiON$ 반사 방지막은 $SiNx$ 막 형성을 위한 소스 가스와 N_2O 가스를 함께 공급하면서 ICP 방식의 PECVD법에 의하여 형성될 수 있다. 상기 $SiNx$ 막은 100nm 내지 180nm로 형성될 수 있으며, $SiON$ 막은 80nm 내지 130nm로 형성될 수 있다. 실리콘 기판(110)과 동일하게 반사 방지막(140)은 텍스처링 구조로 형성될 수 있다.

[0079] 반사 방지막(140)의 하면 또는 상면에 패시베이션막을 형성할 수 있다. 패시베이션막은 1nm 내지 50nm의 두께를 가질 수 있으며, 에미터층(120) 상면 또는 반사 방지막(140)의 상면에 배치될 수 있다. 패시베이션막은 원자층 증착법(Atomic Layer Deposition) 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법에 의하여 산화 알루미늄(Al_2O_3)을 증착하여 형성할 수 있다.

[0080] 도 7은 반사 방지막 상에 금속층을 형성하는 것을 나타내는 도면이다.

[0081] 도 2a 및 도 7을 참조하면, 반사 방지막(140)의 상면에 금속층(182)을 형성할 수 있다(S40).

[0082] 금속층(182)은 에미터층(120)과 전기적으로 접속되는 제2 전극(180)을 형성하기 위한 것이다. 패시베이션층(130) 및 반사 방지막(140)의 일부를 제거하여 에미터층(120)을 노출시킨다. 이후, 반사 방지막(140)의 전면에 금속층(182)을 형성할 수 있다. 이후, 금속층(182)을 패터닝하여 제2 전극(180)을 형성할 수 있다.

[0083] 일 예로서, 금속층(182)은 알루미늄(Al), 니켈(Ni), 구리(Cu), 은(Ag), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나의 도전성 물질로 형성될 수 있다. 금속층(182)은 CVD(Chemical Vapor Deposition) 또는 PECVD(Plasma Enhanced CVD)와 같은 화학 기상 증착 공정, 스퍼터링 공정, 도금, 스크린 프린팅과 같은 페이스트 도포 공정에 의하여 형성될 수 있다.

[0084] 일 예로서, 금속층(182)은 도전성 페이스트로 이루어질 수 있다. 금속층(182)은 패시베이션막 및 반사 방지막(140)으로 노출되는 에미터층(120)에 도전성 페이스트를 도포하여 형성할 수 있다. 도전성 페이스트는 은(Ag) 또는 알루미늄(Al)을 포함하는 물질로 이루어질 수 있다. 또한, 금속층(182)은 저온 소성이 가능한 도전성 페이스트를 사용하여 형성할 수 있다. 금속층(182)이 저온 소성이 가능한 도전성 페이스트로 형성되는 경우에 고온에서 소성되는 도전성 페이스트로 형성되는 경우에 비하여 우수한 전기 전도도를 나타내므로, 전하 수집 효율을 개선할 수 있다.

[0085] 도 8a는 실리콘 기판의 하면에 전하선택 박막을 형성하는 것을 나타내는 도면이다.

[0086] 도 2a 및 도 8a를 참조하면, 실리콘 기판(110)의 후면(하면)에 전하선택 박막(150)을 형성할 수 있다(S50).

[0087] 실리콘 기판(110)과 동일하게 전하선택 박막(150)은 텍스처링 구조로 형성될 수 있다. 전하선택 박막(150)은 제1 금속 산화막(152, Al_2O_3 또는 Al-Si-O), 제2 금속 산화막(154, MoO_x), 및 제3 금속 산화막(156, Al_2O_3)을 포함할 수 있다. 실리콘 기판(110)의 후면(하면)에 제1 금속 산화막(152, Al_2O_3 또는 Al-Si-O)이 배치될 수 있다. 제1 금속 산화막(152, Al_2O_3 또는 Al-Si-O)의 하면에 제2 금속 산화막(154, MoO_x)이 배치될 수 있다. 제2 금속 산화막(154, MoO_x)의 하면에 제3 금속 산화막(156, Al_2O_3)이 배치될 수 있다.

[0088] 전하선택 접합은 전자나 홀을 투과(터널링)시켜 전하가 전극에 도달하게 할 수 있다. 전하선택 접합에 적용되는 물질들은 전이금속 산화물(TMO, Transition Metal Oxide)로, WO_3 , V_2O_5 , MoO_x 는 홀을 선택(hole selective contact)하여 수집하고, ZnS , SnO_2 , TiO_2 는 전자를 선택(electron selective contact)하여 수집할 수 있다.

- [0089] 도 8b는 실리콘 기판의 하면에 제1 금속 산화막을 형성하는 것을 나타내는 도면이다.
- [0090] 도 2b 및 도 8b를 참조하면, 실리콘 기판(110)의 후면(하면)에 제1 금속 산화막(152)을 형성할 수 있다(S52).
- [0091] 일 예로서, 제1 금속 산화막(152)은 실리콘 기판(110)의 하면과 접하게 배치되며, 산화 알루미늄(Al_2O_3)으로 0.1nm ~2.0nm의 두께로 형성될 수 있다. 제1 금속 산화막(152)은 원자층 증착법(Atomic Layer Deposition), 또는 CVD(Chemical Vapor Deposition, 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법, 또는 PVD(Physical Vapor Deposition)법에 의하여 실리콘 기판(110)의 후면(하면)에 산화 알루미늄(Al_2O_3)을 증착하여 형성할 수 있다.
- [0092] 일 예로서, 제1 금속 산화막(152)은 산화 실리콘(SiO_x)으로 형성할 수 있다. 산화 실리콘(SiO_x)으로 제1 금속 산화막(152)을 형성하여, 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x)의 계면에서 결함이 발생하는 것을 방지할 수 있다.
- [0093] 일 예로서, 제1 금속 산화막(152)은 알루미늄 산화막(Al_2O_x)과 실리콘 산화막(SiO_x)을 믹스(mix)한 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 형성할 수 있다. 제1 금속 산화막(152, Al-Si-O)은 0.1nm ~2.0nm의 두께로 형성될 수 있다. 제1 금속 산화막(152, Al-Si-O)은 원자층 증착법(ALD: Atomic Layer Deposition)으로 형성될 수 있다. 즉, 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x) 사이에 Al-Si-O (Al-silicate)로 형성된 제1 금속 산화막(152)을 배치할 수 있다. 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x) 사이에 Al-Si-O (Al-silicate)의 제1 금속 산화막(152)을 배치하여 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x)의 계면층의 결함 밀도를 줄이면서 계면의 조성을 조절할 수 있다.
- [0094] 제1 금속 산화막(152, Al-Si-O)의 양면 중에서 실리콘 기판(110)과 접하는 상면은 산화 실리콘(SiO_x)과 가까운 조성을 가지는 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 형성할 수 있다. 제1 금속 산화막(152, Al-Si-O)의 양면 중에서 제2 금속 산화막(154, MoO_x)과 접하는 하면은 산화 알루미늄(Al_2O_3)에 가까운 조성을 가지는 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 형성할 수 있다. 즉, 제1 금속 산화막(152, Al-Si-O)을 형성할 때, 실리콘 기판(110)과 접하는 쪽과 제2 금속 산화막(154, MoO_x)과 접하는 쪽의 알루미늄 실리케이트(Al-Si-O , Al-silicate)의 조성을 조절하여 계면 결함밀도를 줄이면서 패시베이션 특성을 향상시킬 수 있다.
- [0095] 도 8c는 제1 금속 산화막의 하면에 제2 금속 산화막을 형성하는 것을 나타내는 도면이다.
- [0096] 도 2b 및 도 8c를 참조하면, 제1 금속 산화막(152)의 하면에 제2 금속 산화막(154, MoO_x)을 형성할 수 있다(S54).
- [0097] 일 예로서, 제2 금속 산화막(154, MoO_x)은 제1 금속 산화막(152)의 하면에 접하게 배치되며, 산화 몰리브덴(MoO_x)으로 3.0~15.0nm의 두께로 형성될 수 있다. 제2 금속 산화막(154, MoO_x)은 원자층 증착법(Atomic Layer Deposition), 또는 CVD(Chemical Vapor Deposition, 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법, 또는 PVD(Physical Vapor Deposition)법에 의하여 제1 금속 산화막(152)의 하면에 산화 몰리브덴(MoO_x)을 증착하여 형성할 수 있다.
- [0098] 일 예로서, 몰리브덴(Mo)의 전구체(precursor)인 $\text{Mo}(\text{CO})_6$ 와 oxidant(H_2O 또는 O_3)의 반응으로 제2 금속 산화막(154, MoO_x)을 형성할 수 있다. 제2 금속 산화막(154, MoO_x)은 실리콘 기판(110)과의 계면에서 산화 실리콘(SiO_2) 만큼 우수한 계면 트랩 전하밀도(interface state density)를 가지지 못하고, 계면 결함이 발생할 수 있다. 본 발명에서는 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x)의 계면에서 결함이 발생하는 것을 방지하기 위해서, 실리콘 기판(110)과 제2 금속 산화막(154, MoO_x) 사이에 제1 금속 산화막(152, Al_2O_3)을 배치하였다. 이에 한정되지 않고, 산화 실리콘(SiO_x)으로 제1 금속 산화막(152)을 형성하고, 그 위에 제2 금속 산화막(154, MoO_x)을 형성할 수도 있다. 이에 한정되지 않고, 알루미늄 실리케이트(Al-Si-O , Al-silicate)로 제1 금속 산화막(152)을 형성하고, 그 위에 제2 금속 산화막(154, MoO_x)을 형성할 수도 있다.
- [0099] 제2 금속 산화막(154, MoO_x)이 전하 선택층으로 기능하도록 MoO_3 의 조성이 되어야 한다. 이를 위해, 제조 공정 중 금속 산화막을 증착시킨 후, 열처리를 수행하여 계면의 결함밀도 개선 및 조성비를 개선할 수 있다.
- [0100] 제2 금속 산화막(154, MoO_x)의 형성 시, 열처리 조건의 일예로서, 100℃~350℃ 이하의 온도에서 3~25분 이내로 열처리를 진행할 수 있다. 제2 금속 산화막(154, MoO_x)을 형성 시, 가스는 질소 분위기에서 첫번째 스텝(step

1)을 진행한 후, 포밍 가스(forming gas) 분위기로 두번째 스텝(step 2)을 진행할 수 있다.

- [0101] 실리콘 기판(110)의 후면(하면)에 제2 금속 산화막(154, MoOx)이 배치되는 경우, 실리콘 기판(110)과 제2 금속 산화막(154, MoOx)의 계면에 결함이 발생할 수 있다. 본 발명에서는 제1 금속 산화막(152)을 실리콘 기판(110)과 제2 금속 산화막(154, MoOx)의 사이에 배치하여, 실리콘과 산화막의 계면에서 발생할 수 있는 실리콘 산화막의 결함(sub-oxide state)을 감소시킬 수 있다.
- [0102] 도 8d는 제2 금속 산화막의 하면에 제3 금속 산화막을 형성하는 것을 나타내는 도면이다.
- [0103] 도 2b 및 도 8d를 참조하면, 제2 금속 산화막(154, MoOx)의 하면에 제3 금속 산화막(156)을 형성할 수 있다(S56).
- [0104] 일 예로서, 제3 금속 산화막(156)은 제2 금속 산화막(154, MoOx)의 하면과 접하게 배치되며, 산화 알루미늄(Al_2O_3)으로 0.1nm ~ 2.0nm의 두께로 형성될 수 있다. 제3 금속 산화막(156, Al_2O_3)은 원자층 증착법(Atomic Layer Deposition), 또는 CVD(Chemical Vapor Deposition, 또는 플라즈마 강화 화학기상증착(Plasma Enhanced CVD)법, 또는 PVD(Physical Vapor Deposition)법에 의하여 제2 금속 산화막(154, MoOx)의 하면에 산화 알루미늄(Al_2O_3)을 증착하여 형성할 수 있다.
- [0105] 즉, 투명층(160)과 제2 금속 산화막(154, MoOx) 사이에 제3 금속 산화막(156, Al_2O_3)을 배치할 수 있다. 투명층(160)과 제2 금속 산화막(154, MoOx) 사이에 A 제3 금속 산화막(156, Al_2O_3)을 배치하여 제2 금속 산화막(154, MoOx)의 조성이 변화하는 것을 방지할 수 있다.
- [0106] 제2 금속 산화막(154, MoOx)과 투명층(160, 도 1a 참조) 사이에 배치된 제3 금속 산화막(156, Al_2O_3)에 의해서 제2 금속 산화막(154, MoOx)과 투명층(160, 도 1a 참조)이 직접 접촉하지 않게 된다. 이를 통해, 제조 공정 중, 제2 금속 산화막(154, MoOx)의 하면이 공기와 접촉하면서 조성이 변화하는 것을 방지함과 아울러, 투명층(160, 도 1a 참조)이 증착되면서 제2 금속 산화막(154, MoOx)의 MoOx의 조성이 변화되는 것을 방지할 수 있다.
- [0107] 이와 같이, 제2 금속 산화막(154, MoOx)의 상면에 제1 금속 산화막(152)이 배치되어 실리콘 산화막의 결함(sub-oxide state)을 감소시켜 전하선택 박막(150)의 특성을 향상시킬 수 있다. 또한, 제2 금속 산화막(154, MoOx)의 하면에 제3 금속 산화막(156, Al_2O_3)이 배치되어 제2 금속 산화막(154, MoOx)의 MoOx의 조성의 변화를 방지하여 전하선택 박막(150)의 특성을 향상시킬 수 있다.
- [0108] 도 9는 전하선택 박막의 하부에 투명층을 형성하는 것을 나타내는 도면이다.
- [0109] 도 2a 및 도 9를 참조하면, 제3 금속 산화막(156, Al_2O_3)의 하면에 투명층(160)을 형성할 수 있다(S60).
- [0110] 투명층(160)은 ITO(Indium Tin Oxide)와 같은 투명전도성 물질로 1.0nm~200nm의 두께로 형성될 수 있다. 제2 금속 산화막(154, MoOx)과 투명층(160) 사이에 제3 금속 산화막(156, Al_2O_3)이 배치될 수 있다. 제3 금속 산화막(156, Al_2O_3)에 의해서 제2 금속 산화막(154, MoOx)과 투명층(160)이 직접 접촉하지 않게 되어, 투명층(160)이 증착되면서 제2 금속 산화막(154, MoOx)의 MoOx의 조성이 변화되는 것을 방지할 수 있다.
- [0111] 도 10은 투명층의 하부에 제1 전극을 형성하는 것을 나타내는 도면이다.
- [0112] 도 2a 및 도 10을 참조하면, 투명층(160)의 하면에 금속층을 형성할 수 있다(S70).
- [0113] 제1 전극(170)을 형성하기 위한 금속층은 CVD(Chemical Vapor Deposition) 또는 PECVD(Plasma Enhanced CVD)와 같은 화학 기상 증착 공정, 스퍼터링 공정, 도금, 스크린 프린팅과 같은 페이스트 도포 공정에 의하여 형성될 수 있다. 또한, 제1 전극(170)을 형성하기 위한 금속층은 알루미늄을 진공 증발시켜 코팅하는 진공 증착법에 의하여 형성될 수 있다. 이때, 제1 전극(170)을 형성하기 위한 금속층을 200nm 내지 15 μ m의 두께로 증착할 수 있다.
- [0114] 도 11은 제1 전극 및 제2 전극을 형성하는 것을 나타내는 도면이다.
- [0115] 도 2a 및 도 11을 참조하면, 투명층(160)의 하면에 알루미늄(Al) 금속층을 증착시킨 후, 패터닝 및 어닐링 공정을 수행하여 제1 전극(170)을 형성할 수 있다(S80).
- [0116] 제1 전극(170)은 알루미늄(Al)에 더하여 은(Ag)과 같은 도전성 금속을 포함할 수 있다. 알루미늄 금속층을 200nm 내지 15 μ m의 두께로 증착시킨 후, 패터닝을 수행하고, 어닐링 공정을 수행하여 제1 전극(170)이 형성될

수 있다.

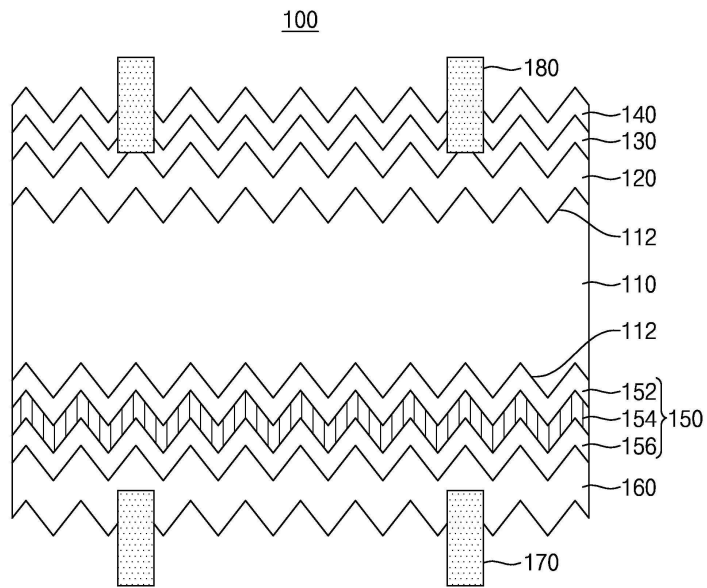
- [0117] 일 예로서, 제1 전극(170)은 도전성 페이스트로 이루어질 수 있다. 제1 전극(170)은 투명층(160)에 도전성 페이스트를 도포하여 형성할 수 있다. 도전성 페이스트는 은(Ag) 또는 알루미늄(Al)을 포함하는 물질로 이루어질 수 있다. 또한, 제1 전극(170)은 저온 소성이 가능한 도전성 페이스트를 사용하여 형성할 수 있다. 제1 전극(170)이 저온 소성이 가능한 도전성 페이스트로 형성되는 경우에 고온에서 소성되는 도전성 페이스트로 형성되는 경우에 비하여 우수한 전기 전도도를 나타내므로, 전하 수집 효율을 개선할 수 있다.
- [0118] 이어서, 반사 방지막(140)의 상부에 제2 전극(180)을 형성할 수 있다(S90).
- [0119] 제2 전극(180)은 패시베이션막 및 반사 방지막(140)이 형성되지 않은 부분을 이용하여 에미터층(120)과 전기적으로 연결되도록 배치될 수 있다. 또는 제2 전극(180)은 패시베이션막 및 반사 방지막(140)의 일부를 식각하여 에미터층(120)과 전기적으로 연결되도록 배치될 수 있다.
- [0120] 일 예로서, 제2 전극(180)은 알루미늄(Al), 니켈(Ni), 구리(Cu), 은(Ag), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나의 도전성 물질로 형성될 수 있다. 제2 전극(180)은 CVD(Chemical Vapor Deposition) 또는 PECVD(Plasma Enhanced CVD)와 같은 화학 기상 증착 공정, 스퍼터링 공정, 도금, 스크린 프린팅과 같은 페이스트 도포 공정에 의하여 형성될 수 있다. 제2 전극(180)은 정해진 방향으로 나란히 연장되는 복수의 전극으로 형성될 수 있다. 제2 전극(180)은 에미터층(120)쪽으로 이동한 전하, 예를 들어 정공을 수집할 수 있다.
- [0121] 일 예로서, 제2 전극(180)은 도전성 페이스트로 이루어질 수 있다. 제2 전극(180)은 패시베이션막 및 반사 방지막(140)으로 노출되는 에미터층(120)에 도전성 페이스트를 도포하여 형성할 수 있다. 도전성 페이스트는 은(Ag) 또는 알루미늄(Al)을 포함하는 물질로 이루어질 수 있다. 또한, 제2 전극(180)은 저온 소성이 가능한 도전성 페이스트를 사용하여 형성할 수 있다. 제2 전극(180)이 저온 소성이 가능한 도전성 페이스트로 형성되는 경우에 고온에서 소성되는 도전성 페이스트로 형성되는 경우에 비하여 우수한 전기 전도도를 나타내므로, 전하 수집 효율을 개선할 수 있다.
- [0122] 도면에 도시하지 않았지만, 제2 전극(180) 상에는 제2 전극(180)과 교차하는 방향으로 복수의 집전부가 위치할 수 있으며, 집전부와 제2 전극(180)은 전기적 및 물리적으로 연결될 수 있다.
- [0123] 본 발명의 실시 예에 따른 전하선택 박막을 포함하는 실리콘 태양전지 및 이의 제조방법은, 제2 금속 산화막(154, MoOx)의 상면에 제1 금속 산화막(152, Al₂O₃ 또는 Al-Si-O)이 배치되어 실리콘 산화막의 결함(sub-oxide state)을 감소시켜 전하선택 박막(150)의 특성을 향상시킬 수 있다. 또한, 제2 금속 산화막(154, MoOx)의 하면에 제3 금속 산화막(156, Al₂O₃)이 배치되어 제2 금속 산화막(154, MoOx)의 MoOx의 조성의 변화를 방지하여 전하선택 박막(150)의 특성을 향상시킬 수 있다.
- [0124] 이상에서 설명한 것은 본 발명에 의한 태양전지 제조방법을 실시하기 위한 하나의 실시 예에 불과한 것으로서, 본 발명은 상기한 실시 예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

부호의 설명

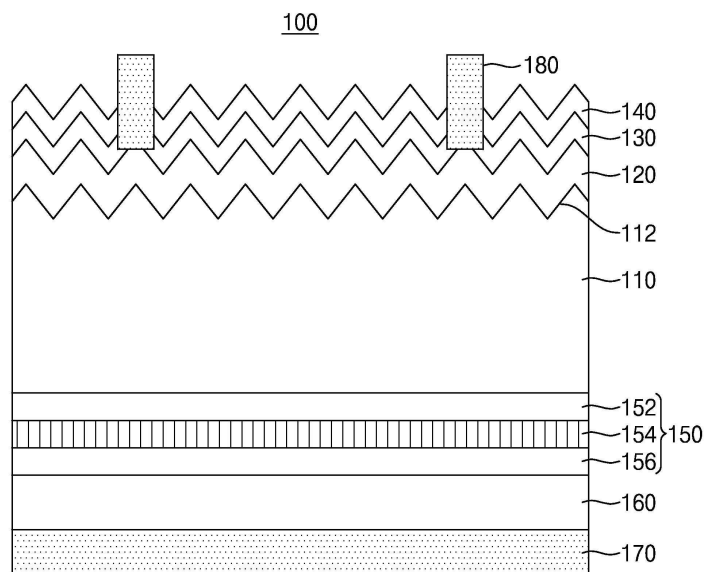
- [0125] 100: 실리콘 태양전지 110: 실리콘 기판
- 120: 에미터층 130: 패시베이션층
- 140: 반사 방지막 150: 전하선택 박막
- 152: 제1 금속 산화막 154: 제2 금속 산화막
- 156: 제3 금속 산화막 160: 투명층
- 170: 제1 전극 180: 제2 전극

도면

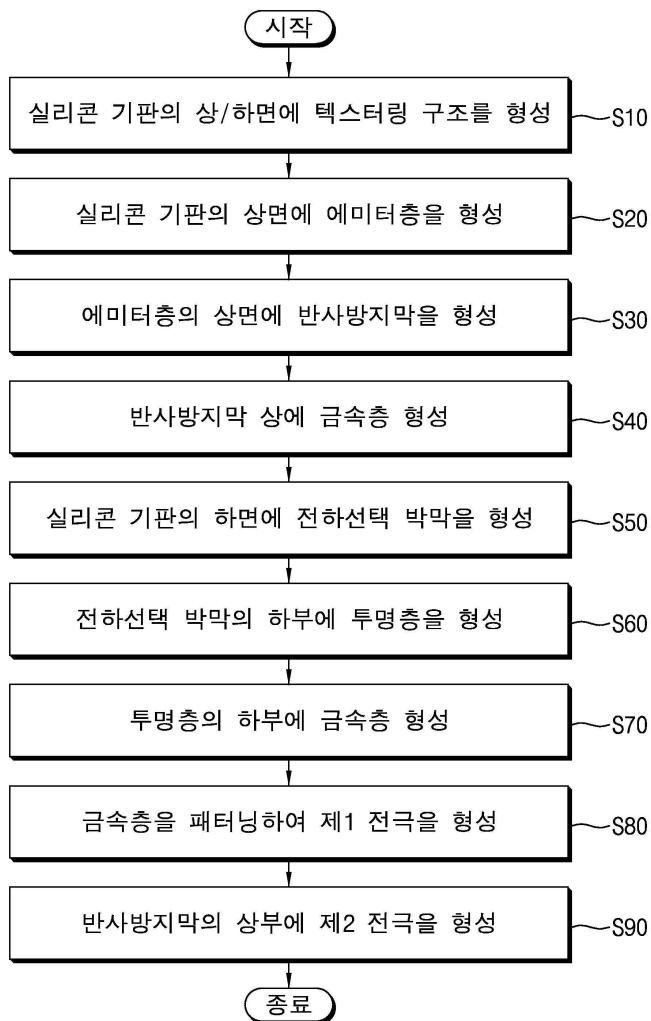
도면1a



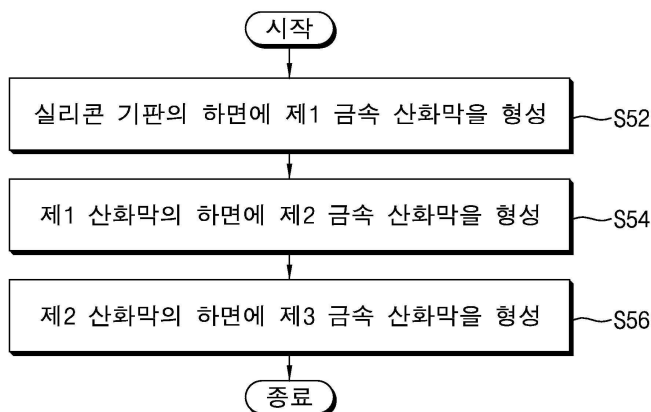
도면1b



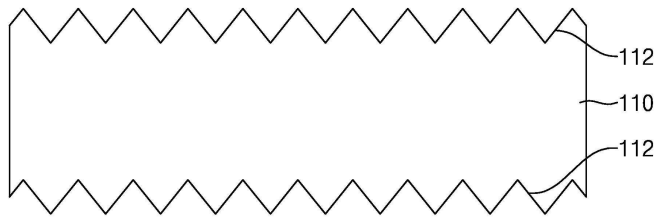
도면2a



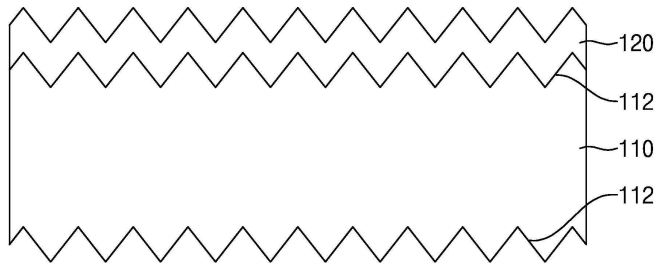
도면2b



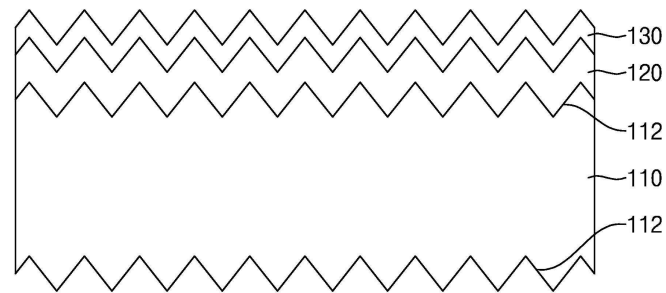
도면3



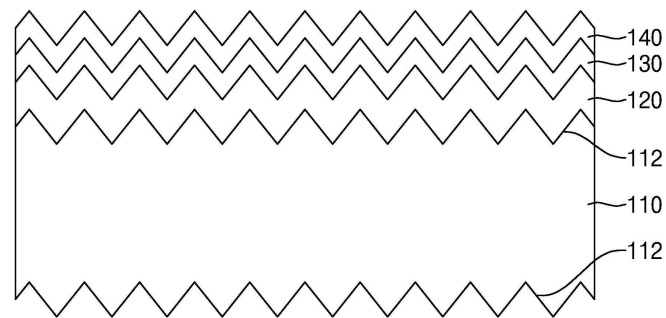
도면4



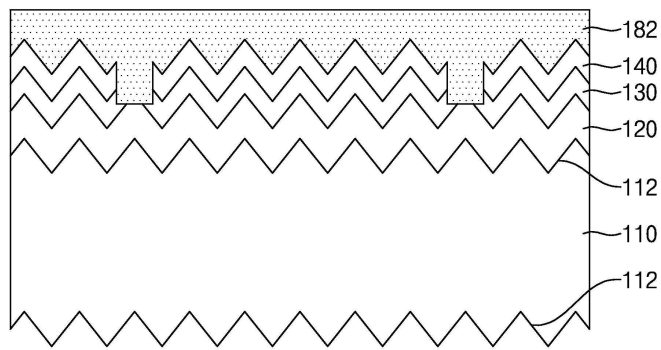
도면5



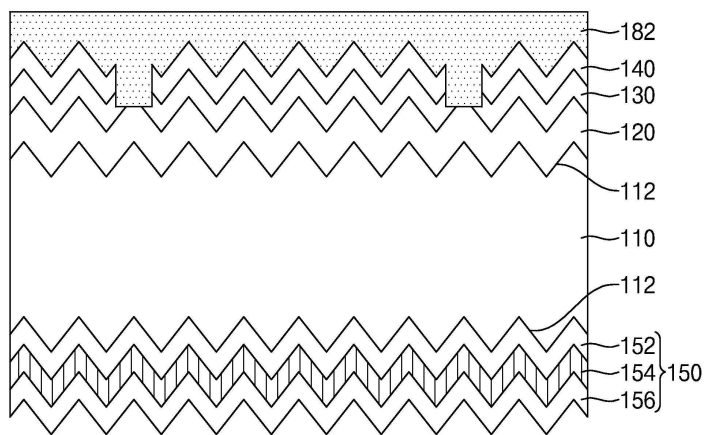
도면6



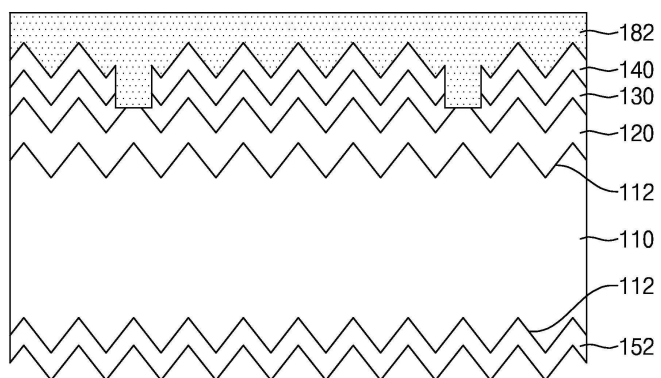
도면7



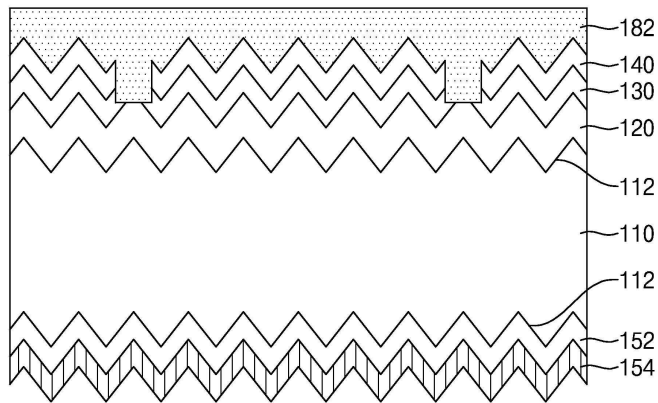
도면8a



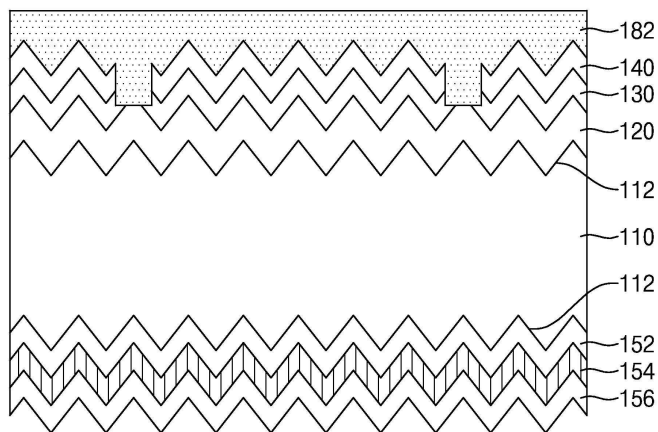
도면8b



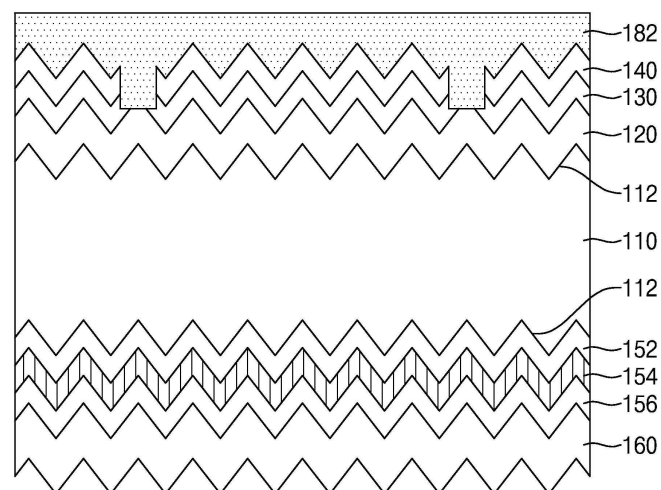
도면8c



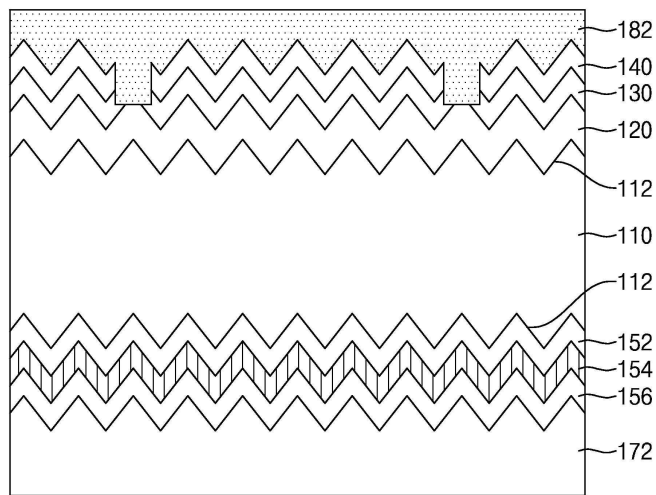
도면8d



도면9



도면10



도면11

