

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-17570

(P2017-17570A)

(43) 公開日 平成29年1月19日(2017.1.19)

(51) Int.Cl.			F I			テーマコード (参考)		
H03H	7/46	(2006.01)	H03H	7/46	C	5J006		
H03H	7/01	(2006.01)	H03H	7/46	A	5J024		
H03H	7/06	(2006.01)	H03H	7/01	A			
H01P	1/213	(2006.01)	H03H	7/06				
			H01P	1/213	Z			

審査請求 未請求 請求項の数 9 O L (全 32 頁)

(21) 出願番号 特願2015-133420 (P2015-133420)
 (22) 出願日 平成27年7月2日(2015.7.2)

(71) 出願人 502350504
 学校法人上智学院
 東京都千代田区紀尾井町7番1号
 (74) 代理人 100166006
 弁理士 泉 通博
 (72) 発明者 林 等
 東京都千代田区紀尾井町7番1号 学校法人上智学院 上智大学工学部内
 Fターム(参考) 5J006 KA06 LA21
 5J024 AA01 CA02 CA03 CA04 DA01
 DA25 EA03 KA03

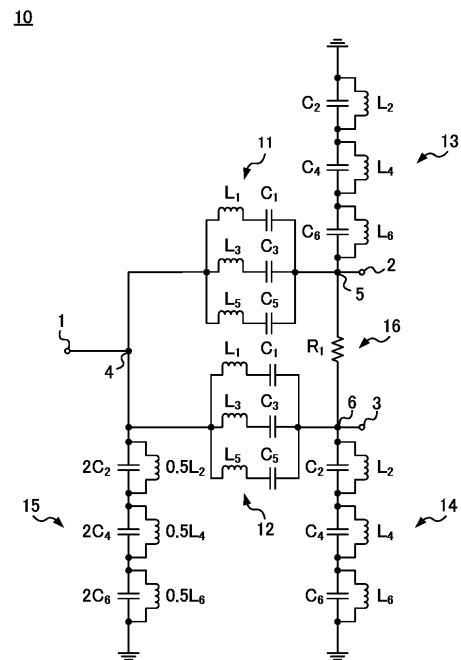
(54) 【発明の名称】 電力分配合成回路

(57) 【要約】 (修正有)

【課題】異なる3以上の周波数帯域において動作する電力分配合成回路を提供する。

【解決手段】電力分配合成回路10は、互いに並列に接続された複数の直列共振回路を有する第1直列共振回路11と、第1直列共振回路11に含まれる複数の直列共振回路と同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第2直列共振回路12と、互いに直列に接続された複数の並列共振回路を有する第1並列共振回路13と、第1並列共振回路13と同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第2並列共振回路14と、第1並列共振回路13が含むキャパシタの2倍の値のキャパシタと、第1並列共振回路13が含むインダクタの1/2の値のインダクタとを含み、互いに直列に接続された複数の並列共振回路を有する第3並列共振回路15と、アイソレーション抵抗16とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の入出力端子に接続された第 1 の接続部に一端が接続されているとともに、第 2 の入出力端子に接続された第 2 の接続部に他端が接続されており、且つ互いに並列に接続された複数の直列共振回路を有する第 1 直列共振回路と、

前記第 1 の入出力端子に接続された前記第 1 の接続部に一端が接続されているとともに、第 3 の入出力端子に接続された第 3 の接続部に他端が接続されており、且つ前記第 1 直列共振回路に含まれる複数の直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第 2 直列共振回路と、

10

前記第 2 の接続部に一端が接続されているとともに他端が接地されており、且つ互いに直列に接続された複数の並列共振回路を有する第 1 並列共振回路と、

前記第 3 の接続部に一端が接続されているとともに他端が接地されており、且つ前記第 1 並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第 2 並列共振回路と、

前記第 1 の接続部に一端が接続されているとともに他端が接地されており、且つ前記第 1 並列共振回路が含むキャパシタの 2 倍の値のキャパシタと、前記第 1 並列共振回路が含むインダクタの $1/2$ の値のインダクタとを含み、互いに直列に接続された複数の並列共振回路を有する第 3 並列共振回路と、

前記第 2 の接続部と前記第 3 の接続部の間に接続されたアイソレーション抵抗とを備え、

20

所望の第 1 の周波数帯の近傍周波数 f_1 から第 n の周波数帯の近傍周波数 f_n と (n は 4 以上の偶数)、前記第 1 の入出力端子、前記第 2 の入出力端子及び前記第 3 の入出力端子に接続される負荷インピーダンス Z_0 (実数) とを用いて、下式により、前記第 1 直列共振回路のキャパシタの値 C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) 及びインダクタの値 L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) と、前記第 1 並列共振回路のキャパシタの値 C_{2k} (k は自然数、 $n \geq 2k$) 及びインダクタの値 L_{2k} (k は自然数、 $n \geq 2k$) と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路。

【数 1】

30

$$C_{2k-1} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (1.1)$$

$$L_{2k-1} = \frac{Z_0}{\sqrt{2}\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (1.2)$$

$$C_{2k} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (1.3)$$

$$L_{2k} = \frac{Z_0}{\sqrt{2}\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (1.4)$$

40

$$R_1 = 2Z_0 \quad (1.5)$$

【請求項 2】

請求項 1 に記載の電力分配合成回路において、

前記第 1 直列共振回路が有する前記複数の直列共振回路のうち、いずれか 1 つの直列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、

前記第 2 直列共振回路が有する前記複数の直列共振回路のうち、いずれか 1 つの直列共振回路が、キャパシタ又はインダクタのうち前記第 1 直列共振回路が有するいずれか 1 つ

50

の直列共振回路が有していない素子と同じ素子を有しておらず、

前記第1並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有しておらず、

前記第2並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有しておらず、

前記第3並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路。

10

【請求項3】

第1の入出力端子に接続された第1の接続部に一端が接続されているとともに、第2の入出力端子に接続された第2の接続部に他端が接続されており、且つ互いに直列に接続された複数の並列共振回路を有する第1並列共振回路と、

前記第1の入出力端子に接続された前記第1の接続部に一端が接続されているとともに、第3の入出力端子に接続された第3の接続部に他端が接続されており、且つ前記第1並列共振回路に含まれる複数の並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第2並列共振回路と、

20

前記第2の接続部に一端が接続されているとともに他端が接地されており、且つ互いに並列に接続された複数の直列共振回路を有する第1直列共振回路と、

前記第3の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第2直列共振回路と、

前記第1の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1直列共振回路が含むキャパシタの2倍の値のキャパシタと、前記第1直列共振回路が含むインダクタの $1/2$ の値のインダクタとを含み、互いに並列に接続された複数の直列共振回路を有する第3直列共振回路と、

前記第2の接続部と前記第3の接続部の間に接続されたアイソレーション抵抗とを備え、

30

所望の第1の周波数帯の近傍周波数 f_1 から第 n の周波数帯の近傍周波数 f_n と(n は4以上の偶数)、前記第1の入出力端子、前記第2の入出力端子及び前記第3の入出力端子に接続される負荷インピーダンス Z_0 (実数)とを用いて、下式により、前記第1並列共振回路のキャパシタの値 C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)及びインダクタの値 L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)と、前記第1直列共振回路のキャパシタの値 C_{2k} (k は自然数、 $n \geq 2k$)及びインダクタの値 L_{2k} (k は自然数、 $n \geq 2k$)と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路。

【数 2】

$$C_{2k-1} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (2.1)$$

$$L_{2k-1} = \frac{Z_0}{\sqrt{2}\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (2.2)$$

$$C_{2k} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (2.3)$$

$$L_{2k} = \frac{Z_0}{\sqrt{2}\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (2.4)$$

$$R_1 = 2Z_0 \quad (2.5)$$

10

【請求項 4】

請求項 3 に記載の電力分配合成回路において、

前記第 1 並列共振回路が有する前記複数の並列共振回路のうち、いずれか 1 つの並列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、

前記第 2 並列共振回路が有する前記複数の並列共振回路のうち、いずれか 1 つの並列共振回路が、キャパシタ又はインダクタのうち前記第 1 並列共振回路が有するいずれか 1 つの並列共振回路が有していない素子と同じ素子を有しておらず、

前記第 1 直列共振回路が有する前記複数の直列共振回路のうち、いずれか 1 つの直列共振回路が、キャパシタ又はインダクタのうち前記第 1 並列共振回路が有するいずれか 1 つの並列共振回路が有していない素子と異なる素子を有しておらず、

前記第 2 直列共振回路が有する前記複数の直列共振回路のうち、いずれか 1 つの直列共振回路が、キャパシタ又はインダクタのうち前記第 1 並列共振回路が有するいずれか 1 つの並列共振回路が有していない素子と異なる素子を有しておらず、

前記第 3 直列共振回路が有する前記複数の直列共振回路のうち、いずれか 1 つの直列共振回路が、キャパシタ又はインダクタのうち前記第 1 並列共振回路が有するいずれか 1 つの並列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路。

20

30

【請求項 5】

第 1 の入出力端子に接続された第 1 の接続部に一端が接続されているとともに、第 2 の入出力端子に接続された第 2 の接続部に他端が接続されており、且つ互いに並列に接続された複数の直列共振回路を有する第 1 直列共振回路と、

前記第 1 の入出力端子に接続された前記第 1 の接続部に一端が接続されているとともに、第 3 の入出力端子に接続された第 3 の接続部に他端が接続されており、且つ前記第 1 直列共振回路に含まれる複数の直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第 2 直列共振回路と、

40

前記第 2 の接続部と前記第 3 の接続部の間に接続されたアイソレーション抵抗と、

前記第 2 の接続部と前記第 3 の接続部の間において、前記アイソレーション抵抗と直列に接続されており、且つ互いに直列に接続された複数の並列共振回路を有する第 1 並列共振回路と、

前記第 1 の接続部に一端が接続されているとともに他端が接地されており、且つ前記第 1 並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第 2 並列共振回路と、

を備え、

所望の第 1 の周波数帯の近傍周波数 f_1 から第 n の周波数帯の近傍周波数 f_n と (n は

50

4以上の偶数)、前記第1の入出力端子、前記第2の入出力端子及び前記第3の入出力端子に接続される負荷インピーダンス Z_0 (実数)とを用いて、下式により、前記第1直列共振回路のキャパシタの値 C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)及びインダクタの値 L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)と、前記第1並列共振回路のキャパシタの値 C_{2k} (k は自然数、 $n \geq 2k$)及びインダクタの値 L_{2k} (k は自然数、 $n \geq 2k$)と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路。

【数3】

$$C_{2k-1} = \frac{1}{2\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (3.1) \quad 10$$

$$L_{2k-1} = \frac{Z_0}{2\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (3.2)$$

$$C_{2k} = \frac{1}{2\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (3.3)$$

$$L_{2k} = \frac{Z_0}{2\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (3.4)$$

$$R_1 = Z_0 \quad (3.5) \quad 20$$

【請求項6】

請求項5に記載の電力分配合成回路において、

前記第1直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、

前記第2直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と同じ素子を有しておらず、

前記第1並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有しておらず、

前記第2並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路。

【請求項7】

第1の入出力端子に接続された第1の接続部に一端が接続されているとともに、第2の入出力端子に接続された第2の接続部に他端が接続されており、且つ互いに直列に接続された複数の並列共振回路を有する第1並列共振回路と、

前記第1の入出力端子に接続された前記第1の接続部に一端が接続されているとともに、第3の入出力端子に接続された第3の接続部に他端が接続されており、且つ前記第1並列共振回路に含まれる複数の並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第2並列共振回路と、

前記第2の接続部と前記第3の接続部の間に接続されたアイソレーション抵抗と、

前記第2の接続部と前記第3の接続部の間において、前記アイソレーション抵抗と直列に接続されており、且つ互いに並列に接続された複数の直列共振回路を有する第1直列共振回路と、

前記第1の接続部に一端が接続されているとともに他端が接地されており、且つ前記第

1 直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第 2 直列共振回路と、

を備え、

所望の第 1 の周波数帯の近傍周波数 f_1 から第 n の周波数帯の近傍周波数 f_n と (n は 4 以上の偶数)、前記第 1 の入出力端子、前記第 2 の入出力端子及び前記第 3 の入出力端子に接続される負荷インピーダンス Z_0 (実数) とを用いて、下式により、前記第 1 並列共振回路のキャパシタの値 C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) 及びインダクタの値 L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) と、前記第 1 直列共振回路のキャパシタの値 C_{2k} (k は自然数、 $n \geq 2k$) 及びインダクタの値 L_{2k} (k は自然数、 $n \geq 2k$) と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路。

10

【数 4】

$$C_{2k-1} = \frac{1}{2\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (4.1)$$

$$L_{2k-1} = \frac{Z_0}{2\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (4.2)$$

$$C_{2k} = \frac{1}{2\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (4.3)$$

20

$$L_{2k} = \frac{Z_0}{2\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (4.4)$$

$$R_1 = Z_0 \quad (4.5)$$

【請求項 8】

請求項 7 に記載の電力分配合成回路において、

前記第 1 並列共振回路が有する前記複数の並列共振回路のうち、いずれか 1 つの並列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、

30

前記第 2 並列共振回路が有する前記複数の並列共振回路のうち、いずれか 1 つの並列共振回路が、キャパシタ又はインダクタのうち前記第 1 並列共振回路が有するいずれか 1 つの並列共振回路が有していない素子と同じ素子を有しておらず、

前記第 1 直列共振回路が有する前記複数の直列共振回路のうち、いずれか 1 つの直列共振回路が、キャパシタ又はインダクタのうち前記第 1 並列共振回路が有するいずれか 1 つの並列共振回路が有していない素子と異なる素子を有しておらず、

前記第 2 直列共振回路が有する前記複数の直列共振回路のうち、いずれか 1 つの直列共振回路が、キャパシタ又はインダクタのうち前記第 1 並列共振回路が有するいずれか 1 つの並列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路。

40

【請求項 9】

前記キャパシタ、前記インダクタ及び前記アイソレーション抵抗がチップ部品であり、

前記チップ部品は誘電体基板に配置されるとともに前記誘電体基板上に形成したストリップ導体パターンにより接続されていることを特徴とする請求項 1 から 8 のいずれか一項に記載の電力分配合成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の周波数帯の信号の電力を分配するための電力分配合成回路に関する。

50

【背景技術】

【0002】

近年、携帯電話や無線LANのような高周波通信装置が、急激な普及を続けている。そして、これら高周波通信装置において、利用者数の急増に伴って、周波数資源の逼迫が問題となっている。そのため、当初は800MHz帯だけが使用されていた携帯電話網においては、1.5GHz帯及び2GHz帯が新たな周波数帯として割り当てられ、使用されるようになり、当初は2.4GHz帯だけが使用されていた無線LANにおいては、5GHz帯が、新たな周波数帯として割り当てられている。

【0003】

このような中、携帯電話機及び無線LAN装置のように複数の周波数帯が割り当てられた高周波通信装置に対して、割り当てられた複数の周波数帯に対応することが求められている。すなわち、一台の携帯電話機において、800MHz帯及び2GHz帯のいずれにおいても通信できることが求められ、一台の無線LAN装置において、2.4GHz帯及び5GHz帯のいずれにおいても通信できることが求められている。

10

【0004】

このように2つの周波数帯に対応可能な通信装置で用いられる従来の電力分配合成回路は、3つの入出力端子と、伝送線路と、アイソレーション抵抗と、並列共振回路又は直列共振回路により構成される。これにより、第1の周波数帯と第2の周波数帯において電力分配合成回路として動作させている（例えば、非特許文献1及び非特許文献2を参照）。

【0005】

ところで、従来の電力分配合成回路においては、電力分配合成回路に伝送線路を用いているため、特に低周波数帯用の回路において、回路面積が大きくなってしまいう課題があった。このような課題を解決するために、直並列共振回路とアイソレーション抵抗により小形に回路を構成し、且つ異なる2つの周波数帯域において動作する電力分配合成回路が提案されている（例えば、特許文献1及び非特許文献3を参照）。また、非特許文献5では、特許文献2及び非特許文献4で開示されている集中定数素子で構成される広帯域電力分配合成回路に特許文献1と同様の手法を適用し、直並列共振回路とアイソレーション抵抗により、異なる2つの周波数帯域において動作する電力分配器が開示されている。

20

【先行技術文献】

【特許文献】

30

【0006】

【特許文献1】特許第4762920号公報

【特許文献2】特許第3795295号公報

【非特許文献】

【0007】

【非特許文献1】L. Wu, Z. Sun, H. Yilmaz, and M. Berroth, "A dual-frequency Wilkinson power divider," *IEEE Trans. Microwave Theory Tech.*, vol. 54, pp. 278-284, 2006年1月

【非特許文献2】河合正, 中島康晃, 小久保吉裕, 太田勲, 山崎淳, "LC直列共振回路を用いた2周波数帯ウィルキンソン電力分配合成回路の設計法," 2006年電子情報通信学会エレクトロニクスソサイエティ大会, C-2-44, 2006年.

40

【非特許文献3】大島毅, 深沢徹, 大塚昌孝, 宮下裕章, "集中定数形2周波共用ウィルキンソン分配回路の構成及び設計式," 電子情報通信学会技術研究報告, MW2009-87, pp. 79-82, 2009年

【非特許文献4】H. Hayashi, T. Nakagawa, K. Uehara, and Y. Takigawa, "Miniaturized broadband lumped-element in-phase power dividers," *IEICE Trans. Electronics*, vol. E90-C, pp. 1222-1227, 2007年6月

50

【非特許文献5】水野裕之，河合正，太田勲，榎原晃，“周波数変換を用いた集中定数型2周波数帯ウィルキンソン電力分配器の設計法，”電子情報通信学会技術研究報告，MW2010-21，pp.39-43，2010年

【発明の概要】

【発明が解決しようとする課題】

【0008】

従来の無線通信回線においては、異なる2つの周波数帯域を使用することが想定されていた。したがって、従来の電力分配合成回路は、異なる2つの周波数帯域において動作させる構成を有していた。

【0009】

ところが、近年は、無線通信回線を用いて伝送されるデータ容量の増加、及び無線通信装置の増加に伴い、周波数帯域が不足しており、更なるマルチバンド化が求められている。その結果、無線通信装置には、より多くの周波数帯域、すなわち異なる3つ以上の周波数帯域を用いて通信することが求められている。

【0010】

本発明は上記のような課題を解決するためになされたものであり、直並列共振回路とアイソレーション抵抗により小形に回路を構成し、且つ異なる3以上の周波数帯域において動作する電力分配合成回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の態様においては、第1の入出力端子に接続された第1の接続部に一端が接続されているとともに、第2の入出力端子に接続された第2の接続部に他端が接続されており、且つ互いに並列に接続された複数の直列共振回路を有する第1直列共振回路と、前記第1の入出力端子に接続された前記第1の接続部に一端が接続されているとともに、第3の入出力端子に接続された第3の接続部に他端が接続されており、且つ前記第1直列共振回路に含まれる複数の直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第2直列共振回路と、前記第2の接続部に一端が接続されているとともに他端が接地されており、且つ互いに直列に接続された複数の並列共振回路を有する第1並列共振回路と、前記第3の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第2並列共振回路と、前記第1の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1並列共振回路が含むキャパシタの2倍の値のキャパシタと、前記第1並列共振回路が含むインダクタの $1/2$ の値のインダクタとを含み、互いに直列に接続された複数の並列共振回路を有する第3並列共振回路と、前記第2の接続部と前記第3の接続部の間に接続されたアイソレーション抵抗とを備え、所望の第1の周波数帯の近傍周波数 f_1 から第 n の周波数帯の近傍周波数 f_n と(n は4以上の偶数)、前記第1の入出力端子、前記第2の入出力端子及び前記第3の入出力端子に接続される負荷インピーダンス Z_0 (実数)とを用いて、下式により、前記第1直列共振回路のキャパシタの値 C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)及びインダクタの値 L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)と、前記第1並列共振回路のキャパシタの値 C_{2k} (k は自然数、 $n \geq 2k$)及びインダクタの値 L_{2k} (k は自然数、 $n \geq 2k$)と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路を提供する。

10

20

30

40

【数 1】

$$C_{2k-1} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (1.1)$$

$$L_{2k-1} = \frac{Z_0}{\sqrt{2}\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (1.2)$$

$$C_{2k} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (1.3)$$

$$L_{2k} = \frac{Z_0}{\sqrt{2}\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (1.4)$$

$$R_1 = 2Z_0 \quad (1.5)$$

10

【0012】

本発明の第2の態様においては、第1の態様に係る電力分配合成回路において、前記第1直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、前記第2直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と同じ素子を有しておらず、前記第1並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有しておらず、前記第2並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有しておらず、前記第3並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路を提供する。

20

30

【0013】

本発明の第3の態様においては、第1の入出力端子に接続された第1の接続部に一端が接続されているとともに、第2の入出力端子に接続された第2の接続部に他端が接続されており、且つ互いに直列に接続された複数の並列共振回路を有する第1並列共振回路と、前記第1の入出力端子に接続された前記第1の接続部に一端が接続されているとともに、第3の入出力端子に接続された第3の接続部に他端が接続されており、且つ前記第1並列共振回路に含まれる複数の並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第2並列共振回路と、前記第2の接続部に一端が接続されているとともに他端が接地されており、且つ互いに並列に接続された複数の直列共振回路を有する第1直列共振回路と、前記第3の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第2直列共振回路と、前記第1の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1直列共振回路が含むキャパシタの2倍の値のキャパシタと、前記第1直列共振回路が含むインダクタの1/2の値のインダクタとを含み、互いに並列に接続された複数の直列共振回路を有する第3直列共振回路と、前記第2の接続部と前記第3の接続部の間に接続されたアイソレーション抵抗とを備え、所望の第1の周波数帯の近傍周波数 f_1 から第nの周波数帯の近傍周波数 f_n と (nは4以上の偶数)、前記第1の入出力端子、前記第2の入出力端子

40

50

及び前記第3の入出力端子に接続される負荷インピーダンス Z_0 （実数）とを用いて、下式により、前記第1並列共振回路のキャパシタの値 C_{2k-1} （ k は自然数、 $n-1 \leq 2k-1$ ）及びインダクタの値 L_{2k-1} （ k は自然数、 $n-1 \leq 2k-1$ ）と、前記第1直列共振回路のキャパシタの値 C_{2k} （ k は自然数、 $n \leq 2k$ ）及びインダクタの値 L_{2k} （ k は自然数、 $n \leq 2k$ ）と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路を提供する。

【数2】

$$C_{2k-1} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (2.1)$$

10

$$L_{2k-1} = \frac{Z_0}{\sqrt{2}\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (2.2)$$

$$C_{2k} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (2.3)$$

$$L_{2k} = \frac{Z_0}{\sqrt{2}\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (2.4)$$

$$R_1 = 2Z_0 \quad (2.5)$$

20

【0014】

本発明の第4の態様においては、第3の態様に係る電力分配合成回路において、前記第1並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、前記第2並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1並列共振回路が有するいずれか1つの並列共振回路が有していない素子と同じ素子を有しておらず、前記第1直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタのうち前記第1並列共振回路が有するいずれか1つの並列共振回路が有していない素子と異なる素子を有しておらず、前記第2直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタのうち前記第1並列共振回路が有するいずれか1つの並列共振回路が有していない素子と異なる素子を有しておらず、前記第3直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタのうち前記第1並列共振回路が有するいずれか1つの並列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路を提供する。

30

【0015】

本発明の第5の態様においては、第1の入出力端子に接続された第1の接続部に一端が接続されているとともに、第2の入出力端子に接続された第2の接続部に他端が接続されており、且つ互いに並列に接続された複数の直列共振回路を有する第1直列共振回路と、前記第1の入出力端子に接続された前記第1の接続部に一端が接続されているとともに、第3の入出力端子に接続された第3の接続部に他端が接続されており、且つ前記第1直列共振回路に含まれる複数の直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第2直列共振回路と、前記第2の接続部と前記第3の接続部の間に接続されたアイソレーション抵抗と、前記第2の接続部と前記第3の接続部の間において、前記アイソレーション抵抗と直列に接続されており、且つ互いに直列に接続された複数の並列共振回路を有する第1並列共振回路と、前記第1の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパ

40

50

シタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第2並列共振回路と、を備え、所望の第1の周波数帯の近傍周波数 f_1 から第 n の周波数帯の近傍周波数 f_n と(n は4以上の偶数)、前記第1の入出力端子、前記第2の入出力端子及び前記第3の入出力端子に接続される負荷インピーダンス Z_0 (実数)とを用いて、下式により、前記第1直列共振回路のキャパシタの値 C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)及びインダクタの値 L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)と、前記第1並列共振回路のキャパシタの値 C_{2k} (k は自然数、 $n \geq 2k$)及びインダクタの値 L_{2k} (k は自然数、 $n \geq 2k$)と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路を提供する。

【数3】

$$C_{2k-1} = \frac{1}{2\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (3.1)$$

$$L_{2k-1} = \frac{Z_0}{2\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (3.2)$$

$$C_{2k} = \frac{1}{2\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (3.3)$$

$$L_{2k} = \frac{Z_0}{2\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (3.4)$$

$$R_1 = Z_0 \quad (3.5)$$

10

20

【0016】

本発明の第6の態様においては、第5の態様に係る電力分配合成回路において、前記第1直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、前記第2直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と同じ素子を有しておらず、前記第1並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有しておらず、前記第2並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1直列共振回路が有するいずれか1つの直列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路を提供する。

30

【0017】

本発明の第7の態様においては、第1の入出力端子に接続された第1の接続部に一端が接続されているとともに、第2の入出力端子に接続された第2の接続部に他端が接続されており、且つ互いに直列に接続された複数の並列共振回路を有する第1並列共振回路と、前記第1の入出力端子に接続された前記第1の接続部に一端が接続されているとともに、第3の入出力端子に接続された第3の接続部に他端が接続されており、且つ前記第1並列共振回路に含まれる複数の並列共振回路が含むキャパシタ及びインダクタと同一の値のキャパシタ及びインダクタを含み、互いに直列に接続された複数の並列共振回路を有する第2並列共振回路と、前記第2の接続部と前記第3の接続部の間に接続されたアイソレーション抵抗と、前記第2の接続部と前記第3の接続部の間において、前記アイソレーション抵抗と直列に接続されており、且つ互いに並列に接続された複数の直列共振回路を有する第1直列共振回路と、前記第1の接続部に一端が接続されているとともに他端が接地されており、且つ前記第1直列共振回路が含むキャパシタ及びインダクタと同一の値のキャパ

40

50

シタ及びインダクタを含み、互いに並列に接続された複数の直列共振回路を有する第2直列共振回路と、を備え、所望の第1の周波数帯の近傍周波数 f_1 から第 n の周波数帯の近傍周波数 f_n と(n は4以上の偶数)、前記第1の入出力端子、前記第2の入出力端子及び前記第3の入出力端子に接続される負荷インピーダンス Z_0 (実数)とを用いて、下式により、前記第1並列共振回路のキャパシタの値 C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)及びインダクタの値 L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)と、前記第1直列共振回路のキャパシタの値 C_{2k} (k は自然数、 $n \geq 2k$)及びインダクタの値 L_{2k} (k は自然数、 $n \geq 2k$)と、アイソレーション抵抗の値 R_1 と、が定められることを特徴とする電力分配合成回路を提供する。

【数4】

$$C_{2k-1} = \frac{1}{2\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (4.1)$$

$$L_{2k-1} = \frac{Z_0}{2\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (4.2)$$

$$C_{2k} = \frac{1}{2\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (4.3)$$

$$L_{2k} = \frac{Z_0}{2\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (4.4)$$

$$R_1 = Z_0 \quad (4.5)$$

10

20

【0018】

本発明の第8の態様においては、第7の態様に係る電力分配合成回路において、前記第1並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路がキャパシタ又はインダクタのいずれか一方を有しておらず、前記第2並列共振回路が有する前記複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち前記第1並列共振回路が有するいずれか1つの並列共振回路が有していない素子と同じ素子を有しておらず、前記第1直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタのうち前記第1並列共振回路が有するいずれか1つの並列共振回路が有していない素子と異なる素子を有しておらず、前記第2直列共振回路が有する前記複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタのうち前記第1並列共振回路が有するいずれか1つの並列共振回路が有していない素子と異なる素子を有していないことを特徴とする電力分配合成回路を提供する。

30

【0019】

上記の各電力分配合成回路においては、例えば、前記キャパシタ、前記インダクタ及び前記アイソレーション抵抗がチップ部品であり、前記チップ部品は誘電体基板に配置されるとともに前記誘電体基板上に形成したストリップ導体パターンにより接続されている。

40

【発明の効果】

【0020】

本発明によれば、直並列共振回路とアイソレーション抵抗により小形に回路を構成し、且つ異なる3以上の周波数帯域において動作する電力分配合成回路を提供することができるという効果を奏する。

【図面の簡単な説明】

【0021】

【図1】第1の実施形態に係る電力分配合成回路10の構成を示す回路図である。

【図2】電力分配合成回路10のSパラメータ(S21)の周波数特性を示す図である。

50

【図 3】電力分配合成回路 10 の S パラメータ (S 1 1 , S 2 2) の周波数特性を示す図である。

【図 4】電力分配合成回路 10 の S パラメータ (S 3 2) の周波数特性を示す図である。

【図 5】第 2 の実施形態に係る電力分配合成回路 20 の構成を示す回路図である。

【図 6】電力分配合成回路 20 の S パラメータ (S 2 1) の周波数特性を示す図である。

【図 7】電力分配合成回路 20 の S パラメータ (S 1 1 , S 2 2) の周波数特性を示す図である。

【図 8】電力分配合成回路 20 の S パラメータ (S 3 2) の周波数特性を示す図である。

【図 9】第 3 の実施形態に係る電力分配合成回路 30 の構成を示す回路図である。

【図 10】電力分配合成回路 30 の S パラメータ (S 2 1) の周波数特性を示す図である。

10

【図 11】電力分配合成回路 30 の S パラメータ (S 1 1 , S 2 2) の周波数特性を示す図である。

【図 12】電力分配合成回路 30 の S パラメータ (S 3 2) の周波数特性を示す図である。

【図 13】第 4 の実施形態に係る電力分配合成回路 40 の構成を示す回路図である。

【図 14】電力分配合成回路 40 の S パラメータ (S 2 1) の周波数特性を示す図である。

【図 15】電力分配合成回路 40 の S パラメータ (S 1 1 , S 2 2) の周波数特性を示す図である。

20

【図 16】電力分配合成回路 40 の S パラメータ (S 3 2) の周波数特性を示す図である。

【図 17】第 5 の実施形態に係る電力分配合成回路 50 の構成を示す回路図である。

【図 18】電力分配合成回路 50 の S パラメータ (S 2 1) の周波数特性を示す図である。

【図 19】電力分配合成回路 50 の S パラメータ (S 1 1 , S 2 2) の周波数特性を示す図である。

【図 20】電力分配合成回路 50 の S パラメータ (S 3 2) の周波数特性を示す図である。

【図 21】第 6 の実施形態に係る電力分配合成回路 60 の構成を示す回路図である。

30

【図 22】第 7 の実施形態に係る電力分配合成回路 70 の構成を示す回路図である。

【図 23】第 8 の実施形態に係る電力分配合成回路 80 の構成を示す回路図である。

【発明を実施するための形態】

【0022】

< 第 1 の実施形態 >

図 1 は、第 1 の実施形態に係る電力分配合成回路 10 の構成を示す回路図である。図 1 に示す電力分配合成回路 10 は、請求項 1 に係る電力分配合成回路において $n = 6$ の場合に対応する。

【0023】

電力分配合成回路 10 は、第 1 の入出力端子 1 と、第 2 の入出力端子 2 と、第 3 の入出力端子 3 とを有する。また、電力分配合成回路 10 は、第 1 直列共振回路 11 と、第 2 直列共振回路 12 と、第 1 並列共振回路 13 と、第 2 並列共振回路 14 と、第 3 並列共振回路 15 と、アイソレーション抵抗 16 と、を有する。第 1 の入出力端子 1 から入力された高周波信号は、第 2 の入出力端子 2 及び第 3 の入出力端子 3 に分配される。また、第 2 の入出力端子 2 及び第 3 の入出力端子 3 から入力された高周波信号は、同相で合成されて第 1 の入出力端子 1 から出力される。

40

【0024】

第 1 直列共振回路 11 は、第 1 の入出力端子 1 に接続された第 1 の接続部 4 に一端が接続されているとともに、第 2 の入出力端子 2 に接続された第 2 の接続部 5 に他端が接続されている。第 1 直列共振回路 11 は、互いに並列に接続された、複数の直列共振回路を有

50

している。具体的には、第1直列共振回路11は、インダクタ L_1 及びキャパシタ C_1 が直列に接続された直列共振回路、インダクタ L_3 及びキャパシタ C_3 が直列に接続された直列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が直列に接続された直列共振回路を有している。

【0025】

第2直列共振回路12は、第1の入出力端子1に接続された第1の接続部4に一端が接続されているとともに、第3の入出力端子3に接続された第3の接続部6に他端が接続されている。第2直列共振回路12は、第1直列共振回路11に含まれる複数の直列共振回路と同一のキャパシタンス及びインダクタンスを有する複数の直列共振回路を有する。具体的には、第2直列共振回路12は、第1直列共振回路11と同様に、インダクタ L_1 及びキャパシタ C_1 が直列に接続された直列共振回路、インダクタ L_3 及びキャパシタ C_3 が直列に接続された直列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が直列に接続された直列共振回路を有している。

10

【0026】

第1並列共振回路13は、第2の接続部5に一端が接続されているとともに、他端が接地されている。第1並列共振回路13は、互いに直列に接続された複数の並列共振回路を有している。具体的には、第1並列共振回路13は、インダクタ L_2 及びキャパシタ C_2 が並列に接続された並列共振回路、インダクタ L_4 及びキャパシタ C_4 が並列に接続された並列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が並列に接続された並列共振回路を有している。

20

【0027】

第2並列共振回路14は、第3の接続部6に一端が接続されているとともに他端が接地されている。また、第2並列共振回路14は、互いに直列に接続されており、第1並列共振回路13と同一のキャパシタンス及びインダクタンスを有する複数の並列共振回路を有する。具体的には、第2並列共振回路14は、インダクタ L_2 及びキャパシタ C_2 が並列に接続された並列共振回路、インダクタ L_4 及びキャパシタ C_4 が並列に接続された並列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が並列に接続された並列共振回路を有している。

【0028】

第3並列共振回路15は、第1の接続部4に一端が接続されているとともに他端が接地されている。第3並列共振回路15においては、第1並列共振回路13に含まれる複数の並列共振回路が含むキャパシタの2倍のキャパシタンス値のキャパシタと、第1並列共振回路13に含まれる複数の並列共振回路が含むインダクタの $1/2$ のインダクタンス値のインダクタとを有する複数の並列共振回路が直列に接続されている。具体的には、第3並列共振回路15は、インダクタ $0.5L_2$ 及びキャパシタ $2C_2$ が並列に接続された並列共振回路、インダクタ $0.5L_4$ 及びキャパシタ $2C_4$ が並列に接続された並列共振回路、及びインダクタ $0.5L_6$ 及びキャパシタ $2C_6$ が並列に接続された並列共振回路を有している。

30

【0029】

キャパシタ $2C_2$ 、 $2C_4$ 及び $2C_6$ は、それぞれキャパシタ C_2 、 C_4 及び C_6 の2倍のキャパシタンス値を有するキャパシタであることを示している。インダクタ $0.5L_2$ 、 $0.5L_4$ 及び $0.5L_6$ は、それぞれインダクタ L_2 、 L_4 及び L_6 の $1/2$ のインダクタンス値を有するインダクタであることを示している。

40

【0030】

アイソレーション抵抗16は、第2の接続部5と第3の接続部6との間に直列に接続されている。アイソレーション抵抗16は、第2の入出力端子2と第3の入出力端子3との間を電氣的に絶縁するための抵抗である。

【0031】

電力分配合成回路10に含まれる各素子の値は、以下のようにして定められた値である。

50

まず、電力分配合成回路10を動作させて通過帯域とする周波数帯を第1周波数帯から第n周波数帯とし(nは4以上の偶数)、第1周波数帯の近傍周波数を f_1 、第n周波数帯の近傍周波数を f_n とする。また、第1の入出力端子1、第2の入出力端子2及び第3の入出力端子3に接続される負荷インピーダンスを Z_0 (実数)とする。

【0032】

ここで、本明細書における「近傍周波数」は、隣接する周波数帯よりも自周波数帯に近い範囲の周波数であるものとする。例えば、第1の周波数帯が2GHzから3GHzであり、第2の周波数帯が4GHzから5GHzであり、第3の周波数帯が6GHzから7GHzである場合に、第2の周波数帯の近傍周波数は、3GHzから6GHzまでの間に含まれている。

10

【0033】

この場合、第1直列共振回路11の各直列共振回路に含まれるキャパシタのキャパシタンス C_{2k-1} (kは自然数、 $n-1 \geq 2k-1$)及び各インダクタのインダクタンス L_{2k-1} (kは自然数、 $n-1 \geq 2k-1$)と、第1並列共振回路13の各並列共振回路に含まれる各キャパシタのキャパシタンス C_{2k} (kは自然数、 $n \geq 2k$)及びインダクタンス L_{2k} (kは自然数、 $n \geq 2k$)と、アイソレーション抵抗 R_1 とは、以下の式により定められる。

【数1】

$$C_{2k-1} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (1.1)$$

20

$$L_{2k-1} = \frac{Z_0}{\sqrt{2}\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (1.2)$$

$$C_{2k} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (1.3)$$

$$L_{2k} = \frac{Z_0}{\sqrt{2}\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (1.4)$$

$$R_1 = 2Z_0 \quad (1.5)$$

30

【0034】

次に、電力分配合成回路10の動作について説明する。電力分配合成回路10を動作させる異なる第1の周波数帯、第2の周波数帯、第3の周波数帯、第4の周波数帯、第5の周波数帯、第6の周波数帯のそれぞれの周波数帯の近傍周波数を f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 とする。周波数 f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 を含む周波数帯で電力分配合成回路10として動作させるための、電力分配合成回路10に含まれるキャパシタのキャパシタンス値、インダクタのインダクタンス値、及び抵抗の抵抗値は、式(1.1)~(1.5)により与えられる。

40

【0035】

ここでは、説明の便宜上、入出力端子1、2、3に接続される負荷インピーダンス Z_0 (実数)の値を50とする。また、第1の周波数帯の近傍周波数 f_1 を0.9GHz、第2の周波数帯の近傍周波数 f_2 を2GHz、第3の周波数帯の近傍周波数 f_3 を3.4GHz、第4の周波数帯の近傍周波数 f_4 を5.8GHz、第5の周波数帯の近傍周波数 f_5 を6GHz、第6の周波数帯の近傍周波数 f_6 を8GHzに選択する。なお、図中の記号は、 f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 ではなく、それぞれ m_1 、 m_2 、 m_3 、 m_4 、 m_5 、 m_6 と表記している。

【0036】

図2~図4は、上記の条件に基づいて各素子の定数が定められた電力分配合成回路10

50

の S パラメータの周波数特性（計算値）を示す図である。図 2 ~ 図 4 における矢印は、第 1 の周波数帯の中心周波数 F_1 、第 2 の周波数帯の中心周波数 F_2 、第 3 の周波数帯の中心周波数 F_3 、第 4 の周波数帯の中心周波数 F_4 、第 5 の周波数帯の中心周波数 F_5 、第 6 の周波数帯の中心周波数 F_6 を示している。

【 0 0 3 7 】

図 2 において、横軸は周波数を表し、縦軸は入出力端子 1 から高周波信号を入力した場合に入出力端子 2 及び入出力端子 3 にそれぞれ分配される高周波信号の大きさ、すなわち分配振幅 $|S_{21}|$ （ $=|S_{31}|$ ）を示している。入出力端子 1 から入力された高周波信号が入出力端子 2 及び入出力端子 3 に分配されているので、 S_{21} の大きさは、約 - 3 dB となっている。図 2 に示す S_{21} の周波数特性から、第 1 の周波数帯 F_1 ~ 第 6 の周波数帯 F_6 において、入出力端子 1 から入力した高周波信号は反射することなく、入出力端子 2、3 へ等分配で伝送されることがわかる。

10

【 0 0 3 8 】

図 3 は、入出力端子 1、2、3 から高周波信号を入力した場合の反射係数の大きさ、すなわち反射振幅 $|S_{11}|$ 、 $|S_{22}|$ （ $=|S_{33}|$ ）を示している。 F_1 ~ F_6 の全ての周波数で、 S_{11} 及び S_{22} の値は十分に小さくなっており、反射が生じないことを確認できる。

【 0 0 3 9 】

図 4 は、入出力端子 2 から高周波信号を入力した場合に入出力端子 3 へ伝送される高周波信号の大きさ、及び入出力端子 3 から高周波信号を入力した場合に入出力端子 2 へ伝送される高周波信号の大きさ、すなわちアイソレーション $|S_{32}|$ （ $=|S_{23}|$ ）を示している。 F_1 ~ F_6 の全ての周波数で、 S_{32} の値は小さくなっており、入出力端子 2 と入出力端子 3 とは完全にアイソレーションを確保できていることを確認できる。したがって、仮に、入出力端子 2、3 に接続されたアンテナ等の負荷との間に不整合が生じて反射波が生じてても、その反射波は、入出力端子 2、3 の互いの端子へ伝送されることなく、安定した電力分配合成回路として動作する。

20

【 0 0 4 0 】

このような電力分配合成回路 10 は、例えばキャパシタ、インダクタ及び抵抗をチップ部品により実現し、これらのチップ部品を誘電体基板上にそれぞれ配置して、チップ部品間を誘電体基板上に形成したストリップ導体パターンで接続することにより、小形に構成

30

【 0 0 4 1 】

以上のとおり、第 1 の実施形態によれば、キャパシタとインダクタの集中定数素子からなる直列共振回路及び並列共振回路、並びにアイソレーション抵抗により回路を構成しているので、小形に回路を構成でき、且つ異なる 6 つの周波数帯域において動作する電力分配合成回路 10 が得られるという効果を奏する。

【 0 0 4 2 】

< 第 2 の実施形態 >

図 5 は、第 2 の実施形態に係る電力分配合成回路 20 の構成を示す回路図である。図 5 に示す電力分配合成回路 20 は、請求項 3 に係る電力分配合成回路において $n = 6$ の場合に対応する。

40

【 0 0 4 3 】

電力分配合成回路 20 は、第 1 の入出力端子 1 と、第 2 の入出力端子 2 と、第 3 の入出力端子 3 とを有する。また、電力分配合成回路 20 は、第 1 並列共振回路 21 と、第 2 並列共振回路 22 と、第 1 直列共振回路 23 と、第 2 直列共振回路 24 と、第 3 直列共振回路 25 と、アイソレーション抵抗 26 と、を有する。

【 0 0 4 4 】

第 1 並列共振回路 21 は、第 1 の入出力端子 1 に接続された第 1 の接続部 4 に一端が接続されているとともに、第 2 の入出力端子 2 に接続された第 2 の接続部 5 に他端が接続されている。第 1 並列共振回路 21 は、互いに直列に接続された、複数の並列共振回路を有

50

している。具体的には、第1並列共振回路21は、インダクタ L_1 及びキャパシタ C_1 が並列に接続された並列共振回路、インダクタ L_3 及びキャパシタ C_3 が並列に接続された並列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が並列に接続された並列共振回路を有している。

【0045】

第2並列共振回路22は、第1の入出力端子1に接続された第1の接続部4に一端が接続されているとともに、第3の入出力端子3に接続された第3の接続部6に他端が接続されている。第2並列共振回路22は、第1並列共振回路21に含まれる複数の並列共振回路と同一のキャパシタンス及びインダクタンスを有する複数の並列共振回路を有する。具体的には、第2並列共振回路22は、第1並列共振回路21と同様に、インダクタ L_1 及びキャパシタ C_1 が並列に接続された並列共振回路、インダクタ L_3 及びキャパシタ C_3 が並列に接続された並列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が並列に接続された並列共振回路を有している。

10

【0046】

第1直列共振回路23は、第2の接続部5に一端が接続されているとともに、他端が接地されている。第1直列共振回路23は、互いに並列に接続された複数の直列共振回路を有している。具体的には、第1直列共振回路23は、インダクタ L_2 及びキャパシタ C_2 が直列に接続された直列共振回路、インダクタ L_4 及びキャパシタ C_4 が直列に接続された直列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が直列に接続された直列共振回路を有している。

20

【0047】

第2直列共振回路24は、第3の接続部6に一端が接続されているとともに他端が接地されている。また、第2直列共振回路24は、互いに並列に接続されており、第1直列共振回路23と同一のキャパシタンス及びインダクタンスを有する複数の直列共振回路を有する。具体的には、第2直列共振回路24は、インダクタ L_2 及びキャパシタ C_2 が直列に接続された直列共振回路、インダクタ L_4 及びキャパシタ C_4 が直列に接続された直列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が直列に接続された直列共振回路を有している。

【0048】

第3直列共振回路25は、第1の接続部4に一端が接続されているとともに他端が接地されている。第3直列共振回路25においては、第1直列共振回路23に含まれる複数の直列共振回路が含むキャパシタの2倍のキャパシタンス値のキャパシタと、第1直列共振回路23に含まれる複数の直列共振回路が含むインダクタの $1/2$ のインダクタンス値のインダクタとを有する複数の直列共振回路が並列に接続されている。具体的には、第3直列共振回路25は、インダクタ $0.5L_2$ 及びキャパシタ $2C_2$ が直列に接続された直列共振回路、インダクタ $0.5L_4$ 及びキャパシタ $2C_4$ が直列に接続された直列共振回路、及びインダクタ $0.5L_6$ 及びキャパシタ $2C_6$ が直列に接続された直列共振回路を有している。

30

【0049】

アイソレーション抵抗26は、第2の接続部5と第3の接続部6との間に接続されている。アイソレーション抵抗26は、第2の入出力端子2と第3の入出力端子3との間を電氣的に絶縁するための抵抗である。

40

【0050】

電力分配合成回路20に含まれる各素子の値は、以下のようにして定められた値である。

まず、電力分配合成回路20を動作させて通過帯域とする周波数帯を第1周波数帯から第 n 周波数帯とし(n は4以上の偶数)、第1周波数帯の近傍周波数を f_1 、第 n 周波数帯の近傍周波数を f_n とする。また、第1の入出力端子1、第2の入出力端子2及び第3の入出力端子3に接続される負荷インピーダンスを Z_0 (実数)とする。

【0051】

50

この場合、第1並列共振回路21の各並列共振回路に含まれるキャパシタのキャパシタンス C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)及び各インダクタのインダクタンス L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$)と、第1直列共振回路23の各直列共振回路に含まれる各キャパシタのキャパシタンス C_{2k} (k は自然数、 $n \geq 2k$)及びインダクタンス L_{2k} (k は自然数、 $n \geq 2k$)と、アイソレーション抵抗 R_1 とは、以下の式により定められる。

【数2】

$$C_{2k-1} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (2.1)$$

10

$$L_{2k-1} = \frac{Z_0}{\sqrt{2}\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (2.2)$$

$$C_{2k} = \frac{1}{2\sqrt{2}\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (2.3)$$

$$L_{2k} = \frac{Z_0}{\sqrt{2}\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (2.4)$$

$$R_1 = 2Z_0 \quad (2.5)$$

20

【0052】

次に、電力分配合成回路20の動作について説明する。電力分配合成回路20を動作させる異なる第1の周波数帯、第2の周波数帯、第3の周波数帯、第4の周波数帯、第5の周波数帯、第6の周波数帯のそれぞれの周波数帯の近傍周波数を f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 とする。周波数 f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 で電力分配合成回路20として動作させるための、電力分配合成回路20に含まれるキャパシタのキャパシタンス値、インダクタのインダクタンス値、及び抵抗の抵抗値は、式(2.1)~(2.5)により与えられる。

【0053】

30

ここでは、説明の便宜上、入出力端子1、2、3に接続される負荷インピーダンス Z_0 (実数)の値を50とし、また、第1の周波数帯の近傍周波数 f_1 を0.9GHz、第2の周波数帯の近傍周波数 f_2 を2GHz、第3の周波数帯の近傍周波数 f_3 を3.4GHz、第4の周波数帯の近傍周波数 f_4 を5.8GHz、第5の周波数帯の近傍周波数 f_5 を6GHz、第6の周波数帯の近傍周波数 f_6 を8GHzに選択する。

【0054】

図6~図8は、上記の条件に基づいて各素子の定数が定められた電力分配合成回路20のSパラメータの周波数特性(計算値)を示す図である。図6は、図2と同様に、入出力端子1から高周波信号を入力した場合に入出力端子2及び入出力端子3にそれぞれ分配される高周波信号の大きさ、すなわち分配振幅 $|S_{21}|$ ($= |S_{31}|$)を示している。図6に示す S_{21} の周波数特性及び図7に示す S_{11} 及び S_{22} の周波数特性から、周波数 $f_1 \sim f_6$ の近傍の第1~第6の周波数帯(F1~F6に対応)において、入出力端子1から入力した高周波信号は反射することなく、入出力端子2、3へ等分配で伝送されることがわかる。

40

【0055】

また、図8に示す S_{32} の周波数特性から、第1~第6の周波数帯(F1~F6に対応)において、入出力端子2、3は完全にアイソレーションされることがわかる。したがって、仮に、入出力端子2、3に接続されたアンテナ等の負荷との間に不整合が生じて反射波が生じてても、その反射波は、入出力端子2、3の互いの端子へ伝送されることなく、安定した電力分配合成回路として動作する。

50

【 0 0 5 6 】

以上のとおり、第 2 の実施形態によれば、キャパシタとインダクタの集中定数素子からなる直列共振回路及び並列共振回路、並びにアイソレーション抵抗により回路を構成しているので、小形に回路を構成でき、且つ異なる 6 つの周波数帯域において動作する電力分配合成回路 2 0 が得られるという効果を奏する。

【 0 0 5 7 】

< 第 3 の実施形態 >

図 9 は、第 3 の実施形態による電力分配合成回路 3 0 の構成を示す回路図である。図 9 に示す電力分配合成回路 3 0 は、請求項 5 において $n = 6$ の場合に対応する。

【 0 0 5 8 】

電力分配合成回路 3 0 は、第 1 の入出力端子 1 と、第 2 の入出力端子 2 と、第 3 の入出力端子 3 とを有する。また、電力分配合成回路 3 0 は、第 1 直列共振回路 3 1 と、第 2 直列共振回路 3 2 と、第 1 並列共振回路 3 3 と、第 2 並列共振回路 3 4 と、アイソレーション抵抗 3 5 と、を有する。

【 0 0 5 9 】

第 1 直列共振回路 3 1 は、第 1 の入出力端子 1 に接続された第 1 の接続部 4 に一端が接続されているとともに、第 2 の入出力端子 2 に接続された第 2 の接続部 5 に他端が接続されている。第 1 直列共振回路 3 1 は、互いに並列に接続された、複数の直列共振回路を有している。具体的には、第 1 直列共振回路 3 1 は、インダクタ L_1 及びキャパシタ C_1 が直列に接続された直列共振回路、インダクタ L_3 及びキャパシタ C_3 が直列に接続された直列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が直列に接続された直列共振回路を有している。

【 0 0 6 0 】

第 2 直列共振回路 3 2 は、第 1 の入出力端子 1 に接続された第 1 の接続部 4 に一端が接続されているとともに、第 3 の入出力端子 3 に接続された第 3 の接続部 6 に他端が接続されている。第 2 直列共振回路 3 2 は、第 1 直列共振回路 3 1 に含まれる複数の直列共振回路と同一のキャパシタンス及びインダクタンスを有する複数の直列共振回路を有する。具体的には、第 2 直列共振回路 3 2 は、第 1 直列共振回路 3 1 と同様に、インダクタ L_1 及びキャパシタ C_1 が直列に接続された直列共振回路、インダクタ L_3 及びキャパシタ C_3 が直列に接続された直列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が直列に接続された直列共振回路を有している。

【 0 0 6 1 】

第 1 並列共振回路 3 3 は、第 2 の接続部 5 と第 3 の接続部 6 との間で、アイソレーション抵抗 3 5 と直列に接続されている。第 1 並列共振回路 3 3 は、互いに直列に接続された複数の並列共振回路を有している。具体的には、第 1 並列共振回路 3 3 は、インダクタ L_2 及びキャパシタ C_2 が並列に接続された並列共振回路、インダクタ L_4 及びキャパシタ C_4 が並列に接続された並列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が並列に接続された並列共振回路を有している。

【 0 0 6 2 】

第 2 並列共振回路 3 4 は、第 1 の接続部 4 に一端が接続されているとともに他端が接地されている。第 2 並列共振回路 3 4 においては、第 1 並列共振回路 3 3 に含まれる複数の並列共振回路と同一のキャパシタンスと、第 1 並列共振回路 3 3 に含まれる複数の並列共振回路と同一のインダクタンスとを有する複数の並列共振回路が直列に接続されている。具体的には、第 2 並列共振回路 3 4 は、インダクタ L_2 及びキャパシタ C_2 が並列に接続された並列共振回路、インダクタ L_4 及びキャパシタ C_4 が並列に接続された並列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が並列に接続された並列共振回路を有している。

【 0 0 6 3 】

アイソレーション抵抗 3 5 は、第 2 の接続部 5 と第 3 の接続部 6 との間において、第 1 並列共振回路 3 3 と直列に接続されている。アイソレーション抵抗 3 5 は、第 2 の入出力

10

20

30

40

50

端子 2 と第 3 の入出力端子 3 との間を電氣的に絶縁するための抵抗である。

【 0 0 6 4 】

電力分配合成回路 3 0 に含まれる各素子の値は、以下のようにして定められた値である。

まず、電力分配合成回路 3 0 を動作させて通過帯域とする周波数帯を第 1 周波数帯から第 n 周波数帯とし (n は 4 以上の偶数)、第 1 周波数帯の近傍周波数を f_1 、第 n 周波数帯の近傍周波数を f_n とする。また、第 1 の入出力端子 1、第 2 の入出力端子 2 及び第 3 の入出力端子 3 に接続される負荷インピーダンスを Z_0 (実数) とする。

【 0 0 6 5 】

この場合、第 1 直列共振回路 3 1 の各直列共振回路に含まれるキャパシタのキャパシタンス C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) 及び各インダクタのインダクタンス L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) と、第 1 並列共振回路 3 3 の各並列共振回路に含まれる各キャパシタのキャパシタンス C_{2k} (k は自然数、 $n \geq 2k$) 及びインダクタンス L_{2k} (k は自然数、 $n \geq 2k$) と、アイソレーション抵抗 R_1 とは、以下の式により定められる。

10

【 数 3 】

$$C_{2k-1} = \frac{1}{2\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (3.1)$$

$$L_{2k-1} = \frac{Z_0}{2\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (3.2)$$

20

$$C_{2k} = \frac{1}{2\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (3.3)$$

$$L_{2k} = \frac{Z_0}{2\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (3.4)$$

$$R_1 = Z_0 \quad (3.5)$$

30

【 0 0 6 6 】

次に、電力分配合成回路 3 0 の動作について説明する。電力分配合成回路 3 0 を動作させる異なる第 1 の周波数帯、第 2 の周波数帯、第 3 の周波数帯、第 4 の周波数帯、第 5 の周波数帯、第 6 の周波数帯のそれぞれの周波数帯の近傍周波数を f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 とする。周波数 f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 で電力分配合成回路 3 0 として動作させるための、電力分配合成回路 3 0 に含まれるキャパシタのキャパシタンス値、インダクタのインダクタンス値、及び抵抗の抵抗値は、式 (3.1) ~ (3.5) により与えられる。

【 0 0 6 7 】

ここでは、説明の便宜上、入出力端子 1、2、3 に接続される負荷インピーダンス Z_0 (実数) の値を 50Ω とし、また、第 1 の周波数帯の近傍周波数 f_1 を 0.9 GHz 、第 2 の周波数帯の近傍周波数 f_2 を 2 GHz 、第 3 の周波数帯の近傍周波数 f_3 を 3.4 GHz 、第 4 の周波数帯の近傍周波数 f_4 を 5.8 GHz 、第 5 の周波数帯の近傍周波数 f_5 を 6 GHz 、第 6 の周波数帯の近傍周波数 f_6 を 8 GHz に選択する。

40

【 0 0 6 8 】

図 1 0 ~ 図 1 2 は、上記の条件に基づいて各素子の定数が定められた電力分配合成回路 3 0 の S パラメータの周波数特性 (計算値) を示す図である。図 1 0 は、図 2 と同様に、入出力端子 1 から高周波信号を入力した場合に入出力端子 2 及び入出力端子 3 にそれぞれ分配される高周波信号の大きさ、すなわち分配振幅 $|S_{21}|$ ($= |S_{31}|$) を示している。図 1 0 に示す S_{21} の周波数特性及び図 1 1 に示す S_{11} 及び S_{22} の周波数特性

50

から、周波数 $f_1 \sim f_6$ の近傍の第 1 ~ 第 6 の周波数帯 ($F_1 \sim F_6$ に対応) において、入出力端子 1 から入力した高周波信号は反射することなく、入出力端子 2、3 へ等分配で伝送されることがわかる。

【 0 0 6 9 】

また、図 1 2 に示す S 3 2 の周波数特性から、第 1 ~ 第 6 の周波数帯 ($F_1 \sim F_6$ に対応) において、入出力端子 2、3 は完全にアイソレーションされることがわかる。したがって、仮に、入出力端子 2、3 に接続されたアンテナ等の負荷との間に不整合が生じて反射波が生じて、その反射波は、入出力端子 2、3 の互いの端子へ伝送されることがなく、安定した電力分配合成回路として動作する。

【 0 0 7 0 】

以上のとおり、第 3 の実施形態によれば、キャパシタとインダクタの集中定数素子からなる直列共振回路及び並列共振回路、並びにアイソレーション抵抗により回路を構成しているので、小形に回路を構成でき、且つ異なる 6 つの周波数帯域において動作する電力分配合成回路 3 0 が得られるという効果を奏する。

【 0 0 7 1 】

< 第 4 の実施形態 >

図 1 3 は、第 4 の実施形態による電力分配合成回路 4 0 の構成を示す回路図である。図 1 3 に示す電力分配合成回路 4 0 は、請求項 7 において $n = 6$ の場合に対応する。

【 0 0 7 2 】

電力分配合成回路 4 0 は、第 1 の入出力端子 1 と、第 2 の入出力端子 2 と、第 3 の入出力端子 3 とを有する。また、電力分配合成回路 4 0 は、第 1 並列共振回路 4 1 と、第 2 並列共振回路 4 2 と、第 1 直列共振回路 4 3 と、第 2 直列共振回路 4 4 と、アイソレーション抵抗 4 5 と、を有する。

【 0 0 7 3 】

第 1 並列共振回路 4 1 は、第 1 の入出力端子 1 に接続された第 1 の接続部 4 に一端が接続されているとともに、第 2 の入出力端子 2 に接続された第 2 の接続部 5 に他端が接続されている。第 1 並列共振回路 4 1 は、互いに直列に接続された、複数の並列共振回路を有している。具体的には、第 1 並列共振回路 4 1 は、インダクタ L_1 及びキャパシタ C_1 が並列に接続された並列共振回路、インダクタ L_3 及びキャパシタ C_3 が並列に接続された並列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が並列に接続された並列共振回路を有している。

【 0 0 7 4 】

第 2 並列共振回路 4 2 は、第 1 の入出力端子 1 に接続された第 1 の接続部 4 に一端が接続されているとともに、第 3 の入出力端子 3 に接続された第 3 の接続部 6 に他端が接続されている。第 2 並列共振回路 4 2 は、第 1 並列共振回路 4 1 に含まれる複数の並列共振回路と同一のキャパシタンス及びインダクタンスを有する複数の並列共振回路を有する。具体的には、第 2 並列共振回路 4 2 は、第 1 並列共振回路 4 1 と同様に、インダクタ L_1 及びキャパシタ C_1 が並列に接続された並列共振回路、インダクタ L_3 及びキャパシタ C_3 が並列に接続された並列共振回路、及びインダクタ L_5 及びキャパシタ C_5 が並列に接続された並列共振回路を有している。

【 0 0 7 5 】

第 1 直列共振回路 4 3 は、第 2 の接続部 5 と第 3 の接続部 6 との間で、アイソレーション抵抗 4 5 と直列に接続されている。第 1 直列共振回路 4 3 は、互いに並列に接続された複数の直列共振回路を有している。具体的には、第 1 直列共振回路 4 3 は、インダクタ L_2 及びキャパシタ C_2 が直列に接続された直列共振回路、インダクタ L_4 及びキャパシタ C_4 が直列に接続された直列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が直列に接続された直列共振回路を有している。

【 0 0 7 6 】

第 2 直列共振回路 4 4 は、第 1 の接続部 4 に一端が接続されているとともに他端が接地されている。第 2 直列共振回路 4 4 においては、第 1 直列共振回路 4 3 に含まれる複数の

10

20

30

40

50

直列共振回路と同一のキャパシタンスと、第 1 直列共振回路 4 3 に含まれる複数の直列共振回路と同一のインダクタンスとを有する複数の直列共振回路が並列に接続されている。具体的には、第 2 直列共振回路 4 4 は、インダクタ L_2 及びキャパシタ C_2 が直列に接続された直列共振回路、インダクタ L_4 及びキャパシタ C_4 が直列に接続された直列共振回路、及びインダクタ L_6 及びキャパシタ C_6 が直列に接続された直列共振回路を有している。

【0077】

アイソレーション抵抗 4 5 は、第 2 の接続部 5 と第 3 の接続部 6 との間において、第 1 直列共振回路 4 3 と直列に接続されている。アイソレーション抵抗 4 5 は、第 2 の入出力端子 2 と第 3 の入出力端子 3 との間を電氣的に絶縁するための抵抗である。

10

【0078】

電力分配合成回路 4 0 に含まれる各素子の値は、以下のようにして定められた値である。

まず、電力分配合成回路 4 0 を動作させて通過帯域とする周波数帯を第 1 周波数帯から第 n 周波数帯とし (n は 4 以上の偶数)、第 1 周波数帯の近傍周波数を f_1 、第 n 周波数帯の近傍周波数を f_n とする。また、第 1 の入出力端子 1、第 2 の入出力端子 2 及び第 3 の入出力端子 3 に接続される負荷インピーダンスを Z_0 (実数) とする。

【0079】

この場合、第 1 並列共振回路 4 1 の各並列共振回路に含まれるキャパシタのキャパシタンス C_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) 及び各インダクタのインダクタンス L_{2k-1} (k は自然数、 $n-1 \geq 2k-1$) と、第 1 直列共振回路 4 3 の各直列共振回路に含まれる各キャパシタのキャパシタンス C_{2k} (k は自然数、 $n \geq 2k$) 及びインダクタンス L_{2k} (k は自然数、 $n \geq 2k$) と、アイソレーション抵抗 R_1 とは、以下の式により定められる。

20

【数 4】

$$C_{2k-1} = \frac{1}{2\pi Z_0} \frac{1}{f_{2k} - f_{2k-1}} \quad (4.1)$$

$$L_{2k-1} = \frac{Z_0}{2\pi} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (4.2)$$

30

$$C_{2k} = \frac{1}{2\pi Z_0} \frac{f_{2k} - f_{2k-1}}{f_{2k} f_{2k-1}} \quad (4.3)$$

$$L_{2k} = \frac{Z_0}{2\pi} \frac{1}{f_{2k} - f_{2k-1}} \quad (4.4)$$

$$R_1 = Z_0 \quad (4.5)$$

【0080】

40

次に、電力分配合成回路 4 0 の動作について説明する。電力分配合成回路 4 0 を動作させる異なる第 1 の周波数帯、第 2 の周波数帯、第 3 の周波数帯、第 4 の周波数帯、第 5 の周波数帯、第 6 の周波数帯のそれぞれの周波数帯の近傍周波数を f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 とする。周波数 f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 で電力分配合成回路として動作させるために、電力分配合成回路 4 0 に含まれるキャパシタのキャパシタンス値、インダクタのインダクタンス値、及び抵抗の抵抗値は、式 (4.1) ~ (4.5) により与えられる。

【0081】

ここでは、説明の便宜上、入出力端子 1、2、3 に接続される負荷インピーダンス Z_0 (実数) の値を 50 とし、また、第 1 の周波数帯の近傍周波数 f_1 を 0.9 GHz 、第

50

2の周波数帯の近傍周波数 f_2 を2GHz、第3の周波数帯の近傍周波数 f_3 を3.4GHz、第4の周波数帯の近傍周波数 f_4 を5.8GHz、第5の周波数帯の近傍周波数 f_5 を6GHz、第6の周波数帯の近傍周波数 f_6 を8GHzに選択する。

【0082】

図14～図16は、上記の条件に基づいて各素子の定数が定められた電力分配合成回路40のSパラメータの周波数特性(計算値)を示す図である。図14は、図2と同様に、入出力端子1から高周波信号を入力した場合に入出力端子2及び入出力端子3にそれぞれ分配される高周波信号の大きさ、すなわち分配振幅 $|S_{21}|$ ($=|S_{31}|$)を示している。図14に示す S_{21} の周波数特性及び図15に示す S_{11} 及び S_{22} の周波数特性から、周波数 $f_1 \sim f_6$ の近傍の第1～第6の周波数帯(F1～F6に対応)において、入出力端子1から入力した高周波信号は反射することなく、入出力端子2、3へ等分配で伝送されることがわかる。

10

【0083】

また、図16に示す S_{32} の周波数特性から、第1～第6の周波数帯(F1～F6に対応)において、入出力端子2、3は完全にアイソレーションされることがわかる。したがって、仮に、入出力端子2、3に接続されたアンテナ等の負荷との間に不整合が生じて反射波が生じても、その反射波は、入出力端子2、3の互いの端子へ伝送されることがなく、安定した電力分配合成回路40として動作する。

【0084】

以上のとおり、第4の実施形態によれば、キャパシタとインダクタの集中定数素子からなる直列共振回路及び並列共振回路、並びにアイソレーション抵抗により回路を構成したので、小形に回路を構成でき、且つ異なる6つの周波数帯域において動作する電力分配合成回路40が得られる効果を奏する。

20

【0085】

<第5の実施形態>

図17は、第5の実施形態による電力分配合成回路50の構成を示す回路図である。図17に示す電力分配合成回路50は、請求項2において $n=6$ の場合に対応する。

【0086】

電力分配合成回路50は、第1の入出力端子1と、第2の入出力端子2と、第3の入出力端子3とを有する。また、電力分配合成回路50は、第1直列共振回路51と、第2直列共振回路52と、第1並列共振回路53と、第2並列共振回路54と、第3並列共振回路55と、アイソレーション抵抗56と、を有する。

30

【0087】

電力分配合成回路50の第1直列共振回路51は、図1に示した第1の実施形態に係る電力分配合成回路10における第1直列共振回路11が有する複数の直列共振回路のうち、いずれか1つの直列共振回路がキャパシタ又はインダクタのいずれか一方を有していない。図17に示す電力分配合成回路50の第1直列共振回路51においては、キャパシタ C_5 を有していない。

【0088】

また、電力分配合成回路50の第2直列共振回路52は、電力分配合成回路10における第2直列共振回路12が有する複数の直列共振回路のうち、いずれか1つの直列共振回路が、キャパシタ又はインダクタのうち、第1直列共振回路51が有するいずれか1つの直列共振回路が有していない素子と同じ素子を有していない。図17に示す電力分配合成回路50の第2直列共振回路52においては、キャパシタ C_5 を有していない。

40

【0089】

また、電力分配合成回路50の第1並列共振回路53は、電力分配合成回路10における第1並列共振回路13が有する複数の並列共振回路のうち、いずれか1つの並列共振回路が、キャパシタ又はインダクタのうち第1直列共振回路51が有するいずれか1つの直列共振回路が有していない素子(例えばキャパシタ)と異なる素子(例えばインダクタ)を有していない。図17に示す電力分配合成回路50の第1並列共振回路53においては

50

、インダクタ L_6 を有していない。

【0090】

また、電力分配合成回路 50 の第 2 並列共振回路 54 は、電力分配合成回路 10 における第 2 並列共振回路 14 が有する複数の並列共振回路のうち、いずれか 1 つの並列共振回路が、キャパシタ又はインダクタのうち第 1 直列共振回路 51 が有するいずれか 1 つの直列共振回路が有していない素子と異なる素子を有していない。図 17 に示す電力分配合成回路 50 の第 2 並列共振回路 54 においては、インダクタ L_6 を有していない。

【0091】

また、電力分配合成回路 50 の第 3 並列共振回路 55 は、電力分配合成回路 10 における第 3 並列共振回路 15 が有する複数の並列共振回路のうち、いずれか 1 つの並列共振回路が、キャパシタ又はインダクタのうち第 1 直列共振回路 51 が有するいずれか 1 つの直列共振回路が有していない素子と異なる素子を有していない。図 17 に示す電力分配合成回路 50 の第 3 並列共振回路 55 においては、インダクタ $0.5L_6$ を有していない。

10

【0092】

次に、電力分配合成回路 50 の動作について説明する。周波数 f_1 、 f_2 、 f_3 、 f_4 、 f_5 、 f_6 を含む周波数帯で電力分配合成回路として動作させるための、電力分配合成回路 50 に含まれるキャパシタのキャパシタンス値、インダクタのインダクタンス値、及び抵抗の抵抗値は、式 (1.1) ~ (1.5) により与えられる。

【0093】

ここでは、説明の便宜上、入出力端子 1、2、3 に接続される負荷インピーダンス Z_0 (実数) の値を 50 とする。また、第 1 の周波数帯の近傍周波数 f_1 を 0.9 GHz、第 2 の周波数帯の近傍周波数 f_2 を 2 GHz、第 3 の周波数帯の近傍周波数 f_3 を 3.4 GHz、第 4 の周波数帯の近傍周波数 f_4 を 5.8 GHz、第 5 の周波数帯の近傍周波数 f_5 を 6 GHz、第 6 の周波数帯の近傍周波数 f_6 を 8 GHz に選択する。

20

【0094】

図 18 ~ 図 20 は、上記の条件に基づいて各素子の定数が定められた電力分配合成回路 50 の S パラメータの周波数特性 (計算値) を示す図である。図 18 ~ 図 20 から、図 2 ~ 図 4 に示した第 1 の実施形態とは異なる 5 つの周波数帯 (図 18 ~ 図 20 における F1 ~ F5) で整合がとれていることがわかるが、これは、一部の共振回路のインダクタ又はキャパシタを削除したため、他の共振回路との共振が生じたためであると考えられる。

30

【0095】

以上のとおり、第 5 の実施形態によれば、キャパシタとインダクタの集中定数素子からなる直列共振回路及び並列共振回路、並びにアイソレーション抵抗により回路を構成しているので、小形に回路を構成でき、且つ異なる 5 つの周波数帯域 (図 18 ~ 図 20 における F1 ~ F5 に対応) において動作する電力分配合成回路が得られる効果を奏する。

【0096】

なお、上記の説明においては、電力分配合成回路 10 からキャパシタ C_5 及びインダクタ L_6 を削除した場合の例について説明したが、電力分配合成回路 10 からインダクタ L_5 及びキャパシタ C_6 を削除した場合においても、同等の効果を得ることができる。

【0097】

< 第 6 の実施形態 >

図 21 は、第 6 の実施形態による電力分配合成回路 60 の構成を示す回路図である。図 21 に示す電力分配合成回路 60 は、請求項 4 において $n = 6$ の場合に対応する。

40

【0098】

電力分配合成回路 60 は、図 5 に示した第 2 実施形態に係る電力分配合成回路 20 から、インダクタ L_5 及びキャパシタ C_6 を削除した構成である。電力分配合成回路 60 は、第 1 並列共振回路 61、第 2 並列共振回路 62、第 1 直列共振回路 63、第 2 直列共振回路 64、第 3 直列共振回路 65 及びアイソレーション抵抗 66 を有する。

【0099】

第 1 並列共振回路 61 及び第 2 並列共振回路 62 は、互いに直列に接続された複数の並

50

列共振回路とキャパシタ C_5 とを有する。第1直列共振回路63、第2直列共振回路64及び第3直列共振回路65は、互いに並列に接続された複数の直列共振回路とインダクタ L_6 とを有する。

【0100】

このような構成においても、第5の実施形態と同様に、第2の実施形態と異なる5つの周波数帯で整合をとることができる。なお、電力分配合成回路60は、電力分配合成回路20からキャパシタ C_5 及びインダクタ L_6 を削除した構成であってもよい。

【0101】

<第7の実施形態>

図22は、第7の実施形態による電力分配合成回路70の構成を示す回路図である。図22に示す電力分配合成回路70は、請求項6において $n = 6$ の場合に対応する。

10

【0102】

電力分配合成回路70は、図9に示した第3実施形態に係る電力分配合成回路30から、インダクタ L_5 及びキャパシタ C_6 を削除した構成である。電力分配合成回路70は、第1直列共振回路71、第2直列共振回路72、第1並列共振回路73、第2並列共振回路74及びアイソレーション抵抗75を有する。

【0103】

第1直列共振回路71及び第2直列共振回路72は、互いに並列に接続された複数の直列共振回路とキャパシタ C_5 とを有する。第1並列共振回路73及び第2並列共振回路74は、互いに直列に接続された複数の並列共振回路とインダクタ L_6 とを有する。

20

【0104】

このような構成においても、第5の実施形態と同様に、第3の実施形態と異なる5つの周波数帯で整合をとることができる。なお、電力分配合成回路70は、電力分配合成回路30からキャパシタ C_5 及びインダクタ L_6 を削除した構成であってもよい。

【0105】

<第8の実施形態>

図23は、第8の実施形態による電力分配合成回路80の構成を示す回路図である。図23に示す電力分配合成回路80は、請求項8において $n = 6$ の場合に対応する。

【0106】

電力分配合成回路80は、図13に示した第4実施形態に係る電力分配合成回路40から、インダクタ L_5 及びキャパシタ C_6 を削除した構成である。電力分配合成回路80は、第1並列共振回路81、第2並列共振回路82、第1直列共振回路83、第2直列共振回路84及びアイソレーション抵抗85を有する。

30

【0107】

第1並列共振回路81及び第2並列共振回路82は、互いに直列に接続された複数の並列共振回路とキャパシタ C_5 とを有する。第1直列共振回路83及び第2直列共振回路84は、互いに並列に接続された複数の直列共振回路とインダクタ L_6 とを有する。

【0108】

このような構成においても、第5の実施形態と同様に、第4の実施形態と異なる5つの周波数帯で整合をとることができる。なお、電力分配合成回路80は、電力分配合成回路40からキャパシタ C_5 及びインダクタ L_6 を削除した構成であってもよい。

40

【0109】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。例えば、上記の説明においては、 $n = 6$ の場合について説明したが、 n が4以上の任意の偶数の場合に、本発明を適用することができる。

【符号の説明】

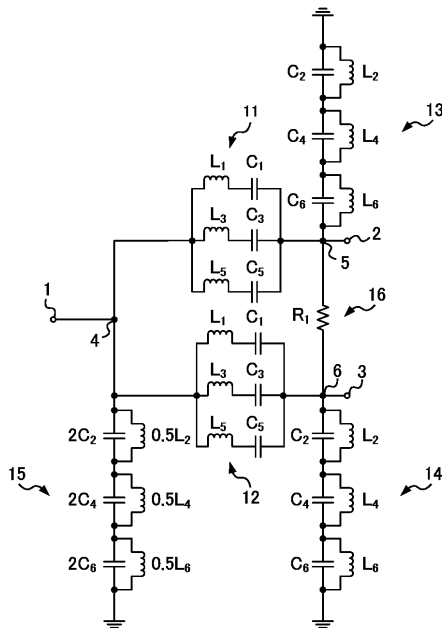
【0110】

50

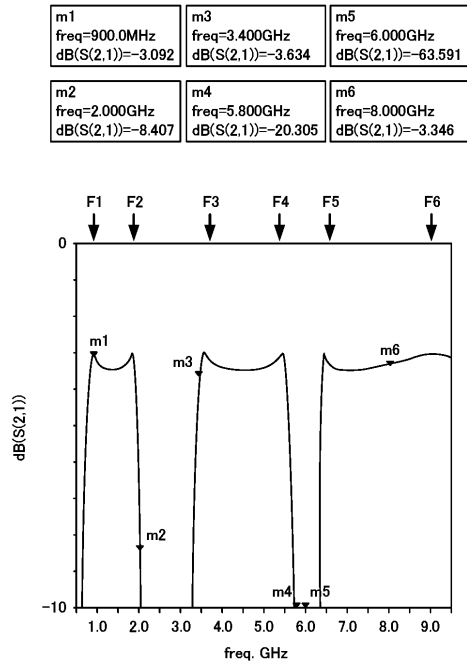
- 1、2、3 入出力端子
- 10 電力分配合成回路、11 第1直列共振回路、12 第2直列共振回路、13 第1並列共振回路、14 第2並列共振回路、15 第3並列共振回路、16 アイソレーション抵抗
- 20 電力分配合成回路、21 第1並列共振回路、22 第2並列共振回路、23 第1直列共振回路、24 第2直列共振回路、25 第3直列共振回路、26 アイソレーション抵抗
- 30 電力分配合成回路、31 第1直列共振回路、32 第2直列共振回路、33 第1並列共振回路、34 第2並列共振回路、35 アイソレーション抵抗
- 40 電力分配合成回路、41 第1並列共振回路、42 第2並列共振回路、43 第1直列共振回路、44 第2直列共振回路、45 アイソレーション抵抗
- 50 電力分配合成回路、51 第1直列共振回路、52 第2直列共振回路、53 第1並列共振回路、54 第2並列共振回路、55 第3並列共振回路、56 アイソレーション抵抗
- 60 電力分配合成回路、61 第1並列共振回路、62 第2並列共振回路、63 第1直列共振回路、64 第2直列共振回路、65 第3直列共振回路、66 アイソレーション抵抗
- 70 電力分配合成回路、71 第1直列共振回路、72 第2直列共振回路、73 第1並列共振回路、74 第2並列共振回路、75 アイソレーション抵抗
- 80 電力分配合成回路、81 第1並列共振回路、82 第2並列共振回路、83 第1直列共振回路、84 第2直列共振回路、85 アイソレーション抵抗

【図1】

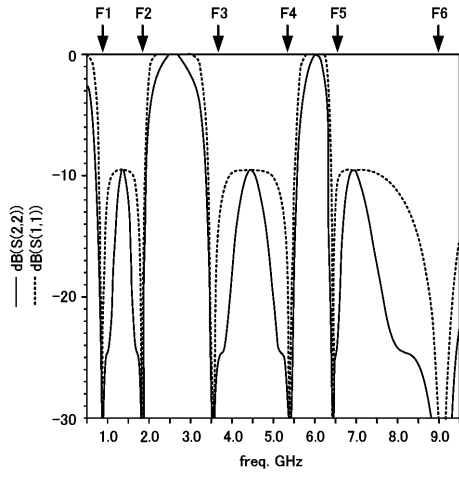
10



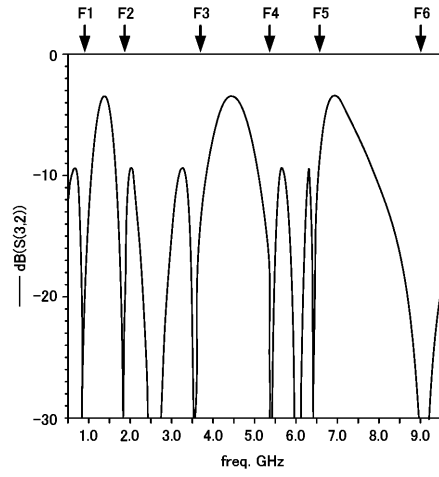
【図2】



【 図 3 】

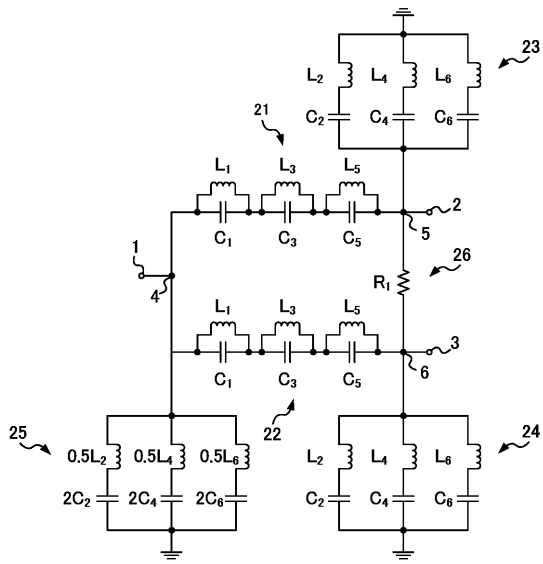


【 図 4 】



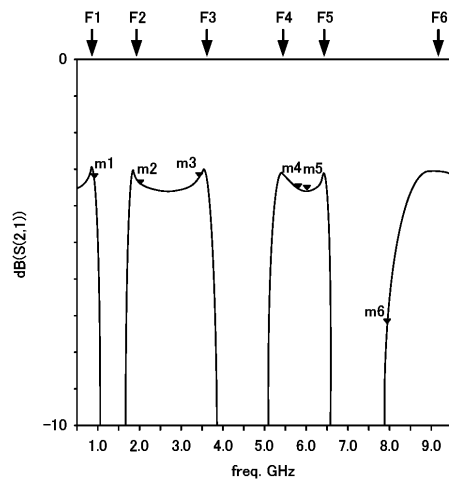
【 図 5 】

20

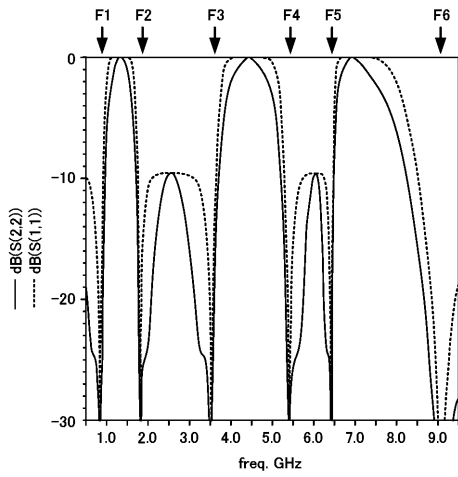


【 図 6 】

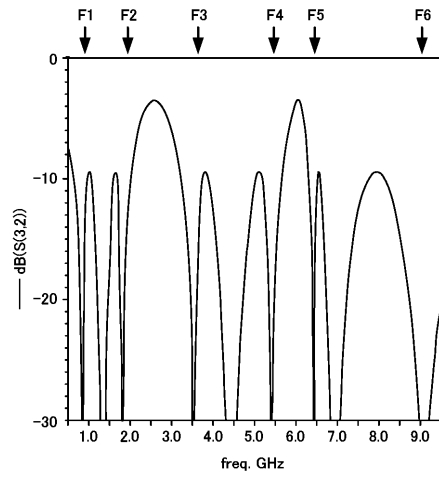
m1 freq=900.0MHz dB(S(2,1))=-3.219	m3 freq=3.400GHz dB(S(2,1))=-3.164	m5 freq=6.000GHz dB(S(2,1))=-3.522
m2 freq=2.000GHz dB(S(2,1))=-3.374	m4 freq=5.800GHz dB(S(2,1))=-3.491	m6 freq=8.000GHz dB(S(2,1))=-7.217



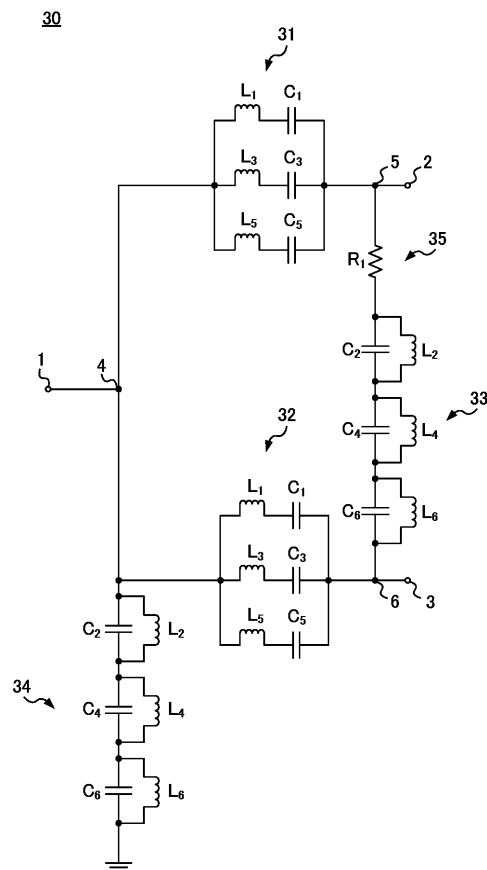
【 図 7 】



【 図 8 】

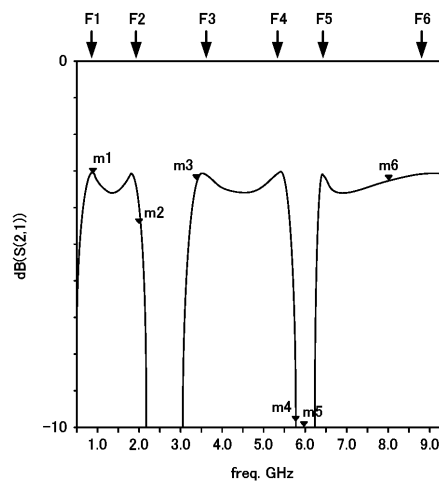


【 図 9 】

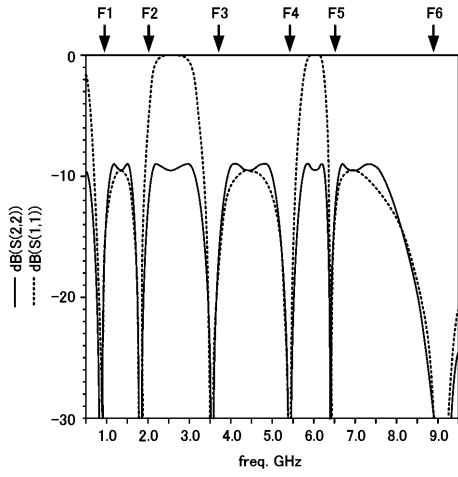


【 図 10 】

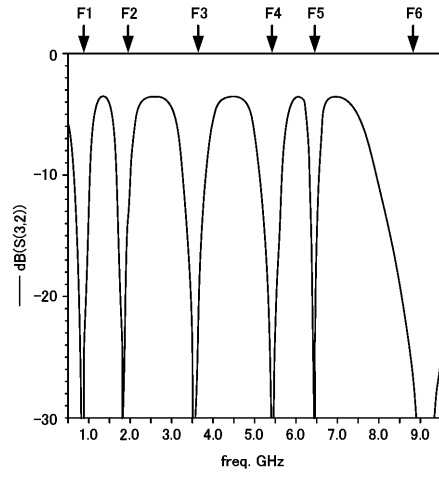
m1 freq=900.0MHz dB(S(2,1))=-3.043	m3 freq=3.400GHz dB(S(2,1))=-3.171	m5 freq=6.000GHz dB(S(2,1))=-38.356
m2 freq=2.000GHz dB(S(2,1))=-4.409	m4 freq=5.800GHz dB(S(2,1))=-9.791	m6 freq=8.000GHz dB(S(2,1))=-3.200



【 図 1 1 】

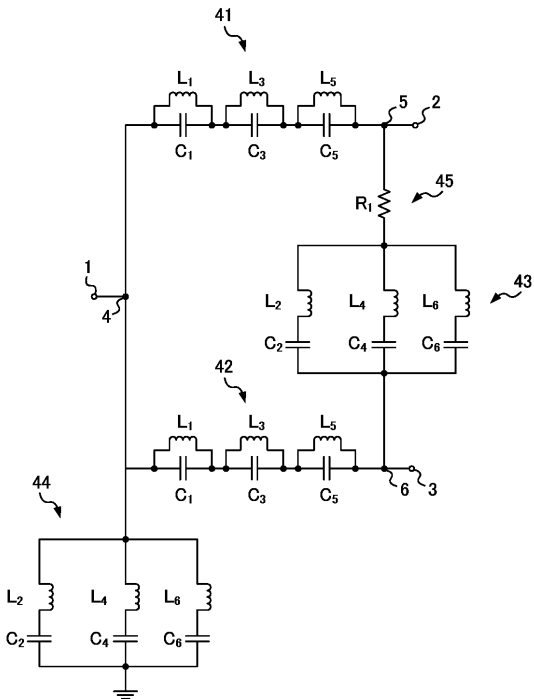


【 図 1 2 】



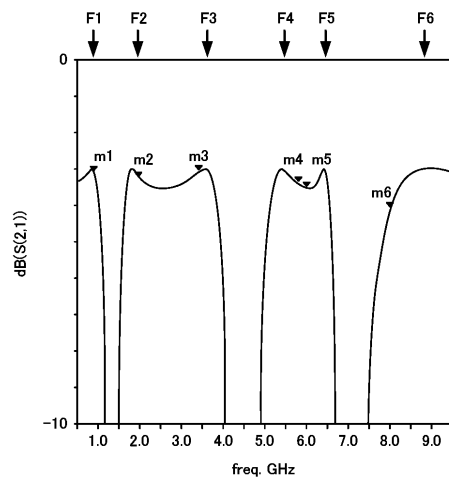
【 図 1 3 】

40

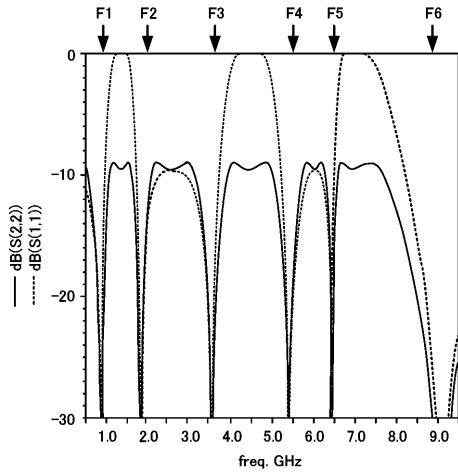


【 図 1 4 】

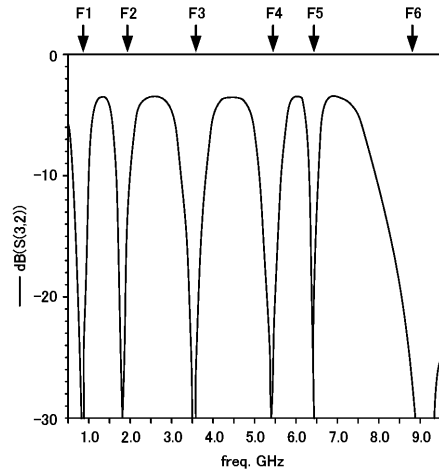
m1 freq=900.0MHz dB(S(2,1))=-3.068	m3 freq=3.400GHz dB(S(2,1))=-3.078	m5 freq=6.000GHz dB(S(2,1))=-3.516
m2 freq=2.000GHz dB(S(2,1))=-3.224	m4 freq=5.800GHz dB(S(2,1))=-3.382	m6 freq=8.000GHz dB(S(2,1))=-4.062



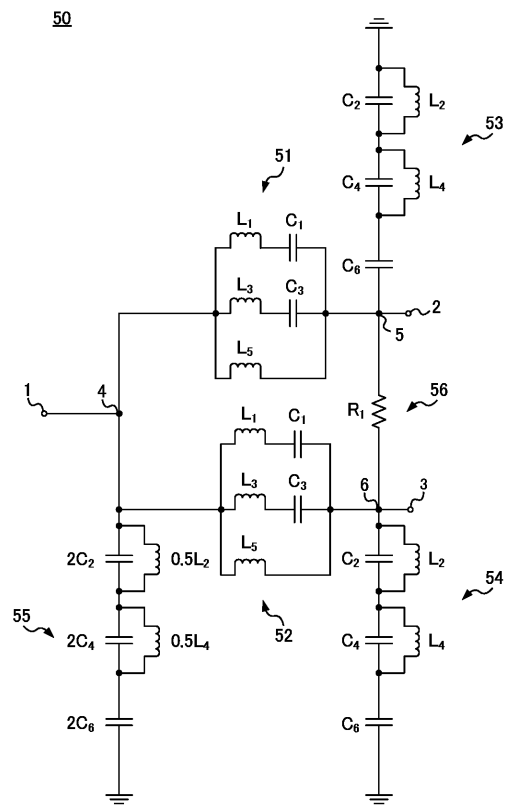
【 図 1 5 】



【 図 1 6 】

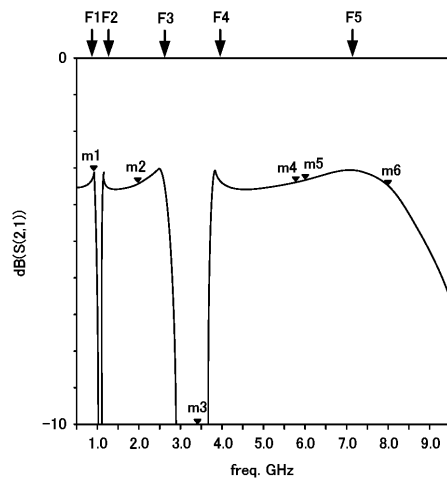


【 図 1 7 】

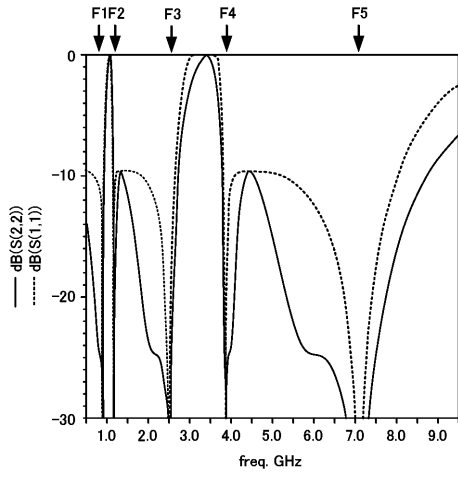


【 図 1 8 】

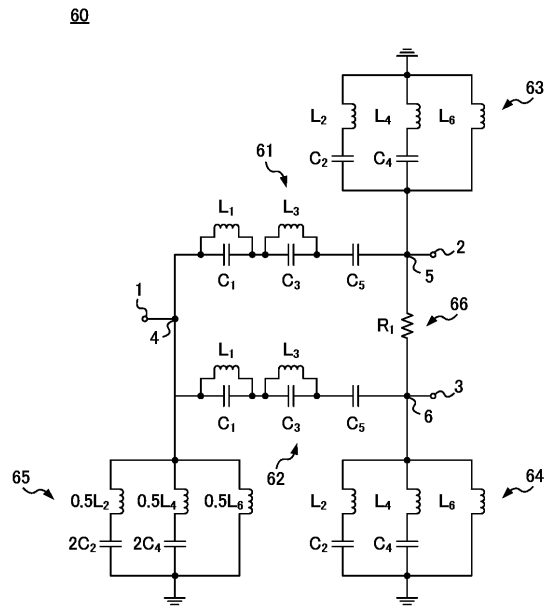
m1 freq=900.0MHz dB(S(2,1))=-3.059	m3 freq=3.400GHz dB(S(2,1))=-89.632	m5 freq=6.000GHz dB(S(2,1))=-3.272
m2 freq=2.000GHz dB(S(2,1))=-3.385	m4 freq=5.800GHz dB(S(2,1))=-3.335	m6 freq=8.000GHz dB(S(2,1))=-3.457



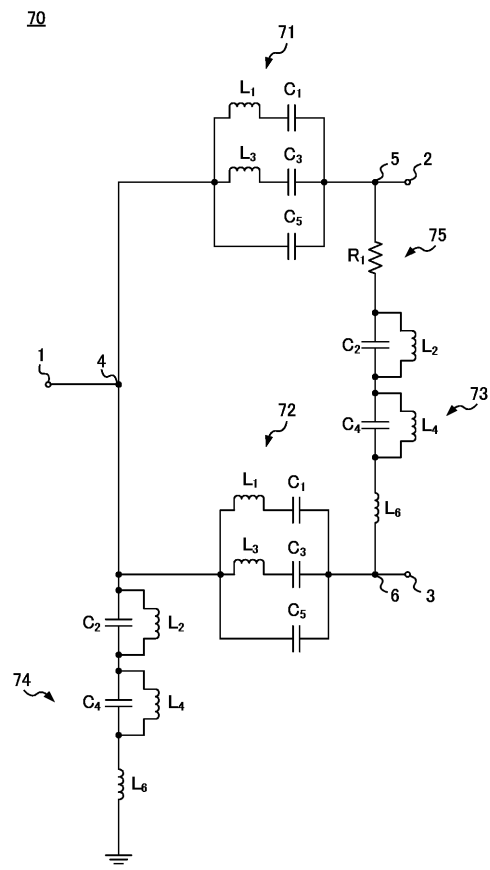
【 図 1 9 】



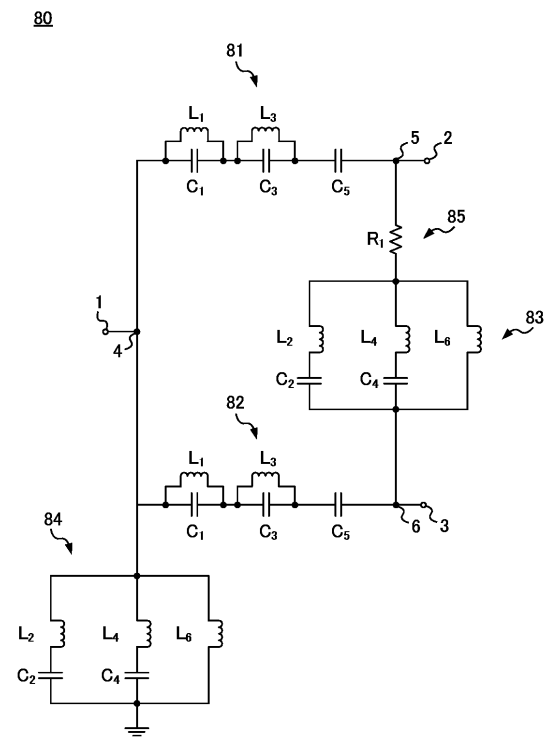
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



【 図 20 】

