

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G01R 31/26	(45) 공고일자 1999년04월01일	(11) 등록번호 특0180449
(21) 출원번호 특1996-026061	(65) 공개번호 특1997-002371	(24) 등록일자 1998년12월01일
(22) 출원일자 1996년06월29일	(43) 공개일자 1997년01월24일	
(30) 우선권 주장 96-166253 1995년06월30일 일본(JP)		

(73) 특허권자                    닛본덴기 가부시끼가이샤    가네꼬 히사시  
 일본국 도쿄도 미나토구 시바 5쵸메 7-1  
 (72) 발명자                    가가미 아끼히코  
 일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내  
 장수길, 구영창  
 (74) 대리인

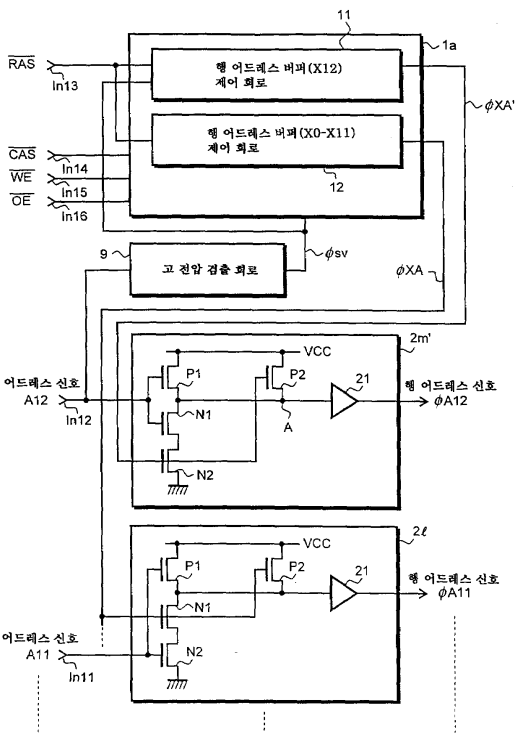
심사관 : 권호영

(54) 반도체 메모리용 검사 회로의 검사 모드 설정 회로

요약

검사 모드 설정 회로는 고 전압 검출 회로(8), 최상위 행 어드레스 버퍼(2m') 및 최상위 행 어드레스 버퍼(12)에 대한 행 어드레스 버퍼 제어 회로를 포함한다. 고 전압이 검사 모드 설정에 대해 공통 입력 단자(In12)에 공급되는 경우, 최상위 행 어드레스 버퍼는 공통 입력 단자를 통해 최상위 어드레스 신호(A12)를 수신하며, 최상위 내부 행 어드레스 신호( $\Phi A12$ )로서 최상위 어드레스 신호를 제공한다. 행 어드레스 버퍼 제어 회로는 동작하여, 최상위 행 어드레스 버퍼의 적층된 2개의 N-채널 MOS 트랜지스터(N1 및 N2)내의 상단 트랜지스터(N1)가 고전압을 통해 도전적이 될 경우, 최상위 행 어드레스 버퍼용 내부 제어 신호( $\Phi XA'$ )는 접지에 결선된 하단 트랜지스터(N2)에 공급되어 하단 트랜지스터가 비 도전성 상태가 되게 하여 상단 트랜지스터의 게이트와 소스 전극 양단의 전압 및 게이트와 드레인 전극 양단의 전압이 고전압보다 낮은 레벨이 되게 한다. 이는 게이트 전극에 인가된 고 전계를 완화하고 게이트 산화막의 파손 가능성을 줄인다.

대표도



명세서

[발명의 명칭]

반도체 메모리용 검사 회로의 검사 모드 설정 회로

[도면의 간단한 설명]

제1도는 종래 반도체 메모리의 전체 구조를 도시하는 블록도.

제2도는 종래 반도체 메모리의 검사 모드 설정 회로의 예를 도시하는 블록도.

제3도는 종래 예의 회로의 수행의 설명에 이용되는 타이밍 차트도.

제4도는 종래 반도체 메모리의 검사 모드 설정 회로의 다른 예를 도시하는 블록도.

제5도는 고 전압에 의한 게이트 산화막의 파괴를 설명하는데 사용되는 종래기술의 트랜지스터의 구조를 도시하는 도면.

제6도는 본 발명에 따른 실시예의 검사 모드 설정 회로의 주 부분을 도시하는 블록도.

제7도는 본 발명에 따른 실시예의 회로의 성능을 설명하는데 사용되는 타이밍도.

\* 도면의 주요부분에 대한 부호의 설명

- |                |                |
|----------------|----------------|
| 1 : 클럭 발생기     | 3 : 열 디코더      |
| 4 : 메모리 셀 배열   | 5 : 센스 증폭기     |
| 6 : 열 어드레스 버퍼  | 7 : 열 디코더      |
| 8 : 데이터 출력 버퍼  | 9 : 고 전압 검출 회로 |
| 10 : 데이터 입력 버퍼 |                |

[발명의 상세한 설명]

본 발명은 반도체 장치용 검사 모드 설정 회로에 관한 것으로, 특히 반도체메모리내의 검사 회로용이며 검사 모드의 변화가 고 전압 검출 회로를 사용하여 수행되는 검사 모드 설정 회로에 관한 것이다.

반도체 장치에 대한 미세한 처리 기술의 발전으로 용량이 증가된 반도체 메모리 장치를 제조하는 것이 가능하다. 예를 들어 일반 DRAM에서, 집적도는 최근 3년에 매년 4배로 증가했다. 그러한 장치의 응용은 정보, 통신, 음성 및 화상 처리와 같은 분야로 점차 확산되고, 발전된 기술은 전력 소비의 감소 뿐만 아니라 장치의 성능 및 장치의 소형화에 기여한다.

그러나, 메모리 용량의 증가로 반도체 메모리 회로의 검사를 수행하는데 필요한 시간이 증가하게 되고, 이는 메모리 회로를 구비한 반도체 장치의 제조에 있어서의 생산성을 방해하는 한 요인이 된다.

이러한 이유로, 메모리 회로를 검사하기 위한 회로가 다양한 방법으로 제안되었다. 제1도는 제안된 종류의 검사 모드 설정 회로를 구비한 반도체 메모리의 전체 구조의 블록도이며, 제2도는 검사 모드 설정 회로의 주 부분을 도시하는 블록도이다. 도시된 회로는 클럭 발생기(1b), 하부 행 어드레스 버퍼(2a-21), 최상부 행 어드레스 버퍼(2m), 열 디코더(3), 메모리 셀 배열(4), 센스 증폭기(5), 열 어드레스 버퍼(6), 열 디코더(7), 데이터 출력 버퍼(8), 고 전압 검출 회로(9), 및 데이터 입력 버퍼(10)를 포함한다. 클럭 발생기(1b)는 반전 RAS(행 어드레스 스트로브) 신호, 반전 CAS(열 어드레스 스트로브) 신호, 반전 WE(기입 인에이블) 신호 및 클럭과 동기화 된 반전 OE(출력 인에이블) 신호에 응답하는 선정의 내부 클럭신호를 생성한다. 행 어드레스 버퍼(2a-21)는 외부로부터 다중 어드레스 신호(A0-A12) 중의 신호(A0-A11)를 수신하며, 이를 내부 행 어드레스 신호( $\Phi$ A0- $\Phi$ A11)로서 공급한다. 행 어드레스 버퍼(2m)는 신호(A12)로부터 내부 행 어드레스 신호( $\Phi$ A12)를 제공하고, 검사 모드 설정을 위해 예를 들면 10V의 고 전압을 수신한다. 열 디코더(3)는 행 어드레스 신호( $\Phi$ A0- $\Phi$ A12)를 사용함으로써 디코딩을 수행하여, 예를 들어 64 메가비트 DRAM의 경우에  $2^{13}$ 의 워드 라인 중 하나가 지정된다. 센스 증폭기(5)는 메모리 셀 배열로부터 판독된 데이터의 미세한 전압을 증폭한다. 열 어드레스 버퍼(6)는 어드레스 신호(A0-A10)를 수신하고 내부 열 어드레스 신호(Y0-Y10)로서 공급한다. 열 디코더(7)는 열 어드레스 신호(Y0-Y10)를 사용함에 의해 디코딩을 수행하여 64 메가비트 DRAM의 경우,  $2^{11}$ 의 열 라인 중의 하나가 지정된다. 데이터 출력 버퍼(8)는 센스 증폭기(5)의 출력 데이터의 외부로 출력된다. 검사 모드용의 공통 입력 단자를 통해 출력측으로부터 공급된 고 전압과 전력 소스 전압(VCC) 사이의 전압 편차가 선정 전압보다 커지는 경우, 고 전압 검출 회로(9)는 논리 고 레벨 전압을 출력한다. 데이터 입력 버퍼(10)는 입력/출력 단자(I/O)로부터 수신된 외부 데이터를 센스 증폭기에 공급한다.

클럭 발생기(1b)는 그 출력 신호가 내부 클럭신호( $\Phi$ XA)인 행 어드레스 제어회로(13)를 가진다. 행 어드레스(X12) 버퍼(2m)는 동상 버퍼(21)를 통해 NAND 회로의 출력값을 출력한다. 이러한 NAND 회로는 그 소스가 전원 전위 선(VCC)에 결선 되고 드레인 각자가 형성된 노드에 결선 되는 P-채널 MOS 트랜지스터(P1 및 P2) 및 노드와 접지 사이에 직렬로 결선된 N-채널 MOS 트랜지스터(N1 및 N2)로 구성된다. 트랜지스터(N1)의 드레인 전극은 출력 노드이며, 트랜지스터(P1 및 N2)의 게이트 전극은 입력 단자(In12)를 통해 어드레스 신호(A12)를 수신하고 트랜지스터(P2 및 N1)의 게이트 전극은 신호( $\Phi$ XA)를 수신한다.

고 전압 검출 회로(9)는 행 어드레스 버퍼(2m)의 입력 노드가 공통 결선된 공통 입력 단자에 결선되는 입력 노드 및 클럭 발생기(1b)의 신호( $\Phi$ sv)에 대한 입력 노드에 결선된 출력 노드를 가진다.

지금부터, 제1도, 제2도 및 본 발명에 따른 회로의 동작을 설명하는데 사용되는 타이밍 차트인 제3도를 참조한다. 정상 동작 상태에서, 전력 소스 전압(VCC)이 3.3V라고 가정했을 때, 진폭이 약 2.0V이고 평균 진폭이 1.5V인 펄스가 클럭 동기화 반전 RAS 신호, 반전 CAS 신호, 반전 WE 신호 및 반전 OE 신호를 각각 수신하는 입력 단자(In13-In16), 어드레스 신호(A0-A12)를 수신하는 입력 단자(In0-In12), 및 데이터를 입력 및 출력하기 위한 입력 /출력(I/O) 단자에 공급된다.

판독 동작 동안, 클럭 동기화 반전 RAS 신호, 반전 CAS 신호, 및 반전 OE 신호 각각은 논리 하위 레벨을 생성하여, 클럭 발생기(1b)를 활성화 상태가 되게 한다.

어드레스 신호(A0-A12) 및 행 디코더(3)를 수신하는 행 어드레스(X0-X12) 버퍼(2a-2m)에 의해, 메모리 셀 배열내의 소망된 메모리 셀의 워드 라인이 선택되고, 선택된 메모리 셀을 통한 데이터 라인 상에서 판독된 데이터가 센스 증폭부(5)에 의해 증폭된다.

반면에, 열 어드레스(Y0-Y10) 및 열 디코더(7)를 공급하는 열 어드레스(Y0-Y10) 버퍼(6)에 의해, 센스 증폭부(5)내의 소망된 센스 증폭기가 선택되며, 선택된 센스 증폭기로부터의 출력 데이터는 데이터 출력 버퍼(8)에서 증폭되고 외부입력/출력 단자(1/01-1/04)로 출력된다.

이때, 상태는 정상 동작 하에 있고, 고 전압 검출 회로(9)의 출력 신호( $\Phi_{sv}$ )는 저 레벨로 남아있어서, 검사 모드 상태는 비활성상태이다.

고 전압 검출 회로(9)는 정렬되어 전력 소스 전압(VCC)과 입력 단자(In12) 사이의 전압 편차가 선정 전압 보다 커지는 경우 출력 신호( $\Phi_{sv}$ )는 고 레벨이 된다. 그러므로, 모드가 검사 모드로 변하는 경우, 입력 단자(In12)는 고 전압으로 상승되고, 고 전압 검출 회로(9)의 출력 신호( $\Phi_{sv}$ )를 고 레벨로 반전함에 의해 상기 출력 신호( $\Phi_{sv}$ )가 공급되는 클럭 발생기(1b)는 테스트 모드에서 활성화 상태가 된다. 즉, 입력 단자(In12)는 어드레스 신호(A12) 또는 고 전압이 공급되는 공통 단자의 역할을 한다.

활성 상태로 된 클럭 발생기(1b)는 검사 모드로 되어, 내부 제어 신호가 입력될 때, 데이터 입력 버퍼(10)외에도 열 어드레스 버퍼(6) 및 데이터 출력 버퍼(8)은 예를 들면 다중-비트 동시 기입 및 판독의 동작을 수행하도록 제어된다.

입력 회로를 구비한 검사 모드 설정 회로의 다른 종래기술의 예가 일본국 특허 출원 공개 공보 제 평 3-142387호에 공개된다. 입력 회로는 상세한 회로 구성을 도시하지 않고 블록도로 공개된다. 그러나, 그러한 회로가 상술한 NAND 회로로 구성되었다는 것은 일반적이다. 이러한 종래기술의 예가 제4도의 회로도에 의해 도시된다. 상술한 것처럼, 검사 모드 설정 회로는 입력 회로(31) 및 고 전압 검출 회로(33)에 공통인 입력 단자(In21)를 가진다. 고 전압이 입력 단자(In21)에 공급된다면, 고 전압 검출 회로(33)의 출력 레벨은 검사 모드로 모드를 반전하면서 반전되고, 입력 회로(31)는 비활성화된다. 입력 단자(In22)로부터 수신된 검사 지시 데이터는 입력 회로(32)를 통해 래치 회로(34)에 공급된다. 이러한 래치 회로(34)는 고 전압 검출 회로(33)의 반전된 출력 레벨에서 데이터를 받고, 반전된 출력 레벨이 원래 레벨로 복원되는 경우, 데이터가 래치되고 검사 회로(35)에 공급되어, 검사를 수행시킨다. 그러므로, 이러한 정렬은 상술한 종래예에서 발생된 그러한 문제의 발생을 방지하여, 고 전압이 검사시간 동안 어떠한 이유에서 하강한다면, 모드는 비-검사 모드로 변한다.

제1 종래기술의 상술한 입력 회로에서, 모드가 검사 모드로 변하는 경우, 어드레스 신호(A12)와 고 전압을 공급하기 위한 공통 단자인 입력 단자(In12)는 고전압으로 상승하고, 고 전압 검출 회로(9)의 출력 신호( $\Phi_{sv}$ )를 반전함에 의해, 신호( $\Phi_{sv}$ )가 공급되는 클럭 발생기(1)는 검사 모드의 활성화 상태로 변한다.

특히, N-채널 MOS 트랜지스터(N2)는 소스 전극을 접지시키므로, 게이트 전극과 소스 전극 양단의 전압 및 게이트 전극과 드레인 전극 양단의 전압은 고 전압이 인가된 것과 같은 동일한 전계 상태이다.

제5도는 상술한 종래기술의 트랜지스터의 구조를 도시하는 도면이다. 이 구조에서, P-Si 기판(41) 상에 형성된 폴리실리콘으로 제조된 소스 전극(44)과 게이트 전극(42) 양단의 전압이 높다면, 약 10nm의 두께의 얇은 게이트 산화막(47)은 파괴되어 게이트 영역상의 소스 전극(44)과 드레인 전극(43)의 확산층(46) 사이에 형성된 채널(45)을 가진 트랜지스터(N2)는 더 이상 증폭 기능을 수행하지 않는다.

또한, 일본국 특허 출원 공개 공보 제 평-3142387호의 입력 회로에서 제4도에 도시된 것처럼 단지 블록도로서 도시되었지만, 이는 통상 NAND 회로 형태이고, 파괴에 의한 그와 같은 문제로 상술한 것처럼 증폭 기능의 비수행하게 된다.

본 발명의 목적은 종래기술에서 상주하는 문제를 극복하고 메모리 회로를 구비한 반도체 집적 회로의 내부 회로가 검사 모드로 설정되는 경우 사용되는 검사모드 설정 회로를 제공하는 것이며, 고 전압이 특정 입력 단자에 공급되고 고 전압검출 회로가 검사 모드 설정에 대한 공급된 전압에 응답하는 출력 레벨을 반전하는 경우 특정 입력 단자에 결선된 특정 입력 회로에 대한 제1단 트랜지스터의 게이트산화막은 공급된 고 전압에도 불구하고 파손되지 않는다.

본 발명의 한 측면에 따르면, 검사 모드 설정 회로가 제공되는데,

클럭신호와 동기화되는 반전 RAS 신호, 반전 CAS 신호, 반전 WE 신호 및 반전 OE 신호에 응답하는 선정의 내부 제어 신호를 발생시키는 클럭 발생기;

외부에서 공급된 멀티플렉스된 어드레스 신호 중의 최상위 어드레스 신호 외의 어드레스 신호를 수신하고 수신된 어드레스 신호를 내부 행 어드레스 신호로서 공급하는 다수의 행 어드레스 버퍼;

공통 입력 단자를 통해 전력 소스 전압 또는 최상위 어드레스 신호의 전압 보다 높은 전압을 수신하고, 수신된 전압과 전력 소스 전압 사이의 전압 편차가 선정전압보다 높은 경우 검사 모드 설정 신호를 출력하는 고 전압 검출 회로; 및

공통 입력 단자를 통해 고 전압 또는 멀티플렉스된 어드레스 신호 중의 최상위 어드레스 신호를 수신하며, 최상위 내부 행 어드레스 신호로써 최상위 어드레스 신호를 제공하는 최상위 행 어드레스 버퍼; 및

검사 모드를 설정하기 위해서 공통 입력 단자를 통해 고 전압을 수신하자마자 최상위 어드레스 신호외의 최상위 행 어드레스 버퍼 내에 각각이 스택 된 2개의 N-채널 MOS 트랜지스터의 상단 트랜지스터가 고 전압을 통해 전도성을 띄게 될 때, 내부 제어 신호 중의 최상위 행 어드레스 버퍼용 최상위 내부 제어 신호는 접지에 결선된 하단 트랜지스터에 공급되어 하단 트랜지스터는 비-전도성 상태가 되게 하고, 게이트

전극과 소스 전극 양단의 전압 및 게이트 전극과 상단 트랜지스터의 드레인 전극 양단의 전압이 고 전압보다 낮은 레벨로 변형되도록 동작하는 전압 공급수단을 포함한다.

본 발명에 의한 검사 모드 설정 회로는 전압 공급 수단을 구비하며, 고 전압검출 회로, 최상위 행 어드레스 버퍼 및 다수의 하위 행 어드레스 버퍼를 포함한다. 고 전압 검출 회로의 입력 노드는 최상위 행 어드레스 버퍼의 공통 입력 단자에 결선된다. 최상위 행 어드레스 버퍼는 최상위 어드레스 신호를 수신한다. 하위 행 어드레스 버퍼는 하위 어드레스 신호를 수신한다. 검사 모드 설정에 있어서, 고 전압은 공통 입력 단자에 공급되며, 최상위 어드레스 신호용 다수의 행 어드레스 버퍼 중의 특정 행 어드레스 버퍼용 인적층된 N-채널 MOS 트랜지스터 중의 하나의 상부단의 고 레벨 전압에 의해 전도성이 될 때, 내부 제어 신호는 N-채널 MOS 트랜지스터 중의 하위 단에 공급되고, 이 하부단 N 채널 MOS 트랜지스터는 비전도성이 되며, 결과적으로 게이트와 소스 양단의 전압과 N 채널 MOS 트랜지스터 중의 하나의 상부단의 게이트와 드레인 양단의 전압은 고 전압보다 낮다. 이는 게이트 전극에 인가된 고 전계를 이완시키고 게이트 산화막의 손상 가능성을 줄인다.

이하, 첨부 도면을 참조하여 본 발명을 상세히 설명하고자 한다.

제6도는 본 발명에 따른 검사 모드 설정 회로의 주 부분을 블록도로서 도시한다. 도시된 바와 같이, 회로는 고 전압 검출 회로(9), 최상위 행 어드레스 버퍼(X12)를 제어하기 위한 행 어드레스(X12) 버퍼 제어 회로(11), 행 어드레스 버퍼(X0-X11)를 제어하기 위한 행 어드레스(X0-X11) 버퍼 제어 회로(12), 다수의 행 어드레스 버퍼(2a-2i)[제6도에서는, 단지 행 어드레스 버퍼(21)만이 도시됨], 및 최상위 행 어드레스 버퍼(2m')를 포함한다. 고 전압 검출 회로(9)는 외부로부터 공급된 어드레스 신호(A12)와 전력 소스전압(VCC) 사이의 전압 편차가 선정 전압보다 높은 경우 저 레벨에서 고 레벨로 반전된 검사 모드 설정 신호( $\Phi_{sv}$ )를 출력한다. 행 어드레스 버퍼(X12) 제어 회로(11)는 반전 RAS 신호를 수신할 때 내부 제어 클럭 신호( $\Phi_{XA}'$ )를 생성하며, 검사 모드 동작 동안 고 전압 검출 회로(9)로부터 공급된 검사 모드 설정 신호( $\Phi_{sv}$ )가 고 레벨이 될 때 신호( $\Phi_{XA}'$ )를 저 레벨로 만든다. 행 어드레스(X0-X11) 버퍼 제어회로(12)는 일반 동작 및 검사 모드 동작 동안 내부 제어 클럭( $\Phi_{XA}$ )을 발생 및 출력한다. 클럭 발생기(1a)는 반전 WE 신호 및 반전 OE 신호인 반전 CAS 신호를 반전하며, 선정의 내부 제어 클럭을 각각 발생한다. 행 어드레스 버퍼(2a-2i)는 외부로부터 멀티플렉스된 어드레스 신호(A0-A12) 중의 어드레스 신호(A0-A11)를 수신하고 내부 행 어드레스 신호( $\Phi_{A0}-\Phi_{A11}$ )로서 분포시킨다. 최상위 행 어드레스 버퍼(2m')는 동상 버퍼(21)를 통해 어드레스 신호(A12) 및 내부 제어 클럭신호( $\Phi_{XA}'$ )의 논리곱에 의해 생성된 내부 제어 클럭 신호( $\Phi_{A12}$ )를 출력하고 검사 모드 설정용 고 전압(VCH)을 수신한다.

행 어드레스(X12) 버퍼(2m')는 동상 버퍼(21)를 통해 NAND 회로의 출력 값을 출력한다. NAND 회로는 전원 전위 선(VCC)에 결선된 소스 전극 및 상호 결선되어 노드(A)를 형성하는 드레인 전극을 가진 P-채널 MOS 트랜지스터(P1, P2)와 노드(A)와 접지 사이에 직렬로 결선된 N-채널 MOS 트랜지스터(N1, N2)로 구성된다. N-채널 MOS 트랜지스터(N1)는 출력노드로 사용되는 드레인 전극을 가지며, 어드레스신호(A12)는 트랜지스터(P1 및 N1)의 게이트 전극에 공급되며,  $\Phi_{XA}'$ 는 트랜지스터(P2 및 N2)의 게이트 전극에 공급된다.

행 어드레스 버퍼(21)는 구조적으로 최상위 행 어드레스 버퍼(2m')와 동일하나, 어드레스 신호(A0-A11)는 트랜지스터(P1 및 N2)에 공급되며, 제어 신호( $\Phi_{XA}$ )는 트랜지스터(P2 및 N1)에 공급된다.

이제, 회로의 동작이 제6도의 회로도 및 제7도의 타이밍 차트를 기준으로 설명된다.

검사 모드 동작 동안, 고전압(VCH)은 입력 단자(In12)에 공급되며, 고 전압검출 회로(9)가 전원 전압(VCC)에 대한 전위 편차가 선정의 전압을 넘는지 여부를 검출하고, 고 전압 검출 회로(9)의 검사 모드 설정 신호( $\Phi_{sv}$ )는 저 레벨에서 고 레벨로 반전된다.

초기 상태가 신호( $\Phi_{sv}$ )에 응답하여 검사 모드로 변해서 고 레벨로 변하는 경우, 행 어드레스 버퍼 제어 회로(11)의 출력 신호( $\Phi_{XA}'$ )는 고 레벨이며, 신호( $\Phi_{XA}'$ )는 저 레벨로 반전된 이후에 출력된다. 그러므로, 이러한 2 상태에서, 출력신호( $\Phi_{XA}'$ )는 모드가 검사 모드로 변할 경우의 포인트에서 저 레벨로 된다.

저 레벨이 된 출력 신호( $\Phi_{XA}'$ )는 최상위 행 어드레스 버퍼(2m')의 NAND 회로의 접지 전위 측에서 트랜지스터(N2)의 게이트 전극으로 공급되며, 트랜지스터(N2)는 비-도전성이 되며, 접지 전위 측에서의 트랜지스터(P2)는 도전성이 된다. 결과적으로, 출력노드(A)는 고 레벨인 전원 전위로 상승되며, 신호( $\Phi_{A12}$ )는 동상 버퍼(21)를 통해 출력된다.

예를 들면, 전원 전압(VCC)이 3.3V 이고, 입력 단자(In12)에 공급되는 고전압(VCH)이 10V이며, 접지 전위 측에서의 트랜지스터(N2)가 신호( $\Phi_{XA}'$ )에 의해 비 도전성이 된다면, 10v의 고전압(vch)을 수신하는 트랜지스터(N1)의 게이트와 소스 전극양단의 전압 및 게이트와 드레인 전극 양단의 전압은 둘 다 6.7V가 되고 이는 전원전압(VCC)과 고전압 사이의 전압 편차(즉, 10V-3.3V=6.7V)이다. 유사하게, 트랜지스터(P1)의 게이트와 소스 전극 양단의 전압 및 게이트와 드레인 전극 양단의 전압은 둘 다 6.7V가 된다.

그러므로, 어떠한 조건에서도 트랜지스터(P1)의 게이트와 소스 전극에 고전압(VCH)이 인가되지는 않으며, 이는 상술한 종래기술과는 상이하게, 게이트 산화막이 파손될 가능성이 줄어든다는 것을 의미한다.

본 발명에 따른 실시예에서 최상위 행 어드레스(X12) 버퍼(2m') 및 종래기술 예에서의 최상위 행 어드레스(X12) 버퍼(2m)는 두 경우의 제1단은 NAND 회로로 구성된다는 점에서 동일하다. 그러나, 본 발명의 실시예에 따르면, 단지 어드레스신호(A12)에만 대응하는 행 어드레스(X12) 버퍼 제어 회로(11)는 행 어드레스(X12)버퍼 제어 회로(11)의 출력 신호( $\Phi_{XA}'$ )가 NAND 회로의 적층된 트랜지스터(N2)에 공급되는 나머지 어드레스 신호(A0-A11)에 대응하는 행 어드레스(X0-X11)로부터 이격된다. 이러한 구성은 행 어드레스(X0-X11) 버퍼 제어 회로(12)의 출력 신호( $\Phi_{XA}'$ )가 하부 트랜지스터(N1)에 공급되는 종래 기술예의 최상위 행 어드레스 버퍼(2m)와는 상이하다.

어드레스 신호 입력 단자(In12)에 공급되는 신호의 레벨은 약 2.5V-0.5V의 범위이며, 이는 3V의 전원 전압(VCC)에 비하면 중간 레벨이다. 종래기술예에서, 신호의 공급을 수신하는 트랜지스터는 서로 적층된 트랜지스터(N1 및 N2) 사이로부터의 접지 전위에서의 트랜지스터(N2)이다. 트랜지스터(N2)를 더 작게 제조

하여, 이러한 구성은 본 발명에 따른 실시예에서 행 어드레스(X0-X11) 버퍼(2a-21)에 적용된다.

본 발명에 따른 실시예에서, 행 어드레스 버퍼 중의 최상위 행 어드레스 버퍼(2m'), 즉 어드레스 신호(A0-A11)에 대한 행 어드레스 버퍼(2a-21)에서, 행 어드레스 버퍼 제어 회로(12)의 출력 신호( $\Phi_XA$ )는 트랜지스터(P2 및 N1)에 공급되며, 어드레스 신호(A0-A11)는 종래기술 예에서와 같이 트랜지스터(P1 및 N2)에 공급된다.

본 발명이 양호한 실시예를 기준으로 설명되었지만, 본 명세서에 사용된 용어는 제한적이기보다는 설명을 위한 것으로, 청구 범위에 의해 정의된 발명의 진정한 범위에서 벗어나지 않고도 첨부된 청구 범위에 범주내의 변화가 가능하다.

### (57) 청구의 범위

#### 청구항 1

클럭신호로 동기화 되는 반전 RAS 신호, 반전 CAS 신호, 반전 WE 신호 및 반전 OE 신호에 응답하는 소정의 내부 제어 신호( $\Phi_XA$  및  $\Phi_XA'$ )를 생성하는 클럭 발생기; 외부에서 공급된 멀티플렉스된 어드레스 신호(A0-A12) 중 최상위 어드레스 신호(A12)를 제외한 어드레스 신호(A0-A11)를 수신하며, 수신된 어드레스 신호를 내부 행 어드레스 신호( $\Phi_{A0}-\Phi_{A11}$ )로서 분포시키는 다수의 행 어드레스 버퍼(2a-21); 전원 전압(VCC)보다 높은 고전압 또는 공통 입력 단자(In12)를 통한 상기 최상위 어드레스 신호의 전압을 수신하며, 수신된 전압과 전원 전압 사이의 전압 편차가 소정의 전압 보다 높은 경우 검사 모드 설정 신호( $\Phi_{sv}$ )를 출력하는 고전압 검출 회로(9); 상기 공통 입력 단자를 통해 상기 고전압 또는 상기 멀티플렉스된 어드레스신호 중 상기 최상위 어드레스 신호를 수신하며, 최상위 내부 행 어드레스 신호( $\Phi_{A12}$ )로서 상기 최상위 어드레스 신호를 제공하는 최상위 행 어드레스 버퍼(2m'); 및 검사 모드를 설정하기 위해서 상기 공통 입력 단자를 통해 상기 고전압을 수신하는데 있어서, 상기 최상위 어드레스 신호용의 최상위 행 어드레스 버퍼 내에 서로 적층된 2개의 N-채널 MOS 트랜지스터(N1, N2)의 상단 트랜지스터(N1)가 상기 고전압에 도통되는 경우, 상기 내부 제어 신호 중의 상기 최상위 행 어드레스 버퍼에 대한 최상위 내부 제어 신호( $\Phi_XA'$ )가 접지에 결선된 하단 트랜지스터(N2)에 공급되어 상기 하단 트랜지스터가 비-도통 상태로 되어 상기 상단 트랜지스터의 게이트 전극과 소스 전극 양단의 전압 및 게이트 전극과 드레인 전극 양단의 전압이 상기 고전압보다 낮은 레벨로 변화되도록 동작하는 전압 공급 수단(11, 12)을 포함하는 것을 특징으로 하는 검사 모드 설정 회로.

#### 청구항 2

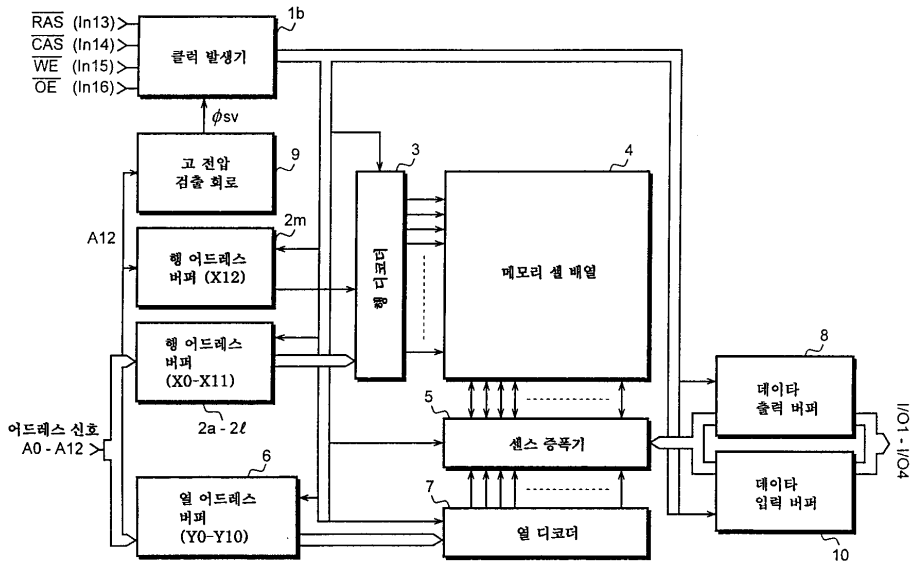
제1항에 있어서, 상기 전압 공급 수단은 정상 동작 상태 하에서는 상기 내부제어 신호가 상기 반전 RAS 신호의 활성 상태에 응답하여 고 레벨로 전환하고, 검사 모드 상태에서는 상기 최상위 어드레스 신호용의 상기 최상위 행 어드레스 버퍼에 공급되는 단지 상기 최상위 내부 제어 신호만이 상기 고전압 검출 회로로부터의 고 레벨 신호에 응답하여 저 레벨이 되게 하는 것을 특징으로 하는 검사 모드 설정회로.

#### 청구항 3

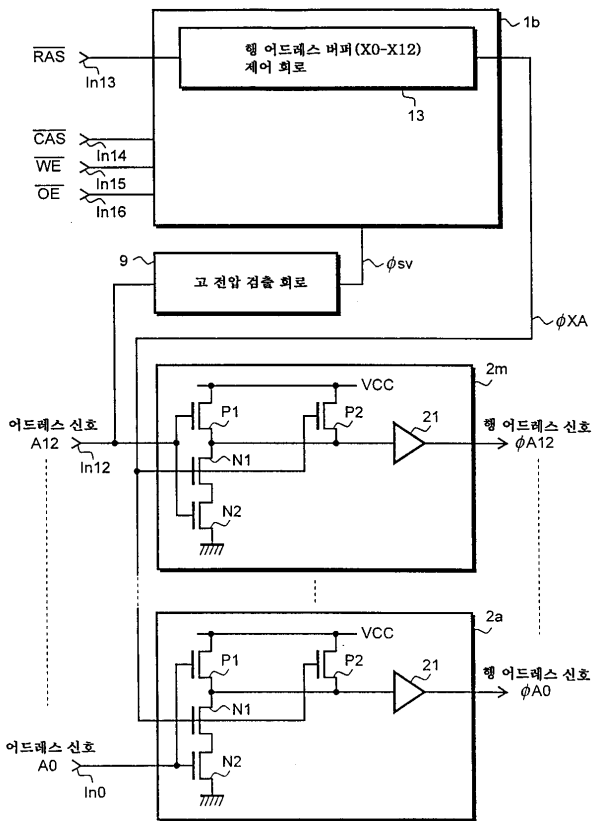
제1항에 있어서, 상기 전압 공급 수단은 상기 반전 RAS 신호를 수신할 때 제1 행 어드레스 버퍼 제어 신호( $\Phi_XA'$ )를 생성하며, 검사 모드 동작 동안 상기 검사 모드 설정 신호의 고 레벨에 응답하여 상기 제1 행 어드레스 버퍼 제어 신호를 저 레벨로 변화시키는 제1 행 어드레스 버퍼제어 회로(11); 및 정상 동작 및 검사 모드 동작 동안 제2 행 어드레스 버퍼 제어 신호( $\Phi_XA$ )를 생성 및 출력하는 제2 행 어드레스 버퍼 제어 회로(12)를 포함하며 상기 최상위 행 어드레스 버퍼는 전원 전위 선에 결선된 소스 전극 및 노드(A)를 형성하도록 배선된 드레인 전극을 가지는 제1 및 제2 P-채널 MOS 트랜지스터(P1, 및 P2)와, 상기 노드와 상기 접지 사이에 직렬로 결선된 제1 및 제2 N-채널MOS 트랜지스터(N1, N2)로 구성되며, 상기 제1 N-채널 MOS 트랜지스터(N1)는 출력버퍼(21)에 결선된 드레인 전극을 가지며, 상기 최상위 어드레스 신호용의 상기 최상위 행 어드레스 버퍼만은 정상 동작시에는 상기 제1 P채널형 MOS 트랜지스터(P1) 및 상기 제2 N 채널 MOS 트랜지스터의 게이트 전극에 상기 최상위 어드레스 신호가, 검사 모드 동작시에는 상기 고전압이 공통 입력 단자를 통해 공급되고, 상기 제2 P 채널 MOS 트랜지스터(P2) 및 제2 N 채널 MOS 트랜지스터(N2)의 게이트 전극에는 상기 제1 행 어드레스 버퍼 제어 신호가 공급되는 것을 특징으로 하는 검사모드 설정 회로.

### 도면

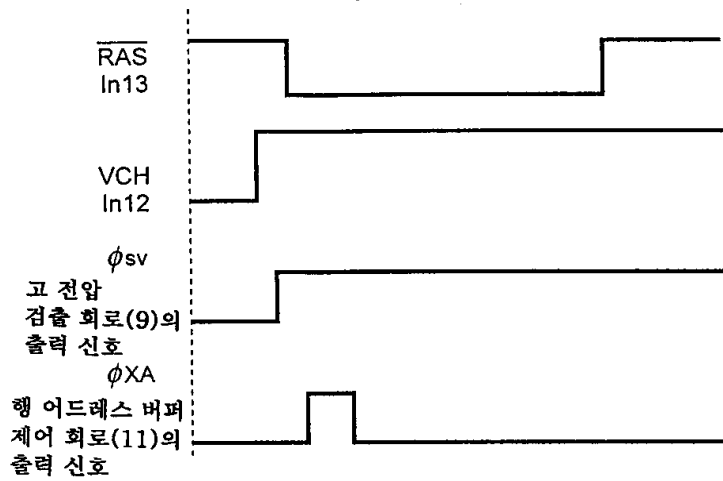
도면1



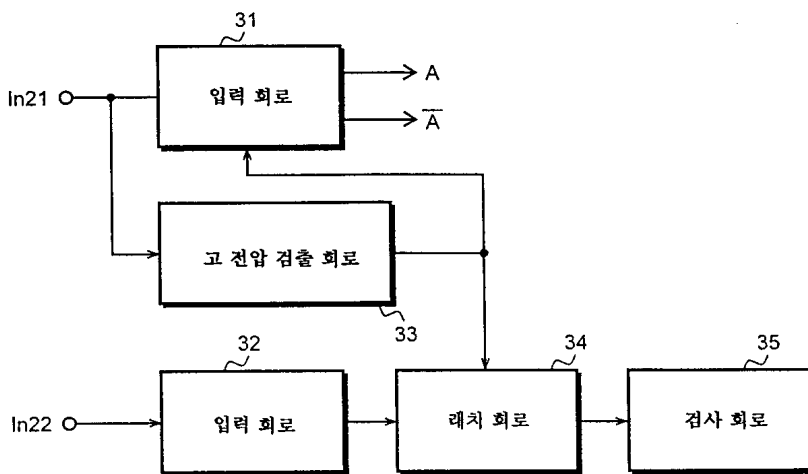
도면2



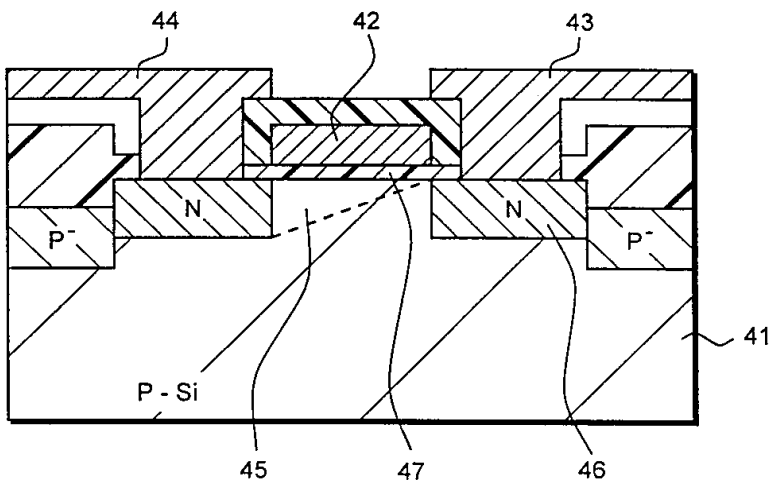
도면3



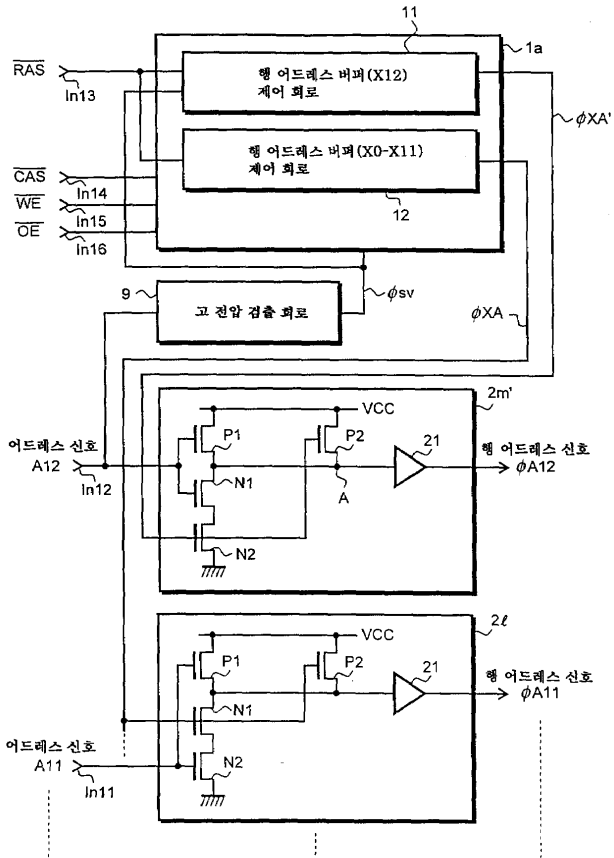
도면4



도면5



도면6



도면7

