

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11B 20/14

(45) 공고일자 2000년08월01일

(11) 등록번호 10-0263689

(24) 등록일자 2000년05월19일

(21) 출원번호	10-1993-0023850	(65) 공개번호	특1994-0012366
(22) 출원일자	1993년11월09일	(43) 공개일자	1994년06월23일
(30) 우선권 주장	92-298670 1992년11월09일 일본(JP) 93-134287 1993년06월04일 일본(JP)		
(73) 특허권자	소니 가부시끼 가이샤 이데이 노부유키		
(72) 발명자	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고 이노 히로유키 일본 도오쿄도 시나가와구 기다시나가와 6초메 7반 35고 소니 가부시끼 가이샤 나이 사또 다카시 일본 도오쿄도 시나가와구 기다시나가와 6초메 7반 35고 소니 가부시끼 가이샤 나이 나카가와 도시유키 일본 도오쿄도 시나가와구 기다시나가와 6초메 7반 35고 소니 가부시끼 가이샤 나이		
(74) 대리인	이병호		

심사관 : 서호선

(54) 변조방법, 변조장치 및 복조장치

요약

〈구성〉 부호화 회로(11)는 입력 데이터 계열을 전송에 적합한 부호계열 A에 변환한다. 패턴 발생 회로(12)는 소정의 길이의 패턴을 변조부호의 저역 컷오프 주파수에 반비례한 소정간격으로 발생한다. 패턴 삽입 회로(13)는 부호계열 A에 패턴을 소정간격으로 삽입한다. 변조 회로(14)는 패턴이 삽입된 부호계열 B를 NRZI변조해서 출력한다. 타이밍 관리회로(15)는 패턴 삽입 회로(13)등을 제어한다.

〈효과〉 삽입된 패턴에 의해서 변조 부호의 DSV를 제어할 수 있는 동시에 리던던시의 증가를 필요 최소한으로 억제하고 전송계가 요구하는 시방에 DSV 제어 특성을 적합시킬 수 있다.

대표도

도1

명세서

[발명의 명칭]

변조 방법, 변조 장치 및 복조 장치

[도면의 간단한 설명]

제1도는 본 발명을 적용한 변조 장치의 주요부 회로 구성을 도시하는 블록도.

제2도는 상기 변조 장치의 동작 원리를 설명하기 위한 타이밍차트.

제3도는 (4, 22; 2, 5; 5)부호를 채용했을 때의 변조 부호의 저역 특성을 도시하는 도면.

제4도는 RLL(2, 7) 변조를 채용했을 때의 변조 부호의 저역 특성을 도시하는 도면.

제5도는 본 발명을 적용한 복조 장치 주요부의 회로 구성을 도시하는 블록도.

제6도는 상기 변조 장치를 구성하는 패턴 발생 회로의 구체적인 회로 구성을 도시하는 블록도.

*도면의 주요부분에 대한 부호의 설명

11 : 부호화 회로 12 : 패턴 발생 회로

12a : DsV 계산 회로 12b : 직전·직후 비트 처리 회로

12c : 패턴 결정 회로 13 : 패턴 삽입 회로

14 : 변조 회로 15 : 타이밍 관리 회로
 21 : 복조 회로 22 : 패턴 제거 회로
 23 : 복호화 회로 25 : 타이밍 관리 회로

[발명의 상세한 설명]

(산업상의 이용분야)

본 발명은 변조 방법, 장치 및 복조 장치에 관한 것이며 데이터를 전송하거나 기록매체에 기록할 때 전송(기록)에 적합한 변조를 실시한 변조 부호의 DSV를 향상시키는 것이다.

(종래의 기술)

데이터를 전송하거나 예컨대 자기 테이프, 자기 디스크, 광 디스크 등의 기록매체에 기록할 때, 데이터 전송(기록)에 적합한 부호화 처리, 변조 처리를 실시하고 얻어지는 변조부호를 전송하게 되어 있다. 그런데, 재생시에서 예컨대, 재생 신호를 이진화(디지탈화)할때의 기준 레벨의 요동에 기인한 에러가 발생치 않게 하기 위해서 또는 예컨대 디스크장치의 소위 서보 제어에서의 트래킹 에러 신호등의 각종의 에러 신호에 변동이 생기지 않게 하기 위해선 변조 부호에 직류 성분이 포함되지 않게 할 것이 필요하다.

데이터의 심볼 1, 0을 각각 +1, -1로 하고 변조부호 계열의 개서점부터의 심볼의 총합인 소위 DSV(Digital Sum Value)는 상술의 직류 성분 평가의 가능하며 DSV의 절대값이 작으면 직류 성분 또는 저역 성분이 적다는 것을 나타내고 있다.

따라서, 디지탈 오디오 테이프 레코더(DAT)에서 채용되어 있는 8-10 변환, 콤팩트 디스크(CD)플레이어에서 채용되어 있는 EFM(Eight to Fourteen Modulation), 자기 디스크 장치에 채용되어 있는 Miller²(Miller square)등의 변조에선 예컨대 소위 마크간(Mark position) 변조인 NRZ(Non Return to Zero)나 마크 길이(Mark length) 변조인 NRZI(Non Return to Zero Inverted)를 실시한 후의 DSV의 절대값을 작게하는 DSV제어가 행해지고 있다.

(발명이 해결하려는 과제)

환언하면 이들 변조에선 DSV 제어 특성이 일의적으로 결정되어 있으며 DSV 제어 특성을 전송계(또는 기록계와 재생계)가 요구하는 시방에 적합시키는 것이 곤란했었다. 예컨대 전송계의 시방을 만족하지 않거나 역으로 전송계의 시방 이상의 DSV 제어 특성을 갖는 즉, 여분인 용장성을 갖게된다는 문제가 있었다.

한편, 일반적인 부호, 예컨대 0의 최소 런(Run)을 d로 하고 최대 런을 k로 하는 소위(d, k; m, n; r) 부호(r=1인때 고정길이부호, r=1인때 가변길이부호)에선 DSV제어는 고려되어 있지 않으며 상술한 직류 성분 에 기인한 에러가 발생하는 등의 우려가 있다. 또, DSV 제어 특성을 고려한 부호 설계를 행하는 것도 가능하지만 제약 항목이 증가하고 용장도가 증가하는 등의 문제가 있다.

본 발명은 상술의 문제점을 감안하여 DSV 제어가 고려되어 있지 않는 부호에 대해서 용장도의 증가를 필요 최소한으로 억제하고 전송계가 요구하는 시방에 적합한 DSV 제어를 행할 수 있는 변조 방법, 변조 장치 및 복호장치를 제공하는 것을 목적으로 하고 있다.

(과제를 해결하기 위한 수단)

상술의 목적을 달성하기 위해서 본 발명에 관계하는 제1의 변조 방법은 부호계열에 소정 길이의 패턴을 소정 간격으로 삽입하고 패턴이 삽입된 부호 계열을 NRZI 변조하고 DSV 제어된 변조 부호를 출력하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제2의 변조 방법은 (d, k) 부호 계열에 2(d+1) 비트의 길이를 갖는 패턴을 소정 간격으로 삽입하고 패턴이 삽입된(d, k) 부호 계열을 NRZI 변조하고 DSV 제어된 변조 부호를 출력하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제3의 변조 방법은 제1 또는 제2의 변조 방법에서 소정 간격이 변조 부호의 저역 컷오프 주파수에 반비례한 값인 것을 특징으로 한다.

또, 본 발명에 관계하는 제4의 변조 방법은 제1 또는 제2의 변조 방법에서 패턴이 1의 수가 0, 1, 2인 3 종류의 패턴인 것을 특징으로 한다.

또, 본 발명에 관계하는 제5의 변조 방법은 제3의 변조 방법에서 패턴이 1의 수가 0, 1, 2인 3종류의 패턴인 것을 특징으로 한다.

또, 본 발명에 관계하는 제6의 변조 방법은 제4의 변조 방법에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택해서 삽입하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제7의 변조 방법은 제5의 변조 방법에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택해서 삽입하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제1의 변조 장치는 부호계열에 소정의 길이의 패턴을 소정 간격으로 삽입하는 패턴 삽입 수단과 패턴 삽입 수단으로부터의 패턴이 삽입된 부호계열을 NRZI 변조하는 변조 수단을 구비하고 변조 수단으로부터 DSV 제어된 변조 부호를 출력하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제2의 변조 수단은 (d, k) 부호 계열에 2(d+1) 비트의 길이를 갖는 패턴을 소정 간격으로 삽입하는 패턴 삽입 수단과 패턴 삽입 수단으로부터의 패턴이 삽입된 (d, k) 부호 계열을 NRZI

변조하는 변조 수단을 구비하고 변조 수단으로부터 DSV 제어된 변조 부호를 출력하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제3의 변조 장치는 제1 또는 제2의 변조 장치에서 패턴 삽입수단이 변조 부호의 지역 컷오프 주파수에 반비례한 소정 간격으로 패턴을 삽입하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제4의 변조 장치는 제1 또는 제2의 변조 장치에서 패턴 삽입 수단이 1의 수가 0, 1인 3종류의 패턴중의 1개를 선택해서 삽입하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제6의 변조 장치는 제4의 변조 장치에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택하고 삽입하게 패턴 삽입 수단을 제어하는 제어수단을 구비하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제7의 변조 장치는 제5의 변조 장치에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴의 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택해서 삽입하게 패턴 삽입 수단을 제어하는 제어수단을 구비하는 것을 특징으로 한다.

또, 본 발명에 관계하는 복조 장치는 소정의 길이의 패턴을 소정 간격으로 삽입한 후에 NRZI 변조하고 DSV 제어된 변조 부호가 공급되고 이 변조 부호를 NRZI 복조하고 패턴이 삽입된 부호계열을 재생하는 복조 수단과 복조 수단으로부터의 패턴이 삽입된 부호 계열로부터 패턴을 제거하고 원 부호계열을 재생하는 패턴 제거 수단을 구비하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제8의 변조 방법은 (d, k) 부호 계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정 간격으로 삽입하고 패턴이 삽입된 (d, k) 부호 계열을 NRZI 변조하고 DSV 제어된 변조 부호를 출력할 때 패턴이 삽입되는 전후의 d+1 비트에 의거해서 패턴을 결정하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제9의 변조 방법은 제8의 변조 방법에서 패턴이 삽입되는 직전의 d+1 비트에 1이 포함되지 않으며 직후의 d+1 비트에 1이 포함될 때는 직후의 d+1 비트를 써서 패턴을 결정하고 직전의 d+1 비트에 1이 포함되며 직후의 d+1 비트에 1이 포함되지 않을 때는 직전의 d+1 비트를 써서 패턴을 결정하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제10의 변조 방법은 제8 또는 제9의 변조 방법에서 패턴이 삽입되는 직전 및 직후의 d+1 비트에 1이 포함되지 않을 때는 패턴을 최하위 비트를 제1비트로 했을 때의 제 d+1 비트만을 1로한 제1의 반전 패턴, 또는 1을 2개 포함하는 동시에 (d, k) 복호의 부호측을 만족하는 제1의 비반전 패턴으로 하고 직전의 d+1 비트에 1이 포함되지 않고 직후의 d+1 비트에 1이 포함될 때는 패턴을 상위 d+1 비트가 직후의 d+1 비트이며 하위 d+1 비트가 모두 0인 제2의 반전 패턴, 또는 직후의 d+1 비트가 연속한 제2의 비반전 패턴으로 하고 직전의 d+1 비트에 1이 포함되고 직후의 d+1 비트에 1이 포함되지 않을 때는 패턴을 상위 d+1 비트가 모두 0이고 하위 d+1 비트가 직전의 d+1 비트인 제3의 반전 패턴, 또는 직전의 d+1 비트가 연속된 제3의 비반전 패턴으로 하고 직전 및 직후의 d+1 비트에 각각 1이 포함될 때는 패턴을 제1의 반전 패턴, 또는 직전의 d+1 비트와 직후의 d+1 비트가 연속된 제4의 비반전 패턴으로 하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제11의 변조 방법은 제10의 변조 방법에서 $2d < k < 2(2d+1)$ 이 성립할 때는 제4의 비반전 패턴을 패턴이 삽입되는 전후의 d/2 비트(d는 짝수) 또는 $(d+1)/2$ 비트(d는 홀수)에 의거해서 결정하는 것을 특징으로 한다.

또, 본 발명에 관계하는 제12의 변조 방법은 제10 또는 제11의 변조 방법에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 반전 패턴 또는 비반전 패턴을 선택하는 것을 특징으로 한다.

(작용)

제1의 변조 방법에선 부호 계열에 소정의 길이의 패턴을 소정 간격으로 삽입한 후, NRZI 변조하고 DSV 제어된 변조 부호를 출력한다.

또, 제2의 변조 방법에선 (d, k) 부호 계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정 간격으로 삽입한 후, NRZI 변조하고 DSV 제어된 변조 부호를 출력한다.

또, 제3의 변조 방법에선 제1 또는 제2의 변조방법에서 소정 간격을 변조 부호의 지역 컷오프 주파수에 반비례한 값으로 한다.

또, 제4의 변조 장치에선 제1 또는 제2의 변조장치에서 패턴을 1의 수가 0, 1, 2인 3종류의 패턴으로 한다.

또, 제5의 변조 장치에선 제3의 변조 장치에서 패턴을 1의 수가 0, 1, 2인 3종류의 패턴으로 한다.

또, 제6의 변조 장치에선 제4의 변조 장치에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택해서 삽입한다.

또, 제7의 변조 장치에선 제5의 변조 장치에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택해서 삽입한다.

또, 복조 장치에선 변조 부호를 NRZI 복조해서 패턴이 삽입된 부호 계열을 재생하고 패턴이 삽입된 부호 계열로부터 패턴을 제거하고 원 부호 계열을 재생한다.

또, 제8의 변조 방법에선 (d, k)부호 계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정 간격으로 삽입한

후, NRZI 변조하고 DSV 제어된 변조 부호를 출력할 때 패턴이 삽입되는 전후의 $d+1$ 비트에 의거해서 패턴을 결정한다.

또, 제9의 변조 방법에선 제8의 변조 방법에서 패턴이 삽입되기 직전의 $d+1$ 비트에 1이 포함되지 않으며 직후의 $d+1$ 비트에 1이 포함되는 때엔 직후의 $d+1$ 비트를 써서 패턴을 결정하고 직전의 $d+1$ 비트에 1이 포함되고 직후의 $d+1$ 비트에 1이 포함되지 않을 때는 직전의 $d+1$ 비트를 써서 패턴을 결정한다.

또, 제10의 변조 방법에선 제8 또는 제9의 변조방법에서 패턴이 삽입되는 직전 및 직후의 $d+1$ 비트에 1이 포함되지 않을 때는 패턴을 제1의 반전 패턴 또는 제1의 비반전 패턴으로 하고 직전의 $d+1$ 비트에 1이 포함되지 않으며 직후의 $d+1$ 비트에 1이 포함될 때는 패턴을 제2의 반전 패턴 또는 제2의 비반전 패턴으로 하고 직전의 $d+1$ 비트에 1이 포함되고 직후의 $d+1$ 비트에 1이 포함되지 않을 때는 패턴을 제3의 반전 패턴 또는 제 3의 비반전 패턴으로 하고 직전 및 직후의 $d+1$ 비트에 각각 1이 포함될 때는 패턴을 제1의 반전 패턴 또는 제4의 비반전 패턴으로 한다.

또, 제11의 변조 방법에선 제10의 변조 방법에서 $2d < k < 2(2d+1)$ 가 성립할 때는 제4의 비반전 패턴을 d 가 짝수에선 패턴이 삽입되는 전후의 $d/2$ 비트에 의거해서 결정하고 d 가 홀수에선 전후의 $(d+1)/2$ 비트에 의거해서 결정한다.

또, 제12의 변조 방법에선 제10 또는 제11의 변조 방법에서 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 반전 패턴 또는 비반전 패턴을 선택한다.

[실시예]

이하, 본 발명에 관계하는 변조(방법, 변조 장치 및 복조 장치의 실시예에 대해서 도면 참조로 설명한다. 제1도는 본 발명을 적용한 변조 장치의 회로 구성을 도시하는 블록도이다.

이 변조 장치는 제1도에 도시하듯이 입력 데이터 계열을 전송에 적합한 부호 계열로 변환하는 부호화 회로(11)와 소정의 길이의 패턴을 소정 간격으로 발생하는 패턴 발생 회로(12)와 상기 부호화 회로(11)로부터의 부호 2계열에 상기 패턴 발생 회로(12)부터의 패턴을 소정 간격으로 삽입하는 패턴 삽입 회로(13)와 그 패턴 삽입 회로(13)부터의 패턴이 삽입된 부호 계열을 NRZI(Non Return to Zero Inverted)변조해서 출력하는 변조 회로(12)와 상기 패턴 삽입 회로(13)등을 제어하는 타이밍 관리 회로(15)를 구비한다.

그리고, 이 변조 장치는 입력 데이터 계열을 전송(기록)에 적합한 부호 계열 A로 변환하고 예컨대 제2도에 도시하듯이 이 부호 계열 A에 소정의 길이인 T_{dc} 비트로 되는 패턴 소정 간격 T_{code} 비트로 삽입하고 패턴이 삽입된 부호 계열 B를 NRZI 변조하고 소위 DSV(Digital Sum Value) 제어된 변조 부호를 출력하게 되어 있다.

구체적으로는 부호화 회로(11)는 입력 데이터 계열을 전송(또는 기록)에 적합한 부호측에 의거해서 부호 계열 A로 변환한다. 예컨대, 0의 최소 런(Run)을 d 로 하고 최대 런을 k 로 하는 소위($d, k; m, n; r$)부호로 변환한다. 구체적으로는 예컨대 (1, 3; 1, 2; 1) 부호인 소위 MFM(Modified Frequency Modulation), 예컨대 하기 표.1에 나타내듯이 (4, 22; 2, 5; 5) 부호등의 DSV 제어가 고려되어 있지 않는 부호측에 의거해서 입력 데이터 계열을 부호화한다. 따라서, 이 부호화 회로(11)부터는 DSV 제어되어 있지 않는 부호 계열 A가 출력된다.

[표 1]

데이터어	부호어
0 0 0	0 0 0 1 0 0
1 0	0 1 0 0
0 1 0	1 0 0 1 0 0
0 0 1 0	0 0 1 0 0 1 0 0
1 1	1 0 0 0
0 1 1	0 0 1 0 0 0
0 0 1 1	0 0 0 0 1 0 0 0

[표2]

데이터어		부호어
i=1	11	00000
	10	10000
	111111	00001 00001 00000
i=2	0111	01000 00000
	0110	00100 00000
	0101	00010 00000
	0100	00001 00000
i=3	001111	01000 01000 00000
	001110	01000 00100 00000
	001101	01000 00010 00000
	001100	01000 00001 00000
	001011	00010 00001 00000
	001010	00100 00100 00000
	001001	00100 00010 00000
	001000	00100 00001 00000
	000111	00010 00010 00000
	00011011	01000 01000 01000 00000
	00011010	01000 01000 00100 00000
	00011001	01000 01000 00010 00000
i=4	00011000	01000 01000 00001 00000
	00010111	01000 00010 00001 00000
	00010110	01000 00100 00100 00000
	00010101	01000 00100 00010 00000
	00010100	01000 00100 00001 00000
	00010011	01000 00010 00010 00000
	00010010	00100 00100 00100 00000
	00010001	00100 00100 00010 00000
	00010000	00100 00100 00001 00000
	00001111	00010 00001 00001 00000
	00001110	00100 00001 00001 00000
	00001101	00100 00010 00010 00000
	00001100	00100 00010 00001 00000
	00001011	01000 00001 00001 00000
	00001010	00001 00001 00001 00000
	00001001	00010 00010 00010 00000
	00001000	00010 00010 00001 00000

[표3]

데이터어	부호어
i=5	01000 01000 01000 01000 00000
0000011111	01000 01000 01000 00100 00000
0000011110	01000 01000 01000 00010 00000
0000011101	01000 01000 01000 00001 00000
0000011100	01000 01000 00010 00001 00000
0000011011	01000 01000 00100 00100 00000
0000011010	01000 01000 00100 00010 00000
0000011001	01000 01000 00100 00001 00000
0000011000	01000 01000 00100 00001 00000
0000010111	01000 01000 00010 00010 00000
0000010110	01000 00100 00100 00100 00000
0000010101	01000 00100 00100 00010 00000
0000010100	01000 00100 00100 00001 00000
0000010011	01000 00010 00001 00001 00000
0000010010	01000 00100 00001 00001 00000
0000010001	01000 00100 00010 00010 00000
0000010000	01000 00100 00010 00001 00000
0000001111	01000 01000 00001 00001 00000
0000001110	01000 00001 00001 00001 00000
0000001101	01000 00010 00010 00010 00000
0000001100	01000 00010 00010 00001 00000
0000001011	00100 00100 00010 00010 00000
0000001010	00100 00100 00100 00100 00000
0000001001	00100 00100 00100 00010 00000
0000001000	00100 00100 00100 00001 00000
0000000111	00100 00100 00010 00001 00000
0000000110	00100 00100 00001 00001 00000
0000000101	00100 00010 00010 00010 00000
0000000100	00100 00010 00010 00001 00000
0000000011	00100 00001 00001 00001 00000
0000000010	00010 00010 00001 00001 00000
0000000001	00010 00010 00010 00010 00000
0000000000	00010 00010 00010 00001 00000
	00010 00001 00001 00001 00000
	00001 00001 00001 00001 00000
	SYNC for mod2to1d5
	ASYNC 23T 21T 6T
	BSYNC 21T 23T 6T

패턴 발생 회로(12)는 부호화 회로(11)로부터 공급되는 부호계열 A에 의거해서 T_{dc} 비트로 이루는 패턴을 소정 간격 T_{code} 비트로 발생한다. 그리고, 패턴 삽입회로(13)로부터 공급되는 T_{dc} 비트로 이루는 패턴을 소정 간격 T_{code} 비트로 삽입하고 부호계열 B를 생성한다. 변조 회로(14)는 패턴 삽입회로(13)로부터 공급되는 부호 계열 B를 NRZI 변조하고 변조 부호를 생성하고 이 변조 부호를 출력한다. 그리고, 이 변조 신호에 동기 신호등이 추가되어서 전송(기록)된다.

그런데, 변조 회로(14)로부터 출력되는 변조 부호는 삽입된 패턴 이후는 논리가 반전하고 (0이 1, 1이 0으로 되고), 1의 수가 짝수인 때는 논리는 반전하지 않으므로 본 발명에선 이것들의 패턴을 선택하고 부호 계열 A에 삽입함으로써 변조 부호의 DSV를 제어하는 것인데 리이던던시의 증가를 최소한으로 억제할 수 있는 패턴은 1의 수가 0개 또는 1개의 패턴이다. 따라서 상술한 패턴 발생 회로(12)는 1의 수가 0개 또는 1개의 패턴을 발생한다. 또한, 1의 수가 0개인 패턴은 부호측에 따라선 0의 연속이 최대 런 k 이상 이 되는 경우가 있고 그 부호에 대해선 1의 수가 0개의 패턴 대신에 1의 수가 2개의 패턴을 발생한다. 즉, 패턴 발생 회로는 1의 수가 0개, 1개 또는 2개인 3종류의 패턴을 발생한다.

또, 패턴 삽입 회로(13)에서 부호 계열 A의 임의의 장소에 패턴을 삽입했을 때, 패턴이 삽입된 부호 계열 B의 (d, k) 부호측을 만족하게 하기 위해선 상술의 소정의 길이 T_{dc} 비트는 하기식 1에 의해 구해지며, 1의 수가 1개인 패턴에선 소정의 길이 T_{dc} 비트는 하기식 2에 의해서 구해진다.

$$T_{dc}=(d-S1)+1+d+1+(d-(d-S1)) \dots \dots \text{식 1}$$

$$T_{dc}=(d-S1)+1+(d-(d-S1)) \dots \dots \text{식 2}$$

$$=d+1$$

또한, 식 1, 2에서 S_1 은 삽입되는 패턴 이전의 연속하는 0의 수이며 $0 \leq S_1 \leq k$ 의 조건을 만족한다.

따라서, 패턴 발생 회로(12)는 부호화 회로(11)에서 (d, k) 부호가 채워지고 있을 때는 $2(d+1)$ 비트로 이루는 패턴을 발생한다. 또한 $k=0$ 에선 상술의 1의 수가 0개의 패턴을 쓸 수 있고 그대는 $d+1$ 비트로 이루는 패턴을 발생한다.

구체적으로는 예컨대(4, 22; 2, 5; 5) 부호에선 패턴 발생 회로(12)는 $10(=2 \times (4+1))$ 비트로 이루는 패턴이며 0000000000 인 패턴, 0000100001 인 패턴, 1000010000 인 패턴(이하, 다만 짝수개 군의 패턴)으로부터 1개를 선택해서 발생한다. 그리고, 그 선택은 이하에 설명하는 알고리즘에 의한다.

예컨대, 상술의 제2도에 도시하듯이 이번에 삽입하는 패턴 b_1 이전의 DSV와 이번에 삽입하는 패턴 b_1 과 다음에 삽입하는 패턴 b_2 간의 부호 계열 a_2 의 DSV를 가산하고 이 가산값의 절대값이 작아지게 짝수개군의 패턴 또는 홀수개군의 패턴중의 1개를 선택한다.

또, 복수의 패턴으로 이루는 짝수개군의 패턴중의 1개의 선택은 삽입하는 패턴 직후에 0이 4개 연속하고 있을 때는 0000100001인 패턴을 선택하고 직전에 0이 4개 연속하고 있을 때는 1000010000인 패턴을 선택하고 그 이외인 때는 0000000000인 패턴을 선택한다.

또, 예컨대 RLL(2, 7) 변조에선 패턴 발생 회로(12)는 $6(=2 \times (2+1))$ 비트로 이루는 패턴이며 001001, 100100 및 010010인 3종류의 패턴을 짝수개군의 패턴으로 하고 100000, 010000, 001000, 000100, 000010 및 000001인 6종류의 패턴을 홀수개군의 패턴으로 하는 동시에 짝수개군의 패턴중의 1개의 선택은 삽입하는 패턴의 직전의 패턴이 1인때는 001001인 패턴을 선택하고 직후의 패턴이 1인때는 100100인 패턴을 선택하고 그 이외인 때는 010010인 패턴을 선택한다. 또한, 홀수개군의 패턴으로부터의 선택에 대해선 아무런 제약이 없다.

한편, 타이밍 관리 회로(15)는 부호 계열 A에 T_{dc} 비트로 되는 패턴이 소정 간격 T_{code} 비트로 삽입되듯이 패턴 발생 회로(12) 및 패턴 삽입 회로(13)를 제어한다. 예컨대 소정 간격 T_{code} 비트가 변조 부호의 지역 컷트 주파수에 반비례한 값이 되게 제어한다. 구체적으로는 지역 컷오프 주파수를 f_0 로 하면 이 지역 컷오프 주파수 f_c 와 소정간격 T_{code} 비트는 하기식 3에 나타내는 반비례의 관계를 가지며 타이밍 관리 회로(15)는 이 식3에 의거해서 얻어지는 소정 간격 T_{code} 비트에 의거해서 패턴 발생 회로(12) 및 패턴 삽입 회로(13)를 제어한다.

$$f_c = K / (T_{code} + T_{dc}) \quad \dots \dots \text{식 3}$$

또한, 계수 k 의 값은 부호측에 의거한 값이며 예컨대, 상술의 (4, 22; 2, 5; 5) 부호에선 $K=0.08$ 이며 예컨대 RLL(2, 7) 변조에선 $K=0.5$ 이다. 여기에서 $(T_{code} + T_{dc})$ 비트를 파라미터로 한 (4, 22; 2, 5; 5) 부호에서의 지역 특성을 제3도에 도시하고 RLL(2, 7) 변조에서의 지역 특성을 제4도에 도시한다. 즉, 이들 제3, 4도에 도시하듯이 지역 억압 특성을 요구하는 전송계에 대해선 소정간격 T_{code} 비트를 작게 하고 지역 억압 특성을 그렇게 요구하지 않는 전송계에 대해서는 소정 간격 T_{code} 비트를 크게 한다.

환언하면 DSV 제어 특성이 전송계에 요구하는 시방에 적합하게 소정 간격 T_{code} 비트의 값을 결정할 수 있으며 리이던던시의 증가를 필요 최소한으로 억제할 수 있다.

이같이 해서 패턴 발생회로(12)에서 발생된 패턴은 상술같이 패턴 삽입회로(13)에 공급되고 패턴 삽입회로(13)에서 부호 계열 A에 삽입된다. 이 결과, 변조 회로(14)부터는 DSV의 절대값을 작게 하는 DSV 제어된 즉, 직류 성분이나 저역성분이 억압(또는 컷)된 변조 부호가 출력된다.

다음에 본 발명을 적용한 복조 장치의 1실시에에 대해서 설명한다.

이 복조 장치는 예컨대 제5도에 도시하듯이 변조신호를 NRZI 복조하고 패턴이 삽입된 상기 부호 계열 B를 재생하는 복조 회로(21)와 그 복조 회로(21)부터의 부호 계열 B부터 패턴을 제거하고 상기 부호 계열 A를 재생하는 패턴 제거회로(22)와 그 패턴 제거 회로(22)로부터의 부호 계열 A를 복호화하고 원 데이터 계열을 재생하는 복호화 회로(23)와 동기 신호를 검출하는 SYNC 검출 회로(24)와 그 SYNC 검출 회로(24)에서 검출된 동기 신호에 의거해서 상기 패턴 제거 회로(22)등을 제어하는 타이밍 관리 회로(25)를 구비한다.

그리고, 복조회로(21)에는 수신 신호 또는 재생 신호에 소위 등화처리, 2값화 처리등을 실시하고 얻어지는 변조 부호가 공급되고 이 복조 회로(21)는 변조 부호를 NRZI 복조하고 상술한 변조장치의 패턴 삽입 회로(13)의 출력에 대응하는 패턴이 삽입된 부호 계열 B를 재생하고 이 부호 계열 B를 패턴 제거회로(22) 및 SYNC 검출회로(24)에 공급한다. 즉, 상술같이 변조장치에서 변조 부호에 직류 성분이나 저역 성분이 포함되지 않게 DSV 제어하고 있으므로 종래의 기술에서 말한 직류성분에 기인한 어려움이 없는 변조 부호가 이 복조 회로(21)에 공급되며 어려가 없는 부호 계열 B를 재생할 수 있다.

SYNC 검출 회로(24)는 동기 신호를 검출하고 타이밍 관리 회로(25)는 이 검출된 동기 신호에 의거해서 예컨대 재생 클럭을 카운트하고 패턴이 삽입되어 있는 위치를 검출하고 검출 결과에 의거해서 패턴 제거 회로(22)를 제어한다.

패턴 제거 회로(22)는 타이밍 관리 회로(25)의 제어하에 T_{dc} 비트로 이루는 패턴의 소정간격 T_{code} 비트로 삽입된 부호계열 B부터 패턴을 제거하고 부호 계열 A를 재생한다. 그런데, 상술같이 변조 장치에서 패턴은 소정간격 T_{code} 비트로 삽입되어 있으므로 간단하게 제거할 수 있다.

부호화 회로(23)는 패턴 제거 회로(22)부터 공급되는 부호 계열 A를 송신(또는 기록)시의 부호측에 대해서 복호화하고 원 데이터를 재생하고 이 데이터를 출력한다.

이러므로 본 실시예에선 부호 계열 A에 소정의 길이인 T_{dc} 비트의 패턴을 소정간격 T_{code} 비트로 삽입한 후, NRZI 변조하고 DSV 제어된 변조 부호를 출력함으로써 삽입한 패턴의 1의 수에 의거해서 변조 부호의

DSV를 제어할 수 있다.

또, (d, k) 부호 계열 A에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정간격 T_{code} 비트로 삽입한 후, NRZI 변조하고 DSV 제어된 변조 부호를 출력하므로써 삽입한 패턴의 1의 수에 의거해서 변조 부호의 DSV를 제어할 수 있음과 더불어 패턴이 삽입된 부호 계열 B이 부호측을 만족한 상태에서 패턴의 길이를 최소로 할 수 있고 리이던던시의 증가를 적게할 수 있다.

또, 소정간격 T_{code} 비트를 변조 부호의 저감 컷오프 주파수 f_c 에 반비례한 값으로 함으로서 전송계가 요구하는 시방에 DSV 제어 특성을 적합시킬 수 있다. 즉, 리이던던시의 증가를 필요 최소한으로 억지할 수 있다. 환언하면 부호 설계상의 DSV에 관한 제약 항목이 없어지고 최적 이하 적용범위가 넓은 부호를 용이하게 설계할 수 있다.

또, 삽입하는 패턴을 1의 수가 0, 1, 2인 3종류의 패턴으로 함으로서 리이던던시의 증가를 필요 최소한으로 억제할 수 있다.

또, 이번에 삽입하는 패턴 b_1 이전의 DSV의 이번에 삽입하는 패턴(b_1)과 다음에 삽입하는 패턴(b_2)간의 부호계열(a_2)의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택해서 삽입함으로서 짧은 패턴으로 DSV를 크게 변화시킬 수 있다.

또, 변조 부호를 NRZI 복조하고 패턴이 삽입된 부호계열 B를 재생하고 패턴이 삽입된 부호 계열 B부터 패턴을 제거하고 원 부호계열 A를 재생함으로서 직류 성분에 기인한 에러등이 없는 재생을 행할 수 있다.

그런데, 상술같이(d, k) 부호 계열을 NRZI 변조하고 예컨대 광 디스크 등에 기록하는 경우, 이 기록파형열의 소위 최소 반전 간격을 T_{min} 로 하고 최대 반전 간격을 T_{max} 로 하면 기록 밀도의 관점에서는 최소 반전 간격 T_{min} 이 긴, 즉 최소런 d이 큰 쪽이 좋으며 또, 클럭의 재생이나 소위 jitter의 면에서 최대 반전 간격 T_{max} 이 짧은 즉, 최대 런(K)이 작은 쪽이 바람직하다.

예컨대, 상술한 EFM은 (2, 10; 8, 17; 1) 부호이며 기록 파형열의 비트 간격을(T)로 하면 그 최소 반전 간격 T_{min} 은 (3T)이며 최대 반전 간격 T_{max} 은 (11T)이다. 또, 예컨대 상술한 (4, 22; 2, 5; 5) 부호에선 최소 반전 간격 T_{min} 은 (5T)이며 최대 반전 간격 T_{max} 은 (23T)이다. 즉, (4, 22; 2, 5; 5) 부호는 EFM에 대해서 최소 반전 간격 T_{min} 을 확대하고 고밀도화를 도모하고 있는데 그 최대 반전 간격(T_{max})은 길어지고 있다. 그래서, 예컨대 하기 표 3, 4에 나타내듯이 마찬가지로의 최소 반전 간격 T_{min} 을 가지며, 최대 반전 간격 T_{max} 를 각각(19, 20)으로 한 (4, 18; 2, 5; 6) 부호, (4, 1a; 2, 5; 5) 부호가 생각되고 있다.

[표 4]

데이터어	부호어
i=1	11 10 01
i=2	0011 0010 1011
i=3	000111 000110 000101 000100 000011
i=4	00001011 00001010 00001001 00001000 00000111 00000110 00000101 00000100

[표 5]

데이터어		부호어					
i=5	0000001111	01000	00000	00000	00010	00000	
	0000001110	01000	00000	00000	00001	00000	
	0000001101	00100	00000	00000	00010	00000	
	0000001100	00100	00000	00000	00001	00000	
	0000001011	00010	00010	00010	00010	00000	
	0000001010	00010	00010	00010	00001	00000	
	0000001001	00010	00010	00001	00001	00000	
	0000001000	00010	00001	00001	00001	00000	
	0000000111	00001	00001	00001	00001	00000	
	0000000110	00000	00010	00010	00010	00000	
	0000000101	00000	00010	00010	00001	00000	
	0000000100	00000	00010	00001	00001	00000	
	0000000011	00000	00001	00001	00001	00000	
	0000000010	00000	00000	00100	00010	00000	
	0000000001	00000	00000	00100	00001	00000	
i=6	000000000011	00010	00010	00010	00010	00001	00000
	000000000010	00010	00010	00010	00010	00001	00000
	000000000001	00010	00010	00010	00001	00001	00000
	000000000000	00010	00010	00001	00001	00001	00000
		ASync	18T 17T 14bit				
		BSync	18T 19T 13bit				

[표 6]

데이터어	부호어
i=1 11 10 01	10000 01000 00*00
i=2 0011 0010 1011	00010 00000 00001 00000 00000 00*00
i=3 000111 000110 000101 000100 000011	00010 00010 00000 00010 00001 00000 00001 00001 00000 00000 00010 00000 00000 00001 00000
i=4 00001011 00001010 00001001 00001000 00000111 00000110 00000101 00000100 00000011	00010 00010 00010 00000 00010 00010 00001 00000 00010 00001 00001 00000 00001 00001 00001 00000 00000 00010 00010 00000 00000 00010 00001 00000 00000 00001 00001 00000 00000 00000 00100 00*00 00000 00000 00010 000*0
i=5 0000001101 0000001010 0000001001 0000001000 0000000111 0000000110 0000000101 0000000100 0000000011 0000000010 0000000001 0000000000	00010 00010 00010 00010 00000 00010 00010 00010 00001 00000 00010 00010 00001 00001 00000 00010 00001 00001 00001 00000 00001 00001 00001 00001 00000 00000 00010 00010 00010 00000 00000 00010 00001 00001 00000 00000 00010 00001 00001 00000 00000 00001 00001 00001 00000 00000 00000 00100 00010 00000 00000 00000 00100 00001 00000 00000 00000 00010 00001 00000
	ASYNC 20T 19T 11bit BSYNC 19T 18T 13bit

또한, 이것들의 표3, 4에서 *로 나타내는 비트는 그것에 연속하는 0의 수에 의해서 결정되는 불확정 비트를 나타낸다.

이것들의 (4, 18; 2, 5; 6) 부호, (4, 19; 2, 5; 5) 부호에선 (4, 22; 2, 5; 5) 부호에 대한 상술한 실시예를 그대로 적용하면 패턴을 삽입하는 위치에 따라선 최대 런 k(최대 반전 간격 T_{max})에 대한 부호측을 만족하지 않을 때가 있다. 예컨대 (4, 18; 2, 5; 6) 부호에서 데이터가 0011 00000100 인 때는 부호 계열 A은 00010000000000000000000000000000*00로 되며 이 부호 계열 A의 하위 10비트째와 11비트째의 간에 이후의 논리를 반전하기 위해서 상술한 홀수개군의 패턴인 0000100000을 삽입하면 최대 반전 간격 T_{max} (21T)로 되며 부호측을 만족하지 않는다. 여기에서 (4, 18; 2, 5; 6) 부호, (4, 19; 2, 5; 5) 부호등에 대해서도 공통으로 쓸 수 있는 알고리즘에 대해서 설명한다.

이것들의 (4, 18; 2, 5; 6) 부호, (4, 19; 2, 5; 5) 부호등에 대해서도 삽입된 패턴 이후의 논리를 반전시키지 않는 1의 수가 0개 또는 2개의 홀수개군 패턴(이하, 비반전 패턴이라 한다)과의 1의 수가 0, 1, 2인 3종류의 패턴을 사용하는 것은 상술의 실시예와 마찬가지로인데 그 패턴을 패턴이 삽입되기 전후의 (d+1) 비트에 의거해서 결정토록 하고 있다.

상술한 패턴 발생 회로(12)는 예컨대 제6도에 도시하듯이 DSV의 값을 계산하는 DSV 계산회로(12a)와 패턴이 삽입되는 전후의 (d+1) 비트를 기억하는 직전 전후 비트 처리 회로(12b)와 그 DSV 계산 회로(12a)부터 공급되는 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 가산값의 절대값이 작아지게 상기 직전 직후 비트 처리 회로(12b)에 기억되어 있는 전후의 (d+1) 비트에 의거해서 패턴을 결정하는 패턴 결정회로(12c)로 구성된다.

그리고, 패턴 결정 회로(12c)는 예컨대 하기 표 5, 6에 나타내듯이 패턴이 삽입되기 직전의 (d+1) 비트에 1이 포함되지 않으며 직후의 (d+1) 비트에 1이 포함될 때는 직후의 (d+1) 비트를 써서 패턴을 결정하고 직전의 (d+1) 비트에 1이 포함되며 직후의 (d+1) 비트에 1이 포함되지 않을 때는 직전의 (d+1) 비트를 써

서 패턴을 결정한다.

[표 7]

직전의 (d+1)bit	직후의 (d+1)bit	패턴의 상위 (d+1)bit	패턴의 하위 (d+1)bit
모두 0	모두 0	모두 0	제 (d+1)bit를 1
모두 0	1이 있다	직후의 (d+1)bit	모두 0
1이 있다	모두 0	모두 0	직전의 (d+1)bit
1이 있다	1이 있다	모두 0	제 (d+1)bit를 1

[표 8]

직전의 (d+1)bit	직후의 (d+1)bit	패턴의 상위 (d+1)bit	패턴의 하위 (d+1)bit
모두 0	모두 0	d를 만족하고, 1을 2개 포함한다	
모두 0	1이 있다	직전의 (d+1)bit	직후의 (d+1)bit
1이 있다	모두 0	직전의 (d+1)bit	직후의 (d+1)bit
1이 있다	1이 있다	직전의 (d+1)bit	직후의 (d+1)bit

구체적으로는 상술의 표 5, 6에 나타내듯이 패턴이 삽입되는 직전 및 직후의 (d+1) 비트에 1이 포함되지 않을 때는 패턴을 최하위 비트를 제1비트로 했을때의 제 d+1 비트만을 1로 한 제1의 반전패턴, 또는 1을 2개 포함하는 동시에 (d, k) 부호의 부호측을 만족하는 제1의 비반전 패턴으로 하고 직전의 (d+1) 비트에 1이 포함되지 않으며 직후의 (d+1)비트에 1이 포함될때는 패턴을 그 상위 (d+1) 비트가 직후의 (d+1) 비트이며 하위 (d+1) 비트가 모두 0인 제2의 반전 패턴 또는 직후의 (d+1) 비트가 연속한 제2의 비반전 패턴으로 하고 직전의 (d+1) 비트에 1이 포함되고 직후의 (d+1) 비트에 1이 포함되지 않을 때는 패턴을 그 상위 (d+1) 비트가 모두 0이며 하위 (d+1) 비트가 직전의 (d+1) 비트인 제3의 반전 패턴, 또는 직전의 (d+1) 비트가 연속한 제3의 비반전 패턴으로하고 직전 및 직후의 (d+1) 비트에 각각 1이 포함될때는 패턴을 제1의 반전 패턴, 또는 모두가 0인 제4의 비반전 패턴으로 한다.

직전의 5비트에 1이 포함되지 않고 직후의 5비트에 1이 포함될때는 패턴을 그 상위 5비트가 직후의 5비트이며 하위 5비트가 00000인 제2의 반전 패턴, 또는 직후의 5비트가 연속한 제2의 비반전 패턴으로 한다.

직전의 5비트에 1이 포함되고 직후의 5비트에 1이 포함되지 않을 때는 패턴을 그 상위 5비트가 00000이며 하위 5비트가 직전의 5비트인 제3의 반전 패턴 또는 직전의 5비트가 연속한 제3의 비반전 패턴으로 한다.

직전 및 직후의 5비트에 각각 1이 포함될때는 패턴을 0000010000인 제1의 반전 패턴, 또는 직전의 5비트와 직후의 5비트는 연속한 제4의 비반전 패턴으로 한다. 또한, 이 제4의 비반전 패턴으로선 하기식 4에 나타내는 조건이 성립할때는 0000000000의 패턴으로 해도 된다.

$$2(2d+1) \leq k \dots \text{식 4}$$

또한, 하기식 5에 나타내는 조건이 성립할 때는 이 제4의 비반전 패턴을 패턴이 삽입되는 전후의 하기식 6, 7에 나타내는 x비트에 의거해서 결정해도 된다.

$$2d < k < 2(2d+1) \dots \text{식 5}$$

d가 짝수인 때

$$x=d/2 \dots \text{식 6}$$

d가 홀수인 때

$$x=(2d+1)/2 \dots \text{식 7}$$

구체적으로는 예컨대 하기 표7에 나타내듯이 패턴이 삽입되는 직전 및 직후의 x비트에 1이 포함되지 않을 때는 제4의 비반전 패턴을 그 상위(d+1) 비트의 좌(MSB 측)부터 (x+1) 비트째를 1로 하는 동시에 하위 (d+1) 비트의 좌로부터 (x+1) 비트째를 1로 한다. 예컨대, 상술의 d=4이며 직전 및 직후의 2(=4/2) 비트가 더불어 00인 때는 제4의 비반전 패턴을 00100000100로 한다.

[표 9]

직전의 x bit	직후의 x bit	패턴의 상위 (d+1) bit	패턴의 하위 (d+1) bit
모두 0	모두 0	좌로부터(x+1)bit 째를 1	좌로부터(x+1)bit 째를 1
모두 0	좌부터 ybit 째가 1	좌부터 ybit째를 1	좌부터 ybit째를 1
우부터 zbit 째가 1	모두 0	우부터 zbit째를 1	우부터 zbit째를 1

직전의 x비트에 1이 포함되지 않으며 직후의 x비트중의 좌로부터 y비트째가 1인 때는 제4의 비반전 패턴을 그 상위(d+1) 비트의 좌로부터 y비트째를 1로 하고 하위(d+1) 비트의 좌로부터 y비트째를 1로 한다. 예컨대 직전의 2비트가 00이고 직후의 2비트가 01인 때는 y는 2로 되며, 제4의 비반전 패턴을 0100001000로 한다. 또, 예컨대 직전의 2비트가 00이고 직후의 2비트가 10인 때는 y는 1로 되며 제4의 비반전 패턴을 1000010000로 한다.

직전의 x비트중의 우(LSB측)부터 z비트째가 1이고, 직후의 x비트에 1이 포함되지 않을 때는 제4의 비반전 패턴을 그 상위 d+1비트의 우부터 z째를 1로 하고, 하위 d+1 비트의 우부터 z비트째를 1로 한다. 예컨대, 직전의 2비트가 01이고 직후의 2비트가 00인 때는 z는 1로 되며 제4의 비반전 패턴을 0000100001로 한다. 또, 예컨대 직전의 2비트가 10이고 직후의 2비트가 00인 때는 z는 2로 되고 제4의 비반전 패턴을 0001000010로 한다.

여기에서 상술한 알고리즘 RLL(2, 7) 변조에 적용한 구체예에 대해서 설명한다.

패턴이 삽입되는 직전 및 직후의 3(=2+1) 비트가 000인 (1이 포함되지 않는다) 때는 패턴을 2 LSB를 제1비트로 했을 때의 제3(=2+1) 비트만을 1로 한 000100인 제1의 반전 패턴, 또는 예컨대 010010, 100100, 001001등의 1을 2개 포함하는 동시에 d=2를 만족하는 제1의 비반전 패턴으로 한다.

직전의 3비트에 1이 포함되지 않고 직후의 3비트에 1이 포함될 때는 패턴을 그 상위 3비트가 직후의 3비트이며 하위 3비트가 000인 제2의 반전 패턴 또는 직후의 3비트가 연속한 제2의 비반전 패턴으로 한다.

직전의 3비트에 1이 포함되고 직후의 3비트에 1이 포함되지 않을 때는 패턴을 2상위 3비트가 000이고 하위 2비트가 직전의 3비트인 제3의 반전 패턴, 또는 직전의 3비트가 연속한 제3의 비반전 패턴으로 한다.

직전 및 직후의 3비트에 각각 1이 포함될 때는 패턴을 00100인 제1의 반전 패턴, 또는 직전의 3비트와 직후의 3비트는 연속한 제4의 비반전 패턴으로 한다.

또한, 이 RLL(2, 7) 변조에선 상기 식 4에 나타내는 조건이 성립되지 않으므로 000000의 패턴은 사용할 수 없다.

한편, 상기 식5에 나타내는 조건부가 성립되는 것에서 제4의 비반전 패턴을 패턴이 삽입되는 전후의 1(=2/2) 비트의 의거해서 결정해도 된다. 즉, 직전 및 직후의 1비트가 더불어 0인 때는 제4의 비반전 패턴을 010010으로 한다.

직전의 1비트가 0이고 직후의 1비트가 1인 때는 y는 1로 되면 제4의 비반전 패턴을 100100로 한다.

예컨대, 직전의 1비트가 1이고 직후의 1비트가 0인 때는 z는 1로 되고 제4의 비반전 패턴을 001001로 한다.

그리고, 패턴 결정회로(12c)는 이번에 삽입하는 패턴(b2) 이전의 DSV와 이번에 삽입하는 패턴(b1)과 다음에 삽입하는 패턴(b2)간의 부호계열의 DSV를 가산하고 가산값의 절대값이 작아지게 상술같이 결정한 반전 패턴과 비반전 패턴으로부터 1개 패턴을 선택하고 패턴 삽입 회로(13)에 공급한다. 패턴 삽입회로(13)는 이 패턴을 부호 계열 A에 소정 간격 T_{code} 비트로 삽입한다. 그런데, 소정 간격 T_{code} 비트는 임의의 값이어도 되며 예컨대 320T(또는 채널 비트)이다.

그래서, (d, k) 부호 계열에 2(d+1) 비트의 길이를 갖는 패턴을 소정 간격 T_{code} 비트로 삽입하고 패턴이 삽입된 부호 계열 B를 NRIZ 변조하고 DSV 제어된 변조 부호를 출력할 때, 패턴이 삽입되기 전후의 (d+1) 비트에 의거해서 패턴을 결정하므로써 부호측을 만족한 상태에서 DSV의 제어를 행할 수 있다. 또, 전후의 d+1 비트를 사용함으로써 최소 반전 간격 T_{min} 을 길게 할 수 있고, 예컨대, 기록매체의 기록밀도를 높힐 수 있다.

또한, 본 발명은 상술의 실시예에 한정되는 것은 아니며 예컨대, 소위 동기 신호 등에서도 적용할 수 있다. 구체적으로는 예컨대(4, 22; 2, 5; 5) 부호에선 상기 표2에 나타내듯이 50비트로 이루어 23T, 21T, 6T의 간격으로 3회의 반전이 생기는 동기 신호(ASYNC)와, 21T, 23T, 6T의 간격으로 3회의 반전이 생기는 동기 신호(BSYNC)와의 2종류의 동기 신호가 쓰인다. 또, 예컨대(4, 18; 2, 5; 6) 부호에선 상기 표3에 나타내듯이 50비트로 이루어 4회의 반전이 생기는 19T, 17T, 14 bit로 이루는 동기 신호(ASYNC)와 18T, 19T, 14bit로 이루는 동기 신호(BSYNC)와의 2종류의 동기신호가 쓰이며 또, 예컨대 (4, 19; 2, 5; 5) 부호에선 상기 표4에 나타내듯이 50비트로 이루어 4회의 반전이 생기는 20T, 19T, 11bit로 되는 동기 신호(ASYNC)와, 19T, 18T, 13bit로 되는 동기 신호(BSYNC)와의 2종류의 동기 신호가 쓰인다. 그리고, 이들 동기 신호에 상술한 알고리즘을 따라서 패턴을 삽입하고 DSV 제어를 행한다.

[발명의 효과]

이상의 설명으로 분명하듯이 본 발명에선 부호 계열에 소정의 길이를 갖는 패턴을 소정 간격으로 삽입한 후, NRZI 변조하고 DSV 제어된 변조 부호를 출력함으로써 삽입한 패턴의 1의 수에 의거해서 변조부호의 DSV를 제어할 수 있다.

또, (d, k) 부호 계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정 간격으로 삽입한 후, NRZI 변조하고 DSV 제어된 변조 부호를 출력함으로써 삽입한 패턴의 1의 수에 의거해서 변조 부호의 DSV를 제어할 수 있음과 동시에 패턴이 삽입된 부호계열이 부호측을 만족한 상태에서 패턴의 깊이를 최소로 할 수 있고 리이던던시의 증가를 적제할 수 있다.

또, 소정간격을 저역 컷오프 주파수에 반비례한 값으로 함으로서 전송계가 요구하는 시방에 DSV 제어 특성을 적합시킬 수 있다. 즉, 리이던던시의 증가를 필요 최소한으로 억제할 수 있다. 환언하면 부호 설계상의 DSV에 관한 제약 항목이 없어지고 최적이자 적용 범위가 넓은 부호를 용이하게 설계할 수 있다.

또, 패턴을 1의 수가 0, 1, 2인 3종류의 패턴으로 함으로서 리이던던시의 증가를 필요 최소한으로 누를 수 있다.

또, 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호계열의 DSV를 가산하고 가산값의 절대값이 작아지게 3종류의 패턴중의 1개를 선택해서 삽입함으로써 짧은 패턴으로 DSV를 크게 변화시킬 수 있다.

또, 변조부호를 NRZI 복조하고 패턴이 삽입된 부호 계열을 재생하고 패턴이 삽입된 부호계열로부터 패턴을 제거하고 원 부호계열을 재생함으로써 직류 성분에 기인한 어려움이 없는 재생을 행할 수 있다. 또, (d, k) 부호계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정간격으로 삽입하고 패턴이 삽입된 (d, k) 부호계열을 NRZI 변조하고 DSV 제어된 변조부호를 출력할 때, 패턴이 삽입되는 전후의 $(d+1)$ 비트에 의거해서 패턴을 결정함으로써 부호측을 만족한 상태에서 DSV의 제어를 행할 수 있다. 또, 전후의 $(d+1)$ 비트를 사용함으로써 최소 반전 간격 T_{min} 을 길게 할 수 있고, 예컨대, 기록매체의 기록밀도를 높일 수 있다.

(57) 청구의 범위

청구항 1

(정정)부호계열에 소정 길이의 패턴을 소정간격으로 삽입하고, 상기 패턴이 삽입된 부호계열을 NRZI 변조하고 DSV 제어된 변조 부호를 출력하는 것을 특징으로 하는 변조 방법.

청구항 2

(정정) (d, k) 부호계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정 간격으로 삽입하고, 상기 패턴이 삽입된 (d, k) 부호계열을 NRZI 변조하고 DSV 제어된 변조 부호를 출력하는 것을 특징으로 하는 변조 방법.

청구항 3

제1항에 있어서, 상기 소정 간격이 상기 변조 부호의 저역 컷오프 주파수에 반비례한 값인 것을 특징으로 하는 변조 방법.

청구항 4

(정정)제1항에 있어서, 상기 패턴이 1의 수가 0, 1, 2인 3종류의 패턴인 것을 특징으로 하는 변조 방법.

청구항 5

제3항에 있어서, 상기 패턴이 1의 수가 0, 1, 2인 3 종류의 패턴인 것을 특징으로 하는 변조 방법.

청구항 6

(정정)제4항에 있어서, 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호계열의 DSV를 가산하고 상기 가산값의 절대값이 작아지게 상기 3종류의 패턴중의 1개를 선택해서 삽입하는 것을 특징으로 하는 변조 방법.

청구항 7

(정정)제5항에 있어서, 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호계열의 DSV를 가산하고 상기 가산값의 절대값이 작아지게 상기 3종류의 패턴중의 1개를 선택해서 삽입하는 것을 특징으로 하는 변조 방법.

청구항 8

(정정)부호 계열에 소정길이의 패턴을 소정간격으로 삽입하는 패턴 삽입 수단과, 상기 패턴 삽입 수단부터의 패턴이 삽입된 부호계열을 NRZI 변조하는 변조 수단을 구비하고, 상기 변조 수단으로부터 DSV 제어된 변조 부호를 출력하는 것을 특징으로 하는 변조 장치.

청구항 9

(d, k) 부호계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정 간격으로 삽입하는 패턴 삽입 수단과, 상기 패턴 삽입 수단부터의 패턴이 삽입된 (d, k) 부호 계열을 NRZI 변조하는 변조 수단을 구비하고, 상기 변조 수단으로부터 DSV 제어된 변조 부호를 출력하는 것을 특징으로 하는 변조 장치.

청구항 10

(정정)제8항에 있어서, 상기 패턴 삽입 수단이 상기 변조 부호의 저역 컷오프 주파수에 반비례한 소정간

격으로 패턴을 삽입하는 것을 특징으로 하는 변조장치.

청구항 11

제8항에 있어서, 상기 패턴 삽입 수단이 1의 수가 0, 1, 2인 3종류의 패턴중의 1개를 선택해서 삽입하는 것을 특징으로 하는 변조 장치.

청구항 12

제10항에 있어서, 상기 패턴 삽입 수단이 1의 수가 0, 1, 2인 3종류의 패턴중의 1개를 선택해서 삽입하는 것을 특징으로 하는 변조 장치.

청구항 13

(정정)제11항에 있어서, 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호계열의 DSV를 가산하고 상기 가산값의 절대값이 작아지게 상기 3종류의 패턴중의 1개를 선택해서 삽입하게 상기 패턴 삽입수단을 제어하는 제어수단을 구비하는 것을 특징으로 하는 변조 장치.

청구항 14

(정정)제12항에 있어서, 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호 계열의 DSV를 가산하고 상기 가산값의 절대값이 작아지게 상기 3종류의 패턴중의 1개를 선택해서 삽입하게 상기 패턴 삽입 수단을 제어하는 제어수단을 구비하는 것을 특징으로 하는 변조 장치.

청구항 15

(정정)소정의 길이의 패턴을 소정간격으로 삽입한 후에 NRZI 변조하고 DSV 제어된 변조 부호가 공급되고, 상기 변조 부호를 NRZI 복조하고 패턴이 삽입된 부호계열을 재생하는 복조수단과, 그 복조 수단으로부터의 패턴이 삽입된 부호계열로부터 패턴을 제거하고 원부호계열을 재생하는 패턴 제거수단을 구비하는 것을 특징으로 하는 복조 장치.

청구항 16

(정정)(d, k) 부호계열에 $2(d+1)$ 비트의 길이를 갖는 패턴을 소정간격으로 삽입하고 상기 패턴이 삽입된 (d, k) 부호계열을 NRZI 변조하고 DSV 제어된 변조 부호를 출력할 때, 상기 패턴이 삽입되는 전후의 (d+1) 비트에 의거해서 상기 패턴을 결정하는 것을 특징으로 하는 변조 방법.

청구항 17

(정정)제16항에 있어서, 상기 패턴이 삽입되는 직전의 (d+1) 비트에 1이 포함되지 않고 직후의 (d+1) 비트에 1이 포함될 때는 상기 직후의 (d+1) 비트를 써서 상기 패턴을 결정하고, 상기 직전의 (d+1) 비트에 1이 포함되고 직후의 (d+1) 비트에 1이 포함되지 않을 때는 상기 직전의 (d+1) 비트를 써서 상기 패턴을 결정하는 것을 특징으로 하는 변조 방법.

청구항 18

(정정)제16항 또는 제17항에 있어서, 상기 패턴이 삽입되는 직전 및 직후의 (d+1) 비트에 1이 포함되지 않을 때는 상기 패턴을, 최하위 비트를 제1비트로 했을 때의 제 d+1 비트만을 1로 한 제1의 반전 패턴, 또는 1을 2개 포함하는 동시에 상기 (d, k) 부호의 부호측을 만족하는 제1의 비반전 패턴으로 하고, 상기 직전의 (d+1) 비트에 1이 포함되고 직후의 (d+1) 비트에 1이 포함되지 않을 때는, 상기 패턴을, 상위 (d+1) 비트가 상기 직후의 (d+1) 비트이고, 하위 (d+1) 비트가 전부 0인 제2반전 패턴, 또는 상기 직후의 (d+1) 비트가 연속한 제2비반전 패턴으로 하고, 상기 직전의 (d+1) 비트에 1이 포함되고 직후의 (d+1) 비트에 1이 포함되지 않을 때는 상기 패턴을 상위 (d+1) 비트가 전부 0이고 하위 (d+1) 비트가 상기 직전의 (d+1) 비트인 제3반전 패턴, 또는 상기 직전 (d+1) 비트가 연속한 제3비반전 패턴으로 하고, 상기 직전 및 직후의 (d+1) 비트에 각각 1이 포함될 때는 상기 패턴을 상기 제1의 반전 패턴, 또는 상기 직전의 (d+1) 비트와 직후의 (d+1) 비트가 연속한 제4의 비반전 패턴인 것을 특징으로 하는 변조 방법.

청구항 19

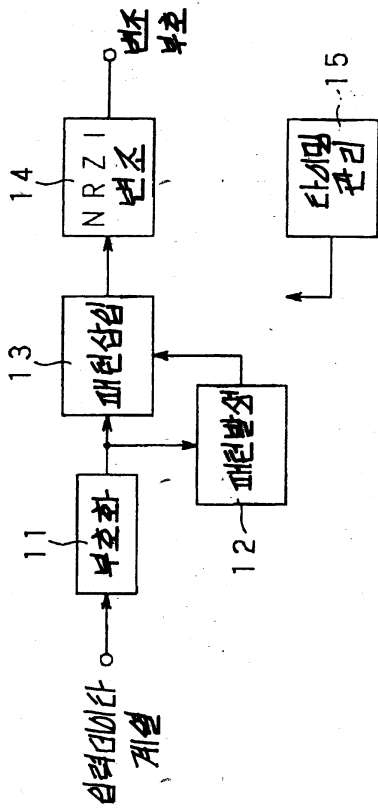
제18항에 있어서, $2d < k < 2(2d+1)$ 가 성립할 때는 상기 제4의 비반전 패턴을 상기 패턴이 삽입되는 전후의 d/2 비트(d는 짝수) 또는 (d+1)/2 비트(d는 홀수)에 의거해서 결정하는 것을 특징으로 하는 변조 방법.

청구항 20

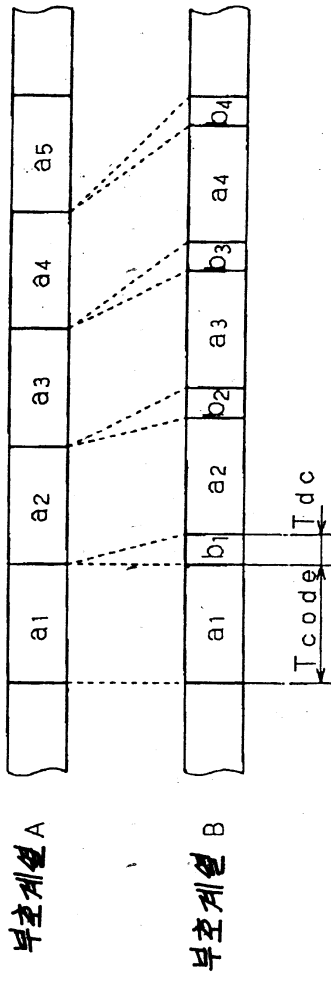
(정정)제18항에 있어서, 이번에 삽입하는 패턴 이전의 DSV와 이번에 삽입하는 패턴과 다음에 삽입하는 패턴간의 부호계열의 DSV를 가산하고 상기 가산값의 절대값이 작아지게 상기 반전 패턴 또는 비반전 패턴을 선택하는 것을 특징으로 하는 변조 방법.

도면

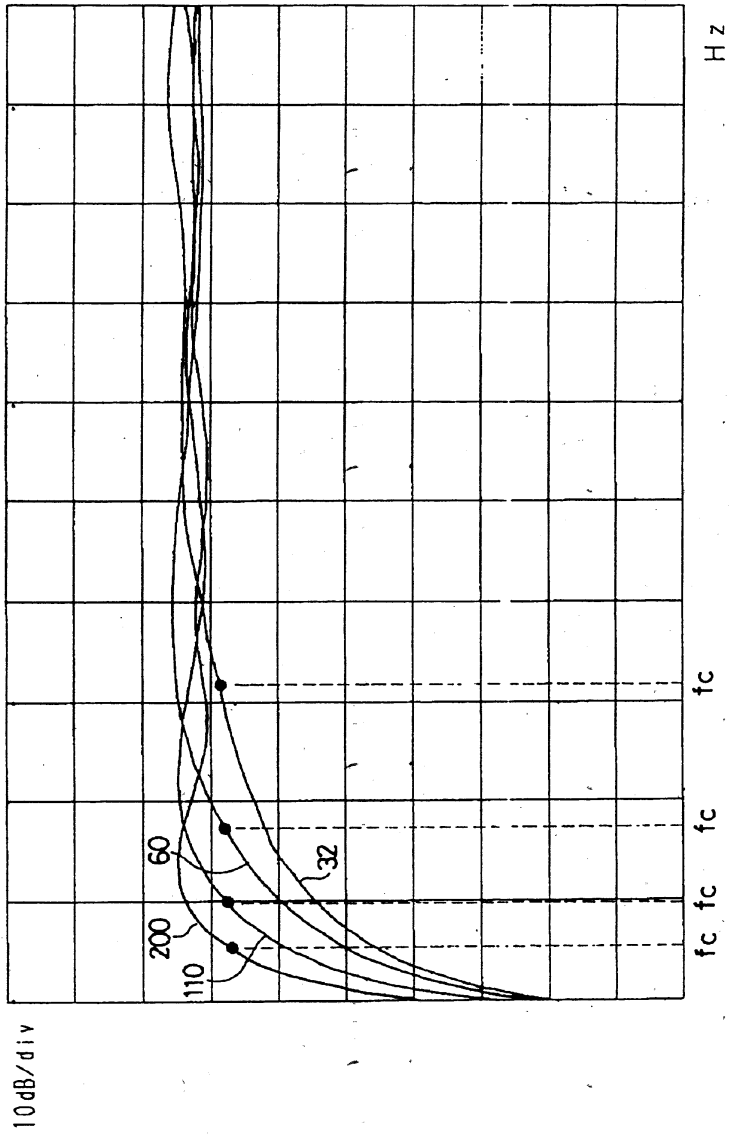
도면1



도면2



도면3



도면6

