



(12) 发明专利

(10) 授权公告号 CN 107845403 B

(45) 授权公告日 2021.04.23

(21) 申请号 201711083507.8

(22) 申请日 2017.11.07

(65) 同一申请的已公布的文献号
申请公布号 CN 107845403 A

(43) 申请公布日 2018.03.27

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 王志冲 郑皓亮 韩承佑 商广良
袁丽君 姚星 韩明夫

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 贾莹

(51) Int.Cl.

G11C 19/28 (2006.01)

G09G 3/20 (2006.01)

(56) 对比文件

CN 107068088 A, 2017.08.18

CN 106297697 A, 2017.01.04

CN 102682699 A, 2012.09.19

EP 3188179 A1, 2017.07.05

EP 3035325 A1, 2016.06.22

审查员 余泽慧

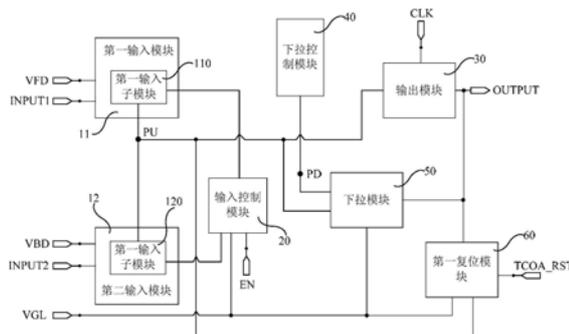
权利要求书3页 说明书13页 附图8页

(54) 发明名称

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

(57) 摘要

本申请实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置,涉及显示技术领域,用于解决移位寄存器单元中部分晶体管长时间处于偏压状态,导致该移位寄存器单元无法输出栅极扫描信号的问题。该移位寄存器单元包括第一输入模块,其包括第一输入子模块;输入控制模块将第一输入子模块与输入控制模块相连接的一端的电位下拉至第一供电电压端的电位;下拉控制模块控制下拉节点的电位;输出模块将时钟信号端的信号输出至信号输出端;下拉模块将上拉节点和信号输出端的电位下拉至第一供电电压端的电位;第二输入模块将第二电压端的电压输出至上拉节点。该移位寄存器单元用于输出栅极扫描信号。



1. 一种移位寄存器单元,其特征在于,包括第一输入模块、输入控制模块、下拉控制模块、下拉模块以及输出模块,第二输入模块;

所述第一输入模块连接第一信号输入端、上拉节点以及第一电压端;所述第一输入模块用于在所述第一信号输入端的控制下,将所述第一电压端的电压输出至所述上拉节点;

所述第一输入模块包括第一输入子模块,所述第一输入子模块连接所述上拉节点和所述输入控制模块;

所述输入控制模块还连接第一供电电压端以及使能信号端;所述输入控制模块用于在所述使能信号端的控制下,将所述第一输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位;

所述下拉控制模块与下拉节点相连接,所述下拉控制模块用于控制所述下拉节点的电位;

所述输出模块与时钟信号端、所述上拉节点以及信号输出端相连接,所述输出模块用于在所述上拉节点的控制下,将所述时钟信号端的信号输出至所述信号输出端;

所述下拉模块与所述上拉节点、所述下拉节点、所述信号输出端以及所述第一供电电压端相连接,所述下拉模块用于在所述下拉节点的控制下,将所述上拉节点和所述信号输出端的电位下拉至所述第一供电电压端的电位;

所述第二输入模块连接第二信号输入端、第二电压端、所述上拉节点;所述第二输入模块用于在所述第二信号输入端的控制下,将所述第二电压端的电压输出至所述上拉节点;

所述输入控制模块包括输入控制晶体管;

所述输入控制晶体管的栅极连接所述使能信号端,第一极连接所述第一供电电压端,第二极与所述第一输入子模块相连接;

所述使能信号端与所述时钟信号端相连接。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第二输入模块包括第二输入子模块;

所述第二输入子模块连接所述输入控制模块和所述上拉节点;所述输入控制模块还用于在所述使能信号端的控制下,将所述第二输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,在所述第二输入模块包括第二输入子模块的情况下;

所述输入控制晶体管的第二极还与所述第二输入子模块相连接。

4. 根据权利要求2所述的移位寄存器单元,其特征在于,

所述输入控制模块包括第一输入控制晶体管和第二输入控制晶体管;

所述第一输入控制晶体管的栅极连接所述使能信号端,第一极连接所述第一供电电压端,第二极与所述第一输入子模块相连接;

所述第二输入控制晶体管的栅极连接所述使能信号端,第一极连接所述第一供电电压端,第二极与所述第二输入子模块相连接。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一输入子模块还连接所述第一信号输入端;

所述第一输入子模块包括第一辅助晶体管;所述第一辅助晶体管的栅极与所述第一信

号输入端相连接,第一极连接上拉节点,第二极与所述输入控制模块相连接。

6. 根据权利要求2所述的移位寄存器单元,其特征在于,所述第二输入子模块还连接所述第二信号输入端;

所述第二输入子模块包括第二辅助晶体管;所述第二辅助晶体管的栅极连接所述第二信号输入端,第一极连接所述上拉节点,第二极与所述输入控制模块相连接。

7. 根据权利要求5所述的移位寄存器单元,其特征在于,所述第一输入模块还包括第一输入晶体管;

所述第一输入晶体管的栅极连接所述第一信号输入端,第一极连接所述第一辅助晶体管的第二极,第二极与所述第一电压端相连接。

8. 根据权利要求6所述的移位寄存器单元,其特征在于,所述第二输入模块还包括第二输入晶体管;

所述第二输入晶体管的栅极连接所述第二信号输入端,第一极连接所述第二辅助晶体管的第二极,第二极与所述第二电压端相连接。

9. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出模块包括驱动晶体管和存储电容;

所述驱动晶体管的栅极连接所述时钟信号端,第一极连接所述信号输出端,第二极与所述时钟信号端相连接;

所述存储电容的一端连接所述驱动晶体管的栅极,另一端连接所述驱动晶体管的第一极。

10. 根据权利要求1所述的移位寄存器单元,其特征在于,所述下拉控制模块还连接第三供电电压端、所述第一供电电压端以及所述上拉节点;

所述下拉控制模块包括第一晶体管和第二晶体管;

所述第一晶体管的栅极和第二极连接所述第三供电电压端,第一极与所述下拉节点相连接;

所述第二晶体管的栅极连接所述上拉节点,第一极连接所述下拉节点,第二极与所述第一供电电压端相连接;

其中,所述第二晶体管的宽长比大于所述第一晶体管的宽长比。

11. 根据权利要求1所述的移位寄存器单元,其特征在于,所述下拉模块包括第三晶体管和第四晶体管;

所述第三晶体管的栅极连接所述下拉节点,第一极连接所述上拉节点,第二极与所述第一供电电压端相连接;

所述第四晶体管的栅极连接所述下拉节点,第一极连接所述信号输出端,第二极与所述第一供电电压端相连接。

12. 根据权利要求1所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括第一复位模块;

所述第一复位模块连接第一复位信号端,所述上拉节点、所述信号输出端以及所述第一供电电压端;所述第一复位模块用于在所述第一复位信号端的控制下,将所述上拉节点和所述信号输出端的电位下拉至所述第一供电电压端的电位;

所述第一复位模块包括第五晶体管和第六晶体管;

所述第五晶体管的栅极连接所述第一复位信号端,第一极连接所述上拉节点,第二极与所述第一供电电压端相连接;

所述第六晶体管的栅极连接所述第一复位信号端,第一极连接所述信号输出端,第二极与所述第一供电电压端相连接。

13. 一种栅极驱动电路,其特征在于,包括多个级联的如权利要求1-12任一项所述的移位寄存器单元;

第一级移位寄存器单元的第一信号输入端连接第一扫描控制端;

除了所述第一级移位寄存器单元以外,上一级移位寄存器单元的信号输出端连接下一级移位寄存器单元的第一信号输入端;

除了最后一级移位寄存器单元以外,下一级移位寄存器单元的信号输出端连接上一级移位寄存器单元的第二信号输入端;

所述最后一级移位寄存器单元的第二信号输入端连接第二扫描控制端。

14. 一种显示装置,其特征在于,包括如权利要求13所述的栅极驱动电路。

15. 一种用于驱动如权利要求1-12任一项所述的移位寄存器单元的方法,其特征在于,一图像帧内所述方法包括:

在第一阶段,第一输入模块在第一信号输入端的控制下,将第一电压端的电压输出至上拉节点;

在第二阶段,输出模块在所述上拉节点的控制下,将时钟信号端的信号输出至信号输出端;所述输入控制模块在所述时钟信号端的控制下,将该所述第一输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位;

在第三阶段,所述第二输入模块在第二信号输入端的控制下,将第二电压端的电压输出至上拉节点;

下拉控制模块对下拉节点的电位进行控制,下拉模块在所述下拉节点的控制下,将所述上拉节点和所述信号输出端的电位下拉至第一供电电压端的电位;

在所述第二阶段至下一图像帧开始之前的至少一个时间段,输入控制模块在使能信号端的控制下,将该所述第一输入模块中第一输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位。

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。

背景技术

[0002] TFT-LCD(Thin Film Transistor Liquid Crystal Display,薄膜晶体管-液晶显示装置)或,OLED(Organic Light Emitting Diode,有机发光二极管)显示装置具有低辐射、体积小及低耗能等优点,被广泛地应用在笔记本电脑、平面电视或移动电话等电子产品中。

[0003] 现有技术中,通常在上述显示装置的非显示区设置有GOA(Gate Driver on Array,阵列基板行驱动)电路,用于对栅线进行逐行扫描。该GOA电路中的移位寄存器单元可以向显示装置显示区域的一条栅线输出栅极扫描信号。当该移位寄存器单元中的部分开关晶体管长时间与恒定电压端相连接时,会导致上述开关晶体管长时间处于正向或负向偏压状态,在此情况下,当移位寄存器单元中驱动晶体管的栅极与上述开关晶体管相连接时,会导致驱动晶体管发生异常,从而导致上述栅极扫描信号输出异常。

发明内容

[0004] 本发明的实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置,用于解决移位寄存器单元中部分晶体管长时间处于偏压状态,导致该移位寄存器单元输出的栅极扫描信号出现异常。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 本申请实施例的一方面,提供一种移位寄存器单元,包括第一输入模块、输入控制模块、下拉控制模块、下拉模块以及输出模块,第二输入模块;所述第一输入模块连接第一信号输入端、上拉节点以及第一电压端;所述第一输入模块用于在所述第一信号输入端的控制下,将所述第一电压端的电压输出至所述上拉节点;所述第一输入模块包括第一输入子模块,所述第一输入子模块连接所述上拉节点和所述输入控制模块;所述输入控制模块还连接第一供电电压端以及使能信号端;所述输入控制模块用于在所述使能信号端的控制下,将所述第一输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位;所述下拉控制模块与所述下拉节点相连接,所述下拉控制模块用于控制所述下拉节点的电位;所述输出模块与时钟信号端、所述上拉节点以及信号输出端相连接,所述输出模块用于在所述上拉节点的控制下,将所述时钟信号端的信号输出至所述信号输出端;所述下拉模块与所述上拉节点、所述下拉节点、所述信号输出端以及所述第一供电电压端相连接,所述下拉模块用于在所述下拉节点的控制下,将所述上拉节点和所述信号输出端的电位下拉至所述第一供电电压端的电位;所述第二输入模块连接第二信号输入端、第二电压端、所述上拉节点;所述第二输入模块用于在所述第二信号输入端的控制下,将所述第二电压端的电压输出至所述上拉节点。

[0007] 可选的,所述第二输入模块包括第二输入子模块;所述第二输入子模块连接所述输入控制模块和所述上拉节点;所述输入控制模块还用于在所述使能信号端的控制下,将所述第二输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位。

[0008] 可选的,所述输入控制模块包括输入控制晶体管;所述输入控制晶体管的栅极连接所述使能信号端,第一极连接所述第一供电电压端,第二极与所述第一输入子模块相连接。

[0009] 可选的,在所述第二输入模块包括第二输入子模块的情况下;所述输入控制晶体管的第二极还与所述第二输入子模块相连接。

[0010] 可选的,所述输入控制模块包括第一输入控制晶体管和第二输入控制晶体管;所述第一输入控制晶体管的栅极连接所述使能信号端,第一极连接所述第一供电电压端,第二极与所述第一输入子模块相连接;所述第二输入控制晶体管的栅极连接所述使能信号端,第一极连接所述第一供电电压端,第二极与所述第二输入子模块相连接。

[0011] 可选的,所述使能信号端与所述下拉节点或所述时钟信号端相连接。

[0012] 可选的,所述第一输入子模块还连接所述第一信号输入端;所述第一输入子模块包括第一辅助晶体管;所述第一辅助晶体管的栅极与所述第一信号输入端相连接,第一极连接上拉节点,第二极与所述输入控制模块相连接。

[0013] 可选的,所述第二输入子模块还连接所述第二信号输入端;所述第二输入子模块包括第二辅助晶体管;所述第二辅助晶体管的栅极连接所述第二信号输入端,第一极连接所述上拉节点,第二极与所述输入控制模块相连接。

[0014] 可选的,所述第一输入模块还包括第一输入晶体管;所述第一输入晶体管的栅极连接所述第一信号输入端,第一极连接所述第一辅助晶体管的第二极,第二极与所述第一电压端相连接。

[0015] 可选的,所述第二输入模块还包括第二输入晶体管;所述第二输入晶体管的栅极连接所述第二信号输入端,第一极连接所述第二辅助晶体管的第二极,第二极与所述第二电压端相连接。

[0016] 可选的,所述输出模块包括驱动晶体管和存储电容;所述驱动晶体管的栅极连接所述时钟信号端,第一极连接所述信号输出端,第二极与所述时钟信号端相连接;所述存储电容的一端连接所述驱动晶体管的栅极,另一端连接所述驱动晶体管的第一极。

[0017] 可选的,所述下拉控制模块还连接第三供电电压端、所述第一供电电压端以及所述上拉节点;所述下拉控制模块包括第一晶体管和第二晶体管;所述第一晶体管的栅极和第二极连接所述第三供电电压端,第一极与所述下拉节点相连接;所述第二晶体管的栅极连接所述上拉节点,第一极连接所述下拉节点,第二极与所述第一供电电压端相连接;其中,所述第二晶体管的宽长比大于所述第一晶体管的宽长比。

[0018] 可选的,所述下拉模块包括第三晶体管和第四晶体管;所述第三晶体管的栅极连接所述下拉节点,第一极连接所述上拉节点,第二极与所述第一供电电压端相连接;所述第四晶体管的栅极连接所述下拉节点,第一极连接所述信号输出端,第二极与所述第一供电电压端相连接。

[0019] 可选的,所述移位寄存器单元还包括第一复位模块;所述第一复位模块连接第一

复位信号端,所述上拉节点、所述信号输出端以及所述第一供电电压端;所述第一复位模块用于在所述第一复位信号端的控制下,将所述上拉节点和所述信号输出端的电位下拉至所述第一供电电压端的电位;所述第一复位模块包括第五晶体管和第六晶体管;所述第五晶体管的栅极连接所述第一复位信号端,第一极连接所述上拉节点,第二极与所述第一供电电压端相连接;所述第六晶体管的栅极连接所述第一复位信号端,第一极连接所述信号输出端,第二极与所述第一供电电压端相连接。

[0020] 本申请实施例的另一方面,提供一种栅极驱动电路,包括多个级联的如上所述的任意一种移位寄存器单元;第一级移位寄存器单元的第一信号输入端连接第一扫描控制端;除了所述第一级移位寄存器单元以外,上一级移位寄存器单元的信号输出端连接下一级移位寄存器单元的第一信号输入端;除了最后一级移位寄存器单元以外,下一级移位寄存器单元的信号输出端连接上一级移位寄存器单元的第二信号输入端;所述最后一级移位寄存器单元的第二信号输入端连接第二扫描控制端。

[0021] 本申请实施例的又一方面,提供一种显示装置包括如上所述的栅极驱动电路。

[0022] 本申请实施例的再一方面,提供一种用于驱动如上所述的移位寄存器单元的方法,一图像帧内所述方法包括:在第一阶段,第一输入模块在第一信号输入端的控制下,将第一电压端的电压输出至上拉节点;在第二阶段,输出模块在所述上拉节点的控制下,将时钟信号端的信号输出至信号输出端;在第三阶段,所述第二输入模块在第二信号输入端的控制下,将第二电压端的电压输出至上拉节点;下拉控制模块对下拉节点的电位进行控制,下拉模块在所述下拉节点的控制下,将所述上拉节点和所述信号输出端的电位下拉至第一供电电压端的电位;在所述第二阶段至下一图像帧开始之前的至少一个时间段,输入控制模块在使能信号端的控制下,将该所述第一输入模块中第一输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位。

[0023] 可选的,在所述使能信号端连接所述时钟信号端的情况下,在所述第二阶段,所述方法包括:所述输入控制模块在所述时钟信号端的控制下,将该所述第一输入子模块与所述输入控制模块相连接的一端的电位下拉至所述第一供电电压端的电位。

[0024] 本申请实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。由上述可知,该移位寄存器单元中,虽然上述第一输入模块通过第一电压端与能够输出恒定高电平的第二供电电压端相连接,但是输入控制模块可以将第一输入模块中的第一输入子模块与输入控制模块相连接的一端的电位下拉至第一供电电压端的电位,因此,与上述上拉节点相连接的第一输入子模块中的晶体管不会长时间受到上述第二供电电压端输出的恒定高电平的作用而产生负向偏压。在此情况下,在该移位寄存器单元的输出阶段,输出模块能够正常开启,且保持正常的开启时间,从而将时钟信号端输出的一个脉冲信号作为栅极扫描信号输出至与该移位寄存器单元的信号输出端相连接的栅线上,以对该栅线进行选通。

附图说明

[0025] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以

根据这些附图获得其他的附图。

[0026] 图1为本申请实施例提供的一种移位寄存器单元的结构示意图；

[0027] 图2为基于图1的结构增加了第一复位模块的移位寄存器单元的结构示意图；

[0028] 图3为本申请实施例的移位寄存器单元中的一晶体管的阈值电压发生变化后，上拉节点两种波形图；

[0029] 图4为本申请实施例提供的另一种移位寄存器单元的结构示意图；

[0030] 图5为本申请实施例提供的又一种移位寄存器单元的结构示意图；

[0031] 图6为图2中各个模块的具体结构示意图；

[0032] 图7为图5中各个模块的具体结构示意图；

[0033] 图8为图1中输入模块的一种连接方式示意图；

[0034] 图9为图1中输入模块的一种结构示意图；

[0035] 图10为图1中下拉控制模块的一种结构示意图；

[0036] 图11为用于控制本申请提供的移位寄存器单元的一种时序信号图；

[0037] 图12a为用于控制图7所示的移位寄存器单元的一种时序信号图；

[0038] 图12b为用于控制图8所示的移位寄存器单元的一种时序信号图；

[0039] 图13为本申请提供的一种栅极驱动电路的结构示意图。

[0040] 附图标记：

[0041] 11-第一输入模块；110-第一输入子模块；12-第二输入模块；120-第二输入子模块；20-输入控制模块；30-输出模块；40-下拉控制模块；50-下拉模块；60-第一复位模块。

具体实施方式

[0042] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0043] 以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

[0044] 本申请实施例提供一种移位寄存器单元，如图1所示，包括第一输入模块11、第二输入模块12、输入控制模块20、输出模块30、下拉控制模块40以及下拉模块50。

[0045] 其中，第一输入模块11连接第一信号输入端INPUT1、上拉节点PU以及第一电压端VFD。该第一输入模块11用于在第一信号输入端INPUT1的控制下，将第一电压端VFD的电压输出至上拉节点PU。

[0046] 在此基础上，上述第一输入模块11包括第一输入子模块110，上述第一输入子模块110连接上拉节点PU和输入控制模块20。

[0047] 此外，输入控制模块20还连接第一供电电压端VGL以及使能信号端EN。该输入控制模块20用于在使能信号端EN的控制下，将第一输入子模块110与输入控制模块20相连接的一端的电位下拉至第一供电电压端VGL的电位。

[0048] 其中,上述使能信号端EN可以与下拉节点PD相连接,或者,该使能信号端EN可以与时钟信号端CLK相连接。

[0049] 需要说明的是,本申请中,该第一供电电压端VGL可以输出恒定的低电平或者接地。

[0050] 在此基础上,下拉控制模块40与下拉节点PD相连接,该下拉控制模块40用于控制下拉节点PD的电位。

[0051] 输出模块30与时钟信号端CLK、上拉节点PU以及信号输出端OUTPUT相连接。该输出模块OUTPUT用于在上拉节点PU的控制下,将时钟信号端CLK的信号输出至信号输出端OUTPUT。

[0052] 下拉模块50与上拉节点PU、下拉节点PD、信号输出端OUTPUT以及第一供电电压端VGL相连接。该下拉模块50用于在下拉节点PD的控制下,将上拉节点PU和信号输出端OUTPUT的电位下拉至上述第一供电电压端VGL的电位。

[0053] 第二输入模块12连接第二信号输入端INPUT2、第二电压端VBD、上拉节点PU。该第二输入模块12用于在第二信号输入端INPUT2的控制下,将第二电压端VBD的电压输出至上拉节点PU。

[0054] 需要说明的是,上述第二电压端VBD可以与第一供电电压端VGL相连接,而第二信号输入端INPUT2可以接收一复位信号RST,此时,上述第一供电电压端VGL输出的低电平可以通过第二输入模块12传输至上拉节点PU,以对该上拉节点PU进行复位。

[0055] 在此情况下,上述第二输入模块12可以作为该移位寄存器单元的第二复位模块。其中,一移位寄存器单元的第二信号输入端INPUT2可以与下一级移位寄存器单元的信号输出端OUTPUT相连接,以通过该下一级移位寄存器单元的信号输出端OUTPUT向上一级移位寄存器单元的第二复位模块(即上述第二输入模块12)的第二信号输入端INPUT2提供上述复位信号RST。

[0056] 基于此,为了提高对该移位寄存器单元中上述上拉节点PU和信号输出端OUTPUT的复位效果,可选的,如图2所示,上述移位寄存器单元还包括第一复位模块60。

[0057] 具体的,该第一复位模块60连接第一复位信号端TGOA_RST,上述上拉节点PU、信号输出端OUTPUT以及第一供电电压端VGL。该第一复位模块60用于在第一复位信号端TGOA_RST的控制下,将上拉节点PU和信号输出端OUTPUT的电位下拉至第一供电电压端VGL的电位。其中,在一图像帧扫描后,所有的移位寄存器单元可以通过各自的上述第一复位信号端TGOA_RST同时接收到一复位信号,以同时对其内部的上拉节点PU以及其自身的信号输出端OUTPUT进行复位。

[0058] 在此基础上,上述第一电压端VFD可以与第二供电电压端VGH相连接。其中,上述第二供电电压端VGH用于输出恒定的高电平。在此情况下,在上述第一信号输入端INPUT1的控制下,该第二供电电压端VGH输出的高电平可以通过第一输入模块11传输至上拉节点PU,以对该上拉节点PU进行充电。

[0059] 基于此,以第一电压端VFD连接第二供电电压端VGH,第二电压端VBD连接第一供电电压端VGL为例。虽然上述第一输入模块11通过第一电压端VFD与能够输出恒定高电平的第二供电电压端VGH相连接,但是由上述可知,输入控制模块20可以将第一输入模块11中的第一输入子模块110与输入控制模块20相连接的一端的电位下拉至第一供电电压端VGL的电

位,因此,与上述上拉节点PU相连接的第一输入子模块110中的晶体管不会长时间受到上述第二供电电压端VGH输出的恒定高电平的作用而产生负向偏压。在此情况下,在该移位寄存器单元的输出阶段,输出模块30能够正常开启,且保持正常的开启时间,从而将时钟信号端CLK输出的一个脉冲信号作为栅极扫描信号输出至与该移位寄存器单元的信号输出端OUTPUT相连接的栅线上,以对该栅线进行选通。

[0060] 基于此,当第一电压端VFD连接第二供电电压端VGH,第二电压端VBD连接第一供电电压端VGL,且第二信号输入端INPUT2接收一复位信号为例进行的说明,在此情况下,第一输入模块11用于向上拉节点PU充电,而第二输入模块12用于对上拉节点PU进行复位。此时,下一级移位寄存器单元的信号输出端OUTPUT连接上一级移位寄存器单元的第二信号输入端INPUT2。在此情况下,由上述多个级联的移位寄存器单元构成的栅极驱动电路采用正向扫描的方式,从上至下对显示面板上的栅线逐行进行扫描。

[0061] 当栅极驱动电路采用反向扫描的方式,从下至上对显示面板上的栅线逐行进行扫描时,如图4所示,第一电压端VFD连接第一供电电压端VGL,第二电压端VBD连接第二供电电压端VGH,且第一信号输入端INPUT1接收一复位信号RST。在此情况下,第二输入模块12用于向上拉节点PU充电,而第一输入模块11用于对上拉节点PU进行复位。

[0062] 基于此,当由正向扫描方式切换至反向扫描方式时,虽然与第一输入模块11相连接的第一电压端VFD由第二供电电压端VGH连接至用于输出低电平的第一供电电压端VGL,但是由上述可知,在正向扫描的过程中,在输入控制模块20的作用下,该第一输入模块11的第一输入子模块110中的晶体管不会长时间受到上述第二供电电压端VGH输出的恒定高电平的作用而产生负向偏压,导致阈值电压偏移。因此由正向扫描方式切换至反向扫描方式后,该上拉节点PU不会从与其相连接的第一输入子模块110中的晶体管而漏电至上述第一供电电压端VGL。从而可以避免由于上拉节点PU发生漏电,而使得的反向扫描过程中,上拉节点PU无法保持充电状态,导致与该上拉节点PU相连接的输出模块30无法正常开启,信号输出端OUTPUT无栅极扫描信号输出的现象发生。

[0063] 具体的,正向扫描的过程中,与第一输入模块11相连接第一电压端VFD连接第二供电电压端VGH。在此情况下,如图3所示,如果上述第一输入模块11的第一输入子模块110中的一晶体管M长时间受到第二供电电压端VGH输出的恒定高电平的作用,使其阈值电压 V_{th} 由正常的1V,负向偏移至-5V。当由正向扫描方式切换至反向扫描方式时,上述第一电压端VFD连接第一供电电压端VGL,此时该上拉节点PU会通过上述晶体管M漏电至第一供电电压端VGL,从而导致输出波形出现了异常(图3中的虚线波形)。在此情况下,输出模块30将无法正常开启。而本申请提供的移位寄存器单元,可以通过输入控制模块20减小上述第一输入子模块110中的晶体管的阈值电压发生偏移的几率,从而可以减小上拉节点PU出现漏电的几率,使其能够保持输出正常的波形(图3中的实现波形)。

[0064] 在此基础上,在反向扫描的过程中,同样为了减小上述第二输入模块12中的晶体管的阈值电压发生偏移的几率,以达到在反向扫描方式切换至正向扫描方式后,降低上述上拉节点PU产生漏电几率的目的,可选的,上述第二输入模块12,如图5所示包括第二输入子模块120。

[0065] 具体的,该第二输入子模块120连接输入控制模块20和上拉节点PU。该输入控制模块还用于在使能信号端EN的控制下,将上述第二输入子模块120与该输入控制模块20相连

接的一端的电位下拉至第一供电电压端VGL的电位。

[0066] 在此情况下,反向扫描的过程中,输入控制模块20可以将第二输入子模块120与输入控制模块20相连接的一端的电位下拉至第一供电电压端VGL的电位,因此,与上述上拉节点PU相连接的第二输入子模块120中的晶体管不会长时间受到上述第二供电电压端VGH输出的恒定高电平的作用而产生负向偏压。这样一来,可以减小该第二输入子模块120中的晶体管的阈值电压发生偏移的几率,避免在由反向扫描方式切换至正向扫描方式的情况下,当与第二输入模块12相连接的第二电压端VBD连接第一供电电压端VGL时,上述上拉节点PU漏电至该第一供电电压端VGL。

[0067] 以下对上述输入控制模块20的具体结构进行详细的举例说明。

[0068] 例如,如图6所示,输入控制模块20包括输入控制晶体管Mc。

[0069] 其中,该输入控制晶体管Mc的栅极连接使能信号端EN(其中,该使能信号端EN与下拉节点PD相连接),第一极连接第一供电电压端VGL,第二极与第一输入子模块110相连接。

[0070] 具体的,第一输入子模块110还连接所述第一信号输入端INPUT1。在此情况下,第一输入子模块110包括第一辅助晶体管Ma1。该第一辅助晶体管Ma1的栅极与第一信号输入端INPUT1相连接,第一极连接上拉节点PU,第二极与输入控制模块20相连接。在该输入控制模块20的结构如上所述时,该第一辅助晶体管Ma1的第二极与上述输入控制晶体管Mc的第二极相连接。

[0071] 此外,上述第一输入模块11还包括第一输入晶体管Mb1。其中,该第一输入晶体管Mb1的栅极连接第一信号输入端INPUT1,第一极连接第一辅助晶体管Ma1的第二极,第二极与第一电压端VFD相连接。

[0072] 在此情况下,图6所示的结构只能采用正向扫描的方式,此时将第一电压端VFD与上述第二供电电压端VGH相连接。上述第一输入晶体管Mb1和第一辅助晶体管Ma1串联,虽然第一输入晶体管Mb1会在第二供电电压端VGH长时间输出的高电平的作用下发生负向偏移,但是与上拉节点PU相连接的第一辅助晶体管Ma1的第二极,即节点N1的电位在上述输入控制晶体管Mc的作用下,下拉至第一供电电压端VGL的电位。这样一来,上述第一辅助晶体管Ma1不会长时间连接高电平而处于负向偏压状态,从而可以使得在上拉节点PU充电完成后该第一辅助晶体管Ma1能够及时处于截止状态,以避免移位寄存器单元输出栅极扫描信号且在该上拉节点PU复位后,该上拉节点PU仍然处于充电状态,使得输出模块30仍然开启,而导致该移位寄存器单元的信号输出端OUTPUT出现多输出的异常现象。

[0073] 此外,在上述移位寄存器单元包括上述第二输入子模块120的情况下,如图7所示,上述输入控制晶体管Mc的第二极还与第二输入子模块120相连接。

[0074] 基于此,该第二输入子模块120还连接第二信号输入端INPUT2。此时,第二输入子模块120包括第二辅助晶体管Ma2。具体的,第二辅助晶体管Ma2的栅极连接第二信号输入端INPUT2,第一极连接上拉节点PU,第二极与输入控制模块20相连接。在该输入控制模块20的结构如上所述时,该第二辅助晶体管Ma2的第二极与上述输入控制晶体管Mc的第二极相连接。

[0075] 此外,上述第二输入模块12还包括第二输入晶体管Mb2。该第二输入晶体管Mb2的栅极连接第二信号输入端INPUT2,第一极连接第二辅助晶体管Ma2的第二极,第二极与第二电压端VBD相连接。

[0076] 具体的,如图7所示,正向扫描的过程中,第一电压端VFD与上述第二供电电压端VGH相连接,虽然第一输入晶体管Mb1(即图3中的晶体管M)会在第二供电电压端VGH长时间输出的高电平的作用下发生负向偏移,而导致阈值电压偏移,但是由上述可知,在输入控制晶体管Mc的作用下,第一辅助晶体管Ma1不会发生上述负向偏移,因此其阈值电压发生偏移的几率也很小。

[0077] 在此情况下,当由正向扫描方式切换至反向扫描方式时,第一电压端VFD与上述第一供电电压端VGL相连接,第二电压端VBD与第二供电电压端VGH相连接,当需要通过串联的第二输入晶体管Mb2和第二辅助晶体管Ma2向上拉节点PU充电时,上述第一辅助晶体管Ma1由于阈值电压未发生偏移而处于截止状态,从而可以确保上拉节点PU不会通过第一辅助晶体管Ma1而漏电至第一供电电压端VGL。

[0078] 同理,反向扫描的过程中,第二电压端VBD与上述第二供电电压端VGH相连接,虽然第二输入晶体管Mb2会在第二供电电压端VGH长时间输出的高电平的作用下发生负向偏移,但是与上拉节点PU相连接的第二辅助晶体管Ma2的第二极,即节点N2的电位在上述输入控制晶体管Mc的作用下,下拉至第一供电电压端VGL的电位。这样一来,上述第二辅助晶体管Ma2不会长时间连接高电平而处于负向偏压状态,此时该第二辅助晶体管Ma2的阈值电压 V_{th} 发生偏压的几率较小。

[0079] 在此情况下,当由反向扫描方式切换至正向扫描方式时,第二电压端VBD与上述第一供电电压端VGL相连接,第一电压端VFD与第二供电电压端VGH相连接,当需要通过串联的第一输入晶体管Mb1和第一辅助晶体管Ma1向上拉节点PU充电时,上述第二辅助晶体管Ma2由于阈值电压未发生偏移而处于截止状态,从而可以确保上拉节点PU不会通过第二辅助晶体管Ma2而漏电至第一供电电压端VGL。

[0080] 其中,特别是当上述晶体管为半导体氧化物晶体管时,阈值电压更容易发生偏移,而采用本申请提供的结构能够更有效的抑制上述偏移的发生。

[0081] 需要说明的是,上述说明是以与输入控制晶体管Mc的栅极相连接的使能信号端EN与下拉节点PD为例进行的说明。由于下拉节点PD在控制下拉模块50开启,以对上拉节点PU和信号输出端OUTPUT进行下拉时,该上拉节点PU需要长时间保持一恒定电平,例如恒定的高电平,这样一来,为了避免输入控制晶体管Mc的栅极长时间受到上述高电平的影响,而产生正向偏压。可选的,如图8所示,将上述输入控制晶体管Mc的栅极与时钟信号端CLK相连接,即将上述使能信号端EN与时钟信号端CLK相连接,从而可以减小输入控制晶体管Mc受到正向偏压而导致阈值电压发生偏移。

[0082] 或者,又例如,上述输入控制模块20的具体结构如图9所示

[0083] 该输入控制模块20包括第一输入控制晶体管Mc1和第二输入控制晶体管Mc2。

[0084] 具体的,第一输入控制晶体管Mc1的栅极连接使能信号端EN(图9中该使能信号端EN与下拉节点PD相连接,或者还可以与上述时钟信号端相连接),第一极连接第一供电电压端VGL,第二极与第一输入子模块110相连接。其中,在上述第一输入子模块110的结构如上所述时,该第一输入控制晶体管Mc1的第二极与上述第一辅助晶体管Ma1的第二极相连接。

[0085] 此外,第二输入控制晶体管Mc2的栅极连接上述使能信号端EN,第一极连接第一供电电压端VGL,第二极与第二输入子模块120相连接。其中,在上述第二输入子模块120的结构如上所述时,该第二输入控制晶体管Mc2的第二极与上述第二辅助晶体管Ma2的第二极相

连接。

[0086] 在此情况下,可以通过第一输入控制晶体管Mc1将上述第一辅助晶体管Ma1的第二极,即上述节点N1的电位下拉至第一供电电压端VGL的电位,从而在正向扫描的过程中,避免第一辅助晶体管Ma1长时间受到负向偏压,使其阈值电压偏移,而导致上述上拉节点PU漏电。

[0087] 或者,还可以通过第二输入控制晶体管Mc2将上述第二辅助晶体管Ma2的第二极,即上述节点N2的电位下拉至第一供电电压端VGL的电位,从而在反向扫描的过程中,避免第二辅助晶体管Ma2长时间受到负向偏压,使其阈值电压偏移,而导致上述上拉节点PU漏电。

[0088] 以下对如图5所示的其余模块的结构进行详细的说明。

[0089] 具体的,如图6或7所示,上述输出模块30包括驱动晶体管Md和存储电容C。

[0090] 其中,该驱动晶体管Md的栅极连接时钟信号端CLK,第一极连接信号输出端OUTPUT,第二极与时钟信号端CLK相连接。

[0091] 上述存储电容C的一端连接驱动晶体管Md的栅极,另一端连接上述驱动晶体管Md的第一极。

[0092] 下拉控制模块40还连接第三供电电压端VDD、第一供电电压端VGL以及上拉节点PU。

[0093] 其中,该下拉控制模块40包括第一晶体管M1和第二晶体管M2。

[0094] 第一晶体管M1的栅极和第二极连接上述第三供电电压端VDD,第一极与下拉节点PD相连接。

[0095] 第二晶体管M2的栅极连接上拉节点PU,第一极连接下拉节点PD,第二极与第一供电电压端VGL相连接。

[0096] 其中,上述第二晶体管M2的宽长比大于第一晶体管M1的宽长比,以确保第二晶体管M2优先于第一晶体管M1导通,从而在上拉节点PU充电时,通过第二晶体管M2将下拉节点PD的电位下拉至上述第一供电电压端VGL的电位。

[0097] 此外,上述下拉控制模块40如图10所示,还可以包括第七晶体管M7和第八晶体管M8。其中,第七晶体管M7的栅极和第二极与上述第三供电电压端VDD相连接,第一极与第八晶体管M8的第一极相连接。该第八晶体管M8的栅极连接上述上拉节点PU,第二极与上述第一供电电压端VGL相连接。

[0098] 此外,上述下拉模块50如图6或7所示,包括第三晶体管M3和第四晶体管M4。

[0099] 其中,上述第三晶体管M3的栅极连接下拉节点PD,第一极连接上拉节点PU,第二极与第一供电电压端VGL相连接。

[0100] 第四晶体管M4的栅极连接下拉节点PD,第一极连接信号输出端OUTPUT,第二极与第一供电电压端VGL相连接。

[0101] 在此基础上,当该移位寄存器单元还包括上述第一复位模块60的情况下,该第一复位模块60包括第五晶体管M5和第六晶体管M6。

[0102] 其中,第五晶体管M5的栅极连接第一复位信号端TGOA-RST,第一极连接上拉节点PU,第二极与第一供电电压端VGL相连接。

[0103] 第六晶体管M6的栅极连接第一复位信号端TGOA-RST,第一极连接信号输出端OUTPUT,第二极与第一供电电压端VGL相连接。

[0104] 需要说明的是,上述晶体管可以均为N型晶体管,或者均为P型晶体管。第一极可以为源极,第二极为漏极;或者第一极为漏极,第二极为源极。

[0105] 以下,以正向扫描为例,将第一电压端VFD连接第二供电电压端VGH,第二电压端VBD连接第一供电电压端VGL,且上述晶体管均为N型晶体管为例,结合图11所示的时序图,对7所示的该移位寄存器单元在一图像帧的工作过程进行详细的说明。

[0106] 在此情况下,如图11所示,在一图像帧的第一阶段P1,CLK=0,INPUT1=1,INPUT2=0,OUTPUT=0;其中“0”表示低电平,“1”表示高电平。

[0107] 此时,在第一信号输入端INPUT1的控制下,第一辅助晶体管Ma1和第一输入晶体管Mb1开启,并将第二供电电压端VGH输出的高电平通过上述两个晶体管传输至上拉节点PU,对该上拉节点PU进行充电。

[0108] 此时,存储电容C对输入至上拉节点PU的电压进行存储。此外,随着上拉节点PU的电位逐渐升高。

[0109] 在该上拉节点PU的控制下,第二晶体管M2导通,将下拉节点PD的电位下拉至第一供电电压端VGL的电位。

[0110] 在一图像帧的第二阶段P2,CLK=1,INPUT1=0,INPUT2=0,OUTPUT=1。

[0111] 在第一信号输入端INPUT1输入低电平,第一辅助晶体管Ma1和第一输入晶体管Mb1截止。

[0112] 在存储电容Cst的自举(Bootstrapping)作用下,上拉节点PU的电位进一步升高,以使得该上拉节点PU能够控制驱动晶体管Md导通。此时,时钟信号端CLK输出的高电平能够作为栅极扫描信号,由信号输出端OUTPUT输出至与该移位寄存器单元相连接的栅线上,以对该栅极进行扫描。

[0113] 在一图像帧的第三阶段P3,CLK=0,INPUT1=0,INPUT2=1,OUTPUT=0。

[0114] 在第二信号输入端INPUT2输出的高电平的控制下,第二辅助晶体管Ma2和第二输入晶体管Mb2开启,第一供电电压端VGL输出的电平通过第二电压端VBD,以及上述第二辅助晶体管Ma2和第二输入晶体管Mb2传输至上拉节点PU,以将该上拉节点PU的电位下拉至该第一供电电压端VGL的电位。

[0115] 此时,在上述第三供电电压端VDD输出的高电平的控制下,第一晶体管M1导通,并将该第三供电电压端VDD的电压传输至下拉节点PD,此时该下拉节点PD的电位升高。

[0116] 在该下拉节点PD的控制下,输入控制晶体管Mc导通,从而通过该输入晶体管Mc将第一辅助晶体管Ma1的第二极(节点N1)以及第二辅助晶体管Ma2的第二极(节点N2)的电位下拉至第一供电电压端VGL的电位。其中,在下拉节点PD的控制下,节点N1的波形图如图12a所示。

[0117] 此外,在上述下拉节点PD的作用下,第三晶体管M3和第四晶体管M4导通。通过第三晶体管M3将上拉节点PU的电位下拉至第一供电电压端VGL的电位;通过第四晶体管M4将信号输出端OUTPUT的电位下拉至第一供电电压端VGL的电位。

[0118] 在此基础上,在上述第三阶段P3之后至下一图像帧开始(即起始信号端STV在此输出高电平时)之前,在第一晶体管M1的作用下,下拉节点PD可以始终保持高电平,从而在该下拉节点PD的控制下,可以一直开启输入晶体管Mc,从而对上述节点N1和N2的电位持续进行下拉。

[0119] 此外,在一图像帧结束之后,可以通过上述第一复位信号端TGOA_RST导通第五晶体管M5和第六晶体管M6,以分别通过第五晶体管M5和第六晶体管M6将上拉节点PU和信号输出端的电位下拉至第一供电电压端VGL的电位。

[0120] 上述是以输入晶体管Mc的栅极与下拉节点PD相连接为例,进行的说明。当该输入晶体管Mc的栅极,如图8所示连接时钟信号端CLK时。该移位寄存器单元的工作过程同上述所述,不同之处在于,在第二阶段P2、第三阶段P3之后至下一图像帧开始之前,当时钟信号端CLK如图12b所示,输出高电平时,该节点N1和N2的电位被输入晶体管Mc下拉为低电平。

[0121] 此外,当输入控制模块20的结构如图9所示,包括第一输入晶体管Mc1和第二输入晶体管Mc2时,第一输入晶体管Mc1和第二输入晶体管Mc2的导通或截止过程同上述所述,此处不再赘述。

[0122] 上述均是以所有晶体管为N型晶体管为例进行的说明,当上述晶体管均为P型晶体管时,该移位寄存器单元的工作过程同理可得,并需要对图11中的部分控制信号进行翻转,具体过程不再赘述。

[0123] 本申请实施例提供一种栅极驱动电路,如图13所示,包括多个级联的如上所述的任意一种移位寄存器单元(RS1、RS2……RSn)。其中, $n \geq 2$,n为正整数。

[0124] 其中,第一级移位寄存器单元RS1的第一信号输入端INPUT1连接第一扫描控制端S1。

[0125] 除了第一级移位寄存器单元RS1以外,上一级移位寄存器单元的信号输出端连接下一级移位寄存器单元的第一信号输入端INPUT1。

[0126] 除了最后一级移位寄存器单元RSn以外,下一级移位寄存器单元的信号输出端连接上一级移位寄存器单元的第二信号输入端INPUT2。

[0127] 最后一级移位寄存器单元RSn的第二信号输入端INPUT2连接第二扫描控制端S2。

[0128] 此外,每一级移位寄存器单元的时钟信号端连接系统时钟信号端clk。

[0129] 在此情况下,在每一级移位寄存器单元的结构如图5所示的情况下,上述栅极驱动电路可以实现双向扫描。

[0130] 具体的,当该栅极扫描电路采用正向扫描时,如图13所示,每一级移位寄存器单元的第一电压端VFD连接第二供电电压端VGH,第二电压端VBD连接第一供电电压端VGL;上述第一扫描控制端S1连接起始信号端STV,上述第二扫描控制端S2接收复位信号。

[0131] 或者,当该栅极扫描电路采用反向扫描时,每一级移位寄存器单元的第一电压端VFD连接第一供电电压端VGL,第二电压端VBD连接第二供电电压端VGH;上述第二扫描控制端S2连接起始信号端STV,上述第一扫描控制端S1接收复位信号。

[0132] 基于此,本申请在正向扫描时对最后一级移位寄存器单元RS中的各个节点(例如上拉节点PU)和信号输出端OUTPUT的输出情况进行测试,并在反向扫描时对第一级移位寄存器单元RS中的各个节点(例如上拉节点PU)和信号输出端OUTPUT输出情况进行测试,测试结果表明上拉节点PU的波形为如图3所示的实线波形,即该上拉节点PU的输出波形正常,因此可以减小该上拉节点PU出现漏电的几率,且上述信号输出端OUTPUT如图11所示,输出的波形正常。从而可以解决由于晶体管阈值电压偏移,导致上拉节点PU漏电和信号输出端OUTPUT无法正常输出的问题。

[0133] 本申请实施例提供一种显示装置,包括如上所述的栅极驱动电路。该显示装置中

的栅极驱动电路具有与前述实施例提供的栅极驱动电路相同的结构和有益效果。由于前述实施例已经对栅极驱动电路的结构和有益效果进行了详细的描述,此处不再赘述。

[0134] 需要说明的是,在本发明实施例中,显示装置具体至少可以包括液晶显示装置和有机发光二极管显示装置,例如该显示装置可以为显示器、电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件。

[0135] 本申请实施例提供一种用于驱动如上所述的任意一种移位寄存器单元的方法,一图像帧内所述方法包括:

[0136] 在如图11所示的第一阶段P1,第一输入模块11在第一信号输入端INPUT1的控制下,将第一电压端VFD的电压输出至上拉节点PU。

[0137] 在第二阶段P2,输出模块30在上拉节点PU的控制下,将时钟信号端CLK的信号输出至信号输出端OUTPUT。

[0138] 在第三阶段P3,第二输入模块12在第二信号输入端INPUT2的控制下,将第二电压端VBD的电压输出至上拉节点PU。

[0139] 下拉控制模块40对下拉节点PD的电位进行控制,下拉模块50在下拉节点PD的控制下,将上拉节点PU和信号输出端OUTPUT的电位下拉至第一供电电压端VGL的电位。

[0140] 在此基础上,在上述第二阶段P2至下一图像帧开始之前的至少一个时间段,输入控制模块20在使能信号端EN的控制下,将该第一输入模块11中第一输入子模块110与输入控制模块20相连接的一端的电位下拉至第一供电电压端VGL的电位。

[0141] 具体的,在使能信号端EN连接下拉节点PD的情况下,例如采用图7所示的结构,如图12a所示,在上述第三阶段P3至下一图像帧开始之前,在下拉节点PD的控制下,节点N1的电位被持续下拉至第一供电电压端VGL的电位。

[0142] 或者,在使能信号端EN连接时钟信号端CLK的情况下,例如采用图8所示的结构,如图12b所示,在上述第三阶段P3之后至下一图像帧开始之前,在时钟信号端CLK的控制下,当时钟信号端CLK输出高电平时,该节点N1的电位被下拉至第一供电电压端VGL的电位。

[0143] 基于此,在上述第三阶段P3之后至下一图像帧开始之前的这段时间内,由于时钟信号端CLK间歇性的输出高电平,因此上述节点N1的电位在上述第三阶段P3之后至下一图像帧开始之前的这段时间内,被间歇性地拉低至第一供电电压端VGL的电位。此外,当使能信号端EN连接时钟信号端CLK时,在上述第二阶段P2,上述方法包括:输入控制模块20在时钟信号端CLK的控制下,将该第一输入子模块11与输入控制模块20相连接的一端的电位下拉至第一供电电压端VGL的电位。具体的,当采用图8所示的结构时,如图12b所示,在上述第二阶段P2,时钟信号端CLK输出高电平,节点N1的电位被下拉至第一供电电压端VGL的电位。

[0144] 需要说明的是,当上述第二输入模块12包括第二输入子模块120,且该第二输入子模块120也与上述输入控制模块20相连接时,该输入控制模块20可以在上述使能信号端EN的控制下,将第二输入子模块120与输入控制模块20相连接的一端的电位下拉至第一供电电压端VGL的电位。从而在反向扫描方式切换至正向扫描时,起到避免上拉节点PU出现漏电现象的作用。

[0145] 当上述各个模块的结构如上所述时,模块中各个晶体管的导通状态同上所述,此处不再赘述。

[0146] 此外,上述驱动方法与前述实施例提供的移位寄存器单元的结构具有相同的技术

效果,此处不再赘述。

[0147] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

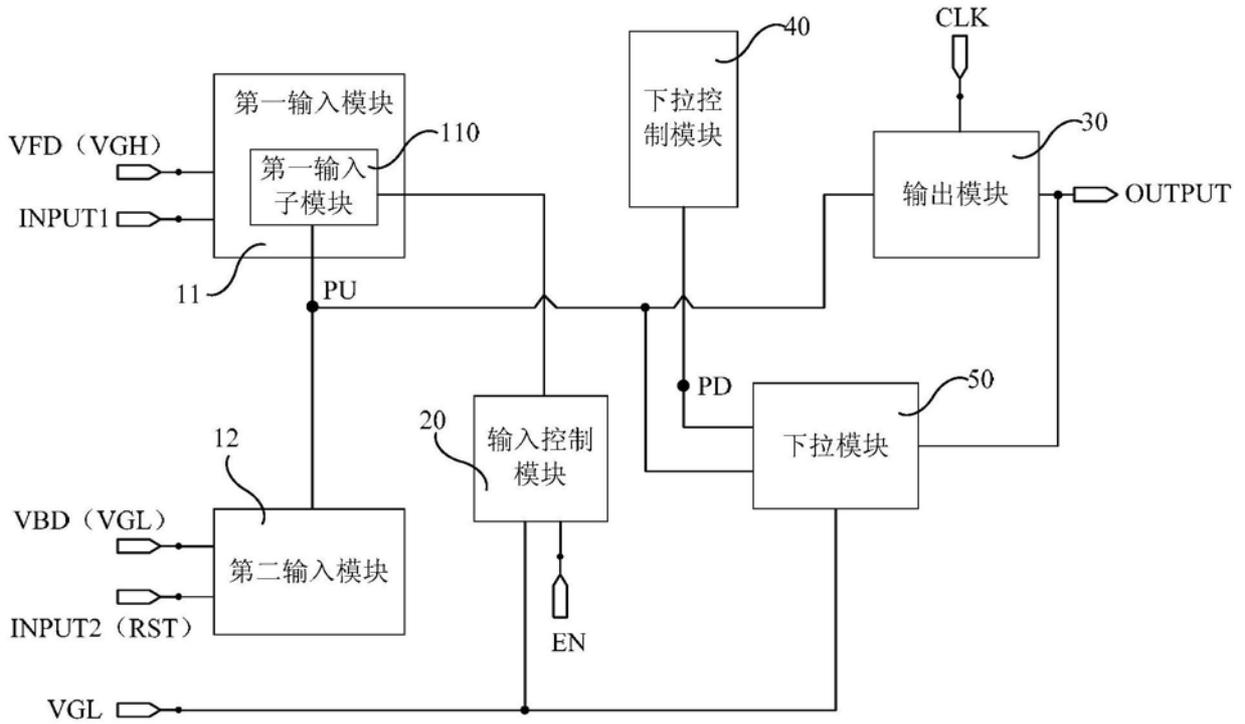


图1

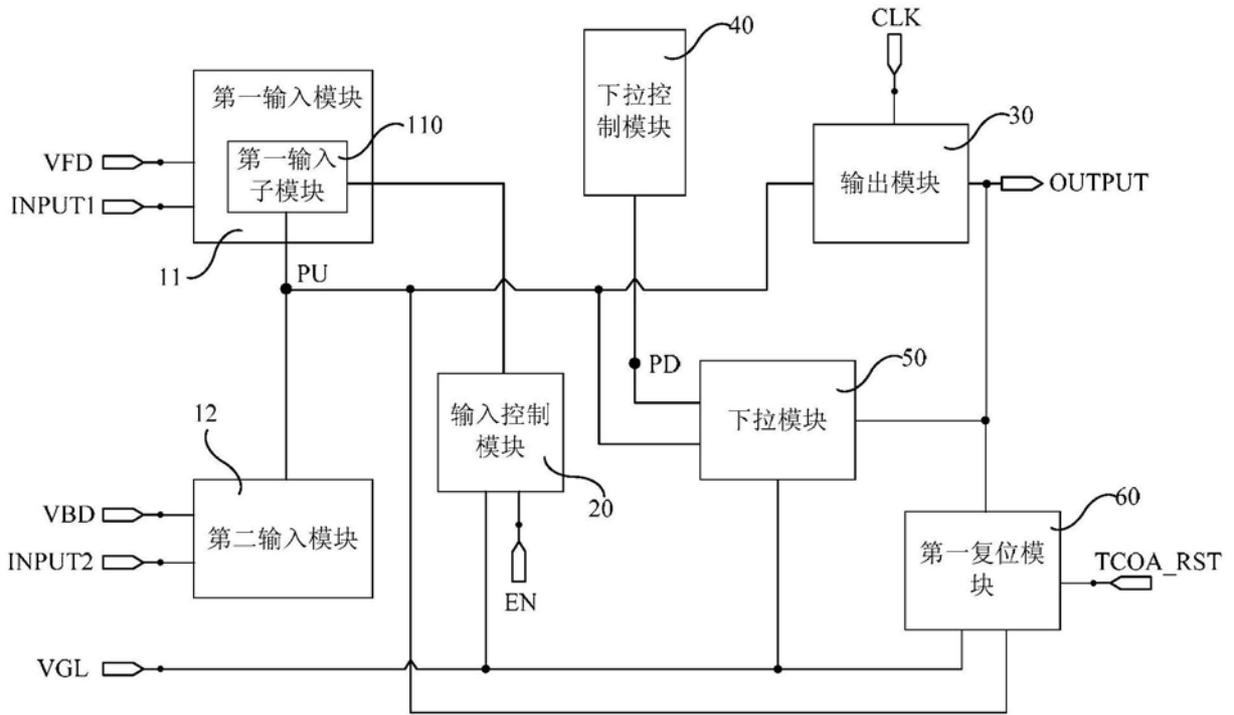


图2

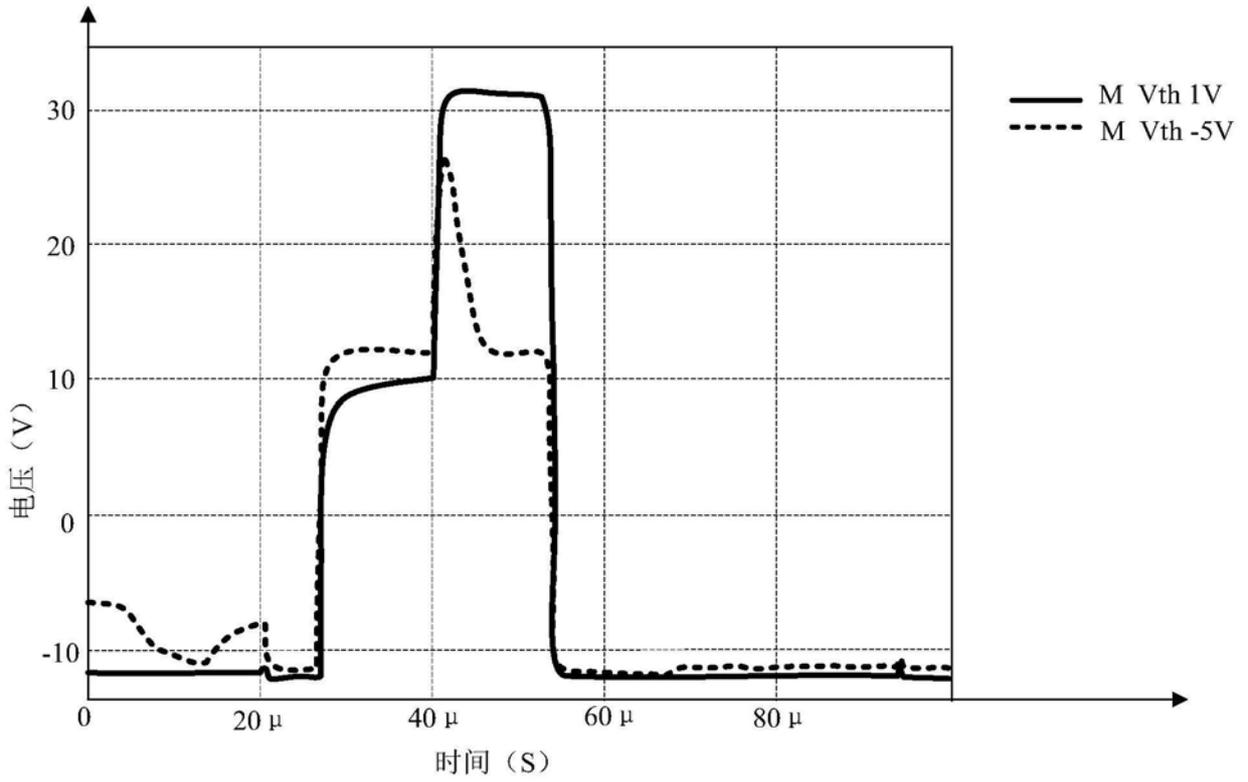


图3

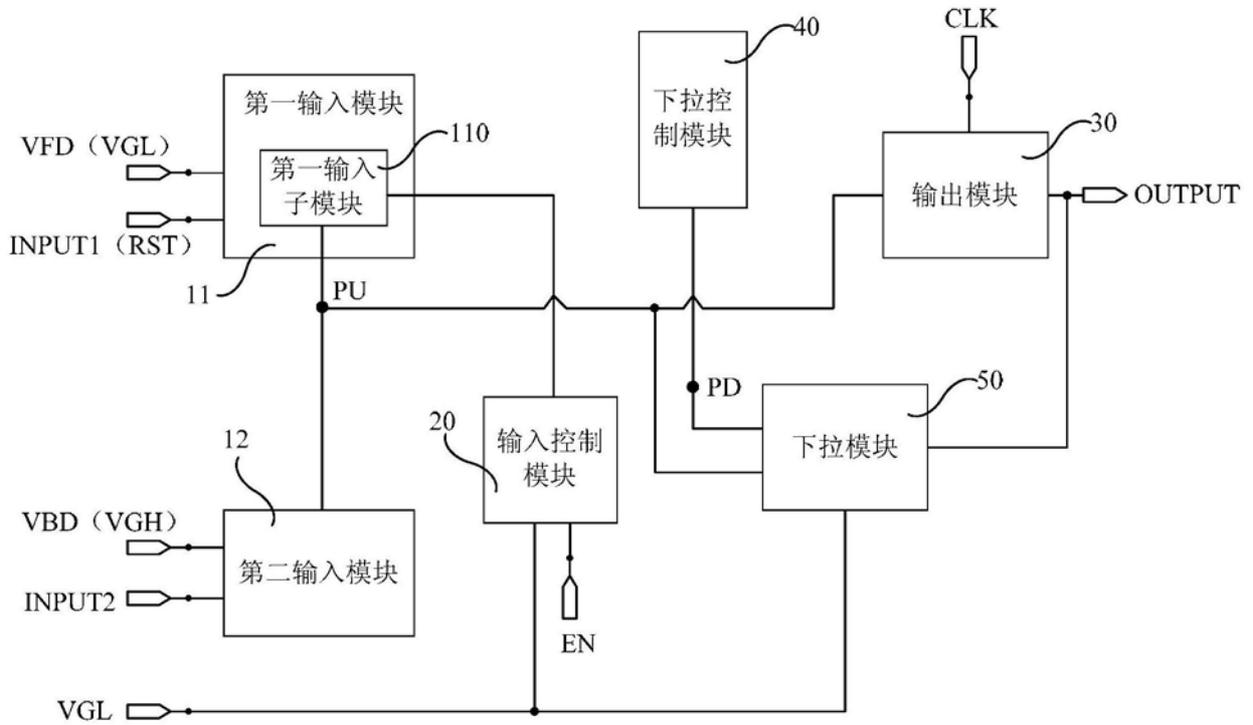


图4

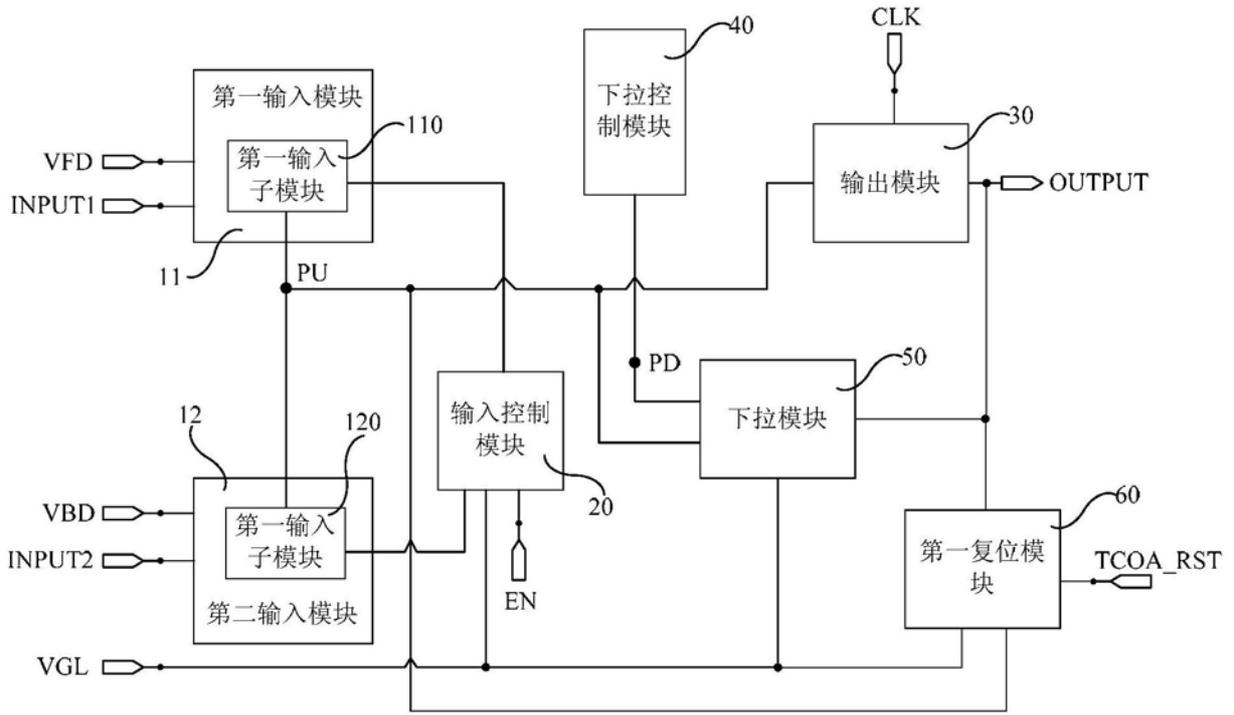


图5

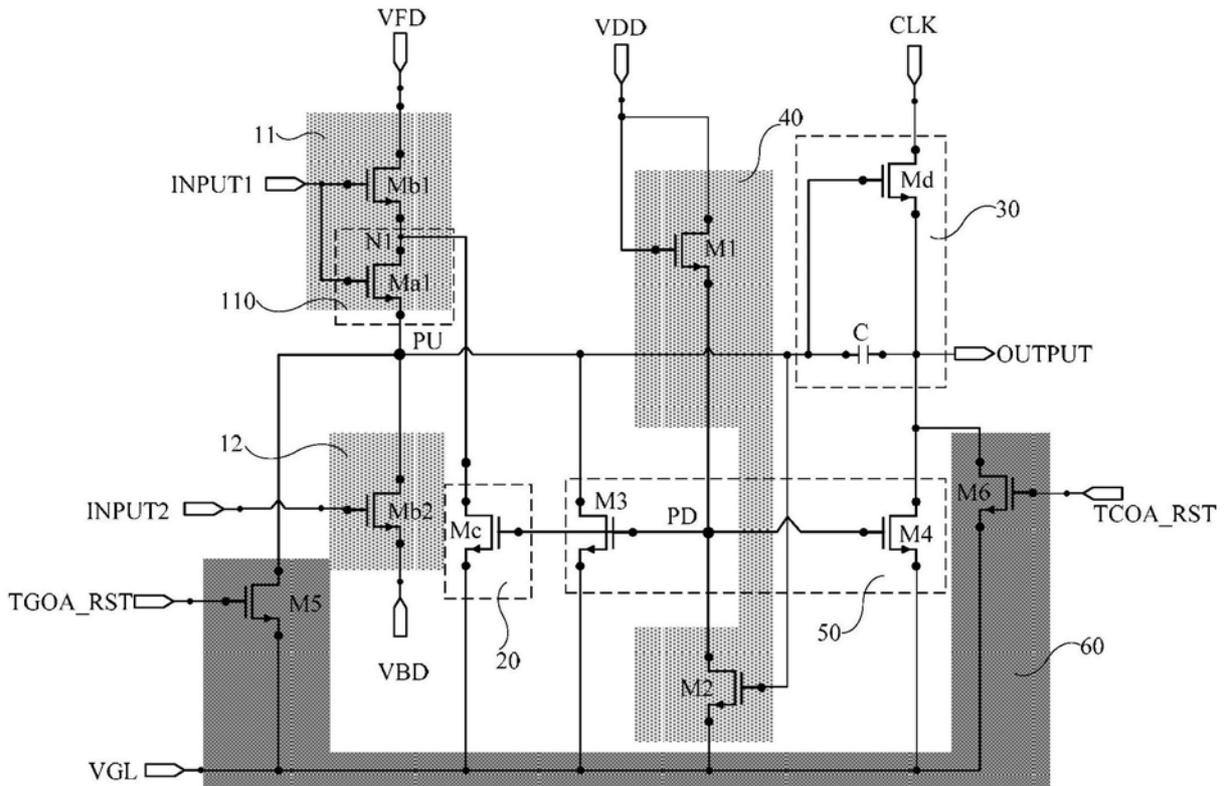


图6

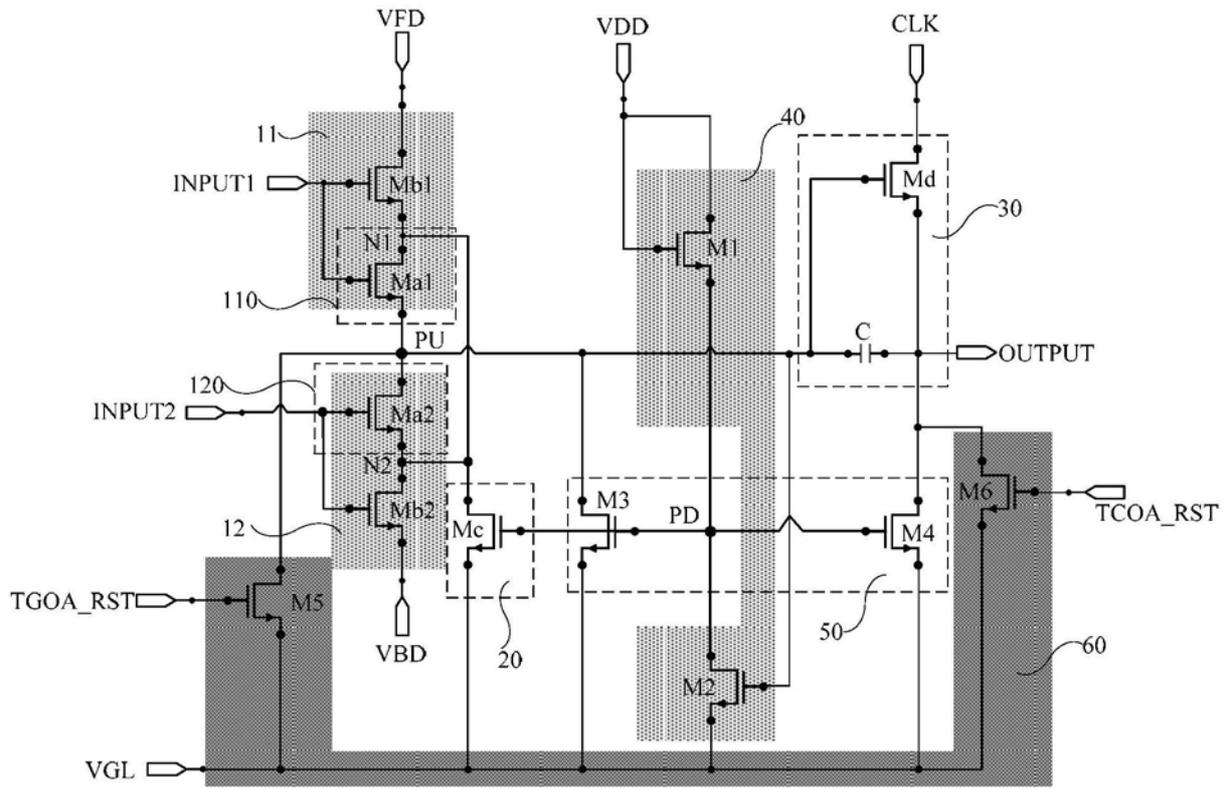


图7

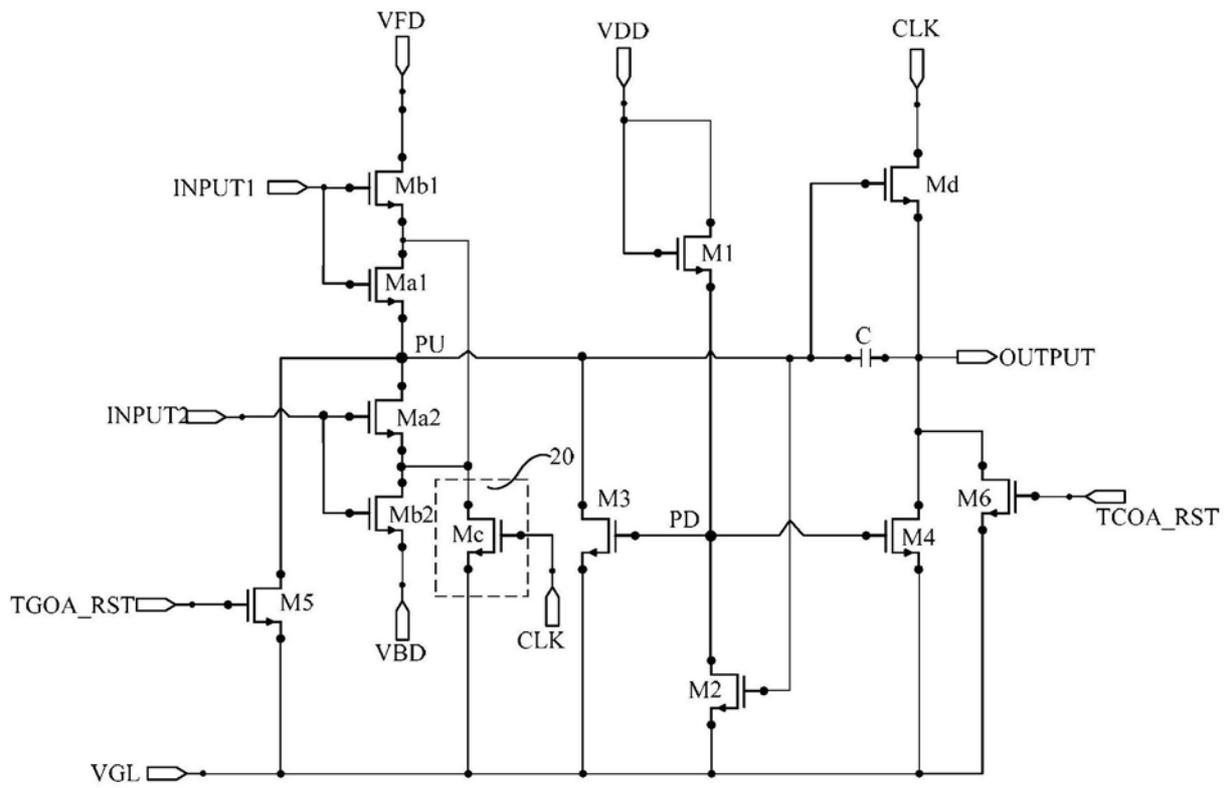


图8

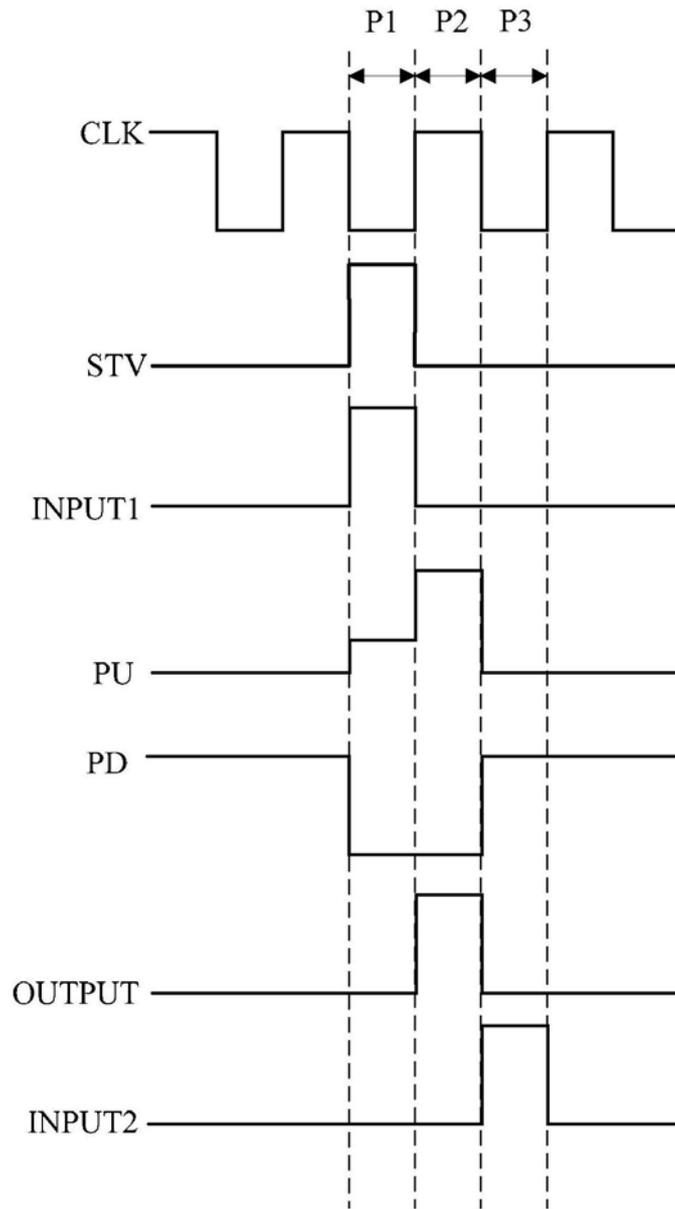


图11

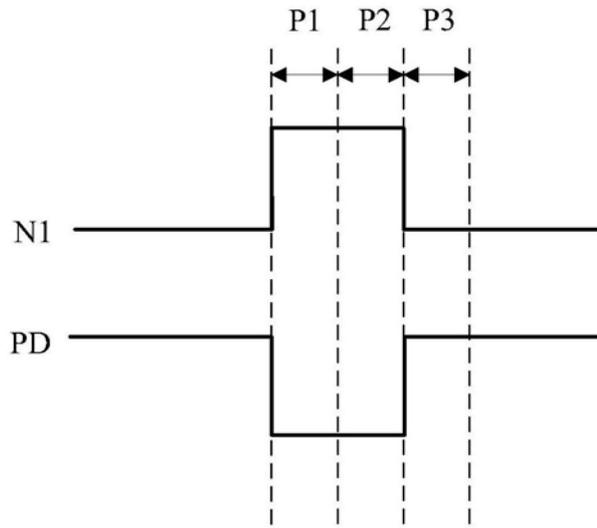


图12a

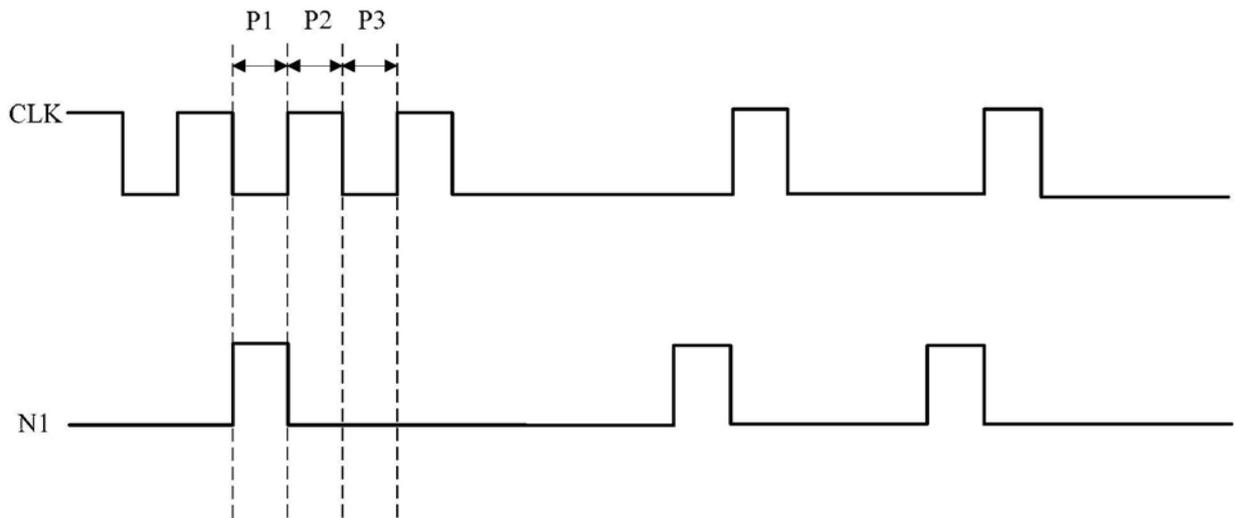


图12b

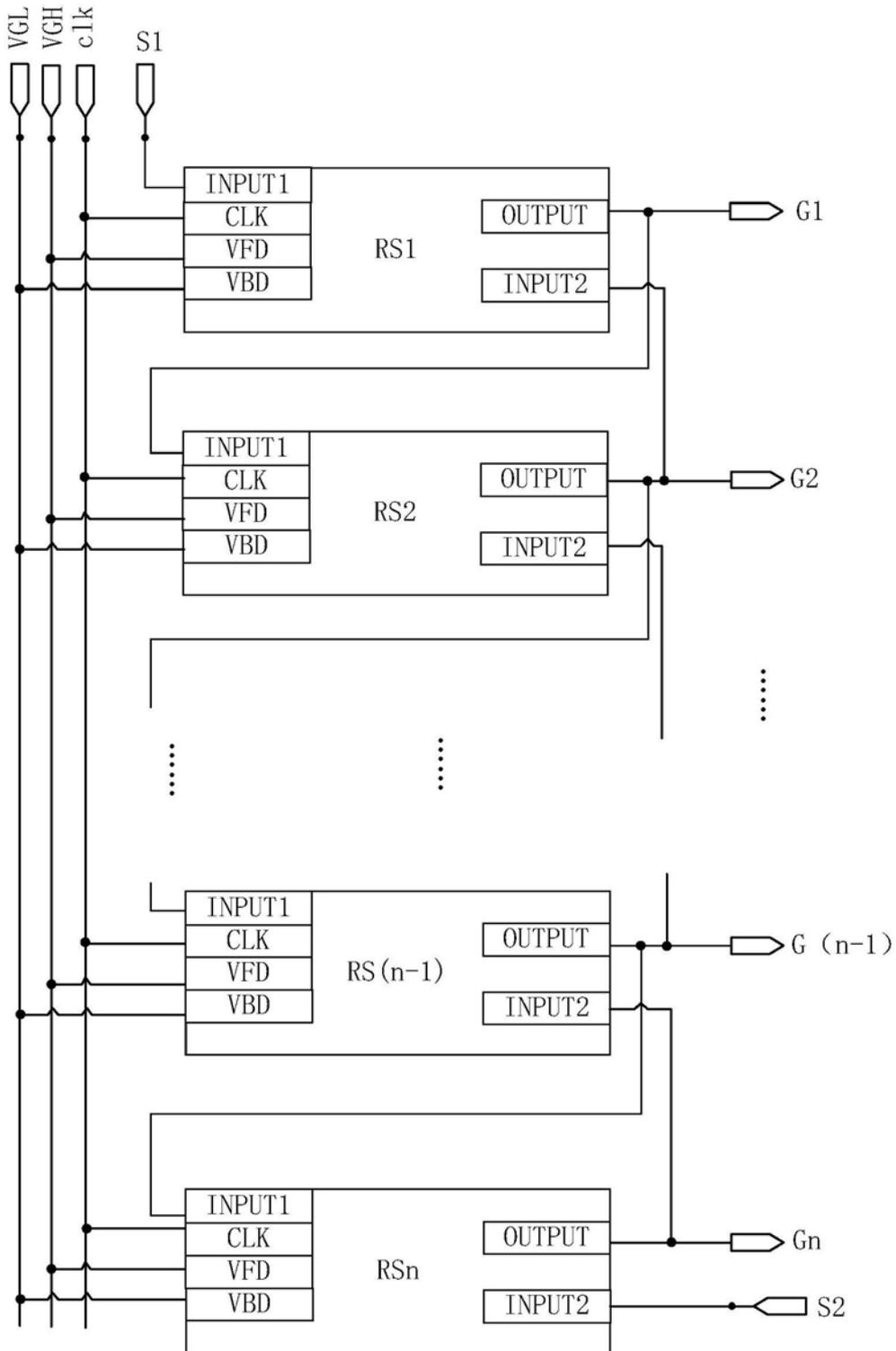


图13