

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】令和5年7月27日(2023.7.27)

【公開番号】特開2022-21644(P2022-21644A)

【公開日】令和4年2月3日(2022.2.3)

【年通号数】公開公報(特許)2022-020

【出願番号】特願2020-125352(P2020-125352)

【国際特許分類】

G 09 G 3/3233(2016.01)

10

G 09 G 3/20(2006.01)

G 09 F 9/30(2006.01)

G 09 F 9/302(2006.01)

G 09 F 9/00(2006.01)

H 10 K 59/10(2023.01)

H 10 K 50/10(2023.01)

H 05 B 33/10(2006.01)

G 06 F 3/044(2006.01)

G 06 F 3/041(2006.01)

【F I】

20

G 09 G 3/3233

G 09 G 3/20 6 8 0 G

G 09 G 3/20 6 1 2 R

G 09 G 3/20 6 4 1 D

G 09 G 3/20 6 7 0 K

G 09 G 3/20 6 4 2 P

G 09 G 3/20 6 4 1 P

G 09 G 3/20 6 5 0 M

G 09 G 3/20 6 9 1 D

G 09 G 3/20 6 2 1 M

30

G 09 G 3/20 6 2 1 A

G 09 G 3/20 6 2 3 D

G 09 G 3/20 6 2 3 C

G 09 G 3/20 6 9 1 G

G 09 F 9/30 3 4 9 C

G 09 F 9/302 Z

G 09 F 9/30 3 6 5

G 09 F 9/00 3 6 6 A

G 09 F 9/00 3 6 6 Z

H 01 L 27/32

40

H 05 B 33/14 A

H 05 B 33/10

G 06 F 3/044 1 2 4

G 06 F 3/041 4 2 2

【手続補正書】

【提出日】令和5年7月19日(2023.7.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 7

50

【補正方法】変更

【補正の内容】

【0037】

ポリシリコン層が、基板202上に存在している。ポリシリコン層にはTFTのトランジスタ特性をもたらすチャネル315が、のちにゲート電極314が形成される位置に存在する。その両端には上部の配線層と電気的に接続をとるために高濃度不純物がドープされたソース／ドレイン領域316、317が存在する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0060

10

【補正方法】変更

【補正の内容】

【0060】

低密度領域453は、第1種主画素53Aと同一構成の主画素53Cで構成されている。図5は、5列4行の主画素53Cを示す。主画素53Cは規則的に配置されており、X軸及びY軸に沿った主画素間距離は一定である。また、隣接する主画素行は、互いに半ピッチだけずれている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0064

20

【補正方法】変更

【補正の内容】

【0064】

各ダミー赤副画素61Rは、低密度領域453における一つの赤副画素51Rに対応付けられている。一例において、それらのOLED素子は同一のサイズ及び構造を有している。異なるダミー赤副画素61Rは、低密度領域453における異なる赤副画素51Rに対応付けられている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0071

30

【補正方法】変更

【補正の内容】

【0071】

複数の遮光膜621は、それぞれ複数のダミー副画素を視認側から覆うように配置されている。遮光膜621は、その下側の副画素からの光をユーザに視認されないように遮る。図6は、視認側から見て左側の一部のダミー副画素を覆う遮光膜621を示すが、左右両側の全てのダミー画素は、遮光膜621に覆われている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0110

40

【補正方法】変更

【補正の内容】

【0110】

図13は、ダミー副画素のOLED素子E1の劣化測定動作における信号のタイミングチャートを示す。n行目のダミー副画素が、劣化測定対象である。劣化測定動作において、選択した行の劣化測定を行う間、劣化測定制御信号VtestはLowであって、全てのダミー副画素の画素回路のスイッチトランジスタT5はONに維持される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0115

50

【補正方法】変更

【補正の内容】

【0 1 1 5】

従って、一定電流をO L E D 素子に与えた状態でその電圧（アノードとカソードとの間の電圧）を測定することで、O L E D 素子の抵抗、つまり劣化度を測定することができる。ドライバ I C 1 3 4 は、配線 7 2 5 A の電位をA D 変換して各ダミーサブ画素に対応した表示サブ画素の劣化状態として記録する。なお、O L E D 素子の劣化測定は、任意の方法を利用することができ、例えば図 1 1 において駆動 T F T T 1 を線形動作させてO L E D 素子に定電圧を印加した状態で電流センスアンプを用いて直接素子に流れる電流値を測定して劣化度を判定することもできる。

10

20

30

40

50