

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258372

(P2007-258372A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl.

H 0 1 L 23/48 (2006.01)

F I

H 0 1 L 23/48

G

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2006-79423 (P2006-79423)
(22) 出願日 平成18年3月22日 (2006.3.22)

(71) 出願人 000003609
株式会社豊田中央研究所
愛知県愛知郡長久手町大字長湫字横道4 1
番地の1
(71) 出願人 000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町1番地
(74) 代理人 100075258
弁理士 吉田 研二
(74) 代理人 100096976
弁理士 石田 純
(72) 発明者 臼井 正則
愛知県愛知郡長久手町大字長湫字横道4 1
番地の1 株式会社豊田中央研究所内

最終頁に続く

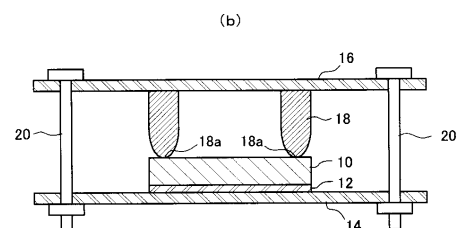
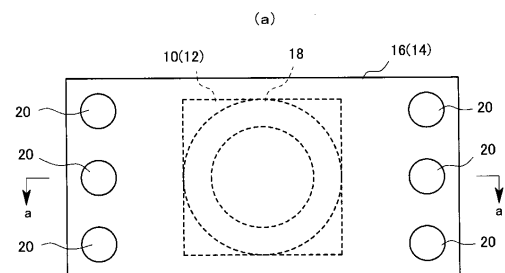
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置の局所的な発熱を抑制する。

【解決手段】 表面に半導体素子が形成された半導体基板10と、半導体基板10を実装する下部実装基板14とが接合され半導体装置において、半導体基板10の表面側に荷重を印加するための加圧部材18を備え、加圧部材18により半導体素子の周辺を加圧することによって上記課題を解決することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

表面に素子が形成された半導体基板と、前記半導体基板を実装する実装基板と、が接合された半導体装置であって、

前記半導体基板の表面側に荷重を印加するための加圧部材を備え、

前記加圧部材により前記素子の周辺を加圧することを特徴とする半導体装置。

【請求項 2】

表面に素子が形成された半導体基板と、前記半導体基板を実装する実装基板と、が接合された半導体装置であって、

前記半導体基板の裏面側に荷重を印加するための加圧部材を備え、

前記加圧部材により前記素子の周辺を加圧することを特徴とする半導体装置。

10

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、

前記加圧部材は、リング状のブロックであって、

前記加圧部材により前記素子の外周部を加圧することを特徴とする半導体装置。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置において、

前記加圧部材は、導電性の材料で構成された部分を含むことを特徴とする半導体装置。

【請求項 5】

請求項 3 に記載の半導体装置において、

前記加圧部材のリング状のブロックには空洞部が設けられており、

前記加圧部材のリング状のブロックの周辺又は空洞部には、導電性のブロックが配置されており、

20

前記導電性のブロックのヤング率は、前記加圧部材のリング状のブロックのヤング率より小さいことを特徴とする半導体装置。

【請求項 6】

請求項 1 ～ 5 のいずれか 1 つに記載の半導体装置において、

前記半導体基板がシリコンであり、

前記半導体基板の表面の面方位、前記素子を流れる電流の主方向及び前記素子の導電型との関係が、(1) 表面が(100)面、電流の主方向<110>又は<1(バー)10>及びn型素子、又は、(2) 表面が(110)面、電流の主方向<001>及びn型素子、又は、(3) 表面が(110)面、電流の主方向<110>及びp型素子、又は、(4) 表面が(111)面、電流の主方向<111>及びp型素子を満たすことを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、局所的な発熱を抑えることによって安定した動作を実現する半導体装置に関する。

40

【背景技術】

【0002】

パワーエレクトロニクスアプリケーションでは、パワー素子(サイリスタ、パワーMOSFET、IGBT、パワーダイオード等)を実装基板に搭載し、複数のパワー素子を電氣的に相互に接続したパワーモジュールが使用されることが多い。

【0003】

特許文献1には、半導体装置の基板をパワー回路用の基板と制御回路用の基板とに分け、パワー回路用の基板には熱伝導率の高い銅貼りセラミックス基板を採用し、制御回路用の基板には微細な導体パターンの形成に適合した絶縁樹脂基板を採用した上で、セラミックス基板にはパワーチップを、絶縁樹脂基板には制御回路を構成する電子部品を実装し、

50

セラミックス基板と絶縁樹脂基板との間をボンディングワイヤで接続する技術が開示されている。これによって、熱損失の大きなパワーチップに対して十分に高い放熱性を確保しつつ、複雑な制御回路を小型寸法の基板上に高実装密度で構成することを可能としている。

【0004】

【特許文献1】特開平4-273150号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

半導体装置は、動作時に自己発熱により温度が上昇する。特に、大きな電力を扱うパワー素子では、図12に示すように、熱干渉により素子中心部の温度が相対的に高くなり、素子内部の温度分布が大きくなる傾向がある。

【0006】

半導体装置の平面方向の位置 x の温度上昇 $\Delta T_j(x)$ は、印加電圧を V 、位置 x におけるオン抵抗を $r(x)$ 、位置 x から放熱器までの熱抵抗を $R_{th}(x)$ とすると数式(1)で表される。

【0007】

(数1)

$$\Delta T_j(x) = V^2 / r(x) \times R_{th}(x) \cdots \cdots (1)$$

【0008】

一般的な半導体装置では、オン抵抗 $r(x)$ は一定であり、熱抵抗 $R_{th}(x)$ には分布があり、半導体装置の中央部では熱干渉により熱抵抗 $R_{th}(x)$ は大きくなる。このような半導体装置の平面内の温度の不均一は、半導体装置の動作において不利益を引き起こす場合がある。例えば、スイッチング動作において、半導体装置の温度分布が不均一となると、半導体装置での不均一な電流集中による局所的な発熱分布を招くことがある。最悪の場合、局所的な発熱分布によって半導体装置の破壊に至る場合もある。また、パワー素子の破壊耐性は温度と共に低下するため、半導体装置の温度分布が不均一となると、半導体装置の破壊耐性は半導体装置内の最高温度領域、すなわち破壊耐性が最も低くなる領域、によって支配されることとなる。

【0009】

そこで、本発明は、上記従来技術の問題を鑑み、局所的な発熱を抑えることによって安定した動作を実現する半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、表面に素子が形成された半導体基板と、前記半導体基板を実装する実装基板と、が接合された半導体装置であって、前記半導体基板の表面側又は裏面側に荷重を印加するための加圧部材を備え、前記加圧部材により前記素子の周辺を加圧することを特徴とする。

【0011】

ここで、サイリスタ、パワーMOSFET、IGBT、パワーダイオード等の電力用半導体素子は半導体基板の表面側から見た外周部の形状が円、矩形となる場合が多い。電力用半導体素子を対象とする場合には、前記加圧部材は、リング状のブロックであって、前記加圧部材により前記素子の外周部を加圧することが好適である。

【0012】

また、前記加圧部材は、導電性の材料で構成された部分を含むことが好適である。これにより、ワイヤボンド等を適用することなく、前記加圧部材を用いて前記素子と電氣的に接続を行うことができる。

【0013】

ここで、前記加圧部材のリング状のブロックには空洞部が設けられており、前記加圧部材のリング状のブロックの周辺又は空洞部には、導電性のブロックが配置されており、前

10

20

30

40

50

記導電性のブロックのヤング率は、前記加圧部材のリング状のブロックのヤング率より小さいことが好適である。このような構成とすることによって、前記加圧部材のリング状のブロックにより前記半導体基板に機械的な圧力を印加できると共に、前記導電性のブロックにより前記素子と電氣的な接続を行うことができる。

【0014】

前記半導体基板がシリコンである場合、前記半導体基板の表面の面方位、前記素子を通れる電流の主方向及び前記素子の導電型との関係が、(1)表面が(100)面、電流の主方向<110>又は<1(バー)10>及びn型素子、又は、(2)表面が(110)面、電流の主方向<001>及びn型素子、又は、(3)表面が(110)面、電流の主方向<110>及びp型素子、又は、(4)表面が(111)面、電流の主方向<111>及びp型素子を満たすことが好適である。 10

【0015】

このような条件を満たす場合、前記半導体基板に荷重を加えることによって前記素子内の電氣的抵抗率を有意に変化させることができ、前記素子内の熱分布を従来よりも均一にすることができる。

【発明の効果】

【0016】

本発明によれば、半導体装置における局所的な発熱を抑えることができる。これによって、半導体装置の安定した動作を実現することを可能とする。

【発明を実施するための最良の形態】

20

【0017】

本発明の実施の形態における半導体装置は、図1(a)の装置平面図及び図1(b)の装置断面図に示すように、半導体基板10、接着層12、下部実装基板14、上部実装基板16、加圧部材18及び接合部材20を含んで構成される。なお、図1(b)は図1(a)のa-aラインに沿った断面図である。

【0018】

半導体基板10は、シリコン、シリコンカーバイド、ガリウムナイトライド、シリコンゲルマニウム、ガリウム砒素等の半導体材料からなる。半導体基板10には、所望の領域にn型及びp型のドーパントが添加され、表面及び裏面に絶縁膜や電極が配置されることによってサイリスタ、MOSFET、IGBT、ダイオード等の半導体素子が形成される。半導体素子の形成方法については既知の方法を適用することができるので説明を省略する。一般的に、サイリスタ、パワーMOSFET、IGBT、パワーダイオード等の電力用半導体素子は半導体基板10の表面側から見た外周部の形状が円、矩形となる場合が多い。 30

【0019】

半導体基板10は、樹脂等からなる接着層12を介して、下部実装基板14の表面上に実装される。下部実装基板14及び上部実装基板16としては、ポリイミドやセラミックス等の絶縁樹脂からなる基板を用いることができる。

【0020】

加圧部材18は、半導体基板10に形成された半導体素子の周辺部に対して、半導体基板10の表面から裏面に向けて厚さ方向に圧力を印加するために設けられる。加圧部材18は、先端部18aが半導体基板10に形成された半導体素子の周辺部に位置するように半導体基板10の表面側に配置される。加圧部材18は、絶縁樹脂、金属等の導電性部材により形成することができる。なお、半導体来基板に形成された半導体素子には、加圧部材18を避けるようにしてワイヤボンディング等により配線を行うことができる。 40

【0021】

加圧部材18をリング状のブロックとすることによって、加圧部材18を半導体素子の表面形状に合わせて半導体素子の周辺部に容易に配置することができ、半導体素子の周辺部を均一に加圧することができる。

【0022】

50

半導体基板 10 及び加圧部材 18 を上部実装基板 16 及び下部実装基板 14 の間に挟み込み、上部実装基板 16 及び下部実装基板 14 を螺子等の接合部材 20 によって締め付けることによって、加圧部材 18 を用いて半導体基板 10 に形成された半導体素子内に圧縮応力を発生させることができる。

【0023】

図 2 に示すように、半導体基板 10 に印加される荷重を F 、加圧部材 18 の先端部 18a の曲率半径を R 、加圧部材 18 のヤング率を E_1 、加圧部材 18 のポアソン比を ν_1 、半導体基板 10 のヤング率を E_2 、半導体基板 10 のポアソン比を ν_2 とすると、加圧部材 18 の先端部 18a のつぶれ a は数式 (2) 及び (3) により表される。

【0024】

【数 1】

$$a = \left[\frac{3\pi}{4} (h_1 + h_2) FR \right]^{1/3} \quad i=1, 2 \quad (2)$$

$$h_i = (1 - \nu_i^2) / \pi E_i$$

$$\sigma(r) = \frac{3F}{2\pi a^2} \frac{\sqrt{a^2 - r^2}}{a} \quad (3)$$

【0025】

すなわち、半導体素子内の応力分布は加圧部材 18 の材料や形状を選定し、加圧部材 18 の先端部 18a の曲率半径 R 、加圧部材 18 のヤング率 E_1 、加圧部材 18 のポアソン比 ν_1 を調整することによって、半導体素子内に発生する応力の分布を制御することができる。

【0026】

加圧部材 18 としてリング状のブロックを用いた場合、半導体基板 10 の表面内方向の応力は、図 3 のように、半導体基板 10 の半導体素子の中心部で圧縮応力が極小値をとり、加圧部材 18 のブロックの先端部 18a が接触している半導体素子の外周部に向けて圧縮応力が大きくなるような応力分布を示す。なお、図 3 において、横軸は半導体素子の中心からの距離を示し、縦軸は上方向が引張応力の強さ、下方向が圧縮応力の強さを示している。

【0027】

表面の面方位が (100) 面である n 型シリコン半導体基板に電流の主な向き (主方向) が $\langle 110 \rangle$ 方向である半導体素子を形成した場合、半導体素子に図 3 に示すような応力分布を与えると、 $\langle 110 \rangle$ 方向に沿ったシリコン半導体基板の抵抗率の変化は数式 (4) で表される。ここで、 ρ_x は応力が発生しているときの $\langle 110 \rangle$ 方向に沿った抵抗率、 ρ_{x0} は応力が発生していないときの $\langle 110 \rangle$ 方向に沿った抵抗率、 Π_{12} は $\langle 100 \rangle$ 方向に応力が加わった場合の $\langle 110 \rangle$ 方向への横ピエゾ係数、 σ_z は $\langle 100 \rangle$ 方向への応力の大きさである。

【0028】

【数 2】

$$\frac{\rho_x}{\rho_{x0}} = \Pi_{12} \times \sigma_z = 53.4 \times 10^{-11} \times \sigma_z \quad (4)$$

【0029】

数式 (4) では、圧縮応力 (応力としての符号は負) のとき、 $\langle 110 \rangle$ 方向の抵抗率が小さくなることを意味する。半導体素子の内部の応力分布が図 3 に示すようなものである場合、図 4 に示すように、半導体基板 10 の半導体素子の中心部で抵抗率が極大値をと

10

20

30

40

50

り、加圧部材 18 のブロックの先端部 18 a が接触している半導体素子の外周部に向けて抵抗率が小さくなるような分布を示す。なお、図 4 において、横軸は半導体素子の中心からの距離を示し、縦軸は $\langle 110 \rangle$ 方向に沿った素子の抵抗率の大きさを示している。

【0030】

このように、半導体素子の周辺部における電流が流れる方向に沿った抵抗率を低くすることによって、半導体素子の中心部における電流密度を周辺部よりも小さく抑えることができ、図 5 に示すように、従来構造の半導体素子では不均一であった温度分布（図 5 中の破線で示す）を素子の中心部から周辺部に向かってほぼ均一な温度分布（図 5 中の実線で示す）にすることができる。なお、図 5 において、横軸は半導体素子の中心からの距離を示し、縦軸は半導体素子の温度を示している。

10

【0031】

なお、半導体基板 10 の材料、半導体基板 10 の表面の面方位及び半導体素子の導電型（タイプ）の組み合わせが決まれば、半導体基板 10 の表面から荷重を加えたときの半導体基板 10 に形成された半導体素子を流れる電流の主方向に沿った抵抗の変化率は定まる。従って、半導体基板 10 の材料、半導体基板 10 の表面の面方位、半導体素子を流れる電流の主方向及び半導体基板の導電型、の組み合わせのうち、半導体基板 10 の表面側から荷重を加えたときの抵抗の変化率が比較的大きい条件を選択すれば半導体素子内の温度分布を均一にすることができる。ここで、半導体素子の導電型とは、MOSFET のチャネル領域等の半導体素子の電流が流れる主要な部分の導電型のことをいう。

【0032】

例えば、半導体基板 10 がシリコンである場合、半導体基板 10 の表面の面方位、半導体素子を流れる電流の主方向及び半導体素子の導電型との関係によって、図 6 に示すように、抵抗変化率が定まる。半導体基板 10 の厚さ方向に荷重を加えたときに抵抗率変化が正であり、かつ、抵抗率変化が比較的大きい場合に温度の均一化の効果を顕著に得ることができる。すなわち、（１）表面が (100) 面、電流の主方向 $\langle 110 \rangle$ 又は $\langle 1(\text{バー})10 \rangle$ 及び半導体素子の導電型が n 型であるか、（２）表面が (110) 面、電流の主方向 $\langle 001 \rangle$ 及び半導体素子の導電型が n 型であるか、（３）表面が (110) 面、電流の主方向 $\langle 110 \rangle$ 及び半導体素子の導電型が p 型であるか、（４）表面が (111) 面、電流の主方向 $\langle 111 \rangle$ 及び半導体素子の導電型が p 型である場合に荷重印加による温度分布の制御が実質的に可能である。ここで、 $\langle 100 \rangle$ と逆向きの方向は、 $\langle 1(\text{バー})00 \rangle$ のように（バー）を付けて表すものとする。

20

30

【0033】

なお、本実施の形態では、加圧部材 18 の先端 18 a の形状が曲率 R を有するものとしたがこれに限定されるものではない。例えば、図 7 に示すように、加圧部材 18 の先端 18 b が平坦な形状を有するものとしてもよい。

【0034】

また、本実施の形態において加圧部材 18 を金属等の導電性材料で構成することによって、ワイヤボンディング等の配線の代わりに加圧部材 18 を半導体基板 10 に形成された半導体素子に対する電氣的な配線として利用することができる。

【0035】

<変形例 1>

上記実施の形態では、加圧部材 18 を上部実装基板 16 で直接半導体基板 10 に押し付ける構成としたがこれに限定されるものではない。半導体基板 10 内の応力分布をさらに細かく制御したい場合には、図 8 に示すように、複数の加圧部材 18 a ~ 18 d を設けて、加圧部材 18 a ~ 18 d 毎に上部実装基板 16 との間にそれぞればね定数 L_1 、 L_2 が異なるばね 30 a ~ 30 d を配置してもよい。

【0036】

各ばね 30 a ~ 30 d のばね定数を調整することによって、各加圧部材 18 a ~ 18 d によって半導体基板 10 に与えられる荷重を独立に調整することができ、半導体基板 10 内に発生させる応力の分布をより細かく制御することができる。勿論、必要に応じて、加

40

50

圧部材 18 及びそれに付随するばね 30 の数を増減させてもよい。また、ばね 30 の変わりにゴム等の別の弾性体を適用してもよい。

【0037】

<変形例 2>

また、図 9 に示すように、加圧部材 18 のリング状のブロックの中央の空洞部や周辺部に導電性のブロック 32, 34 をそれぞれ充填する構成としてもよい。導電性のブロック 32, 34 を半導体基板 10 の表面に接触するように配置することによって、加圧部材 18 のみを導電性の材料で構成した場合に比べて半導体基板 10 に対する電気的な接触面積を大きくすることができ、大電力素子の配線としてより優れた特性を得ることができる。このとき、導電性のブロック 32, 34 のヤング率を加圧部材 18 のヤング率よりも小さくすることによって、加圧部材 18 のリング状のブロックのみが半導体基板 10 の表面に荷重を加えるようにすることができる。

10

【0038】

また、荷重の印加によって導電性のブロック 32, 34 の形状の変形を防ぐために、図 10 に示すように、外部のブロック 34 の外周を取り囲むように障壁部材 36 を設けてもよい。このとき、障壁部材 36 のヤング率は、少なくともブロック 32, 34 のヤング率よりも大きく、加圧部材 18 への荷重の印加によって変形が生じない程度に設定することが好適である。

【0039】

<変形例 3>

20

上記実施の形態及び変形例 1 では、加圧部材 18 を半導体基板 10 の表面側に配置し、半導体基板 10 の表面から裏面に向けて厚さ方向に荷重を加える構成としたが、図 11 (a) の装置平面図及び図 11 (b) の装置断面図に示すように、半導体基板 10 の裏面側に下部実装基板 14 を挟んで加圧部材 18 を配置し、半導体基板 10 の裏面から表面に向けて厚さ方向に荷重を加える構成としてもよい。このような構成によっても、上記実施の形態及び変形例 1 と同様の作用・効果を得ることができる。

【図面の簡単な説明】

【0040】

【図 1】本発明の実施の形態における半導体装置の構成を示す平面図及び断面図である。

【図 2】加圧部材を用いた荷重印加を説明する図である。

30

【図 3】本発明の実施の形態における加圧部材を用いた荷重印加による応力分布を説明する図である。

【図 4】本発明の実施の形態における加圧部材を用いた荷重印加による抵抗率分布を説明する図である。

【図 5】本発明の実施の形態における加圧部材を用いた荷重印加による温度分布の変化を説明する図である。

【図 6】シリコン基板に対する荷重方向、通電方向、及び、抵抗率の変化の関係を示す図である。

【図 7】本発明の実施の形態における半導体装置の別例の構成を示す断面図である。

【図 8】本発明の実施の形態における半導体装置の変形例 1 の構成を示す断面図である。

40

【図 9】本発明の実施の形態における半導体装置の変形例 2 の構成を示す断面図である。

【図 10】本発明の実施の形態における半導体装置の変形例 2 の構成を示す断面図である。

【図 11】本発明の実施の形態における半導体装置の変形例 3 の構成を示す断面図である。

【図 12】従来の半導体装置における温度分布を示す図である。

【符号の説明】

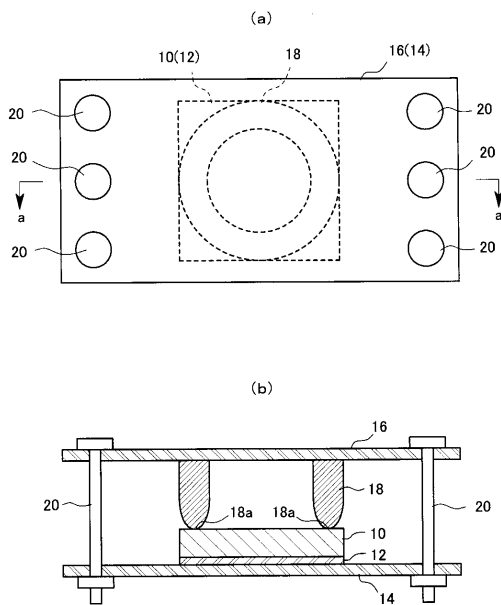
【0041】

10 半導体基板、12 接着層、14 下部実装基板、16 上部実装基板、18 (18a-18e) 加圧部材、18a, 18b 先端部、20 接合部材、30 ばね、

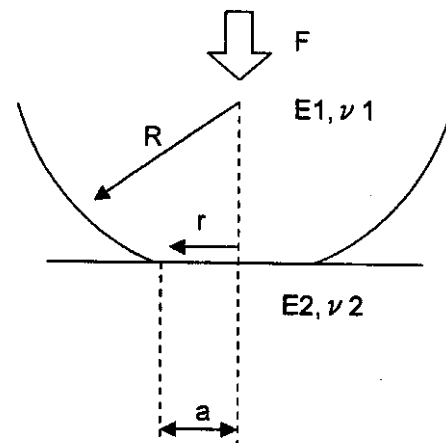
50

32, 34 ブロック、36 障壁部材。

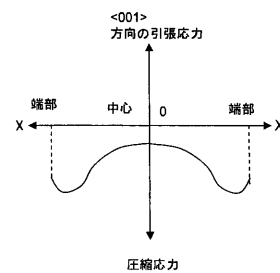
【図1】



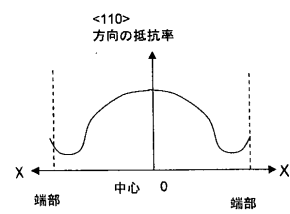
【図2】



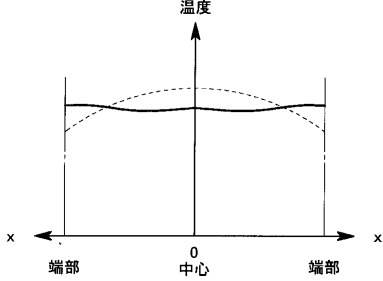
【図3】



【 図 4 】



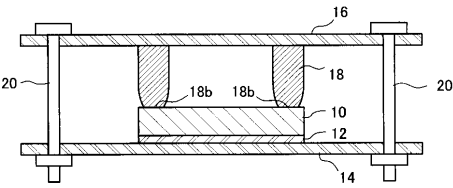
【 図 5 】



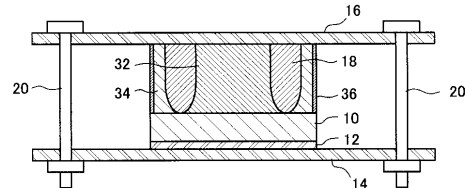
【 図 6 】

	通電方向	抵抗変化率[$\times 10^{-11}/\text{Pa}$]	
		n型	p型
 縦型 $\langle 001 \rangle$	$\langle 001 \rangle$	-102.2	+6.6
	$\langle 110 \rangle$	53.4	-1.1
	$\langle \bar{1}\bar{1}0 \rangle$	53.4	-1.1
 縦型 $\langle 110 \rangle$	$\langle 110 \rangle$	-31.2	71.8
	$\langle \bar{1}\bar{1}0 \rangle$	-17.6	-66.3
	$\langle 001 \rangle$	53.4	-1.1
 縦型 $\langle 111 \rangle$	$\langle 111 \rangle$	-7.5	93.5
	$\langle \bar{1}\bar{1}0 \rangle$	-44.6	6.1
	$\langle \bar{1}\bar{1}2 \rangle$	-44.6	6.1

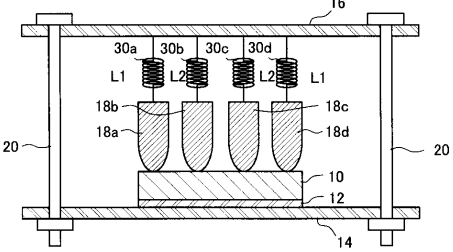
【 図 7 】



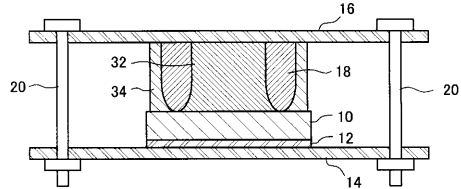
【 図 10 】



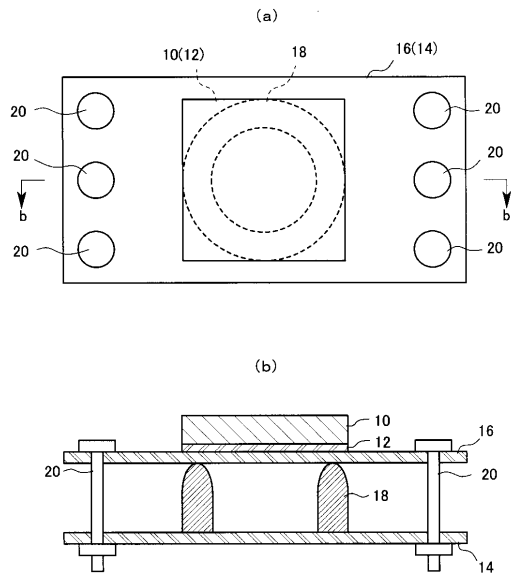
【 図 8 】



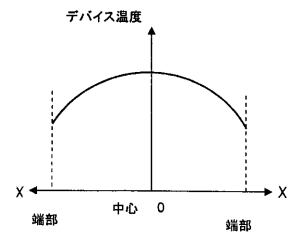
【 図 9 】



【図 1 1】



【図 1 2】



フロントページの続き

- (72)発明者 堀田 幸司
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 桑野 聡
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 田中 宏明
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内