

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成29年12月7日(2017.12.7)

【公開番号】特開2016-114780(P2016-114780A)
 【公開日】平成28年6月23日(2016.6.23)
 【年通号数】公開・登録公報2016-038
 【出願番号】特願2014-253263(P2014-253263)
 【国際特許分類】

G 0 2 F 1/1343 (2006.01)
 G 0 9 G 3/20 (2006.01)
 G 0 9 G 3/36 (2006.01)
 G 0 9 F 9/30 (2006.01)
 G 0 9 F 9/302 (2006.01)
 G 0 2 F 1/1368 (2006.01)

【 F I 】

G 0 2 F 1/1343
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/20 6 4 2 K
 G 0 9 G 3/36
 G 0 9 G 3/20 6 4 2 D
 G 0 9 G 3/20 6 1 1 A
 G 0 9 G 3/20 6 4 2 E
 G 0 9 F 9/30 3 3 8
 G 0 9 F 9/302 C
 G 0 2 F 1/1368

【手続補正書】
 【提出日】平成29年10月26日(2017.10.26)
 【手続補正1】
 【補正対象書類名】明細書
 【補正対象項目名】0004
 【補正方法】変更
 【補正の内容】
 【0004】

本発明者らは、赤の副画素（以下、「R」と略す。）、緑の副画素（以下、「G」と略す。）、青の副画素（以下、「B」と略す。）のうち、Bの半数を白の副画素（以下、「W」と略す。）に置き換えるRGBW方式の表示装置を検討していたところ、以下の問題があることを見出した。

すなわち、RおよびGの開口率がWおよびBの開口率よりも小さくなってしまふ。

その他の課題と新規な特徴は、本開示の記述および添付図面から明らかになるであろう。

【手続補正2】
 【補正対象書類名】明細書
 【補正対象項目名】0008
 【補正方法】変更
 【補正の内容】
 【0008】

< RGBW方式の画素配列 >

まず、本発明者らが検討したRGBW方式（以下、単に「RGBW方式」という）の表

示装置の画素配列について図1を用いて説明する。図1はRGBW方式の表示装置の画素配列を示す平面図である。

図1に示すように、RGBW方式の表示装置100Sは、R、GおよびBで構成される第1の画素と、R、GおよびWで構成される第2の画素と、が存在する。表示装置100SはWの追加によって透過率を向上させるため、Bの副画素数の1/2をWに置き換えている。GおよびRのそれぞれの開口面積は、BおよびWのそれぞれの開口面積の約1/2にしている。第1の画素はY方向にRとGとが隣接配置され、X方向にRおよびGとBとが隣接配置されている。第2の画素はY方向にRとGとが隣接配置され、X方向にRおよびGとWとが隣接配置されている。X方向に第1の画素と第2の画素とが交互に配置され、Y方向に第1の画素と第2の画素とが交互に配置されている。R、G、BおよびWの開口形状はそれぞれY方向の長さがX方向の長さより長い矩形形状をしている。

R、G、BおよびWは、それぞれ走査線(ゲート線)および信号線(ソース線)に接続される薄膜トランジスタ(TFT)を備えている。走査線はTFTのゲート電極に接続され、信号線はTFTのソース電極に接続される。なお、信号線をドレイン線ということもあり、ドレイン線に接続されるTFTの電極をドレイン電極という。

走査線GL1と走査線GL2との間に配置された第1の画素のRおよびBは走査線GL2に接続され、Gは走査線GL1に接続される。また、走査線GL1と走査線GL2との間に配置された第2の画素のRおよびWは走査線GL2に接続され、Gは走査線GL1に接続される。言い換えると、走査線GL2を挟んで隣接する第1の画素のRおよび第2の画素のGは走査線GL2に接続される。また、走査線GL2を挟んで隣接する第2の画素のRおよび第1の画素のGは走査線GL2に接続される。走査線GL2を挟んで隣接する第1の画素のBは走査線GL2に接続され、第2の画素のWは走査線GL3に接続される。すなわち、Y方向に隣接するGとRとは同一の走査線に接続され、Y方向に隣接するWとBとは異なる走査線に接続される。

Rは信号線SL1に接続され、Gは信号線SL2に接続され、WおよびBは信号線SL3に接続される。RおよびGは信号線SL1と信号線SL2との間に配置され、WおよびBは信号線SL3と信号線SL4との間に配置される。言い換えると、信号線SL1と信号線SL2との間に配置されたRは信号線SL1に接続され、信号線SL1と信号線SL2との間に配置されたGは信号線SL2に接続される。また、信号線SL3と信号線SL4との間に配置されたWおよびBは信号線SL3に接続される。なお、信号線SL2と信号線SL3との間には副画素は配置されない。すなわち、副画素間に信号線が1本配置されるものと、副画素間に2本の信号線が配置されるものがある。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

<実施形態2>

第2の実施形態(実施形態2)に係る表示装置について図16および図17を用いて説明する。図16は実施形態に係る表示装置の構成を示す平面図である。図17は図16のB-B'線における断面図である。なお、図16のA-A'線における断面図は図8に示す表示装置100Aと同様である。

実施形態1に係る表示装置100Bは、信号線の配置を除いて、実施形態1に係る表示装置100Aと同様な構成である。表示装置100Aでは信号線SL2の一部は走査線と同じ層で形成しているが、表示装置100Bでは信号線SL2の一部を第3の配線層(信号線でも走査線でもない配線層)に形成して積層する。例えば、第3の配線層は信号線よりも上層に形成される。

図16および図17に示すように、表示装置100Bは、走査線GL2と、走査線GL2の上に形成された層間絶縁膜14と、層間絶縁膜14の上に形成された信号線SL1、

S L 2 , S L 3 , S L 4 およびドレイン電極 D E 1 , D E 2 , D E 3 と、を備える。さらに、表示装置 1 0 0 B は、信号線 S L 1 , S L 2 , S L 3 , S L 4 およびドレイン電極 D E 1 , D E 2 , D E 3 の上に形成された有機絶縁膜からなる平坦化膜 1 6 と、平坦化膜 1 6 の上に形成された第 3 の配線層 3 M (信号線 S L 2) と、平坦化膜 1 6 のコンタクトホール、平坦化膜 1 6 および第 3 の配線層 3 M の上に形成された層間絶縁膜 1 8 と、を備える。さらに、表示装置 1 0 0 B は、層間絶縁膜 1 8 のコンタクトホールおよび層間絶縁膜 1 8 の上に形成された画素電極 P E 1 , P E 2 , P E 3 と、を備える。なお、平坦化膜 1 6 と層間絶縁膜 1 8 との間に、図示していない共通電極が形成される。画素電極 P E 1 , P E 2 , P E 3 は平坦化膜 1 6 のコンタクトホールの中に設けられた層間絶縁膜 1 8 のコンタクトホールを介してそれぞれドレイン電極 D E 1 , D E 2 , D E 3 と接続する。画素電極 P E 1 は R 用であり、画素電極 P E 2 は G 用であり、画素電極 P E 3 は B 用である。画素電極 P E 1 , P E 2 , P E 3 は櫛歯状の 2 本のメイン電極を有し、2 本のメイン電極は Y 方向に対し右に所定の角度傾いて延在する。画素電極 P E 2 のメイン電極は図示していないが、- Y 方向に対し左に所定の角度傾いて延在する。

R と B との間に配置される信号線 S L 2 (3 M) は、信号線 S L 3 の上層に位置する。これにより、実施形態 2 の R の開口部の X 方向の長さ (W 5) を比較例 2 の R の開口部の X 方向の長さ (W 2) よりも長くすることができ、開口面積を拡大することができる。よって、R の開口率を大きくすることができる。G と W との間に配置される信号線 S L 2 (G L) も、信号線 S L 3 の上層に位置する。これにより、G の開口部の X 方向の長さを長くすることができ、開口面積を拡大することができる。よって、G の開口率を大きくすることができる。信号線を積層して配置することによって画素面積に対する信号線部の面積比率を低くすることができるので高精細画素であっても高開口率化が可能である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

実施例 2 に係る表示装置について図 1 8 および図 1 9 を用いて説明する。図 1 8 は実施例 2 に係る表示装置の画素、走査線および信号線の配置を説明するための平面図である。図 1 9 は図 1 8 の B - B 線 ' における断面図である。なお、図 1 8 の A - A 線 ' における断面図は図 1 5 に示す表示装置 1 0 0 A 1 と同様である。

図 1 8 および図 1 9 に示すように、表示装置 1 0 0 B 1 は、ポリシリコン層 P S 1 , P S 2 , P S 3 の上に形成されたゲート絶縁膜 1 2 と、ゲート絶縁膜 1 2 の上に形成された走査線 G L 2 と、走査線 G L 2 の上に形成された層間絶縁膜 1 4 と、層間絶縁膜 1 4 の上に形成された信号線 S L 1 , S L 2 , S L 3 およびドレイン電極 D E 1 , D E 2 , D E 3 と、を備える。さらに、表示装置 1 0 0 B 1 は、信号線 S L 1 , S L 2 , S L 3 およびドレイン電極 D E 1 , D E 2 , D E 3 の上に形成された有機絶縁膜からなる平坦化膜 1 6 と、平坦化膜 1 6 の上に形成された第 3 の配線層 3 M および共通電極 C E と、第 3 の配線層 3 M および共通電極 C E の上に形成された層間絶縁膜 1 8 と、層間絶縁膜 1 8 の上に形成された画素電極 P E 1 , P E 2 , P E 3 , P E 4 と、を備える。画素電極 P E 1 , P E 2 , P E 3 , P E 4 は平坦化膜 1 6 のコンタクトホールの中に設けられた層間絶縁膜 1 8 のコンタクトホールを介してそれぞれドレイン電極 D E 1 , D E 2 , D E 3 と接続する。画素電極 P E 1 は R 用であり、画素電極 P E 2 は G 用であり、画素電極 P E 3 は B 用であり、画素電極 P E 4 は W 用である。画素電極 P E 1 , P E 2 , P E 3 , P E 4 は櫛歯状の 2 本のメイン電極を有する。画素電極 P E 1 , P E 3 の 2 本のメイン電極は Y 方向に対し右に所定の角度傾いて延在し、画素電極 P E 2 , P E 4 のメイン電極は - Y 方向に対し左に所定の角度傾いて延在する。

R と B との間に配置される信号線 S L 2 (3 M) は、信号線 S L 3 の上層に位置する。R と G との間に Y 方向に延在する信号線 S L 2 は平坦化膜 1 6 のコンタクトホール C H 4

を介して信号線 S L 2 (3 M) と接続する。G と W との間に配置される信号線 S L 2 (3 M) は、信号線 S L 3 の上層に位置する。R と G との間に Y 方向に延在する信号線 S L 2 は平坦化膜 1 6 のコンタクトホール C H 5 を介して信号線 S L 2 (3 M) と接続する。信号線 S L 1 , S L 2 , S L 3 およびドレイン電極 D E 1 , D E 2 , D E 3 はそれぞれ層間絶縁膜 1 4 およびゲート絶縁膜 1 2 のコンタクトホールを介してポリシリコン層 P S 1 , P S 2 , P S 3 と接続する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 6

【補正方法】変更

【補正の内容】

【0 0 1 6】

< 実施形態 3 >

第 3 の実施形態 (実施形態 3) に係る表示装置について図 2 0 および図 2 1 を用いて説明する。図 2 0 は実施形態 3 に係る表示装置の構成を示す平面図である。図 2 1 は図 2 0 の B - B ' 線における断面図である。なお、図 2 0 の A - A 線 ' における断面図は図 8 に示す表示装置 1 0 0 A と同様である。

実施形態 3 に係る表示装置 1 0 0 C は、信号線の配置を除いて、実施形態 1 に係る表示装置 1 0 0 A と同様な構成である。表示装置 1 0 0 A では信号線 S L 2 の一部は走査線と同じ層で形成しているが、表示装置 1 0 0 C では信号線 S L 2 の一部を半導体層 (ポリシリコン層) に形成して積層する。半導体層は信号線よりも下層に形成される。

図 2 0 および図 2 1 に示すように、表示装置 1 0 0 C は、ポリシリコン層で形成された信号線 S L 2 (P S) と、信号線 S L 2 (P S) の上に形成されたゲート絶縁膜 1 2 と、ゲート絶縁膜 1 2 の上に形成された走査線 G L 2 と、走査線 G L 2 と、走査線 G L 2 の上に形成された層間絶縁膜 1 4 と、層間絶縁膜 1 4 の上に形成された信号線 S L 1 , S L 2 , S L 3 , S L 4 およびドレイン電極 D E 1 , D E 2 , D E 3 と、を備える。さらに、表示装置 1 0 0 R 1 は、信号線 S L 1 , S L 2 , S L 3 , S L 4 およびドレイン電極 D E 1 , D E 2 , D E 3 の上に形成された有機絶縁膜からなる平坦化膜 1 6 と、平坦化膜 1 6 のコンタクトホールおよび平坦化膜 1 6 の上に形成された層間絶縁膜 1 8 と、を備える。さらに、表示装置 1 0 0 C は、層間絶縁膜 1 8 のコンタクトホールおよび層間絶縁膜 1 8 の上に形成された画素電極 P E 1 , P E 2 , P E 3 と、を備える。なお、平坦化膜 1 6 と層間絶縁膜 1 8 との間に、図示していない共通電極が形成される。画素電極 P E 1 , P E 2 , P E 3 は平坦化膜 1 6 のコンタクトホールの中に設けられた層間絶縁膜 1 8 のコンタクトホールを介してそれぞれドレイン電極 D E 1 , D E 2 , D E 3 と接続する。画素電極 P E 1 は R 用であり、画素電極 P E 2 は G 用であり、画素電極 P E 3 は B 用である。画素電極 P E 1 , P E 2 , P E 3 は櫛歯状の 2 本のメイン電極を有し、2 本のメイン電極は Y 方向に対し右に所定の角度傾いて延在する。画素電極 P E 2 のメイン電極は図示していないが、- Y 方向に対し左に所定の角度傾いて延在する。

R と B との間に配置される信号線 S L 2 (P S) は T F T の半導体層と同層により形成され、信号線 S L 3 の下層に位置する。これにより、実施形態 3 の R の開口部の X 方向の長さ (W 6) を比較例 2 の R の開口部の X 方向の長さ (W 2) よりも長くすることができる。開口面積を拡大することができる。よって、R の開口率を大きくすることができる。G と W との間に配置される信号線 S L 2 (G L) も走査線と同層により形成され、信号線 S L 3 の下層に位置する。これにより、G の開口部の X 方向の長さを長くすることができる。開口面積を拡大することができる。よって、G の開口率を大きくすることができる。信号線を積層して配置することによって画素面積に対する信号線部の面積比率を低くすることができるので高精細画素であっても高開口率化が可能である。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正の内容】

【0017】

実施例3に係る表示装置について図22および図23を用いて説明する。図22は実施例3に係る表示装置の画素、走査線および信号線の配置を説明するための平面図である。図23は図22のB-B線'における断面図である。なお、図22のA-A線'における断面図は図15に示す表示装置100A1と同様である。

図22および図23に示すように、表示装置100C1は、ポリシリコン層PS1, PS2, PS3およびポリシリコン層で形成されたSL2(PS)と、ポリシリコン層PS1, PS2, PS3およびSL2(PS)の上に形成されたゲート絶縁膜12と、ゲート絶縁膜12の上に形成された走査線GL2と、走査線GL2と、走査線GL2の上に形成された層間絶縁膜14と、層間絶縁膜14の上に形成された信号線SL1, SL2, SL3およびドレイン電極DE1, DE2, DE3と、を備える。さらに、表示装置100C1は、信号線SL1, SL2, SL3およびドレイン電極DE1, DE2, DE3の上に形成された有機絶縁膜からなる平坦化膜16と、平坦化膜16の上に形成された共通電極CEと、共通電極CEの上に形成された層間絶縁膜18と、層間絶縁膜18の上に形成された画素電極PE1, PE2, PE3, PE4と、を備える。画素電極PE1, PE2, PE3, PE4は平坦化膜16のコンタクトホールの中に設けられた層間絶縁膜18のコンタクトホールを介してそれぞれドレイン電極DE1, DE2, DE3と接続する。画素電極PE1はR用であり、画素電極PE2はG用であり、画素電極PE3はB用であり、画素電極PE4はW用である。画素電極PE1, PE2, PE3, PE4は櫛歯状の2本のメイン電極を有する。画素電極PE1, PE3の2本のメイン電極はY方向に対し右に所定の角度傾いて延在し、画素電極PE2, PE4のメイン電極は-Y方向に対し左に所定の角度傾いて延在する。

RとBとの間に配置される信号線SL2(PS)はポリシリコン層PS1, PS2, PS3と同じ層により形成され、信号線SL3の下層に位置する。RとGとの間にY方向に延在する信号線SL2は層間絶縁膜14のコンタクトホールCH6を介して信号線SL2(PS)と接続する。GとWとの間に配置される信号線SL2(PS)もポリシリコン層PS1, PS2, PS3と同じ層により形成され、信号線SL3の下層に位置する。RとGとの間にY方向に延在する信号線SL2は層間絶縁膜14のコンタクトホールCH7を介して信号線SL2(PS)と接続する。信号線SL1, SL2, SL3およびドレイン電極DE1, DE2, DE3はそれぞれ層間絶縁膜14およびゲート絶縁膜12のコンタクトホールを介してポリシリコン層PS1, PS2, PS3と接続する。