

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4609867号
(P4609867)

(45) 発行日 平成23年1月12日 (2011. 1. 12)

(24) 登録日 平成22年10月22日 (2010. 10. 22)

(51) Int. Cl.	F I
HO 1 L 21/02 (2006. 01)	HO 1 L 27/12 B
HO 1 L 27/12 (2006. 01)	HO 1 L 29/78 6 2 7 D
HO 1 L 29/786 (2006. 01)	
HO 1 L 21/336 (2006. 01)	

請求項の数 10 (全 13 頁)

(21) 出願番号	特願平11-209248	(73) 特許権者	000153878
(22) 出願日	平成11年7月23日 (1999. 7. 23)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2000-106424 (P2000-106424A)		神奈川県厚木市長谷398番地
(43) 公開日	平成12年4月11日 (2000. 4. 11)	(74) 代理人	100103159
審査請求日	平成18年7月19日 (2006. 7. 19)		弁理士 加茂 裕邦
(31) 優先権主張番号	特願平10-214125	(72) 発明者	福永 健司
(32) 優先日	平成10年7月29日 (1998. 7. 29)		神奈川県厚木市長谷398番地 株式会社
(33) 優先権主張国	日本国 (JP)		半導体エネルギー研究所内
		審査官	萩原 周治
		(56) 参考文献	特開平07-235651 (JP, A)
			特開平05-257171 (JP, A)
			特開平07-283381 (JP, A)
			特開平09-162090 (JP, A)
			最終頁に続く

(54) 【発明の名称】 SOI基板の作製方法及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

単結晶半導体基板の表面に絶縁層でなるマスクを形成し、
陽極化成処理により前記単結晶半導体基板の一部を多孔質層に変化させ、
前記マスクを除去し、
前記単結晶半導体基板及び前記多孔質層の表面に第1酸化物層を形成し、
前記第1酸化物層の上から水素を添加し、前記単結晶半導体基板及び前記多孔質層中に
水素添加層を形成し、

前記単結晶半導体基板上の前記第1酸化物層と、支持基板上に設けられた第2酸化物層
とを貼り合わせ、

第1熱処理により前記単結晶半導体基板及び前記多孔質層を前記水素添加層に沿って分
断し、

前記水素添加層に沿って分断する工程の後、支持基板に対して900～1200℃の温
度範囲で第2熱処理を行い、

前記第2熱処理の後、支持基板の上に存在する前記多孔質層を除去する
ことを特徴とするSOI基板の作製方法。

【請求項2】

請求項1において

前記第1酸化物層を形成した後、当該第1酸化物層を平坦化することを特徴とするSO
I基板の作製方法。

【請求項 3】

請求項 2 において

前記平坦化の工程として、ケミカルメカニカルポリッシングを用いることを特徴とする S O I 基板の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記支持基板として、半導体基板、石英基板、セラミックス基板、金属基板又はステンレス基板のいずれかが用いられることを特徴とする S O I 基板の作製方法。

【請求項 5】

単結晶半導体基板の表面に絶縁層でなるマスクを形成し、

陽極化成処理により前記単結晶半導体基板の一部を多孔質層に変化させ、

前記マスクを除去し、

前記単結晶半導体基板及び前記多孔質層の表面に第 1 酸化物層を形成し、

前記第 1 酸化物層の上から水素を添加し、前記単結晶半導体基板及び前記多孔質層中に水素添加層を形成し、

前記単結晶半導体基板上の前記第 1 酸化物層と、支持基板上に設けられた第 2 酸化物層とを貼り合わせ、

第 1 熱処理により前記単結晶半導体基板及び前記多孔質層を前記水素添加層に沿って分断し、

前記水素添加層に沿って分断する工程の後、支持基板に対して 900～1200℃の温度範囲で第 2 熱処理を行い、

前記第 2 熱処理の後、支持基板の上に存在する前記多孔質層を除去して島状の単結晶シリコン層を形成することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 5 において

前記マスクは、前記島状の単結晶シリコン層となる領域に形成されることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 5 または請求項 6 において、

さらに、前記島状の単結晶シリコン層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成し、

前記島状の単結晶シリコン層に n 型または p 型を付与する不純物を添加し、ソース領域、ドレイン領域およびチャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 5 乃至請求項 7 のいずれか一項において、

前記第 1 酸化物層を形成した後、当該第 1 酸化物層を平坦化することを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 8 において

前記平坦化の工程として、ケミカルメカニカルポリッシングを用いることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 5 乃至請求項 9 のいずれか一項において、

前記支持基板として、半導体基板、石英基板、セラミックス基板、金属基板又はステンレス基板のいずれかが用いられることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は絶縁表面を有する基板上に形成された単結晶半導体薄膜有する S O I 基板及び

10

20

30

40

50

それを用いた薄膜トランジスタ（以下、T F Tと呼ぶ）の作製方法を提供するものであり、T F Tで構成された半導体回路を含む半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは半導体特性を利用することで機能しうる装置全般を指す。即ち、液晶表示装置に代表される電気光学装置、T F Tを集積化した半導体回路、またその様な電気光学装置や半導体回路を部品として含む電子機器も半導体装置である。

【0003】

【従来の技術】

近年、V L S I 技術が飛躍的な進歩を遂げる中で低消費電力を実現するS O I（Silicon on Insulator）構造が注目されている。この技術は従来バルク単結晶半導体で形成されていたF E Tの活性領域（チャンネル形成領域）を、薄膜単結晶半導体とする技術である。

【0004】

S O I 基板では単結晶シリコン上に酸化シリコンでなる埋め込み酸化膜が存在し、その上に単結晶半導体薄膜が形成される。この様なS O I 基板の作製方法は様々な方法が知られているが、最近では貼り合わせS O I 基板が注目されている。貼り合わせS O I 基板とは、その名の通り2枚のシリコン基板を貼り合わせることでS O I 構造を実現するものである。この技術は将来的にはガラス基板などの上にも単結晶シリコン薄膜を形成できる可能性がある。

【0005】

その貼り合わせS O I 基板の中でも最近特に注目されているのがSmart-Cut（SOITEC社の登録商標）と呼ばれる技術である。Smart-Cut法は水素脆化を利用した貼り合わせS O I 基板の作製方法である。Smart-Cut法の詳細な技術に関しては、「工業調査会, 電子材料8月号, pp.83~87, 1997」に詳しい。

【0006】

上記文献によれば、支持体となるシリコン基板上に単結晶シリコン薄膜を形成する際、2回の熱処理工程を行う。1度目は400~600℃の熱処理により水素脆化現象を発生させて単結晶シリコン薄膜を分離する工程、2度目は1100℃程度の熱処理により貼り合わせ界面の安定化を図る工程である。

【0007】

この時、特に2度目の熱処理工程において強い応力が単結晶シリコン薄膜に生じてしまい、シリコン基板の端部で単結晶シリコン薄膜が割れたり剥がれたりするという現象が起こる場合がある。この問題点は、Smart-Cut法を用いる上で非常に重要な問題点であり、根本的な解決が要求されている。

【0008】

【発明が解決しようとする課題】

本願発明は上記問題点を解決するための手段を提供するものであり、単結晶半導体薄膜（典型的には単結晶シリコン薄膜）の割れや剥がれを生じることなく貼り合わせS O I 基板を作製するための技術を提供することを課題とする。

【0009】

そして、本願発明のS O I 基板を用いて形成されたT F Tの製造歩留まりの向上や製造コスト低減、延いてはT F Tを用いた半導体回路や電気光学装置の歩留まり向上やコスト低減を課題とする。さらに、その様な半導体回路や電気光学装置を搭載した電子機器の製造歩留まりの向上や製品価格の低減を課題とする。

【0010】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

単結晶半導体（典型的には単結晶シリコン）基板の主表面に絶縁膜でなるマスクを形成する工程と、

陽極化成処理により前記単結晶半導体基板の一部を多孔質層に変化させる工程と、

10

20

30

40

50

前記マスクを除去する工程と、
前記単結晶半導体基板及び前記多孔質層の主表面に第1酸化物層を形成する工程と、
前記第1酸化物層の上から水素を添加し、前記単結晶半導体基板及び多孔質層中に水素添加層を形成する工程と、
前記単結晶半導体基板に対して第2酸化物層を設けた支持基板を貼り合わせる工程と、
第1熱処理により前記単結晶半導体基板及び前記多孔質層を前記水素添加層に沿って分断する工程と、
前記水素添加層に沿って分断する工程の後、支持基板に対して900～1200℃の温度範囲で第2熱処理を行う工程と、
前記第2熱処理の後、支持基板の上に存在する多孔質層を除去する工程と、
を有することを特徴とするものである。

10

【0011】

なお、上記構成において、前記第1酸化物層を形成した後、当該第1酸化物層を平坦化する工程を行っても良い。平坦化工程としてはCMP（ケミカルメカニカルポリッシング）などの研磨技術を用いると良い。

【0012】

また、前記第1熱処理は400～600℃（代表的には500℃）の温度で行われる。この時、水素添加層において水素添加層に沿った方向（貼り合わせ界面に平行な方向）で水素脆化が起こり、この部分から単結晶半導体基板は分断されることになる。

【0013】

また、前記第2熱処理は900～1200℃（代表的には1050～1150℃）の温度で行われる。1100℃付近を超えるとSi-O-Si結合の応力緩和が起こり貼り合わせ界面が安定化する。

20

【0014】

また、上記構成において、前記第2熱処理は還元雰囲気（水素雰囲気又は水素を含む雰囲気）中で行われることが好ましい。水素を含む雰囲気としては水素と窒素の混合雰囲気やアンモニア雰囲気などが挙げられる。勿論、本願発明を実施するにあたって還元雰囲気に限定する必要はない。

【0015】

以上の様な構成を含む本願発明であるが、最も重要な要旨は、貼り合わせSOI基板を製作するに先だって単結晶半導体基板（単結晶半導体薄膜の母体となる基板）に応力緩和のための工夫を施しておくことにある。

30

【0016】

即ち、後に活性層となる領域以外の主表面近傍を予め多孔質層に変化させておくことで、基板貼り合わせ時の熱処理によって生じる応力を多孔質層で緩和する。そうすることにより応力による単結晶半導体薄膜の割れや剥がれを防ぐことができる。

【0017】

従って、歩留まり良く単結晶半導体薄膜を形成することが可能となり、SOI基板さらにはそのSOI基板を用いたTFTの製造歩留まりが向上する。従って、その様なTFTで半導体回路を構成する全ての半導体装置の歩留まり向上及び製造コスト低減を実現することが可能となる。

40

【0018】

【発明の実施の形態】

本願発明の実施の形態について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0019】

【実施例】

（実施例1）

本願発明の構成について、図1、図2を用いて説明する。まず、単結晶シリコン基板101を用意し、その主表面（素子形成面）に50nm厚の絶縁膜（本実施例では酸化シリコン

50

膜)を形成する。そして、酸化シリコン膜をパターンニングして選択的にマスク102を形成する。なお、本実施例では酸化シリコン膜を用いるが、窒化シリコン膜や酸化窒化シリコン膜、さらにはレジストマスクなど他の絶縁膜を用いても良い。

【0020】

また、マスク102を形成する位置は少なくとも後にTFTの活性層として機能する部分である。マスク102を設けた部分のみが単結晶シリコン薄膜として用いることが可能となる。

【0021】

次に、単結晶シリコン基板101の主表面を陽極化成処理することにより単結晶シリコン基板101の一部(マスク102が設けられず露呈した領域)を多孔質層103に変化させる。陽極化成工程はフッ酸とエタノールの混合溶液中で行えば良い。多孔質層103は柱状の表面孔が表面密度にして 10^{11} 個/cm³程度存在し、単結晶シリコン基板101の結晶状態(配向性等)をそのまま受け継ぐ。この時、多孔質層103は後に水素添加層が形成される深さよりも深くまで形成しておくことが好ましい。

【0022】

次に、マスク102を除去して単結晶シリコン基板101及び多孔質層103の主表面に第1酸化物層104を形成する。(図1(B))

【0023】

なお、第1酸化物層104を形成する前(マスク102を除去した後)に還元雰囲気中において900~1200℃(好ましくは1000~1150℃)の温度範囲の熱処理工程を行うことは有効である。還元雰囲気としては水素雰囲気、アンモニア雰囲気、水素又はアンモニアを含む不活性雰囲気(水素と窒素又は水素とアルゴンの混合雰囲気など)が望ましい。

【0024】

この還元雰囲気における熱処理工程を行うと多孔質層103の表面孔がシリコン原子の移動によって閉塞される。即ち、非常に平坦な単結晶に近い層が形成される。こうしておいた方が、次の工程で均一な酸化シリコン層を形成しやすくなる。

【0025】

この時、第1酸化物層104の形成方法としては公知の酸化方法(熱酸化法またはプラズマ酸化法)若しくは公知の気相法(プラズマCVD法、減圧熱CVD法、スパッタ法)を用いることができる。また、第1酸化物層104を形成した後、第1酸化物層104を平坦化することは有効である。平坦化手段としては、CMP技術を用いた研磨方法やドライエッチング技術を用いたエッチバック法がある。

【0026】

こうして図1(B)の状態が得られたら、第1酸化物層104を通して単結晶シリコン基板101及び多孔質層103中に水素(厳密には水素イオン)を添加する。この水素イオンの添加工程によって水素添加層105が形成される。(図1(C))

【0027】

この場合、水素イオンの添加工程にはイオンインプランテーション法を用いれば良い。勿論、プラズマドーピング法など他の手段で行うことも可能である。本実施例ではこの工程で水素イオンを $1 \times 10^{16} \sim 1 \times 10^{17}$ atoms/cm²のドーズ量で添加する。

【0028】

なお、水素添加層105が形成される深さは後に単結晶シリコン薄膜の膜厚を決定するため、精密な制御が必要である。本実施例では単結晶シリコン基板101の主表面と水素添加層105との間に50nm厚の単結晶シリコン薄膜が残る様に水素添加プロファイルの深さ方向の制御を行っている。

【0029】

またこの時、多孔質層103を水素添加層105が横切る様にしておくことが好ましい。こうすることで、後の工程において水素添加層に沿って分断した際に、その時点で多孔質層を露呈させることができるからである。

10

20

30

40

50

【0030】

次に、支持基板107として表面に第2酸化物層106を設けたセラミックス基板を用意する。セラミックス基板の代わりに石英基板、ガラスセラミックス基板、半導体基板（単結晶も多結晶も含む）、ステンレス基板又は金属（Ta、W、Mo、Ti若しくはそれらを組み合わせた合金）基板を用いても良いが、貼り合わせ工程の段階で必要となるので表面に酸化シリコン層を設けておく必要がある。

【0031】

また、上記支持基板では第2酸化物層106の下地として金属層や窒化アルミニウム層等の放熱性（熱伝導性）の高い材料を設けておくことも好ましい。こうすることで発熱による半導体装置の劣化を防ぐことができる。

10

【0032】

なお、第2酸化物層106の形成方法は減圧熱CVD法、スパッタ法、プラズマCVD法などの気相法を用いても良いし、支持基板が半導体基板（例えば単結晶半導体基板）であれば熱酸化法やプラズマ酸化法を用いても良い。

【0033】

こうして単結晶シリコン基板（第1基板）と支持基板（第2基板）の準備が完了したら、互いの主表面を向かい合わせる形で両基板を貼り合わせる。この場合、第1酸化物層104と第2酸化物層106とを接着させる。（図1（D））

【0034】

この時、貼り合わせ界面は親水性の高い酸化シリコン膜同士となるので、両表面に含まれた水分の反応により水素結合で接着される。

20

【0035】

次に、400～600℃（典型的には500℃）の熱処理（第1熱処理）を行う。この熱処理により水素添加層105では微小空乏の体積変化が起こり、単結晶シリコン基板101は水素添加層105に沿って分断される。これにより単結晶シリコン基板101は分断され、第2酸化物層106の上には第1酸化物層104、単結晶シリコン薄膜109及び多孔質層110が残される。（図2（A））

【0036】

次に、第2熱処理工程として900～1200℃（代表的には1050～1150℃）の温度範囲でファーンেসアニール工程を行う。この工程では貼り合わせ界面において、Si-O-Si結合の応力緩和が起こり、貼り合わせ界面が安定化する。即ち、単結晶シリコン薄膜109を支持基板107上に完全に接着させるための工程となる。本実施例ではこの工程を1100℃2時間で行う。処理雰囲気は水素を含む雰囲気でも酸化性雰囲気でも良い。（図2（B））

30

【0037】

こうして貼り合わせ界面が安定化することで埋め込み絶縁層111が画定する。なお、図2（B）において埋め込み絶縁層111中の点線は、貼り合わせ界面を示しており、界面が強固に接着されたことを意味している。

【0038】

次に、単結晶シリコン薄膜109及び多孔質層110の表面を研磨工程によって平坦化する。研磨工程は公知のあらゆる手段を用いることができる。本実施例では、CMP（ケミカルメカニカルポリッシング）と呼ばれる研磨技術を用いることにする。

40

【0039】

次に、支持基板107の上に存在する多孔質層110（単結晶シリコン薄膜109と並んで点在する多孔質層110）をウェットエッチング法により選択的に除去する。用いるエッチャントはフッ酸水溶液と過酸化水素水溶液との混合溶液が良い。49%HFと30% H_2O_2 を1：5で混合した溶液は、単結晶シリコンと多孔質シリコンとの間で10万倍以上の選択比を持つことが報告されている。

【0040】

こうして図2（C）の状態が得られる。この状態ではセラミックス基板（支持基板）10

50

7 上に埋め込み絶縁層 1 1 1 が設けられ、その上に複数の島状単結晶シリコン層 1 1 2 が形成されている。

【0041】

この時点で S O I 基板は完成しているのだが、島状単結晶シリコン層 1 1 2 の表面には微小な凹凸が存在するので、還元雰囲気（水素雰囲気又は水素を含む雰囲気）中で 9 0 0 ~ 1 2 0 0 °C（代表的には 1 0 5 0 ~ 1 1 5 0 °C）熱処理工程を行い、表面の平坦化を施すことが望ましい。この平坦化現象は自然酸化膜を還元することによってシリコン原子の増速表面拡散が生じることによるものである。

【0042】

なお、この時、水素原子によって島状単結晶シリコン層 1 1 2 中に含まれる不純物元素（単結晶半導体基板 1 0 1 に元来含まれていたリンやボロンなど）が気相中へと離脱する効果もあるので不純物の低減にも有効である。

10

【0043】

以上の様にして、絶縁表面を有する支持基板上に島状の単結晶シリコン薄膜が形成された S O I 基板が完成する。本実施例に従えば、貼り合わせのための熱処理工程（図 2（B）に示す工程）において、多孔質層 1 1 0 が応力緩和層として機能するため、応力に起因するひび割れや剥がれといった問題を防ぐことができる。即ち、S O I 基板の製造歩留まりを大幅に向上することができる。

【0044】

（実施例 2）

20

本実施例では、実施例 1 の構成を用いて形成された島状の単結晶シリコン層を用いて T F T を作製する場合について図 3 を用いて説明する。

【0045】

まず実施例 1 の作製工程に従って島状単結晶シリコン層 3 0 1 を形成したら、次に酸化シリコン膜でなるゲート絶縁膜 3 0 2 を形成する。本実施例ではプラズマ C V D 法を用い、1 2 0 nm の厚さに形成する。次に n 型ポリシリコン膜でなるゲート電極 3 0 3 を形成する。（図 3（A））

【0046】

次に、ゲート電極 3 0 3 をマスクとして自己整合的に n 型または p 型を付与する不純物を添加する。本実施例では n 型 T F T を作製する例とし、不純物としてリンを添加する。勿論、p 型 T F T を形成するならばボロンを添加すれば良い。この工程により不純物領域 3 0 4 を形成する。（図 3（B））

30

【0047】

また、ゲート電極直下のシリコン層中に逆導電型不純物（例えば n 型 T F T に対してはボロン）を添加して T F T のしきい値電圧を制御することも有効である。この不純物はゲート電極上からスルードープによって添加しても良いし、ゲート電極形成前に予め添加しておいても良い。

【0048】

こうして図 3（B）の状態が得られたら、次に酸化シリコン膜でなるサイドウォール（サイドスペーサー）3 0 5 を形成する。サイドウォール 3 0 5 は公知の異方性エッチング技術を用いることで形成できる。また、前もってゲート電極 3 0 3 の表面にプラズマ酸化法等により酸化シリコン膜を設け、その上に窒化シリコン膜でなるサイドウォールを形成しても良い。

40

【0049】

サイドウォール 3 0 5 を形成した後、再びリンの添加工程を行い、前述の不純物領域 3 0 4 よりも濃度の高い不純物領域を形成する。この二度に渡る不純物添加工程を経て、ソース領域 3 0 6、ドレイン領域 3 0 7、L D D 領域 3 0 8、チャネル形成領域 3 0 9 が画定する。（図 3（C））

【0050】

次に、熱アニール工程を行い、前工程で添加した不純物の活性化と、添加時のダメージに

50

よるシリコン層の損傷の回復とを行う。この熱アニール工程はファーネスアニール、レーザアニール、ランプアニールのいずれかの手段を単独又は併用して行えば良い。

【0051】

次に、図3(C)の状態では全面をコバルト膜(図示せず)で覆い、熱アニール処理を行ってコバルトシリサイド層310を形成する。コバルト以外にもチタン、タングステン等の金属膜を用いることもできる。この工程は公知のシリサイド技術であるので詳細な説明は省略する。

【0052】

次に、樹脂材料でなる層間絶縁膜311を1 μ mの厚さに形成する。樹脂材料としてはポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン(BCB)等を用いることができる。また、他にも酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜を用いても良いし、これらの樹脂材料とこれらの絶縁膜を積層しても良い。

10

【0053】

次に、層間絶縁膜311にコンタクトホールを形成してアルミニウムを主成分とする材料でなるソース配線312及びドレイン配線313を形成する。最後に素子全体に対して水素雰囲気中で350 $^{\circ}$ C 2時間のファーネスアニールを行い、水素化を完了する。

【0054】

こうして、図3(D)に示す様なTF Tが得られる。なお、本実施例で説明した構造は一例であって本願発明を適用しうるTF T構造はこれに限定されない。従って、公知のあらゆるトップゲート構造のTF Tに対して適用可能である。

20

【0055】

さらに、図3(D)の構造においてドレイン配線313と電氣的に接続する画素電極(図示せず)を公知の手段で形成すればアクティブマトリクス型表示装置の画素用のスイッチング素子を形成することも容易である。

【0056】

即ち、本願発明は液晶表示装置やEL(エレクトロルミネッセンス)表示装置などの電気光学装置の作製方法としても非常に有効な技術である。

【0057】

この様に、本願発明はあらゆる構造のTF Tに対して適用可能であり、本願発明を利用して様々な半導体回路を構築することができる。即ち、本願発明はTF Tでもって形成された半導体回路を含むあらゆる半導体装置に対して適用できると言える。

30

【0058】

(実施例3)

本実施例では、実施例2の作製工程に従って形成されたTF Tでもって半導体回路を構成した液晶表示装置の例を図4に示す。画素TF T(画素用のスイッチング素子)の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0059】

図4において11は支持基板、12は画素マトリクス回路、13はソースドライバ回路、14はゲイトドライバ回路、15は対向基板、16はFPC(フレキシブルプリントサーキット)、17は信号処理回路である。

40

【0060】

信号処理回路17としては、D/Aコンバータ、 γ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、支持基板上に従来の単結晶半導体基板上に作り込んだMOSFETで構成されるICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0061】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミックス)表示装置に本願発明を適用することも可能であることは言うまでもない。

【0062】

50

なお、本実施例に示した液晶表示装置は一例であって本願発明の電気光学装置は本実施例に限定されるものではない。

【0063】

(実施例4)

本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0064】

図5に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア21、RAM22、クロックコントローラ23、キャッシュメモリー24、キャッシュコントローラ25、シリアルインターフェース26、I/Oポート27等から構成される。

【0065】

勿論、図5に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。しかし、どの様な機能を有するマイクロプロセッサであっても中枢として機能するのはIC(Integrated Circuit)28である。IC28は半導体チップ29上に形成された集積化回路をセラミック等で保護した機能回路である。

【0066】

そして、その半導体チップ29上に形成された集積化回路（半導体回路）が本願発明の半導体回路である。本実施例では半導体回路の基本構造としてNチャネル型TFT30、Pチャネル型TFT31で構成されるCMOS回路を示してある。なお、CMOS回路を最小単位として構成することで消費電力を抑えることができる。

【0067】

また、本実施例に示したマイクロプロセッサは様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。

【0068】

(実施例5)

本願発明の半導体装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、デジタルスチルカメラ、プロジェクター（リア型またはフロント型）、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク(CD)、レーザーディスク(LD)又はデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら半導体装置の例を図6に示す。

【0069】

図6(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に用いることができる。

【0070】

図6(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に用いることができる。

【0071】

図6 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に用いることができる。

【0072】

図6 (D) はパーソナルコンピュータであり、本体2301、受像部2302、表示装置2303、キーボード2304等で構成される。本願発明は表示装置2304やその他の信号制御回路に用いることができる。

【0073】

図6 (E) はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に用いることができる。

10

【0074】

図6 (F) は携帯書籍 (電子書籍) であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505、アンテナ2506で構成される。本発明は表示装置2502、2503やその他の信号制御回路に用いることができる。

【0075】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

20

【0076】

【発明の効果】

Smart-Cut法により単結晶半導体薄膜を形成するにあたって、途中の熱処理工程で単結晶半導体薄膜がひび割れしたり、剥がれたりするといった問題を防止することができる。即ち、SOI基板の製造歩留まりを大幅に向上させ、SOI基板の製造コストを大きく引き下げることが可能となる。

【0077】

さらにSOI基板の製造歩留まりが向上することによって、それを用いたTFTの製造歩留まりも向上し、その結果としてTFTで構成された半導体回路を含む全ての半導体装置の製造コストを低減することができる。

30

【図面の簡単な説明】

【図1】 SOI基板の作製工程を示す図。

【図2】 SOI基板の作製工程を示す図。

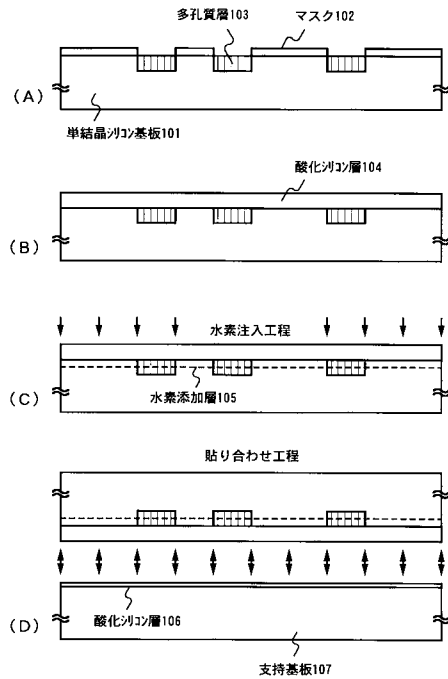
【図3】 TFTの作製工程を示す図。。

【図4】 電気光学装置の構成を示す図。

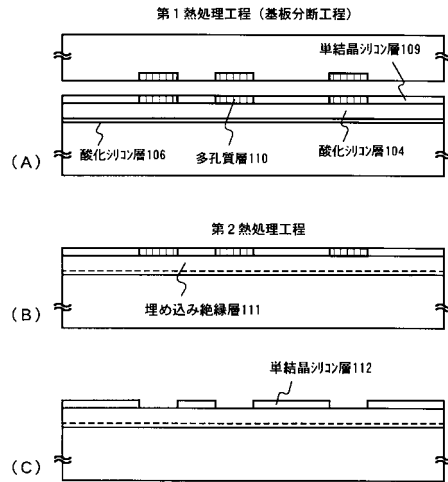
【図5】 半導体回路の構成を示す図。

【図6】 電子機器の構成を示す図。

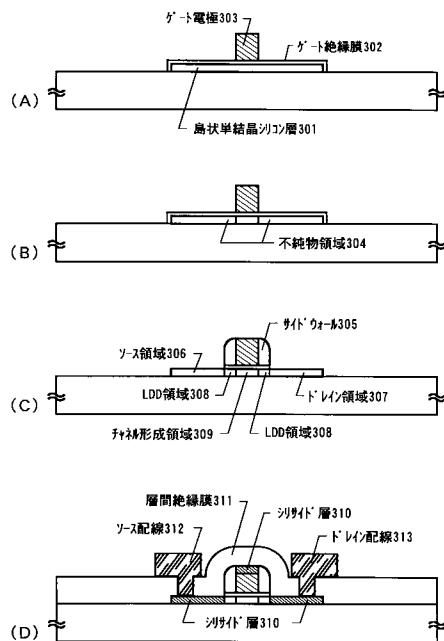
【図 1】



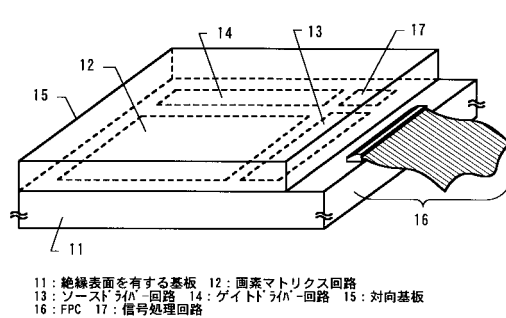
【図 2】



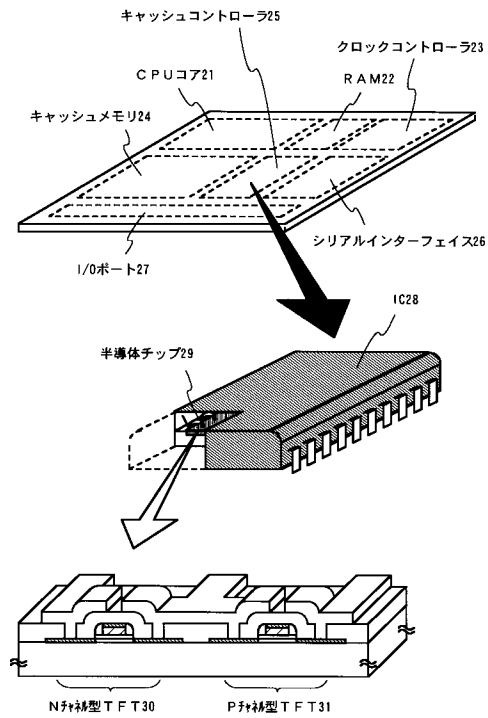
【図 3】



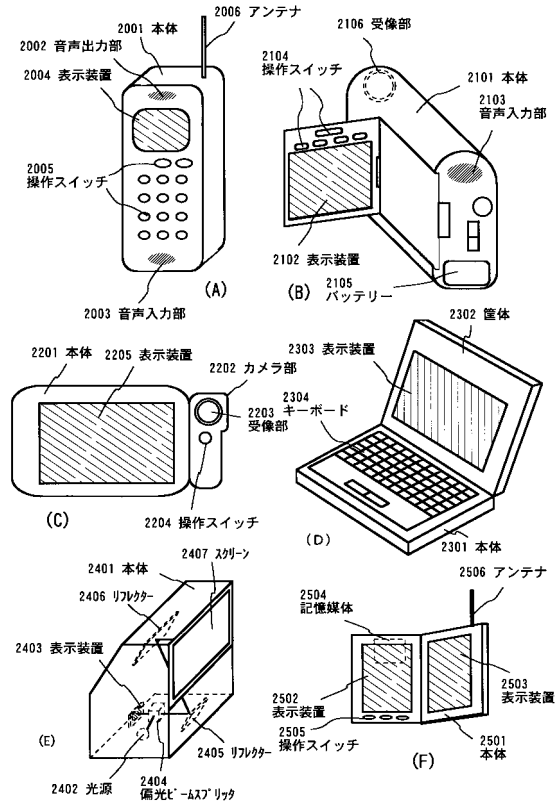
【図 4】



【図 5】



【図 6】



フロントページの続き

(58)調査した分野(Int.Cl., D B名)

H01L 27/12

H01L 21/02

H01L 21/336

H01L 29/786