

<sup>(12)</sup> ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(71) Заявитель:  
Военная академия связи

(72) Изобретатель: Смирнов П.Л.,  
Терентьев А.В., Викторов А.В., Соловьев Н.В.

(73) Патентообладатель:  
Военная академия связи

**RU 2085028 C1**

Фиг. 1



(19) **RU** <sup>(11)</sup> **2 085 028** <sup>(13)</sup> **C1**  
(51) Int. Cl.<sup>6</sup> **H 03 K 5/26**

RUSSIAN AGENCY  
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 94021285/09, 07.06.1994

(46) Date of publication: 20.07.1997

(71) Applicant:  
**Voennaja akademija svjazi**

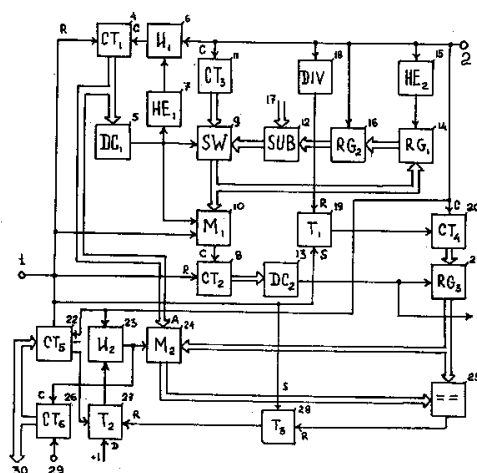
(72) Inventor: Smirnov P.L.,  
Terent'ev A.V., Viktorov A.V., Solov'ev N.V.

(73) Proprietor:  
**Voennaja akademija svjazi**

(54) **PULSE TRAIN SELECTOR**

(57) Abstract:

FIELD: radio engineering; selection of pulse trains with pulse repetition period multiple of desired value. SUBSTANCE: pulse trains are relatively discriminated in data pulse repetition phase. Additionally introduced in device are pulse repetition phase meter 7, control unit 8, storage unit 9, and comparison unit 10. EFFECT: provision for determining number of pulse trains with desired time characteristics during definite time interval. 2 dwg



Фиг. 1

Изобретение относится к радиотехнике и может быть использовано для селекции импульсных последовательностей с периодом следования импульсов, кратных заданной величине.

Известно устройство обнаружения импульсного сигнала с заданными временными характеристиками /1/. Оно содержит селектор импульсов по длительности, селектор паузы по длительности, счетчик, элементы ИЛИ и И, элемент задержки, два формирователя импульсов и одновибратор.

Недостатком данного устройства является низкая помехоустойчивость, обусловленная повышенными требованиями к стабильности временных параметров входящих в него элементов и нестабильностью передачи входных импульсов на выход без искажения их длительности.

Известен селектор импульсных последовательностей /2/, содержащий генератор импульсов, первый счетчик, первый блок памяти, Т-триггер, второй блок памяти, второй и третий счетчики, элемент ИЛИ, RS-триггер, первый и второй одновибраторы и элемент И.

Недостатком данного устройства является отсутствие у него возможности выделения полезных импульсных сигналов, следующих с интервалами, кратными заданной величине.

Наиболее близким к заявляемому устройству по техническому решению является селектор импульсных последовательностей /3/. Он содержит первый счетчик импульсов, счетный вход которого соединен с выходом элемента И, первый вход которого соединен с выходом первого элемента НЕ, второй и третий счетчики импульсов, причем счетный вход третьего счетчика импульсов соединен с тактовой шиной, первый и второй регистры, информационную, тактовую и выходную шины, шину установки кода, второй элемент НЕ, блок вычитания, коммутатор, блок памяти, первый и второй дешифраторы, причем вход второго дешифратора соединен с выходной шиной, а информационные входы поразрядно с выходом второго счетчика импульсов, счетный вход которого соединен с выходом блока памяти, информационный вход которого соединен с информационной шиной и входами сброса первого и второго счетчиков импульсов, причем выходы первого счетчика импульсов поразрядно соединены с информационными входами первого дешифратора, выход которого соединен с выходом первого элемента НЕ, входом управления коммутатора и входом управления блока памяти, адресные входы которого поразрядно соединены с выходами коммутатора и также поразрядно с информационными входами первого регистра, вход записи которого соединен с выходом второго элемента НЕ, а выходы поразрядно с информационными входами второго регистра, вход записи которого соединен с вторым входом элемента И, входом второго элемента НЕ и тактовой шиной, а выходы поразрядно с входами группы входов уменьшаемого блока вычитания, входы группы входов вычитаемого которого образуют шину установки кода, а выходы поразрядно с входами первой группы входов коммутатора, входы второй группы входов которого поразрядно соединены с выходами третьего счетчика импульсов, дополнительно введены четвертый, пятый и шестой счетчики импульсов, делитель импульсов, первый, второй и третий триггеры, второй блок памяти, второй элемент И, третий регистр, блок сравнения, шина обнуления и группа выходов второй выходной шины, причем вход делителя импульсов соединен с

выходов которого поразрядно соединены с выходами третьего счетчика импульсов.

Недостатком данного устройства состоит в том, что в нем не предусмотрена возможность определения общего числа импульсных последовательностей с периодами следования импульсов, кратных заданной величине. Данный параметр является весьма полезным при анализе загрузки диапазона частот излучениями различных радиоэлектронных

средств. Кроме того, он позволяет косвенно судить о сигнально-помеховой обстановке в анализируемой полосе частот.

Целью настоящего изобретения является расширение функциональных возможностей селектора импульсных последовательностей путем обеспечения возможности определения общего числа импульсных последовательностей с периодом следования импульсов, кратных заданной величине.

Поставленная цель достигается тем, что в известном селекторе импульсных последовательностей, содержащий первый счетчик импульсов, счетный вход которого соединен с выходом первого элемента И, первый вход которого соединен с выходом первого элемента НЕ, второй и третий счетчик импульсов, причем счетный вход третьего счетчика импульсов соединен с тактовой шиной, первый и второй регистры, информационную, тактовую, первую выходную шины, шину установки кода, первый блок памяти, первый и второй дешифраторы, причем выход второго дешифратора соединен с первой выходной шиной, а информационные входы

поразрядно с выходами второго счетчика импульсов, счетный вход которого соединен с выходом первого блока памяти, информационный вход которого соединен с информационной шиной и входами сброса первого и второго счетчиков импульсов, причем выходы первого счетчика импульсов поразрядно соединены с информационными входами первого дешифратора, выход которого соединен с входом первого элемента НЕ, входом управления первого блока памяти, коммутатор, вход управления которого соединен с входом первого элемента НЕ, а выходы поразрядно соединены с адресными входами первого блока памяти и также поразрядно с информационными входами первого регистра, вход записи которого соединен с выходом второго элемента НЕ, а выходы поразрядно с информационными входами второго регистра, вход записи которого соединен с вторым входом элемента И, входом второго элемента НЕ и тактовой шиной, блок вычитания, группа входов уменьшаемого которого поразрядно соединена с выходами второго регистра, а входы группы входов вычитаемого образуют шину установки кода, а выходы поразрядно с входом первой группы входов коммутатора, входы второй группы входов которого поразрядно соединены с выходами третьего счетчика импульсов, дополнительно введены четвертый, пятый и шестой счетчики импульсов, делитель импульсов, первый, второй и третий триггеры, второй блок памяти, второй элемент И, третий регистр, блок сравнения, шина обнуления и группа выходов второй выходной шины, причем вход делителя импульсов соединен с

тактовой шиной, а выход с R-выходом первого триггера, S-вход которого соединен с информационной шиной, а выход с управляющим входом четвертого счетчика импульсов, счетный вход которого соединен с тактовой шиной, первым входом второго элемента И и вычитающим входом пятого счетчика импульсов, управляющий вход которого соединен с информационной шиной, счетный вход шестого счетчика импульсов соединен с входом управления второго блока памяти и выходом второго элемента И, второй вход которого соединен с выходом второго триггера, D-вход которого соединен с плюсом источника питания, R-вход с выходом третьего триггера, а С-вход с выходом обнуления пятого счетчика импульсов, информационная группа входов которого поразрядно соединена с группой выходов второй выходной шины и также поразрядно с выходами шестого счетчика импульсов, вход сброса которого соединен с шиной обнуления, информационные входы третьего регистра поразрядно соединены с выходами четвертого счетчика импульсов, управляющий вход объединен с первой выходной шиной, а выходы поразрядно с первой группой входов блока сравнения и поразрядно с информационными входами второго блока памяти, адресная группа входов которого поразрядно соединена с выходами первого счетчика импульсов, а группа выходов поразрядно с второй группой входов блока сравнения, выход которого соединен с информационной шиной.

Сущность изобретения заключается в расширении функциональных возможностей устройства-прототипа, а именно в реализации возможности определения общего количества импульсных последовательностей с периодом следования импульсов, кратных заданной величине. В результате удара расширить область применения селектора импульсных последовательностей, а следовательно увеличить и число их потребителей. При этом следует отметить, что рассматриваемая проблема технического решения до настоящего времени не имела.

Предлагаемое устройство поясняется чертежами, на которых:

на фиг. 1 представлена структурная схема селектора импульсных последовательностей в соответствии с изобретением;

на фиг.2 иллюстрируются эпюры напряжений, поясняющие работу устройства.

Заявляемое устройство, показанное на фиг.1, содержит информационную шину 2, первую выходную шину 3, вторую выходную шину 30, шину установки кода 17, шину обнуления 29, первый счетчик импульсов 4, первый дешифратор 5, первый элемент И 6, первый элемент НЕ 7, второй счетчик импульсов 8, коммутатор 9, первый блок памяти 10, третий счетчик импульсов 11, блок вычитания 12, второй дешифратор 13, первый регистр 14, второй элемент НЕ 15, второй регистр 16, делитель импульсов 18, первый триггер 19, четвертый счетчик импульсов 20, третий регистр 21, пятый счетчик импульсов 22, второй элемент И 23, второй блок памяти 24, блок сравнения 25, шестой счетчик импульсов 26, второй триггер 27 и третий триггер 28. При этом счетный вход первого счетчика импульсов 4 соединен с выходом первого элемента И 6, первый вход которого

соединен с выходом первого элемента НЕ 7, счетный вход третьего счетчика импульсов 11 соединен с тактовой шиной 2, выход второго дешифратора 13 соединен с первой выходной шиной 3, а информационные входы поразрядно с выходом второго счетчика импульсов 8, счетный вход которого соединен с выходом первого блока памяти 10, информационный вход которого соединен с информационной шиной 1 и входами сброса первого 4 и второго 8 счетчиков импульсов, причем выходы первого счетчика импульсов 4 поразрядно соединены с информационными входами первого дешифратора 5, выход которого соединен с входом первого элемента НЕ 7, входом управления первого блока памяти 10, входом управления коммутатора 9 соединен с входом первого элемента НЕ 7, а выходы поразрядно соединены с адресными входами первого блока памяти 10 и также поразрядно с информационными входами первого регистра 14, вход записи которого соединен с выходом второго элемента НЕ 15, а выходы поразрядно с информационными входами второго регистра 16, вход которого соединен с вторым входом первого элемента И 6, входом второго элемента НЕ 15 и тактовой шиной 2, группа входов уменьшаемого блока вычитания 12 поразрядно соединена с выходом второго регистра 16, а входы группы входов вычитаемого образуют шину установки кода, выхода поразрядно с входами первой группы входов коммутатора 9, входы второй группы входов которого поразрядно соединены с выходами третьего счетчика импульсов 11, вход делителя 18 соединен с тактовой шиной 2, а выход с R-выходом первого триггера 19, S-вход которого соединен с информационной шиной 1, а выход с управляющим входом четвертого счетчика импульсов 20, счетный вход которого соединен с тактовой шиной 2, первым входом второго элемента И 23 и вычитающим входом пятого счетчика импульсов 22, управляющий вход которого соединен с информационной шиной 1, счетный вход шестого счетчика импульсов соединен с входом управления второго блока памяти 24 и выходом второго элемента И 23, второй вход которого соединен с выходом второго триггера 27, D-вход которого соединен с плюсом источника питания, R-вход с выходом третьего триггера 28, а С-вход с выходом обнуления пятого счетчика импульсов 22, информационная группа входов которого поразрядно соединена с группой выходов второй выходной шины 30 и также поразрядно с выходами шестого счетчика импульсов 26, вход сброса которого соединен с шиной обнуления 29, информационные входы третьего регистра 21 поразрядно соединены с выходами четвертого счетчика импульсов 20, управляющий вход объединен с первой входной шиной 3, а выходы поразрядно с первой группой входов блока сравнения 25 и поразрядно с информационными входами второго блока памяти 24, адресная группа входов которого поразрядно соединена с выходами первого счетчика импульсов 11, а группа выходов - поразрядно с второй группой входов блока сравнения 25, выход которого соединен с R-выходом третьего триггера 28, S-вход которого соединен с информационной шиной 1.

Реализация первого 4, второго 8 и третьего 11 счетчиков, первого 5 и второго 13 дешифраторов, первого элемента И 6, первого 7 и второго 15 элементов НЕ, коммутатора 9, первого блока памяти 10, блока вычитания 12, первого 14 и второго 16 регистров аналогично соответствующим блокам прототипа. Реализация делителя импульсов 18 зависит от коэффициента деления  $n$ , требуемого быстродействия и в общем случае может быть осуществлена, например, в соответствии с /4, стр.640-644/. В простейшем случае блок 18 может представлять из себя счетчик импульсов на  $n$ , в качестве выходного сигнала которого используется импульс переполнения. Первый 19 и третий 28 триггеры представляют из себя RS-триггеры, реализуемые на элементах И-НЕ или ИЛИ-НЕ (микросхемы 155 серии ЛА3, ЛА8, ЛР1). Счетчики импульсов 20 и 26 реализуются аналогично блокам 4, 8 и 11 прототипа. Третий регистр 21 реализуется аналогично регистрам 14 и 16 прототипа. Реверсивный счетчик 22 может быть реализован на микросхемах 155 серии ИЕ7. Второй элемент И 23 реализуется аналогично блоку 6 прототипа. Второй блок памяти реализуется на микросхемах 132 РУ6. Блок сравнения 25 реализуется на микросхемах 155 серии СП1. Второй триггер 27 представляет из себя D-триггер и реализуется на микросхеме 155 ТМ2.

Селектор импульсных последовательностей работает следующим образом.

В исходном состоянии при включении питания на выходе блока 5 формируется уровень логического нуля, так как содержимое счетчика 4 не соответствует кодовой комбинации дешифратора 5. Элемент И 6 открыт по одному из входов сигналом уровня логической "1" с выхода элемента НЕ 7. Счетчик 26 обнуляется с помощью шины обнуления 29.

Тактовые импульсы с шины 2 (см. фиг.2) поступают на счетный вход счетчика 11 и через элемент И 6 на счетчик 4. Заполнение счетчика 4 осуществляется до совпадения с кодом числа  $K$ , определенным дешифратором 5. В результате этого на выходе дешифратора 5 формируется сигнал логической единицы, которой через элемент НЕ 7 закрывает элемент И 6 для прохождения таковых импульсов, разрешает прохождение через коммутатор 9 кодовой комбинации с выхода счетчика 11 на адресный вход блока 10 памяти и одновременно переводит его по входу управления в режим записи.

Кроме того, содержимое счетчика 11 поступает на информационные входы регистра 14.

При отсутствии такового импульса на шине 2 устройства на выходе элемента НЕ 15 формируется сигнал с уровнем логической единицы, разрешающий запись в регистр 14 содержимого счетчика 11.

При прохождении очередного тактового импульса содержимое регистра 14 переписывается в регистр 16. Изменение содержимого регистра 14 при этом происходит, так как на его управляющем входе отсутствует сигнал разрешения записи, чем исключается сбойная ситуация при выполнении операции перезаписи.

Код числа выхода регистра 16 поступает

на вход уменьшаемого блока 12, на вход вычитаемого которого поступает код числа  $n$  с шины 17. значение  $n$  определяется из априорно известной кратности периодов следования информационных импульсов.

На выходе блока 12 формируется код разности  $\Delta i$   $n$ . Пусть в момент времени  $t_1$  на информационную шину 1 устройства поступает импульс  $U_1$ . В результате в ячейку блока 10 памяти, адрес которой определяется содержимым счетчика 11 (код числа  $i$ ), записывается единица и одновременно по входу сброса обнуляется счетчик 8. Кроме того, входным импульсом обнуляется счетчик 4, в результате чего на выходе дешифратора 5 формируется сигнал с нулевым уровнем, который переводит блок 10 памяти в режим воспроизведения. Сигналом с выхода дешифратора 5 через элемент НЕ 7 разрешается прохождение на счетный вход счетчика 4 таковых импульсов. Кроме того, сигнал с выхода дешифратора 5 осуществляет подключение выхода блока 12 к адресным входам блока 10 памяти. В результате этой операции опрашивается ячейка памяти блока 10 с адресом  $(1 - n)$ . Единица, записанная в этой ячейке в момент времени  $t_1$ , считывается в счетчик 8. Одновременно в момент времени  $t_1$  (на шине 2 устройства отсутствует таковой импульс) код числа  $(i - n)$  записывается в регистр 14.

С приходом очередного тактового импульса в момент времени  $t_2$  выполняется операция перезаписи содержимого регистра 14 в регистр 16. В результате на входе уменьшаемого блока 12 появляется код числа  $(i - n)$ , а на его выходе  $(i - 2n)$ . Таким образом, в момент времени  $t_2$  опрашивается ячейка памяти блока 10 с адресом  $(i - 2n)$ .

Опрос ячеек памяти блока 10, номера которых кратны  $n$ , осуществляется с приходом каждого последующего тактового импульса по описанному выше алгоритму.

Устройство работает в режиме спроса до тех пор, пока с момента времени  $t_1$  не поступит  $k$  тактовых импульсов  $U_2$ . С появлением на выходе счетчика 4 кода  $k$  дешифратор 5 переводит устройство в режим записи.

Значение  $K$  выбирается из условия  $k(n - 1)$ . Это обусловлено тем, что  $K$  должно быть как можно больше ( для опроса большего числа ячеек памяти блока 10), но меньше  $n$ , определяющего кратность периода следования информационных импульсов  $U_1$ . Необходимость выполнения неравенства  $K < n$  связана с реализацией циклического опроса ячеек памяти блока 10

$$D = i - jn, j = 1, 2, \dots, (n-1).$$

В режиме опроса импульсы записанные в ячейках блока 10, номера которых кратны  $n$ , суммируются счетчиком 8. Содержимое счетчика 8 в параллельном коде поступает на вход дешифратора 13, которым задается уровень порога обнаружения импульсной последовательности исходя из заданной вероятности правильного обнаружения.

Емкость счетчиков 8 и 11 выбирается равной числу ячеек памяти блока 10.

Если код числа, записанного в счетчик 8, совпадает с кодом, на который настроен дешифратор 13, на выходе последнего формируется сигнал  $U_{13}$  об обнаружении импульсной последовательности. С приходом в 14 очередного импульса  $U_1$  на

информационную шину 1 устройства обнуляются счетчики 4 и 8, устройство начинает функционировать по выше описанному алгоритму.

Определение количества одновременно работающих радиоэлектронных средств (РЭС) осуществляется по такому наиболее информативному параметру сигналов как фаза (временное положение) информационных импульсов /5/. Это возможно в силу того, что радиостанции различных корреспондентов и принадлежащие к различным радиосетям включаются в работу в несогласованные моменты времени. Кроме того, свой отпечаток накладывает и различное пространственное размещение РЭС.

С этой целью с помощью делителя 18 осуществляется формирование опорной импульсной последовательности U18 путем деления тактовой последовательности U2 на n. В задачу RS-триггера 19 и четвертого счетчика 20 входит измерение фазы следования информационных импульсов U<sub>1</sub> относительно опорных U<sub>18</sub>. С этой целью опорные импульсы U<sub>18</sub> поступают на R-вход триггера 19 переводя его в нулевое состояние. Пусть в ранее рассмотренный момент времени t<sub>1</sub> поступает информационный импульс U<sub>1</sub>, который переводит триггер 19 по S-входу в единичное состояние. Единичный сигнал U<sub>19</sub> с выхода бл. 19 поступает на управляющий вход счетчика 20 переводя его в режим счета. Последний с помощью импульсов U<sub>2</sub> осуществляет измерение длительности интервала  $\tau = t_3 - t_1$ , границы которого определяются моментами поступления информационного U<sub>1</sub> и опорного U<sub>18</sub> импульсов. Полученное значение временного интервала или фаза  $\Phi_1$  информационного импульса используется для описания данного РЭС, в нашем случае первого. Далее выполняется операция определения его принадлежности к импульсной последовательности, кратной заданной величине по выше рассмотренному алгоритму. Если принимается положительное решение, то единственным сигналом с выхода дешифратора 13, поступающим на управляющий вход-бл. 21 в момент времени t<sub>4</sub>, измеренное значение  $\Phi_1$  переписывается в буферный регистр из счетчика 20.

Предназначение блоков с 22 по 28 состоит в сравнении измеренного значения параметра  $\Phi_1$  с ранее измеренными номиналами и при отсутствии совпадения его запись во второй блок памяти 24. Одновременно в счетчике 26 осуществляется подсчет записанных в бл. 24 номиналов  $\Phi_i$  что соответствует количеству отмеченных в работе РЭС. Рассмотрим это более подробно.

С приходом в момент времени t<sub>5</sub> второго информационного импульса U<sub>1</sub> выполняется обнуление первого счетчика 4. С приходом на его счетный вход первого тактового импульса U<sub>2</sub> на его информационных входах формируется код числа 1. Данная кодовая комбинация поступает на адресные входы второго блока памяти 24. Кроме того, данный тактовый импульс поступает на вычитающий

вход реверсивного счетчика 22. Так как в нем запись отсутствовала (присутствует код "0"), но на его выходе обнуления формируется импульс U<sub>22</sub>, переводящий триггер 27 в единичное состояние. В результате по второму входу открывается элемент И 23. Одновременно рассматриваемым тактовым импульсом U<sub>2</sub> второй блок памяти 24 переводится в режим записи. По адресу 1 записывается код числа, соответствующего  $\Phi_1$ . В тоже время импульс U<sub>23</sub> поступает на счетный вход счетчика 26. В результате содержимое счетчика 26 становится равным 1, что соответствует обнаружению импульсной последовательности с заданными параметрами одного РЭС. Код числа "1" поступает на выход 30 селектора импульсов.

В связи с тем, что по адресу 1 записался код числа  $\Phi_1$  а на адресном входе еще присутствует код 1, то на выходах блока 24 также присутствует код  $\Phi_1$ . Это приводит к тому, что на первую и вторую группы входов блока сравнения 25 поступает код числа  $\Phi_1$ . В результате на выходе бл. 25 формируется единичный сигнал U<sub>25</sub>, переводящий триггер 28 в единичное состояние. В задачу последнего входит блокировка элемента И 23 для прохождения тактовых импульсов U<sub>2</sub> на счетный вход бл. 26 и управляющий вход бл. 24. Эта функция выполняется путем подачи единичного сигнала с выхода бл. 28 на R-вход D-триггера 27. В результате триггер 27 переводится в нулевое состояние (независимо от действующих на него С-вход импульсов). Данное положение сохраняется до момента прихода очередного импульса U<sub>1</sub> на информационную шину. В результате все последующие тактовые импульсы U<sub>2</sub> через элемент И 23 не пройдут и содержимое счетчика 26 не изменится.

В рассматриваемый интервал времени  $\tau = t_6 - t_5$  с помощью блоков 18, 19 и 20 произойдет измерение временного параметра  $\Phi_2$  для второго информационного импульса U<sub>1</sub>, поступившего в момент времени t<sub>6</sub>. В связи с тем, что также было принято решение об обнаружении импульсной последовательности с заданными параметрами (сформирован сигнал U<sub>13</sub> в момент времени t<sub>7</sub>), значение  $\Phi_2$  из счетчика 20 переписывается в буферный регистр 21.

С приходом в t<sub>8</sub> очередного информационного импульса U<sub>1</sub> обнуляется счетчик 4 и содержимое шестого счетчика 26 (код единицы) переписывается в реверсивный счетчик 22. С приходом очередного тактового импульса U<sub>2</sub> увеличивается содержимое счетчика 4. Код единицы поступает на адресные входы второго блока памяти 24. Кроме того, этот импульс поступает на вычитающий вход реверсивного счетчика 22 уменьшая его содержимое на единицу. На выходах блока памяти 24 присутствует код числа  $\Phi_1$  (в соответствии с адресом "1"), который поступает на вторую группу входов блока сравнения 25. На первой группе входов последнего присутствует код числа  $\Phi_2$  отличный от  $\Phi_1$ . На выходе блока сравнения сигнал U<sub>25</sub> отсутствует.

С приходом очередного тактового импульса увеличивается содержимое счетчика 4. Поступление этого же импульса на вычитающий вход реверсивного счетчика 22 приведет к тому, что на его выходе обнуления сформируется импульс  $U_{22}$  (содержимое счетчика было равно "0"). Этим импульсом триггер 27 переводится в единичное состояние, открывая по одному входу элемента И 23. Следует отметить, что к данному моменту времени сигнал  $U_{28}$  с R-входа триггера 27 снимается (триггер 28 принимает нулевое состояние благодаря приходу импульса  $U_1$ ). В результате импульсом  $U_2$  блок памяти 24 переводится в режим записи. По адресу "2" (содержимое счетчика 4 равно "2") выполняется запись значения  $\Phi_2$  с выходов буферного регистра 21. Кроме того, содержимое счетчика 26 увеличивается на единицу.

На выходах блока памяти 24 появляется кодовая комбинация значения  $\Phi_2$ . В результате на обеих группах входов блока сравнения 25 присутствует одна кодовая комбинация, что приводит к формированию на выходе последнего сигнала  $U_{25}$ . Это влечет за собой то, что триггер 28 переводится в единичное состояние. Его выходным сигналом  $U_{28}$ , воздействующим на R-вход D-триггера 27, последний переводится в нулевое состояние. Элемент И 23 закрывается по второму входу и последующие импульсы  $U_2$  не изменяют содержание счетчика 26, а блок памяти 26 находится в режиме воспроизведения. Данное устойчивое состояние селектора сохраняется до момента прихода очередного информационного импульса  $U_1$ . При этом алгоритм работы устройства остается неизменным.

Пусть в момент времени  $t_8$  в работе отмечается импульс  $U_1$ , временные параметры  $\Phi_1$  которого отмечались ранее в момент времени  $t_1$ . В данном случае при анализе первой группы ячеек памяти (где хранится значение  $\Phi_1$  произойдет совпадение измеренного параметра  $\Phi_1$  и хранящегося в бл. 24. В результате на выходе блока сравнения 25 сформируется сигнал  $U_{25}$ , который воздействуя на элементы 28, 27 и 23 запрещает изменение содержимого счетчика 26. Следовательно импульс РЭС, зафиксированного ранее в блоке 24, не увеличит содержимого счетчика 26, а следовательно исключается ошибочное принятие решения.

Во время работы селектора возможна обойная ситуация. Она возникает в том случае, когда на периоде следования опорных импульсов  $U_{13}$  поступают два и более информационных импульса. В этом случае устройство не успеет завершить анализ импульсной последовательности в блоке 10 на предмет ее принадлежности к последовательности с заданными характеристиками (как поступает очередной информационный импульс). В этом случае решения об обнаружении последовательности не принимается (ситуация характеризуется как "пропуск цели"), а сигнал  $U_{13}$  на выходе дешифратора 13 не формируется. Это приводит к тому, что

содержимое счетчика 20 в буферный регистр не переписывается и анализ на новизну временных характеристик РЭС не производится. Таким образом, рассмотренная обойная ситуация не приводит к изменению содержимого счетчика 26, а следовательно возможна недооценка общего числа одновременно работающих РЭС. Вероятность такого события незначительна, а ее последствия могут быть учтены в практической работе.

Подсчет количества одновременно работающих РЭС обычно осуществляется в пределах заданного интервала времени. По его истечении с помощью шины обнуления 29 содержимое счетчика 26 обнуляется.

Названная шина также может быть использована при включении селектора для исключения погрешностей измерений (обеспечения гарантированного начального "нулевого" состояния счетчика 26).

Таким образом, дополнительное введение в устройство-прототип дополнительных элементов позволило расширить функциональные возможности селектора, а именно определять количество импульсных последовательностей с заданными характеристиками.

Источники информации, принятые во внимание.

1. А. с. 1205286, СССР. Устройство для обнаружения импульсного сигнала с заданными временными характеристиками /М. В. Догадкин. Оpubл. в Б.И. N 2, 1986. N 03 К 5/26.

2. А. с. 1311008, СССР. Перестраиваемый селектор импульсных последовательностей /В. Ю. Демьяненко, Г. Ф. Верецагина. Оpubл. в Б. И. N 18, 1987.

3. А. с. 1499464, СССР. Селектор импульсных последовательностей /А. В. Терентьев, П. Л. Смирнов, Б. О. Лужков. Оpubл. в Б. И. N 29, 1989. N 03 К 5/26, 5/153.

4. Справочник по интегральным микросхемам. ОБ. В. Тарабрин, С. В. Якубовский и др. Под ред. Б. В. Тарабарина. 2-е изд. перераб. и доп. М. Энергия, 1980. 816 с.

5. Комарович В. Ф. Никитченко В. В. Методы пространственной обработки радиосигналов. Л. ВАС, 1989. 278 с.

### Формула изобретения:

Селектор импульсных последовательностей, содержащий первый счетчик импульсов, счетный вход которого соединен с выходом первого элемента И, первый вход которого соединен с выходом первого элемента НЕ, второй и третий счетчики импульсов, причем счетный вход третьего счетчика импульсов соединен с тактовой шиной, первый и второй регистры, информационную, первую выходную шины, шину установки кода, первый блок памяти, первый и второй дешифраторы, причем выход второго дешифратора соединен с первой выходной шиной, а информационные входы - поразрядно с выходами второго счетчика импульсов, счетный вход которого соединен с выходом первого блока памяти, информационный вход которого соединен с информационной шиной и входами сброса первого и второго счетчиков импульсов, причем выходы первого счетчика импульсов поразрядно соединены с информационными входами первого дешифратора, выход

которого соединен с входом первого элемента НЕ, входом управления первого блока памяти, коммутатор, вход управления которого соединен с входом первого элемента НЕ, а выходы поразрядно соединены с адресными входами первого блока памяти и также поразрядно с информационными входами первого регистра, вход записи которого соединен с выходом второго элемента НЕ, а выходы поразрядно с информационными входами второго регистра, вход записи которого соединен с вторым входом первого элемента И, входом второго элемента НЕ и тактовой шиной, блок вычитания, группа входов уменьшаемого которого поразрядно соединена с выходами второго регистра, входы группы входов вычитаемого соединены с шиной установки кода, а выходы поразрядно с входами первой группы входов коммутатора, входы второй группы входов которого поразрядно соединены с входами третьего счетчика импульсов, отличающийся тем, что дополнительно введены четвертый, пятый и шестой счетчики импульсов, делитель частоты импульсов, первый, второй и третий триггера, второй блок памяти, второй элемент И, третий регистр, блок сравнения, шина обнуления и группа выходов второй выходной шины, причем вход делителя частоты импульсов соединен с тактовой шиной, а выход с R-входом первого триггера, S-вход которого соединен с информационной шиной,

5

10

15

20

25

30

35

40

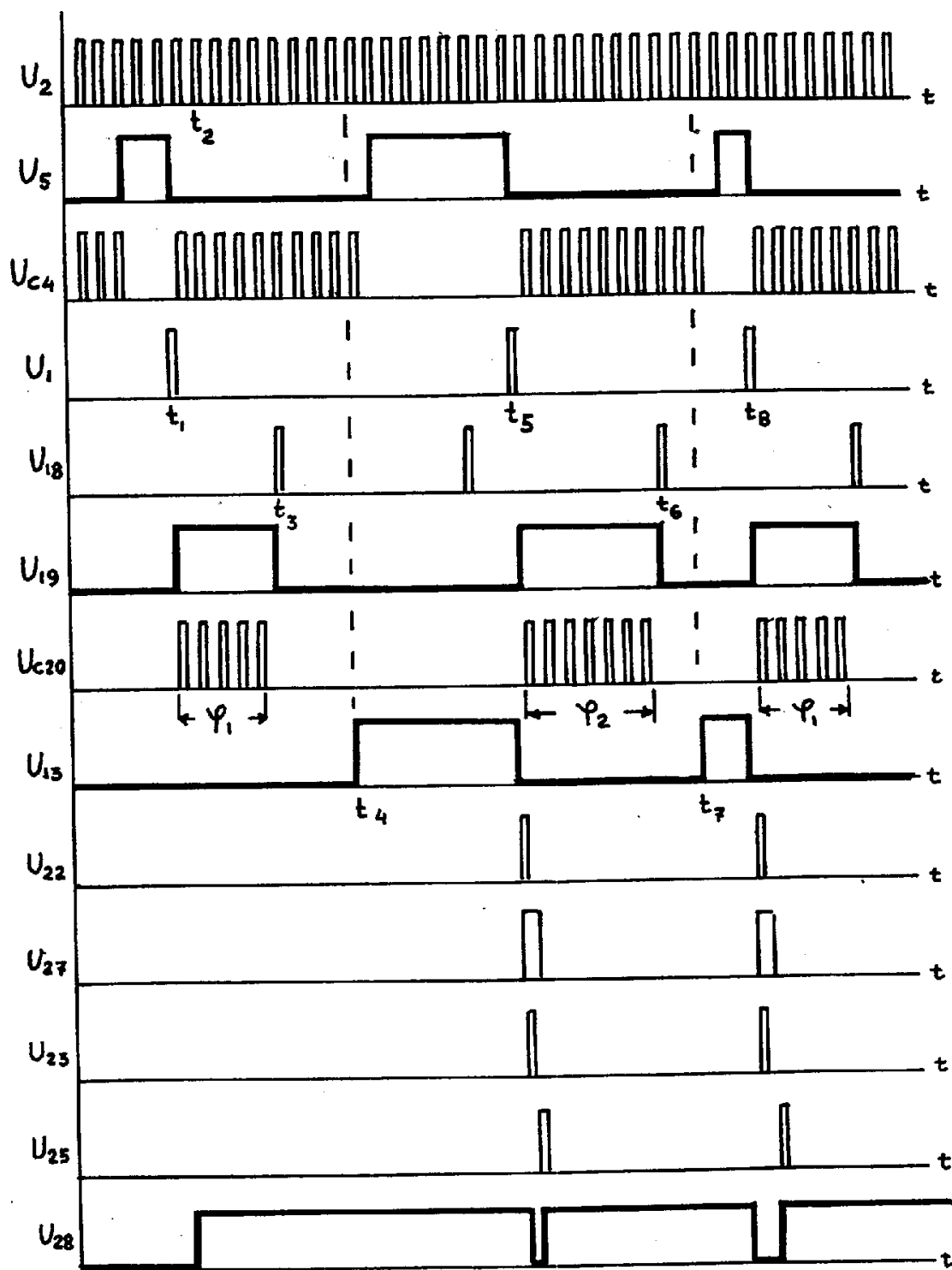
45

50

55

60

а выход с управляющим входом четвертого счетчика импульсов, счетный вход которого соединен с тактовой шиной, первым входом второго элемента И и вычитающим входом пятого счетчика импульсов, управляющий вход которого соединен с информационной шиной, счетный вход шестого счетчика импульсов соединен с входом управления второго блока памяти и выходом второго элемента И, второй вход которого соединен с выходом второго триггера, D-вход которого соединен с плюсом источника питания, R-вход с выходом третьего триггера, а S-вход с выходом обнуления пятого счетчика импульсов, информационная группа входов которого поразрядно соединена с группой выходов второй выходной шины и поразрядно с выходами шестого счетчика импульсов, вход сброса которого соединен с шиной обнуления, информационные входы третьего регистра поразрядно соединены с выходами четвертого счетчика импульсов, управляющий вход объединен с первой выходной шиной, а выходы поразрядно с первой группой входов блока сравнения и поразрядно с информационными входами второго блока памяти, адресная группа выходов которого поразрядно соединена с выходами первого счетчика импульсов, а группа выходов поразрядно с второй группой входов блока сравнения, выход которого соединен с R-входом третьего триггера, S-вход которого соединен с информационной шиной.



Фиг. 2