(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월29일
(11) 등록번호 10-2270841
(24) 등록일자 2021년06월23일

(51) 국제특허분류(Int. Cl.)
H01L 21/3065 (2006.01)
(21) 출원번호 10-2014-0041261
(22) 출원일자 2014년04월07일
심사청구일자 2019년04월02일
(65) 공개번호 10-2014-0121367
(43) 공개일자 2014년10월15일
(30) 우선권주장
14/082,009 2013년11월15일 미국(US)
61/809,246 2013년04월05일 미국(US)
(56) 선행기술조사문헌
KR1020090086638 A*
(뒷면에 계속)

(73) 특허권자
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
패터슨 알렉스
미국, 캘리포니아 95120, 산 호세, 마트우드 웨이 7268
싱 하미트
미국, 캘리포니아 94539, 프레몬트, 프라데리아 서클 759
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

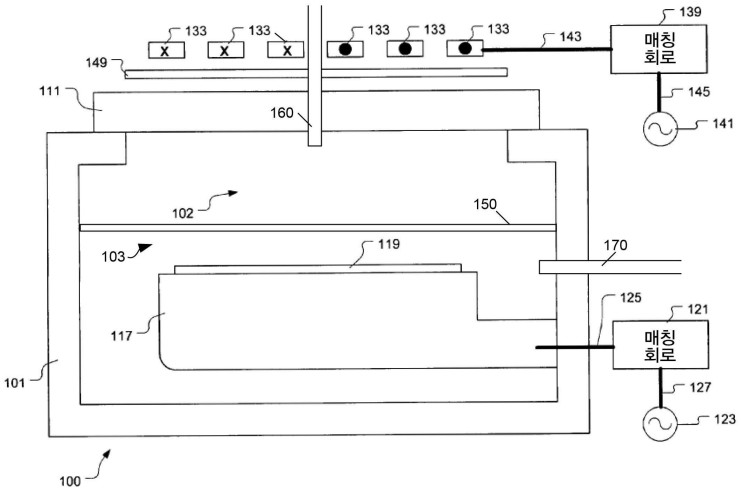
전체 청구항 수 : 총 36 항 심사관 : 손희수

(54) 발명의 명칭 **반도체 제조를 위한 내부 플라즈마 그리드**

(57) 요 약

본 명세서에 개시된 실시예들은, 반도체 기판을 에칭하기 위한 개선된 방법 및 장치들에 관한 것이다. 플라즈마 그리드는, 특정한 종들이 상부 서브-챔버로부터 하부 서브-챔버로 통과하도록 하는 특정한 종횡비의 슬롯들을 가질 수 있다. 일부 경우들에서, 전자-이온 플라즈마가 상부 서브-챔버 내에 생성된다. 그리드를 통해 하부 서브-챔버로 향하는 전자들은 그들이 통과될 때에 냉각된다. 일부 경우들에서, 이러한 결과들은 하부 서브-챔버 내에 이온-이온 플라즈마를 야기한다. 하부 서브-챔버 플라즈마는, 상부 서브-챔버 플라즈마에 비해, 낮은 전자 밀도, 낮은 유효 전자 온도 및 높은 음 이온: 양 이온 비를 가진다. 개시된 실시예들은 양호한 중앙 대 에지 균일성, 선택도, 프로파일 각, 및 I/D 로딩을 가지는 에칭 프로세스를 야기할 수 있다.

대 표 도 - 도1



(72) 발명자

마쉬 리차드 에이.

미국, 캘리포니아 94583, 산 라몬, 도스 리오스 드라이브 2778

릴 토스텐

미국, 캘리포니아 95051, 산타 클라라, 뮤어 에비뉴 88

바헤디 바히드

미국, 캘리포니아 94706, 알바니, 포센 에비뉴 1503

우 잉

미국, 캘리포니아 94568, 더블린, 핀니안 웨이 3439

스리라만 사라바나프리안

미국, 캘리포니아 94539, 프레몬트, 산타 테레사 커먼 40262

(56) 선행기술조사문헌

JP11111697 A*

US20130059448 A1*

US20100323508 A1*

KR1020080038323 A*

*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

기판 상에 피처를 에칭하기 위한 장치로서,

플라즈마가 제공될 수 있는 내부를 정의하는 챔버;

에칭 동안 상기 챔버 내에서 기판을 홀딩하기 위한 기판 홀더;

상기 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기;

상기 챔버의 내부를 상기 플라즈마 생성기 부근의 상부 서브-챔버 및 상기 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드 (grid); 및

상기 상부 서브-챔버 내의 상부 구역 플라즈마 및 상기 하부 서브-챔버 내의 하부 구역 플라즈마를 생성하기 위해 상기 그리드를 이용하는 조건에서, 상기 챔버 내에 플라즈마를 생성하도록 구성된 제어기 를 포함하고,

상기 상부 구역 플라즈마의 플라즈마 전위는 상기 하부 구역 플라즈마의 플라즈마 전위보다 높으며,

상기 상부 서브-챔버는 상기 하부 서브-챔버의 높이의 적어도 1/6인 높이를 가지며,

상기 그리드는, 상기 플라즈마가 상기 챔버 내에 산출되는 경우 상기 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 2

제1 항에 있어서,

상기 제어기는,

(i) 상기 하부 구역 플라즈마 내의 유효 전자 (effective electron) 온도는, 1 eV 또는 그 미만이며, 상기 상부 구역 플라즈마 내의 유효 전자 온도보다 더 낮고,

(ii) 상기 하부 구역 플라즈마 내의 전자 밀도는, $5x10^{9}$ cm^{-3} 또는 그 미만이고, 상기 상부 구역 플라즈마 내의 전자 밀도보다 더 낮도록,

상기 상부 구역 플라즈마 및 상기 하부 구역 플라즈마를 생성하도록 구성되는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 3

제2 항에 있어서,

상기 제어기는 상기 그리드에 바이어스를 인가하게 하도록 더 구성되는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 4

제2 항에 있어서,

상기 제어기는 상기 기판 홀더에 바이어스를 인가하게 하도록 더 구성되는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 5

제2 항에 있어서,

상기 제어기는 상기 챔버에 에천트 가스를 전달하게 하도록 더 구성되는, 기판 상에 피처를 에칭하기 위한

장치.

청구항 6

제2 항에 있어서,

상기 제어기는 상기 플라즈마가 상기 기판을 에칭하는 동안 상기 챔버 내에 2000 mTorr 미만의 압력을 제공하게 하도록 더 구성되는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 7

제2 항에 있어서,

상기 제어기는 상기 하부 서브-챔버 내에 이온-이온 (ion-ion) 플라즈마를 산출하게 하도록 더 구성되는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 8

제1 항 내지 제7 항 중 어느 한 항에 있어서,

상기 그리드는 1 내지 50 ㎜ 의 평균 두께를 가지는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 9

제1 항 내지 제7 항 중 어느 한 항에 있어서,

상기 그리드의 상기 슬롯들은 0.3 내지 5 의 폭에 대한 높이 종횡비 (aspect ratio) 를 가지는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 10

제1 항 내지 제7 항 중 어느 한 항에 있어서,

상기 슬롯들은 방위각적으로 (azimuthally) 인접한 슬릇들로부터 60도 이하만큼 분리된, 기판 상에 피처를 에칭하기 위한 장치.

청구항 11

제1 항 내지 제7 항 중 어느 한 항에 있어서,

상기 플라즈마 생성기는 상기 챔버의 천장 위에 배치된 코일을 포함하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 12

제1 항 내지 제7 항 중 어느 한 항에 있어서,

상기 기판 홀더는 정전 척인, 기판 상에 피처를 에칭하기 위한 장치.

청구항 13

제1 항 내지 제7 항 중 어느 한 항에 있어서,

진공 연결부를 더 포함하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 14

반도체 기판들을 프로세싱하기 위한 시스템으로서,

진공 이송 모듈;

상기 진공 이송 모듈 내의 로봇;

상기 진공 이송 모듈 내의 면들 (facets) 에 인터페이스 되는 복수의 프로세스 모듈들; 및

프로세서를 가지는 제어기를 포함하며,

복수의 스테이션들 중 적어도 하나가,

플라즈마가 제공될 수 있는 내부를 정의하는 챔버;

에칭 동안 상기 챔버 내에서 상기 기판을 홀딩하기 위한 기판 홀더;

상기 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기; 및

상기 챔버의 내부를 상기 플라즈마 생성기 부근의 상부 서브-챔버 및 상기 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드를 포함하고,

상기 제어기는 상기 상부 서브-챔버 내의 상부 구역 플라즈마 및 상기 하부 서브-챔버 내의 하부 구역 플라즈마를 생성하기 위해 상기 그리드를 이용하는 조건에서, 상기 챔버 내에 플라즈마를 생성하도록 구성되고,

상기 상부 구역 플라즈마의 플라즈마 전위는 상기 하부 구역 플라즈마의 플라즈마 전위보다 높으며,

상기 상부 서브-챔버는 상기 하부 서브-챔버의 높이의 적어도 1/6인 높이를 가지며,

상기 그리드는, 상기 플라즈마가 상기 챔버 내에 산출되는 경우 상기 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하는, 반도체 기판을 프로세싱하기 위한 시스템.

청구항 15

제1 항에 있어서,

상기 그리드는,

반도체 디바이스 제조를 위한 표준 반도체 기판의 직경과 실질적으로 동일한 직경을 갖는 플레이트;

상기 플레이트가 플라즈마에 노출되는 경우 상기 플레이트 내에의 유도 전류의 형성을 실질적으로 방지하도록, 상기 플레이트 내에서 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하며,

상기 슬롯들은 0.3 내지 5 의 종횡비를 가지는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 16

제15 항에 있어서,

상기 그리드는, 반도체 에칭 장치의 프로세싱 챔버 내에 배치되어 상기 프로세싱 챔버를 상부 서브-챔버와 하부 서브-챔버로 분할하는 경우, 그리고 상기 상부 서브-챔버 내에서 생성되는 플라즈마에 노출되는 경우, 상기 상부 서브-챔버 내의 상부 전자 밀도보다 적어도 10배 더 낮은 상기 하부 서브-챔버 내의 하부 전자 밀도를 유지하도록 동작하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 17

제16 항에 있어서,

상기 그리드는 상기 상부 전자 밀도보다 적어도 100배 더 낮은 상기 하부 전자 밀도를 유지하도록 동작하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 18

제15 항 내지 제17 항 중 어느 한 항에 있어서,

상기 표준 반도체 기판은 300 ㎜ 또는 450 ㎜의 직경을 갖는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 19

제15 항 내지 제17 항 중 어느 한 항에 있어서,

방위각적으로 인접한 홀들은 적어도 10° 만큼 그리고 60° 이하만큼 분리된, 기판 상에 피처를 에칭하기 위한 장치.

청구항 20

제15 항 내지 제17 항 중 어느 한 항에 있어서,

상기 그리드는 금속을 포함하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 21

제15 항 내지 제17 항 중 어느 한 항에 있어서,

상기 그리드는 절연 물질을 포함하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 22

기판 상에 피처를 에칭하는 방법으로서,

챔버 내의 기판 홀더에 기판을 제공하는 단계로서, 상기 챔버는 플라즈마 생성기, 및 플라즈마 챔버의 내부를 상기 플라즈마 생성기 부근의 상부 서브-챔버 및 상기 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드를 포함하며, 상기 상부 서브-챔버는 상기 하부 서브-챔버의 높이의 적어도 1/6인 높이를 가지는, 상기 기판을 제공하는 단계;

상기 상부 서브-챔버 내에 상부 구역 플라즈마를 그리고 상기 하부 서브-챔버 내에 하부 구역 플라즈마를 생성하기 위해 상기 그리드를 이용하는 조건에서, 상기 챔버 내에 플라즈마를 생성하는 단계; 및

상기 하부 구역 플라즈마와 상기 기판과의 상호 작용에 의해 상기 기판 내에 상기 피처를 에칭하는 단계를 포함하며,

상기 상부 구역 플라즈마의 플라즈마 전위는 상기 하부 구역 플라즈마의 플라즈마 전위보다 높으며,

상기 하부 구역 플라즈마 내의 유효 전자 온도는, 1 eV 또는 그 미만이고, 상기 상부 구역 플라즈마 내의 유효 전자 온도보다 더 낮으며,

상기 하부 구역 플라즈마 내의 전자 밀도는, $5x10^{9}$ cm^{-3} 또는 그 미만이고, 상기 상부 구역 플라즈마 내의 전자 밀도보다 더 낮은, 기판 상에 피처를 에칭하는 방법.

청구항 23

제22 항에 있어서,

상기 플라즈마를 생성하는 경우, 상기 그리드 내에 실질적으로 전류가 생성되지 않는, 기판 상에 피처를 에칭하는 방법.

청구항 24

제22 항 또는 제23 항에 있어서,

상기 그리드에 바이어스를 인가하는 단계를 더 포함하는, 기판 상에 피처를 에칭하는 방법.

청구항 25

제22 항 또는 제23 항에 있어서,

상기 기판 홀더에 바이어스를 인가하는 단계를 더 포함하는, 기판 상에 피처를 에칭하는 방법.

청구항 26

제22 항 또는 제23 항에 있어서,

상기 챔버에 에천트 가스를 제공하는 단계를 더 포함하는, 기판 상에 피처를 에칭하는 방법.

청구항 27

제22 항 또는 제23 항에 있어서,

상기 에칭하는 단계는 2000 ㎜Torr 미만의 챔버 압력에서 수행되는, 기판 상에 피처를 에칭하는 방법.

청구항 28

제22 항 또는 제23 항에 있어서,

상기 하부 구역 플라즈마는 이온-이온 플라즈마인, 기판 상에 피처를 에칭하는 방법.

청구항 29

제9 항에 있어서,

상기 그리드 내에서 상기 슬롯들의 종횡비는 0.5 내지 2인, 기판 상에 피처를 에칭하기 위한 장치.

청구항 30

삭제

청구항 31

제1 항에 있어서,

상기 그리드는 상기 상부 서브-챔버의 상부 전자 밀도보다 적어도 10배 더 낮은 상기 하부 서브-챔버의 하부 전자 밀도를 유지하도록 동작하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 32

제31 항에 있어서,

상기 그리드는 상기 상부 전자 밀도보다 적어도 100배 더 낮은 상기 하부 전자 밀도를 유지하도록 동작하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 33

제32 항에 있어서,

상기 그리드는 상기 상부 전자 밀도보다 적어도 1000배 더 낮은 상기 하부 전자 밀도를 유지하도록 동작하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 34

제1 항에 있어서,

상기 그리드는 중앙 영역, 상기 중앙 영역을 둘러싸는 중간 영역, 상기 중간 영역을 둘러싸는 외측 영역 및 상기 외측 영역을 둘러싸는 주변 영역을 포함하고,

상기 그리드 내 상기 슬롯들은 제1 슬롯 형상, 제2 슬롯 형상 및 제3 슬롯 형상을 포함하고,

상기 제1 슬롯 형상은 상기 그리드의 상기 중앙 영역으로부터 상기 주변 영역으로 방사상 외부로 연장하고,

상기 제2 슬롯 형상은 상기 그리드의 상기 중간 영역으로부터 상기 주변 영역으로 방사상 외부로 연장하고, 그리고

상기 제3 슬롯 형상은 상기 그리드의 상기 외측 영역으로부터 상기 주변 영역으로 방사상 외부로 연장하는, 기판 상에 피처를 에칭하기 위한 장치.

청구항 35

제34 항에 있어서,

상기 제1 슬롯 형상, 상기 제2 슬롯 형상 및 상기 제3 슬롯 형상 각각은 선형이고 슬롯 각각의 폭에 대한 높이 종횡비는 상기 슬롯 전체에서 일정한, 기판 상에 피처를 에칭하기 위한 장치.

청구항 36

제1 항에 있어서,

상기 슬롯은 선형이고, 상기 슬롯 각각의 폭에 대한 높이 종횡비는 상기 슬롯 전체에서 일정한, 기판 상에 피처를 에칭하기 위한 장치.

청구항 37

제1 항에 있어서,

상기 슬롯들은, 상기 슬롯들의 폭에 대한 높이 종횡비가 상기 슬롯들 전체에서 일정하지 않도록 파이 형상인, 기판 상에 피처를 에칭하기 위한 장치.

발명의 설명

기 술 분 야

[0001] 관련 출원들에 대한 교차 참조

[0002] 본 출원은 "INTERNAL PLASMA GRID FOR SEMICONDUCTOR FABRICATION"의 제목으로 2013년 4월 5일자에 출원된 미국임시출원 번호 61/809,246호를 우선권으로서 주장하는, "INTERNAL PLASMA GRID FOR SEMICONDUCTOR FABRICATIO"의 제목으로 2013년 11월 15일자에 출원된 미국특허출원 번호 14/082,009를 우선권으로서 주장하며, 위의 모든 특허 문헌들 각각은 모든 목적을 위해서 본 명세서에서 참조로서 인용된다.

배 경 기 술

[0003] 반도체들을 생산하는데 자주 이용되는 일 동작은 에칭 동작이다. 에칭 동작 시에, 하나 이상의 재료들이 부분적으로 제조된 집적 회로로부터 부분적으로 또는 전체적으로 제거된다. 플라즈마 에칭이 종종 이용되는데, 특히 관련된 기하 구조들이 소형이거나 고 종횡비가 이용되거나 정밀한 패턴 전사가 필요한 경우에 특히 그러하다.

[0004] 통상적으로, 플라즈마는 전자들, 양 이온, 음 이온, 및 몇몇 라디칼들을 포함한다. 라디칼들, 양 이온 및 음 이온은 기판 상의 피처들, 표면들 및 재료들을 에칭하도록 기판과 상호 작용한다. 에칭 프로세스 동안, 챔버 코일은 변압기 내의 1차 코일의 기능과 유사한 기능을 수행하는 한편, 플라즈마는 변압기 내의 2차 코일의 기능과 유사한 기능을 수행한다.

[0005] 평면형 트랜지스터 구조물에서 3D 트랜지스터 구조물 (예를 들어, 로직 디바이스 (logic device) 용의 FinFET 게이트 구조물) 로 옮겨가면서, 플라즈마 에칭 프로세스는 양호한 품질의 제품을 생산하기 위해서 점점 더 정밀해지고 균일해져야 한다. 다른 인자들 중에서도, 플라즈마 에칭 프로세스들은 양호한 선택도, 프로파일 각 (profile angle), 밀한 영역/소한 영역 로딩 (Iso/Dense loading) 및 전체 균일성을 가져야 한다.

[0006] 에칭 프로세스가 에칭되는 재료와 유지되는 재료 간에 양호한 선택도를 가지는 것이 유리하다. FinFET 게이트 구조물의 상황에서, 이는 에칭되는 게이트의 실리콘 질화물 마스크와 같은 다른 노출된 부품들에 대한 양호한 선택도가 있어야 함을 의미한다. 프로파일 각은 최근에 에칭된 (거의 수직인) 측벽과 수평면 간의 각으로서 측정된다. 다수의 애플리케이션들에서, 이상적인 프로파일 각은 90도이며, 이는 수직 에칭된 개구를 산출한다. 때때로, 국부적 웨이퍼 상 피처 밀도가 에칭 프로세스에 영향을 줄 수 있다. 예를 들어, 피처들이 밀한 (dense) 웨이퍼 구역은 피처들이 보다 격리된 (isolated) 웨이퍼 구역에 비해서 다소 차이가 나도록 에칭될 수 있다 (예를 들어, 보다 신속하게, 보다 느리게, 보다 이방성으로, 보다 등방성으로 에칭될 수 있다). 이러한 피처 밀도 차이로 인해서 발생하는 차이는 I/D 로딩으로 지칭된다. 제조 동안에 이러한 차이들을 최소화는 것이 유리하다. 이러한 디바이스 특정 요구 사항 및 잠재적으로 다른 디바이스 특정 요구 사항을 만족시키는 것 이외에도, 에칭 프로세스는 종종 기판의 전체 표면에 걸쳐서 일정하게 실행될 필요가 있다 (예를 들어, 에칭 특성들은 반도체 웨이퍼의 중앙으로부터 에지에 걸쳐서 균일해야 한다).

[0007] FinFET 게이트와 같은 진보된 구조물들을 에칭할 때에 상술한 바와 같은 다수의 목적들을 달성하는 것이 용이하지 않다고 알려져 있다.

발명의 내용

[0008] 반도체 디바이스의 제조 동안 반도체 기판 및 반도체 기판 상의 층들을 에칭하기 위한 다양한 방법 및 장치들이 본 명세서에 개시된다. 본 명세서의 실시예들의 일 양태에서, 기판 상에 피처를 에칭하기 위한 장치가 개시된다. 장치는, 플라즈마가 제공될 수 있는 내부를 정의하는 챔버; 에칭 동안 챔버 내에서 기판을 홀딩하기 위한 기판 홀더; 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기; 및 플라즈마 챔버의 내부를 플라즈마 생성기 부근의 상부 서브-챔버 및 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드 (grid) 를 포함할 수 있고, 여기서 상부 서브-챔버는 하부 서브-챔버의 높이의 적어도 약 1/6인 높이를 가지며, 그리드는, 플라즈마가 챔버 내에 산출되는 경우 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함한다.

[0009] 장치는 또한, 상부 서브-챔버 내에 상부 구역 플라즈마를 그리고 하부 서브-챔버 내에 하부 구역 플라즈마를 산출하는 조건들 하에서, 챔버 내에 플라즈마를 산출하도록 구성되거나 설계되는 제어기를 더 포함할 수 있고, 여기서 하부 구역 플라즈마 내의 유효 전자 (effective electron) 온도는, 약 1 eV 또는 그 미만이며, 상부 구역 플라즈마 내의 유효 전자 온도보다 더 낮고, 하부 구역 플라즈마 내의 전자 밀도는, 약 $5x10^{9}$ cm^{-3} 또는 그 미만이고, 상부 구역 플라즈마 내의 전자 밀도보다 더 낮다. 제어기는 또한 그리드 및/또는 기판 홀더에 바이어스를 인가하도록 더 구성되거나 설계될 수 있다. 제어기는 또한 챔버에 에천트 가스를 전달하도록 더 구성되거나 설계될 수 있다. 특정한 경우에, 제어기는 플라즈마가 기판을 에칭하는 동안 챔버 내에 약 2000 mTorr 미만의 압력을 제공하도록 더 구성되거나 설계된다. 그러나, 특정한 경우에, 제어기는 에칭 동안 챔버 내에 더 낮은 압력, 이를 테면 약 200 mTorr 미만의 압력을 제공하도록 구성되거나 설계된다. 다른 경우에, 제어기는 약 1 내지 20 mTorr 사이의, 또는 약 5 내지 20 mTorr 사이의 압력으로 반응 챔버 내를 유지하도록 구성되거나 설계될 수 있다. 제어기는 또한 하부 서브-챔버 내에 이온-이온 (ion-ion) 플라즈마를 산출하도록 더 구성되거나 설계될 수 있다.

[0010] 특정한 실시예들에서, 그리드는 약 1 내지 50 mm 사이의, 또는 약 5 내지 20 mm 사이의 평균 두께를 가질 수 있다. 그리드 내의 슬롯들은 대체로 약 0.3 내지 5 사이의 종횡비 (aspect ratio) 를 가진다. 일부 실시예들에서, 슬롯들의 종횡비는 약 0.5 내지 2 사이, 또는 약 1 내지 4 사이에 있다. 슬롯들은 종종 방사상 외부로 연장하도록 배열된다. 방위각적으로 (azimuthally) 인접한 슬롯들은 때때로 적어도 약 15° 만큼 분리된다. 이러한 또는 다른 경우들에서, 방위각적으로 인접한 슬롯들은 약 60° 이하만큼, 예를 들어 약 50° 이하만큼 분리될 수 있다.

[0011] 특정한 실시예들의 플라즈마 생성기는 챔버의 천장 위에 배치된 코일을 포함한다. 일부 실시예들에서, 기판 홀더는 정전 척이다. 다양한 다른 구성요소들이 장치 내에 포함될 수 있다. 예를 들어, 장치는 또한 프로세스 가스 유입구를 포함할 수 있다. 더욱이, 장치는 진공 연결부를 포함할 수 있다.

[0012] 개시된 실시예들의 다른 양태에서, 반도체 기판을 프로세싱하기 위한 시스템이 제공된다. 시스템은, 진공 이송 모듈; 진공 이송 모듈 내의 로봇; 진공 이송 모듈에 부착된 복수의 스테이션들; 및 프로세서를 가지는 제어기를 포함할 수 있고, 여기서 복수의 스테이션들 중 적어도 하나가 플라즈마가 제공될 수 있는 내부를 정의하는 챔버; 에칭 동안 챔버 내에서 기판을 홀딩하기 위한 기판 홀더; 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기; 및 플라즈마 챔버의 내부를 플라즈마 생성기 부근의 상부 서브-챔버 및 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드를 포함하고, 상부 서브-챔버는 하부 서브-챔버의 높이의 적어도 약 1/6인 높이를 가지며, 그리드는, 플라즈마가 챔버 내에 산출되는 경우 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함한다.

[0013] 다양한 실시예에서, 스테이션들은 진공 이송 모듈 내의 면들 (facets) 에 인터페이스된다. 각 면 내에 복수의 센서들이 있을 수 있다.

[0014] 본 명세서의 실시예들의 또 다른 양태에서, 반도체 디바이스 제조를 위한 표준 반도체 기판의 직경과 실질적으로 동일한 직경을 갖는 플레이트; 및 플레이트가 플라즈마에 노출되는 경우 플레이트 내에의 유도 전류의 형성을 실질적으로 방지하도록, 플레이트 내에서 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하는, 반도체 에칭 장치와 관련하여 이용하기 위한 그리드가 개시되며, 여기서 슬롯들은 약 0.3 내지 5 사이의 종횡비를 가진다.

[0015] 그리드는, 반도체 에칭 장치의 프로세싱 챔버 내에 배치되어 프로세싱 챔버를 상부 서브-챔버와 하부 서브-챔버로 분할하는 경우, 그리고 상부 서브-챔버 내에서 생성되는 플라즈마에 노출되는 경우, 상부 서브-챔버 내의 상부 전자 밀도보다 적어도 약 10배 더 낮은 하부 서브-챔버 내의 하부 전자 밀도를 유지하도록 동작한다. 일부

실시예들에서, 그리드는 상부 전자 밀도보다 적어도 약 100배 더 낮은 하부 전자 밀도를 유지하도록 동작할 수 있다. 많은 경우에, 표준 반도체 기판은 약 200, 300 또는 약 450 ㎜의 직경을 가진다. 방위각적으로 인접한 홀들은 적어도 약 10° 만큼 분리될 수 있다. 방위각적으로 인접한 홀들은 또한 약 60° 이하만큼 분리될 수 있다. 일부 실시예들에서, 그리드는 금속으로 제조될 수 있다. 다른 경우들에서, 그리드는 절연 물질로 제조될 수 있다. 특정한 경우들에서, 그리는 금속 및 절연 물질을 모두 포함할 수 있다.

[0016] 본 명세서의 실시예들의 또 다른 양태에서, 기판 상에 피처를 에칭하는 방법이 제공되며, 이러한 방법은, 챔버 내의 기판 홀더에 기판을 제공하는 단계로서, 챔버는 플라즈마 생성기, 및 플라즈마 챔버의 내부를 플라즈마 생성기 부근의 상부 서브-챔버 및 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드를 포함하며, 서브-챔버는 하부 서브-챔버의 높이의 적어도 약 1/6인 높이를 가지는, 기판을 제공하는 단계; 상부 서브-챔버 내에 상부 구역 플라즈마를 그리고 하부 서브-챔버 내에 하부 구역 플라즈마를 산출하는 조건들 하에서, 챔버 내에 플라즈마를 생성하는 단계; 및 하부 구역 플라즈마와 기판과의 상호 작용에 의해 기판 내에 피처를 에칭하는 단계를 포함하며, 하부 구역 플라즈마 내의 유효 전자 온도는, 약 1 eV 또는 그 미만이고, 상부 구역 플라즈마 내의 유효 전자 온도보다 더 낮으며, 하부 구역 플라즈마 내의 전자 밀도는, 약 $5x10^{9}$ cm^{-3} 또는 그 미만이고, 상부 구역 플라즈마 내의 전자 밀도보다 더 낮다.

[0017] 일부 경우들에서, 플라즈마를 생성하는 경우, 그리드 내에 실질적으로 전류가 생성되지 않는다. 방법은 또한, 그리드에 바이어스를 인가하는 단계, 및/또는 기판 홀더에 바이어스를 인가하는 단계를 포함할 수 있다. 특정한 실시예들에서, 방법은 또한 챔버에 에천트 가스를 제공하는 단계를 포함할 수 있다. 에칭하는 단계는 약 2000 mTorr 미만의 챔버 압력에서 수행될 수 있고, 일부 경우들에서, 에칭하는 단계는 약 1 내지 200 mTorr 사이의, 또는 약 1 내지 20 mTorr 사이의, 또는 약 5 내지 20 mTorr 사이의 챔버 압력에서 수행된다. 본 명세서에서 설명되는 바와 같이, 하부 구역 플라즈마는 이온-이온 플라즈마일 수 있다.

[0018] 이러한 그리고 다른 특징들이 첨부된 도면들을 참고하여 아래에서 설명될 것이다.

도면의 간단한 설명

[0019] 도 1은 본 명세서에 개시된 특정한 실시예들에 따른 에칭 동작들에서 이용되는 플라즈마 프로세싱 시스템을 도시하는 개략적인 단면도이다.

도 2a는 본 명세서에 개시된 특정한 실시예들에 따른 그리드 구조물의 단순화된 하향식 도면이다.

도 2b는 본 명세서의 특정한 실시예들에 따른 그리드 구조물의 사진이다.

도 3a 내지 3c는 에칭 부산물 해리에 기인하여 발생하는 특정한 문제들을 도시한다.

도 4는 개시된 실시예에 따른 다중-스테이션 클러스터 툴의 일 실시예를 도시한다.

도 5a 및 5b는 높은 압력의 종래 기술에 따라 에칭된 FinFET 구조물들의 SEM 이미지들 (5a) 및 플라즈마 그리드를 이용하는 본 발명의 실시예들에 따른 주사 전자 현미경 이미지들 (5b) 을 도시한다.

도 6a 및 6b는 높은 압력의 종래 기술에 따라 에칭된 피처들의 SEM 이미지들 (6a) 및 플라즈마 그리드를 이용하는 본 명세서에 개시된 실시예에 따라서 에칭된 피처들의 SEM 이미지들 (6b) 이다.

도 7은 플라즈마 그리드를 이용하지 않는 다양한 방식들에 따라 에칭된 피처들의 다양한 SEM 이미지들을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 출원에서, 용어 "반도체 웨이퍼", "웨이퍼", "기판", "웨이퍼 기판" 및 "부분적으로 제조된 집적 회로"는 상호교환가능하게 이용된다. 본 기술 분야의 당업자는 용어 "부분적으로 제조된 집적 회로"가 반도체 웨이퍼 상에서의 집적 회로 제조의 다양한 스테이지들 중 임의의 스테이지 동안의 반도체 웨이퍼 상의 디바이스들을 지칭함을 이해할 것이다. 이하의 상세한 설명은 본 발명이 웨이퍼 상에서 구현됨을 가정한다. (때때로 표준 반도체 기판으로 지칭되는) 예시적인 처리 대상 (work piece) 은 200, 300 및 450 ㎜ 직경의 반도체 기판들을 포함한다. 그러나, 본 발명은 이로 한정되지 않는다. 처리 대상은 다양한 형상, 크기 및 재료를 가질 수 있다.

[0021] 이하의 설명 부분에서, 다수의 특정 세부 사항들이 제공된 실시예들의 충분한 이해를 제공하기 위해서 제안된다. 개시된 실시예들은 이러한 특정 세부 사항 전부 또는 일부 없이도 실시될 수 있다. 다른 경우들로

서, 잘 알려진 프로세스 동작들을 개시된 실시예들을 불필요하게 모호하게 하지 않도록 세부적으로 기술되지 않았다. 개시된 실시예들은 특정 실시예들과 함께 기술될 것이지만, 이는 개시된 실시예들을 한정하려고 하는 것이 아님이 이해될 것이다.

[0022] 반도체 디바이스들의 제조 동안에 반도체 기판 및 반도체 기판 상에 형성된 층들을 에칭하는데 이용되는 장치가 개시된다. 이러한 장치는 에칭이 수행되는 챔버에 의해서 규정된다. 특정한 실시예들에서, 챔버는 평면 윈도우, 대체로 평면인 여기 코일, 및 에칭 동안에 반도체 기판을 홀딩하기 위한 페데스탈 또는 척을 포함한다. 물론, 본 발명은 임의의 특정 타입의 플라즈마 소스로 한정되지 않는다. 평면 여기 코일 이외에도, 돔 및 플레이트 플라즈마 소스들이 이용될 수 있다. 소스들은 유도성 커플링 플라즈마 소스들, 용량성 커플링 플라즈마 소스들 및 본 기술 분야의 당업자에게 알려진 다른 소스들을 포함한다. 본 명세서의 실시예들은 챔버 내에 위치되며, 챔버를 2 개의 서브-챔버들로 분리시키는 그리드를 이용한다. 동작 동안에, 각 서브-챔버는 구별된 특성들을 갖는 플라즈마를 포함한다. 플라즈마는 주로 또는 배타적으로 상부 서브-챔버 내에 생성되며, 특정한 종들 (species) 이 영향을 받지 않는 채로 그리드를 통해서 하부 서브-챔버 내로 이동될 수 있다. 그리드는 그리드의 두께를 관통하는 슬롯들을 갖는다. 특정한 구현예들에서, 슬롯들은 대략/실질적으로 방사상 외부로 연장된다. 본 명세서에서 이용될 때에, 구절 "대략/실질적으로 방사상 외부로 연장한다"는 피처가, 적어도 일부 방사상으로 지향된 컴포넌트를 가짐을 의미한다. 다시 말해서, 피처의 실질적인 부분이 대체로 중앙에서 에지 방향으로 연장되기만 하면, 피처 전체가 전부 방사상으로 지향될 필요는 없다. 또한, "중앙에서 에지 방향 (center-to-edge direciton)" 은 정확한 (true) 중앙에서 에지 방향 부근 범위의 각도 (예를 들어, 정확한 중앙에서 에지 방향의 약 20° 내의 범위) 를 포함하는 것으로 규정된다.

[0023] 그리드는 그리드의 두께를 관통하는 다수의 방사 슬롯들을 포함할 수 있다. 그리드 및 슬롯들은, 적은 수의 고에너지 전자들만이 그리드를 통과할 수 있도록, 그리고 저 에너지 전자들은 그리드를 둘러싸는 시스 (sheath) 때문에 통과되는 것이 효과적으로 방지되도록 설계된다. 고 에너지 전자들은 일반적으로 그리드를 통과하여 하부 서브-챔버 내로 들어가면 저 에너지의 "저온 (colder)" 전자로 된다. 고 에너지 전자들이 그리드를 통과할 정도로 충분한 에너지를 가질 수 있다고 해도, 이들 중 다수는 그리드와 충돌하는 각도로 그리드에 도달하고 에너지를 잃는다. 그리드를 통과한 고 에너지 전자들은 현재 여기 소스로부터 격리되기 때문에, 이들은 집합적으로 그리드 아래의 플라즈마를 집합적으로 유지하기에 충분한 에너지를 가지지 않는다. 고온 전자들이 하부 챔버 내에서 저온 상태로 되는 메카니즘들은, 그리드와의 충돌, 그리드 이하에서의 중성 종들과의 전자 충돌, 및 그리드 이하에서의 전자로부터 여기 소스의 제거를 포함한다. 따라서, 그리드는, 낮은 전자 밀도 (n_e) 및 낮은 평균 유효 전자 온도 (T_e) 를 갖는 플라즈마를 하부 서브-챔버 내에서 생성하는 기능을 가질 수 있다. 그리드 위에서, 플라즈마는, 통상적으로 음으로 하전된 종들 중 매우 높은 부분이 전자들인, 통상적인 전자-이온 플라즈마이다. 그리드의 아래에서, 플라즈마는 매우 높은 퍼센트의 음 이온을 포함하며,실제로 이온-이온 플라즈마일 수 있다. 이온-이온 플라즈마의 특정한 특징들은 이하에서 기술된다. 일반적으로, 전자-이온 플라즈마에 비해서, 이온-이온 플라즈마는 (전자들보다는) 이온들인, 상당히 높은 비율의 음으로 하전된 종들을 포함한다.

[0024] 반응기 내의 그리드의 위치

[0025] 그리드는 플라즈마 챔버 내에 위치되어서, 챔버를 상부 서브-챔버 및 하부 서브-챔버로 분리한다. 본 명세서에서 설명되는 바와 같은 그리드를 포함하도록 수정되기에 적합한 챔버의 일 예는 미국 캘리포니아 프레몬트 소재의 Lam Research 사의 Kiyo Reactor이다. 맥락상, 이하의 설명은 이하에서 더 기술되는 도 1을 참고하여 고려될 수 있다. 특정한 구현예들에서, 그리드는 약 1 내지 6 인치만큼 반응 챔버의 내부 베이스 위로 위치되고, 또는 약 1 내지 6 인치 (예를 들어, 1.5 내지 3 인치) 만큼 페데스탈과 같은 반도체 지지부 위로 위치된다. 이러한 또는 다른 구현예들에서, 그리드는 약 1 내지 6 인치 (예를 들어, 1.5 내지 3 인치) 만큼 반응 챔버의 내부 천장 아래로 위치된다. 천장에는 종종 유전체 윈도우가 구비된다.

[0026] 특정한 실시예들에서, 상부 서브-챔버 및 하부 서브-챔버의 높이는 실질적으로 동일하지만 (예를 들어, 약 5 % 이내에서 동일하지만), 다른 실시예들에서는, 이 높이는 더 크게 상이할 수 있다. 상부 챔버의 높이 대 하부 챔버의 높이의 비 (h_u/h_l) 는 서브-챔버 높이 비로서 지칭되며, 약 0.1 내지 10 사이 또는 약 0.2 내지 5 사이일 수 있다. 일부 실시예들에서, 서브-챔버 높이 비는 약 1/6보다 더 크다.

[0027] 그리드는 웨이퍼에 너무 가까이 위치되지 말아야 하는데, 이는 그리드 프린팅 (printing) 이 웨이퍼의 면 상에 발생할 수 있기 때문이다. 다시 말해서, 그리드 내의 슬롯들의 패턴이 프로세싱 후에 바람직하지 않게 웨이퍼

의 면 상에 나타날 수 있으며, 이는 기판 표면 상에 심각한 에칭 불균일성을 유발할 수 있다. 다수의 애플리케이션들에서, 기판의 상단에서 그리드까지의 이격 거리는 적어도 약 1 인치이면 충분하다.

[0028] 그리드 설계

[0029] 그리드는 슬롯들을 갖는 상대적으로 얇은 시트이다. 또한, 일부 실시예들에서, 그리드는 다른 형상들의 천공들 또는 홀들을 포함할 수 있다. 따라서, 그리드는 슬롯 및 홀들을 조합하여서 포함한다. 그리드 구조물의 비한정적 예들이 도 2a 및 도 2b에 도시된다. 그리드에 포함된 재료는 절연체, 도전체 또는 이들의 몇몇 조합일 수 있다. 특정한 구현예들에서, 그리드는 다음으로 한정되지 않지만 금속, 스테인레스 스틸과 같은 금속성 합금, 알루미늄, 티타늄, 세라믹, 실리콘, 실리콘 카바이드, 실리콘 질화물, 및 이들의 조합을 포함하는 하나 이상의 재료들을 포함한다. 이러한 재료는, 예를 들면 부식 내성을 위해서 양극 산화 또는 그렇지 않으면 패시베이션될 수 있거나 그렇지 않을 수도 있다. 일부 경우들에서, 그리드는 유해한 플라즈마 환경들을 견딜 수 있는 세라믹, 유리, 강 폴리머 같은 절연 물질, 또는 이러한 재료들의 임의의 복합물을 포함할 수 있다. 일 실시예에서, 그리드는 세라믹 코팅을 갖는 금속성 재료로 제조된다. 다른 코팅들이 이용될 수도 있다. 코팅된 그리드 이용은 에칭될 층들이 휘발성이 있을 때에 특히 유리하다. 특정한 구현예들에서, 그리드는 다음으로 한정되지 않지만, 예를 들어 Y_2O_3, YF_3, YAG, 티타늄 질화물, 또는 CeO_2 을 포함하는 순수한 코팅재로 코팅될 수 있다. 또한, 그리드는 접지, 플로팅 (floating) 또는 바이어스될 수 있다. 일부 구현예들에서, 접지된 그리드는 캐소드에 대한 향상된 바이어스 전류 복귀부로서 기능한다.

[0030] 그리드가 접지되는 경우, 그리드는 대체로 챔버의 전체 수평 단면에 걸쳐 있다 (span). 그리드가 바이어스되는 경우, 그리드와 근처의 접지 표면 사이에서 약 5 cm 또는 그 이상의 간격이 유지될 수 있다. 챔버가 (위에서 볼 때에) 원형이면, 그리드도 역시 원형일 것이다. 이는 그리드가 반응 챔버를 2 개의 서브-챔버들로 효과적으로 분할하게끔 한다. 특정한 설계들에서, 그리드의 원형 형상은, 통상적으로 원형 웨이퍼인 기판의 기하 구조에 의해서 규정된다. 공지된 바와 같이, 웨이퍼는 통상적으로 200 mm, 300 mm, 450 mm 등과 같은 다양한 크기로 제공된다. 다른 형상들이 챔버 내에서 수행되는 에칭 동작들에 따라서, 정방형 기판, 또는 보다 소형의 기판에 대해서 가능하다. 그리드의 단면은 다양한 형상을 가질 수 있다. 일부 실시예에 대해서는 평탄한 평면형 그리드 단면이 적합하다. 그러나, 일부 실시예들에서는 접시형, 돔형, 진동형 (oscillating) (예를 들어, 사인형, 구형파형, 세브런형 (chevron)) 등의 그리드 단면이 적합하다. 이러한 단면 프로파일 중 임의의 것을 통한 슬롯들 또는 홀들은 본 명세서에서 다른 곳에서 기술되는 바와 같은, (종횡비들을 포함하는) 특성들을 가질 것이다.

[0031] 그리드는 평균 약 1 내지 50 mm 두께, 바람직하게는 약 5 내지 20 mm 사이의 두께이다. 그리드가 너무 두꺼우면, (예를 들어, 너무 많은 수의 종들이 통과되지 못하게 차단될 수 있고, 너무 많은 중량을 가질 수 있고, 또는 반응 챔버 내에서 너무 많은 공간을 차지할 수 있는 등) 정확하게 동작할 수 없다. 그리드가 너무 얇으면, 플라즈마 프로세싱을 견딜수 없으며 너무 종종 교체되어야 할 수 있다. 통상적으로, 이하에서 기술될 바와 같이, 슬롯들의 높이가 그리드 두께에 의해서 결정되기 때문에, 그리드의 두께는 그리드 내의 슬롯들의 목표된 종횡비에 의해 제한된다.

[0032] 일부 실시예들에서, 그리드는 상류 플라즈마와 하류 플라즈마 간의 분리기로서 기능하는데, 여기서 하류 플라즈마는 하부 서브-챔버 내에 존재하며 라디칼이 풍부할 수 있다. 이러한 방식으로, 그리드가 구비된 플라즈마 챔버는 미국 캘리포니아 프레몬트 소재의 Novellus Systems, 이제는 Lam Research 사로부터 입수 가능한 GAMMA™ 플랫폼 툴과 같은 기존의 원격 플라즈마 툴들을 이용하여 달성될 수 있는 바와 유사한 결과를 산출할 수 있다. 그리드가 이러한 목적을 위해서 작동되는 경우에, 그리드는 상대적으로 두꺼울 수 있는데, 예를 들면 약 20 내지 50 mm의 두께일 수 있다.

[0033] 특정한 실시예들에서, 그리드는 통상적인 실시예에서의 길고 얇은 형상들을 갖는 슬롯들을 포함한다. 슬롯들은 그리드의 중앙에서 방사상 외부로 연장된다. 슬롯들은 높이, 폭 및 두께 (폭 및 길이가 도 2에서 명시적으로 나타남) 를 갖는다. 슬롯 높이는 그리드의 면에 대해 수직인 축을 따라서 측정되며, 이러한 높이는 그리드의 두께와 대체로 동일하다. 슬롯들의 폭은 슬롯들의 방사 정도에 걸쳐서 일정하거나 변할 수 있다. 특정한 경우들에서, 슬롯들은 파이 (pie) 형상이다 (즉, 그리드의 중앙을 향해서는 가늘어지고 그리드의 에지를 향해서는 두꺼워짐). 다양한 실시예들에서, 슬롯들은 그리드의 중앙에서 외부로 길이 방향으로 (방사상으로) 연장된다. 일부 실시예들에서, 슬롯 폭들은 약 25 mm를 넘지 않는다. 슬롯들의 길이는 그리드의 방위각적 크기를 둘러서

일정하거나 가변적일 수 있다. 방사 슬롯들의 각도상 이격 거리 (angular separation) 는 그리드를 둘러서 일정하거나 가변적일 수 있다.

[0034] 어떠한 슬롯도 그리드 내에 존재하지 않으면, 플라즈마 생성 동안에 전류가 그리드 내에서 유도될 것이다. 이 전류는 그리드를 둘러서 실질적으로 원형으로 흐르거나 국소적 와전류를 형성할 것이며 이는 전력 소비량을 증가시킬 것이다. 그러나, 슬롯들의 존재는 이러한 기생 전류가 형성되는 것을 방지하고, 그 결과 전력을 절감시키고 보다 효율적인 프로세스 가능하게 된다. 실질적으로 원형 홀들과 같은 형상을 갖는 개구들은 이러한 전류 형성 억제에 있어서 덜 효과적이다. 그러나, 상술한 바와 같이, 원형 개구들은 슬롯형 개구들과 함께 이용될 수 있다.

[0035] 슬롯의 종횡비는 슬롯의 폭의 대한 슬롯의 높이의 비 (h/w) 로서 규정된다. 통상적으로, 이 종횡비의 기하구조는 슬롯의 길이 방향 (종종 방사 방향) 에 대해서 수직으로 취해진 단면으로서 보여질 것이다. 슬롯의 폭이 가변적일 수 있기 때문에, 종횡비는 유사하게 가변적일 수 있다. 특정한 실시예들에서, 슬롯의 종횡비는 약 0.3 내지 5, 또는 약 1 내지 4, 또는 약 0.5 내지 2이다. 다수의 실시예들에서, 이러한 종횡비를 갖는 그리드들은 상부 서브-챔버에 비해서 하부 서브-챔버 내에서 전자 밀도 및 유효 전자 온도를 감소시킨다. 상술한 바와 같이, 적어도 부분적으로는 다수의 고온 전자들이 그리드와 충돌하기 때문에, 전자들이 슬롯들을 통과할 때에 유효 전자 온도는 낮아진다고 사료된다. 또한, 하부 서브-챔버 내의 유효 전자 온도는 상부 서브-챔버에 비해 감소되는데, 이는 하부 서브-챔버 내의 전자들이 그리드에 의해서 차폐되어서 플라즈마 코일들 (또는 다른 플라즈마 소스들) 로부터 유도성 가열을 받지 못하기 때문이다.

[0036] 홀들이 슬롯들과 함께 이용되는 경우에, 홀들은 슬롯들과 동일한 목적으로 제공될 수 있다. 따라서, 이들은 대체로 상술한 바와 같은 종횡비들을 가질 것이다. 일부 실시예들에서, 홀들은 약 0.05 인치 내지 약 0.2 인치 범위의 직경을 갖는다. 구멍들은 또한 그리드의 최대 (full) 두께를 관통한다.

[0037] 그리드에 의해서 제공되는 추가적인 이점은 주 인젝터로부터의 대류 흐름 효과 (convetive flow effect) 를 중성화시킬 수 있다는 것이다. 이는 웨이퍼 표면 상에 보다 균일한 가스 흐름을 허용한다. 그리드가 웨이퍼와 상부 챔버 내의 가스 인젝터(들) 간에 존재하면 그리드가 가스 흐름을 방해하여서 웨이퍼 상에서 보다 확산적인 흐름 영역을 발생시키기 때문에, 가스 인젝터(들)로부터 이송된 임의의 가스의 대류 효과를 크게 줄일 수 있다.

[0038] 일부 실시예들에서, 그리드는 가스 이송 홀들을 포함한다. 이러한 실시예들에서, 그리드는 상부 및/또는 하부 서브-챔버에 대한 샤워헤드가 되는 추가적인 역할을 할 수 있다. 이러한 실시예들에서, 하나 이상의 채널들이 하나 이상의 그리드들에 포함될 수 있다. 이러한 채널들에는 유입구 (또는 다수의 유입구들) 로부터 가스가 공급되며, 이 채널들은 이 가스를 그리드(들) 내의 복수의 유출 홀들로 이송할 수 있다. 이러한 유출 홀들은 상부 및 하부 서브-챔버 중 어느 하나 또는 양자에 프로세스 가스를 이송하는 가스 분배 샤워헤드를 형성할 수 있다.

[0039] 일부 구현예들에서, 그리드는 프로빙 장치가 그리드를 통해서 배치되게 할 수 있는 피처를 포함하는 중앙 영역과 같은 영역을 갖는다. 이 프로빙 장치는 동작 동안에 플라즈마 프로세싱 시스템과 연관된 프로세스 파라미터들을 프로빙하기 위해서 제공될 수 있다. 프로빙 프로세스들은 광학적 방출 엔드포인트 검출, 간섭측정 (interferometeric) 엔드포인트 검출, 플라즈마 밀도 측정, 이온 밀도 측정, 및 다른 계측 프로빙 동작들을 포함할 수 있다. 특정한 실시예들에서, 그리드의 중앙 영역은 개방된다. 다른 실시예들에서, 그리드의 중앙 영역은, 광이 그리드를 투과되게끔 하는 광학적으로 투명한 재료 (예를 들어, 석영, 사파이어 등) 를 포함한다.

[0040] 특정한 실시예들에서, 300 ㎜ 웨이퍼 에처 (etcher) 의 경우에 그리드의 외측 에지 근처에서 매 15 ㎜ 내지 40 ㎜ 마다 둘러서 그리드 내에 슬롯을 갖는 것이 바람직할 수 있다. 이는 방위각적으로 인접하는 슬롯들이 각기 약 18° 또는 약 48° 만큼 이격되는 경우에 대응한다. 따라서, 특정한 실시예들에서, 방위각적으로 인접하는 슬롯들은 적어도 약 10° 또는 적어도 약 15° 만큼 이격된다. 이러한 실시예들 또는 다른 실시예들에서, 방위각적으로 인접하는 슬롯들은 약 40° 이하의 각도, 약 50° 이하의 각도 또는 약 60° 이하의 각도만큼 이격된다.

[0041] 다양한 실시예들에서, 그리드는 플라즈마 형성에 실질적인 역할을 수행하지 않는다. 그러나, 그리드는 전자-이온 플라즈마를 상부 서브-챔버에 가두고, 하부 서브-챔버에의 이송을 위해 종들을 필터링하는 역할을 수행할 수 있다.

[0042] 플라즈마 특성들

[0043] 그리드는 플라즈마 챔버를 2 개의 구역, 즉, 플라즈마를 생성하기 위한 코일들 (또는 다른 플라즈마 생성 메커니즘) 에 근접한 상부 구역 및 기판 홀더에 근접한 하부 구역으로 분할한다. 다양한 실시예들에서, 상부 구역 내의 플라즈마는 상대적으로 "고온의" 고 에너지 전자들을 포함한다. 종종, 이러한 플라즈마는 전자-이온 플라즈마로서 특성화된다. 다양한 실시예들에서, 하부 구역 내의 플라즈마는 상대적으로 "저온의" 저 에너지 전자들을 포함한다. 종종, 이러한 하부 구역 플라즈마는 이온-이온 플라즈마로 특성화된다.

[0044] 플라즈마는 주로 또는 배타적으로 상부 서브-챔버 내에서 생성될 수 있다. 일 실시예에서, 유도성 커플링 플라즈마는 상부 서브-챔버 위에 위치되는 코일들을 통해 전류를 흘림으로써 상부 서브-챔버 내에서 생성된다. 단일 코일 또는 다수의 코일들이 이용될 수 있다. 다른 실시예들에서, 용량성 커플링 플라즈마가, 예를 들면 VHF CCP 소스를 이용하여서 생성된다. 상부 서브-챔버 내의 플라즈마는 그리드의 존재로 인해서 하부 서브-챔버 내의 플라즈마와 구별되게 상이한 특성을 가질 것이다.

[0045] 다수의 실시예들에서, 상부 구역 플라즈마는 통상적인 전자-이온 플라즈마이다. 이러한 타입의 플라즈마에서, 양으로 하전된 종들의 대부분은 양 이온들이며 음으로 하전된 종들의 대부분은 전자들이다. 음의 이온들이 존재할지라도, 단지 상대적으로 저 농도로 존재할 뿐이다. 이와 대조하여서, 하부 서브-챔버 내의 플라즈마는 종종 이온-이온 플라즈마로 지칭된다. 전자-이온 플라즈마에 비해서, 이온-이온 플라즈마에서는 음으로 하전된 종들의 상당 부분은 음의 이온들이며 음으로 하전된 종들의 작은 부분이 전자들이다. 특정한 구현예들에서, 이온-이온 플라즈마에서 전자들의 농도에 대한 양 이온들의 농도의 비 (때때로 전자에 대한 양 이온 비 n_i/n_e로 지칭됨) 는 약 2 이상이고, 일부 경우에서는 약 5 이상 또는 심지어 10 이상일 수 있다. 특정한 경우에, 전자에 대한 양 이온의 비는 하부 구역 플라즈마가 상부 구역 플라즈마보다 적어도 약 2 배이다 (예를 들어, 적어도 약 5 배이다).

[0046] 2 개의 플라즈마들 간의 관련 차는 상부 구역 플라즈마가 매우 더 높은 전자 밀도를 갖는다는 것이다. 예를 들면, 하부 구역 플라즈마 내의 전자 밀도는 약 $5\times 10^{9}\ cm^{-3}$ 이하 (예를 들어, 약 $1\times 10^{9}\ cm^{-3}$ 이하) 일 수 있다. 이러한 범위는 특히 전자 네거티브 프로세싱 가스들 (electron negative processing gases) 에 적용될 수 있다. 상부 구역 플라즈마는 하부 구역 플라즈마의 전자 밀도보다 적어도 약 10 배인 (예를 들어, 적어도 약 100 배 또는 적어도 약 1000 배인) 전자 밀도를 가질 수 있다. 일부 경우에, 하부 서브-챔버는 전자 밀도가 음이온 밀도 및 양 이온 밀도보다 적어도 10의 일 제곱만큼 더 작은 이온-이온 플라즈마를 갖는다. 특정한 하부 서브-챔버 플라즈마의 예에서, 전자들의 밀도 (Ne) 는 약 $10^{8}cm^{-3}$이고, 양 이온의 밀도 (Ni+) 는 약 $10^{9}cm^{-3}$이고, 음의 이온의 밀도 (Ni-) 는 약 $10^{9}cm^{-3}$이다.

[0047] 상부 구역 플라즈마와 하부 구역 플라즈마 간의 추가 차이는 하부 구역 플라즈마가 통상적으로 양 이온에 대한 음 이온의 비가 더 높을 것이라는 것이다. 상부 구역 전자-이온 플라즈마는 통상적으로 주로 양 이온 및 전자들을 포함하며 상대적으로 음 이온 수가 작기 때문에, 음 이온:양 이온 비는 낮을 것이다. 하부 구역 플라즈마 내의 음 이온:양 이온 비는 약 0.5 내지 1일 수 있다 (예를 들어, 약 0.8 내지 0.95일 수 있다).

[0048] 하부 구역 플라즈마 내의 전자들의 상대적으로 낮은 농도에 대한, 가능한 하나의 비한정적 설명은, 하부 구역에 존재하는 전자들 (예를 들어, 상부 구역에서 그리드를 통해서 하부 구역으로 이동한 전자들) 은 일반적으로 RF 필드에 의해서 가열되지 않으며 가스 분자들과의 비탄성적 충돌 (inelastic collision) 로 인해서 에너지를 빠르게 손실하며, 이는 낮은 유효 전자 온도를 야기한다는 것이다. 이러한 저 에너지 전자들은 (상부 구역 플라즈마 내의 고 에너지 전자들에 비해서) 중성 종들과 반응하여서 음 이온들을 산출할 확률이 더 크다. 전자들은 중성 종들에 부착되어서 음 이온을 형성하기 위해서 상대적으로 낮은 에너지를 가져야 한다. 이러한 음 이온 생성은 고 에너지 전자들에서는 발생하지 않을 것이며, 이러한 고 에너지 전자들은 중성 종들과 충돌할 때에, 결합하여 음 이온을 형성하기보다는 다른 전자들을 "킥-오프 (kick-off)" 시킬 수 있다.

[0049] 전술한 바와 같이, 유효 전자 온도는 하부 구역 플라즈마에 비해서 상부 구역 플라즈마에서 더 높다. 전자들은 그리드 내의 슬롯들을 통과할 때에 냉각될 수 있다. 통상적으로, 하부 구역 플라즈마 내의 유효 전자 온도는 약 1 eV 이하이다. 특정한 경우에, 하부 구역 플라즈마 내의 유효 전자 온도는 약 0.1 내지 1 eV (예를 들어, 약 0.2 내지 0.9 eV) 일 수 있다. 이 유효 전자 온도는 전자 볼트로 측정될 때에 상부 구역 플라즈마에서가 하부 구역 플라즈마에서보다 적어도 약 2 배 (예를 들어, 적어도 약 3 배) 더 크다. 특정한 구현예에서, 상부 구역 플라즈마는 약 2.5 eV의 유효 전자 온도를 가지고, 하부 구역 플라즈마는 약 0.8 eV의 유효 전자 온도를 갖

는다. 다양한 실시예들에서, 유효 전자 온도에서의 이러한 차이는 그리드의 존재로부터 전체적으로 또는 부분적으로 발생한다.

[0050] 임의의 특정 이론 또는 메카니즘으로 한정되지 않고서, 그리드의 역할은 다음과 같이 설명될 수 있다. 하부 서브-챔버 내의 하전된 종들이 플라즈마 코일들로부터의 전력에 직접적으로 노출되지 않도록 그리드는 하부 서브-챔버를 부분적으로 차폐할 수 있다. 또한, 그리드 내의 슬롯들의 특정 종횡비는 고 에너지 전자들의 일부가 슬롯들을 통과할 때에 그리드와 충돌하게 한다. 이는 2 개의 플라즈마 구역들에서 2 개의 정성적으로 상이한 플라즈마들을 산출한다.

[0051] 상부 구역 플라즈마와 하부 구역 플라즈마 간의 다른 구별되는 특성은 그들의 플라즈마 전위이다. 상부 챔버 내의 플라즈마 전위는 일반적으로 하부 챔버 내의 플라즈마 전위보다 높다. 예를 들면, 상부 플라즈마 내의 플라즈마 전위는 약 8 내지 35 V (예를 들어, 약 10 내지 20 V) 인 반면에, 하부 플라즈마 내의 플라즈마 전위는 약 0.4 내지 10 V (예를 들어, 약 0.5 내지 3 V) 이다. 플라즈마 전위의 이러한 차이는 전자 에너지가 하부 서브-챔버 내에서 더 낮기 때문에 발생하며, 따라서 하부 구역 플라즈마는 전자들이 그로부터 떠나는 것을 억제하도록 양으로 될 필요가 없다.

[0052] 또한, 2 개의 플라즈마들은 통상적으로 상이한 에너지 분포 함수 (예를 들어, 이온 에너지 분포 함수 및 전자 에너지 분포 함수) 를 가질 것이다. 이온 에너지 분포 함수 및 전자 에너지 분포 함수 양자는 하부 플라즈마에서 보다 좁을 것이며 상부 플라즈마에서는 보다 넓을 것이다. 그리드를 이용함으로써, 파형 생성기로 복잡한 제어를 하지 않고서도 매우 좁은 이온 에너지 분포 함수를 달성할 수 있다. 예를 들면, 하부 플라즈마에 대한 이온 에너지 분포 함수는 단지 약 5 V의 전체 FWHM (full width half maximum) 을 가질 것이다. 따라서, 전기 중성을 유지하기 위해서 (이러한 목적을 제공하는 전자들 대신에) 기판 표면에 도달하는 음 이온으로부터 음 전류가 유도될 수 있다. 이는 고유한 에칭 메카니즘을 제공한다.

[0053] 하부 구역 플라즈마 내의 라디칼 농도는, 총 중성 밀도의 약 1 퍼센트 내지 총 중성 밀도의 약 70 퍼센트 사이, 또는 총 중성 밀도의 약 10 퍼센트 내지 총 중성 밀도의 약 70 퍼센트 사이, 또는 총 중성 밀도의 약 10 퍼센트 내지 총 중성 밀도의 약 50 퍼센트 사이의 범위일 수 있다.

[0054] 에칭 동작 동안에 챔버 압력은 약 1 내지 2000 mTorr (예를 들어, 약 2 내지 200 mTorr) 와 같이 약 2000 mTorr 이하일 수 있다. 일 특정한 예에서, 챔버 압력은 약 20 mTorr 이하로 유지된다. 이러한 압력들은 특히 약 0.5 eV 이하의 유효 전자 온도 및/또는 약 $5\times10^{8}cm^{-3}$ 이하의 전자 밀도를 갖는 하부 구역 플라즈마와 함께 이용될 때에 특히 유용하다. 이러한 압력은 또한 하부 구역 이온-이온 플라즈마와 함께 이용될 때에 특히 유용하다.

[0055] 이온-이온 플라즈마는 반도체 프로세싱에 대해 특정한 이점을 제공한다고 사료된다. 예를 들면, 이온-이온 플라즈마에서 에칭된 부분적으로 제조된 반도체 디바이스들은 에칭되는 기판의 면에 걸쳐서 매우 양호한 선택도, 프로파일 각, I/D 로딩, 및 전체 균일성을 보인다. 이전의 기술들은 이러한 이점들을 모두 동시에 달성할 수는 없었다 (즉, 프로세스 설계자는 예를 들어서 양호한 전체적 에칭 균일성와 다른 이점들 간에서 선택해야 했다). 따라서, 본 명세서의 실시예들은 에칭 방법에서 상당한 진보를 제공한다.

[0056] 도 3a 내지 3c는 에칭되는 피처 상의 에칭 부산물들의 브랙다운 (breakdown) 효과를 도시한다. 먼저, 도 3a는 그 상에 증착된 3 개의 층들을 갖는 기판을 나타낸다. (3 개의 개별 블록들로 나타난 바와 같이) 하단 층 (303) 은 게이트 산화물을 나타내고, 중간 층 (305) 은 폴리실리콘을 나타내고, 상단 층 (307) 은 하드 마스크를 나타낸다. 통상적인 에칭 프로세스에서는, 챔버 내에 존재하는 플라즈마가 부분적으로 도 3b에 도시된 바와 같이 에칭 부산물들 (310) 을 해리하도록 동작한다고 사료된다. 이러한 메커니즘은 양 이온 (309) 에 의해 부분적으로 나타나는, 이온-강화 화학적 에칭을 포함할 수 있다. 이러한 부산물들은 종종 휘발성 컴포넌트 (예를 들어, $SiBr_4$) 이며, 이 컴포넌트는 적합한 조건들 하에서 기판으로부터 스윕될 (swept) 수 있다. 그러나, 전자-이온 플라즈마의 전형인, 높은 유효 전자 온도의 플라즈마가 웨이퍼와 접촉하는 경우, 플라즈마 내의 고 에너지 전자들은 휘발성 부산물들 (310) 과 반응하여서 이들로 하여금 물리-화학적으로 "점착성인 (sticky)" 해리 부산물 (312; 예를 들어, $SiBr_2$) 로 해리되게 한다. 이러한 해리 부산물 (312) 은, 도 3b에 도시된 바와 같이 기판에 부착될 수 있고, 종종 에칭되는 피처의 측벽에 부착되어, 도 3c에 도시된 바와 같이 에칭 프로세스가 비수직적으로 또는 그렇지 않으면 바람직하지 않은 방식으로 발생하게끔 한다. 이러한 해리 부산물 부착/재증착은, 비수직적 에칭을 야기시키는 국부 로딩 효과를 유도한다.

[0057] 에칭되는 기판에 근접한 플라즈마의 유효 전자 온도를 감소시키는데 그리드를 이용하면, 이러한 바람직하지 않

은 효과들을 감소시킬 수 있다. 그리드는 이온-이온 플라즈마의 산출을 야기하고, 이에 대응되게 전자 밀도가 감소하고 유효 전자 온도가 감소되도록 하여, 위와 같은 바람직하지 않은 효과들을 감소시킬 수 있다. 이온들은 일반적으로 전자들보다 크게 작은 에너지를 갖기 때문에, 본 실시예들의 이온-이온 플라즈마 내의 이온들은 이러한 부산물 해리를 초래하지 않는다. 본 실시예들이 전자-이온 플라즈마를 산출할 수 있지만, 이러한 고 전자 밀도/고 유효 전자 온도 플라즈마는 상부 서브-챔버 내로 한정될 수 있다. 따라서, 에칭 부산물들은 오직 하부 구역 플라즈마와 접촉하며 고 유효 전자 온도인, 상부 구역 플라즈마와 접촉하지 않게 된다. 또한, 이온-이온 플라즈마 내에 몇몇 전자들이 존재할지라도, 이러한 전자들은 일반적으로 낮은 T_e를 가지며, 따라서 통상적으로 부산물을 해리시킬 정도의 충분한 에너지를 가지지 않는다. 이로써, 에칭 부산물들은 "점착성" 문제를 유발하는 화합물들로 해리되지 않는다.

[0058] 웨이퍼 바이어싱

[0059] 특정한 구현예들에서, 웨이퍼는 프로세싱 동안에 바이어스된다. 이는 웨이퍼를 홀딩/지지하는데 이용되는 정전 척에 바이어스를 인가함으로써 이루어진다. 웨이퍼가 하부 서브-챔버 내의 낮은 T_e 및 낮은 전자 밀도의 플라즈마 (예를 들어, 이온-이온 플라즈마) 에 노출되기 때문에, 바이어스가 이온-이온 플라즈마의 고유한 이점들을 취하고/촉진하는 방식으로 척에 인가될 수 있다. 또한, 바이어스는 하부 서브-챔버 내에서 전자-이온 플라즈마의 형성을 억제하는 방식으로 인가될 수 있다. 예를 들면, 바이어스는 이온-이온 플라즈마가 척 바이어스에 의해 분배되는 전력 없이 형성되는, 전자-이온 플라즈마의 형성을 억제하기에 적절한 주파수 및 전력을 가질 수 있다. 예를 들어, RF 바이어스는 약 20 MHz보다 낮은 주파수, 바람직하게는 약 100 kHz 내지 약 13.56 MHz의 주파수를 가짐으로써 기판에 바이어스 전력을 인가함으로써 생성되는 전자 가열량을 감소시킬 수 있다. 일부 실시예들에서, (주파수와 상관없이) 바이어스는 약 1 퍼센트 내지 약 99 퍼센트의 듀티 사이클을 이용하여서 약 1 Hz 내지 약 10 kHz 범위로 펄싱된다.

[0060] 통상적인 전자-이온 플라즈마에서, 플라즈마 전위는 상술한 바와 같이 매우 높으며 양의 값이다. 이 플라즈마 전위는 전자들이 플라즈마를 이탈하는 능력을 효과적으로 제한한다. 그러나, 하부 구역 플라즈마는 일반적으로 비-통상적이게 낮은 전자 밀도 및 유효 전자 온도를 가지며, 따라서 자신의 전자들을 효과적으로 한정하기 위해서 매우 낮은 플라즈마 전위만을 요구한다. 낮은 플라즈마 전위는 동작 윈도우를 개방하고, 선택적으로 이온-이온 플라즈마 내에 존재하는 음 이온들로 하여금 바이어스 파형의 양의 사이클 동안에 웨이퍼를 향해서 가속되어 웨이퍼들과 충돌하게끔 한다. 이러한 에칭 방식은 종래에는 연속파 플라즈마에서 달성될 수 없었다.

[0061] 정전 척에 인가되는 바이어스의 주파수는 이온-이온 플라즈마 내의 이온들 (특히, 이로 한정되지 않지만 음 이온들) 의 형성 및 인력 (attraction) 을 최적화시키도록 설계될 수 있다.

[0062] 정전 척에 인가되는 바이어스의 전력 레벨은 하부 서브-챔버 내의 전자-이온 플라즈마의 형성을 방지하도록 설계될 수 있다. 일부 실시예들에서, 척을 바이어싱하기 위해 공급되는 전력은 약 3 내지 300W, 예를 들어 약 5 내지 150 W 사이이다. 이는 약 0 내지 500 V 사이의 바이어스 전압에 대응할 수 있다.

[0063] 특정한 실시예들에서, 정전 척에 인가되는 바이어스의 주파수는 약 0.1 내지 15 MHz (예를 들어, 약 400 kHz 내지 13.56 MHz) 이다. 특정한 예에서, 바이어스는 약 8 MHz이다. 이 주파수는 특히 이온 이송 주파수에 대응할 때에 유용하다. 또한, 다른 주파수들도 이용될 수 있지만 덜 효과적일 가능성이 있다. 예를 들어, 약 100 kHz 내지 1 MHz 사이의 주파수들은 어느 정도 효과가 있지만, 위에서 언급된 더 높은 주파수들보다 덜 효과적일 것이다. 척/웨이퍼에 인가되는 바이어스에 관한 또 다른 고려사항은, 바이어스의 주파수가 너무 높으면, 바이어스가 하부 서브-챔버 내에 전자-이온 플라즈마를 형성하도록 기능할 수 있다는 것이다. 이러한 상황을 방지하기 위해, 정전 척에 인가되는 바이어스의 주파수는 약 30 MHz 미만이어야 한다. 특정한 실시예들에서, 바이어스의 주파수는 약 100 kHz 내지 13 MHz 사이이다.

[0064] 그리드가 이용되고 적합한 주파수의 AC 바이어스가 정전 척/웨이퍼에 인가되면, 웨이퍼 상의 플라즈마 시스 (sheath) 가 음 이온들 및 양 이온들을 플라즈마로부터 교번적으로 끌어와서 웨이퍼의 면을 향해서 가속하도록 작동할 수 있다는 점에 대해 유의해야 한다. 다시 말해서, 플라즈마 시스는 양의 사이클에서는 음 이온을 끌어오고, 이어서 음의 사이클에서는 양 이온을 끌어오고, 이러한 사이클들이 AC 바이어스를 이용하여 반복된다. 상술한 바와 같이, 음 이온을 (웨이퍼로) 끌어오는 것은 본 실시예들의 구현 이전에는 가능하지 않았는데, 이는 플라즈마 전위가 너무 높아서 AC 바이어스 사이클의 관련 (relevant) 절반에서는 어떠한 끌어당김 효과도 발생하지 않게 되기 때문이다.

[0065] 전술한 바와 같이, 바이어스가 펄스로 인가될 수 있다. 그러나, 펄싱은 다수의 경우에 필요하지 않다. 본 실시예들은 전체 에칭 프로세스 동안에 웨이퍼 위에 안정된 이온-이온 플라즈마를 달성한다. 이로써, 척/웨이퍼 상의 바이어스가 본 명세서에서 기술된 이점들을 달성하기 위해서 펄싱될 필요는 없다. 그러나, 특정한 실시예들에서, 펄싱될 필요가 없기는 하지만, 예를 들어, 기판의 이온 충돌의 양 또는 에칭 레이트를 줄여서 하부 층에 대한 에칭의 선택도를 증가시키기 위해서, 바이어스는 펄스로 인가될 수도 있다. 이온-이온 플라즈마들 내의 바이어스 펄싱은 특히 이온들과 라디칼들 사이를 교번시킬 때에 선택도를 향상시킴으로써 유리할 수 있다. 다시 말해서, 펄싱은 이온 및 라디칼의 플럭스를 기판 표면에 대해서 분할시킬 수 있다 (펄스 온: 라디칼 + 이온, 펄스 오프: 오직 라디칼만).

[0066] 프로세스/애플리케이션들

[0067] 본 명세서에서 개시된 장치 및 플라즈마 조건들은 실리콘 (폴리실리콘, 비정질, 단결정, 및/또는 미세결정질 실리콘을 포함함), 금속들 (다음으로 한정되지 않지만 TiN, W, TaN, 등을 포함함), 산화물 및 질화물 (다음으로 한정되지 않지만 SiO, SiOC, SiN, SiON, 등을 포함함), 유기물 (다음으로 한정되지 않지만 포토레지스트, 비정질 탄소 등을 포함함) 과 같은 다양한 재료 및 다음으로 한정되지 않지만 W, Pt, Ir, PtMn, PdCo, Co, CoFeB, CoFe, NiFe, W, Ag, Cu, Mo, TaSn, $Ge_2Sb_2Te_2$, InSbTe Ag--Ge--S, Cu--Te--S, IrMn, 및/또는 Ru를 포함하는 다른 다양한 재료 중 임의의 것을 에칭하는데 이용될 수 있다. 본 개념은 NiO_x, $SrTiO_x$, 페로브스카이트 (perovskite) ($CaTiO_3$), $PrCAMnO_3$, PZT ($PbZr_{1-x}Ti_xO_3$), $(SrBiTa)O_3$, 등과 같은 재료들에도 확장될 수 있다. 본 장치는 오늘날의 제조 시설에서 가용한 임의의 가스 조합 (HBr, CO, NH_3, CH_3OH, 등을 포함함) 과 함께 이용될 수 있다.

[0068] 본 명세서에서 개시된 장치 및 플라즈마 조건들은 임의의 기술 노드에서 디바이스 또는 다른 구조물 내에 피처들을 에칭하는데 이용될 수 있다. 일부 실시예들에서, 에칭은 20 내지 10 nm 노드 또는 이를 뛰어넘는 노드에서의 제조 동안 이용된다. 에칭은 FEOL (front end of line) 제조 절차 및 BEOL (back end of line) 제조 절차 모두 이전에 발생할 수 있다. 본 에칭은 약 2 퍼센트보다 더 양호한, 우수한 수직 프로파일, 재료 선택도, I/D 로딩 및/또는 웨이퍼 중앙 대 에지 균일성를 제공할 수 있다. 적합한 에칭 용도의 몇몇 예는 STI (shallow trench isolation), 게이트 에칭, 스페이서 에칭, 소스/드레인 리세스 에칭, 산화물 리세스, 및 하드-마스크 개방 에칭을 포함한다.

[0069] 장치

[0070] 본 명세서에서 기술된 방법들은 임의의 적합한 장치에 의해서 수행될 수 있다. 이 적합한 장치는, 그리드에 의해 상부 서브-챔버 및 하부 서브-챔버로 분할되는 챔버 및 본 명세서에서 기술된 바와 같은 에칭 조건들을 제공 및 유지하기 위한 전자적 하드웨어를 포함한다. 적합한 장치는 또한 이러한 조건들을 달성하도록 하드웨어를 제어하고 FET의 게이트 전극을 에칭하는 것과 같은 애플리케이션들에 적합한 프로세스 동작들의 시퀀스를 수행하기 위한 인스트럭션들을 갖는 시스템 제어기를 포함한다. 일부 실시예들에서, 하드웨어는 프로세스 툴 내에 포함된 하나 이상의 프로세스 스테이션을 포함할 수 있다.

[0071] 도 1을 참조하면, 본 명세서의 특정한 실시예들에 따른 유도성 커플링 플라즈마 에칭 장치 (100) 의 단면도가 개략적으로 도시된다. 유도성 커플링 플라즈마 에칭 장치 (100) 는 챔버 벽들 (101) 및 윈도우 (111) 에 의해서 구조적으로 규정되는 전체 에칭 챔버를 포함한다. 챔버 벽들 (101) 은 통상적으로 스테인레스 스틸 또는 알루미늄으로 제조된다. 윈도우 (111) 는 통상적으로 석영 또는 다른 유전체 재료로 제조된다. 내부 플라즈마 그리드 (150) 는 전체 에칭 챔버를 상부 서브-챔버 (102) 및 하부 서브-챔버 (103) 로 분할한다. 척 (117) 은 하단 내부 표면 근처의 하부 서브-챔버 (103) 내에 위치된다. 척 (117) 은 에칭 프로세스가 수행되는 반도체 웨이퍼 (즉, 웨이퍼; 119) 를 수용 및 홀딩하도록 구성된다. 척 (117) 은 존재한다면 웨이퍼를 지지하는 정전 척일 수 있다. 일부 실시예들에서, 에지 링 (미도시) 이 척 (117) 을 감싸며 척 (117) 상에 존재할 때에 웨이퍼의 상단 표면과 대략 평면인 상부 표면을 갖는다. 척 (117) 은 또한 웨이퍼 척킹 및 디척킹을 가능하게 하는 정전 전극들을 포함한다. 필터 및 DC 클램프 전원이 이러한 목적을 위해서 제공될 수 있다. 척 (117) 에서 웨이퍼를 상승시키기 위한 다른 제어 시스템이 또한 제공될 수 있다. 척 (117) 은 RF 전원 (123) 을 이용하여서 전기적으로 하전된다. RF 전원 (123) 은 연결부 (127) 를 통해서 매칭 회로 (121) 와 접속된다. 매칭 회로

(121) 는 연결부 (125) 를 통해서 척 (117) 과 접속된다. 이러한 방식으로, RF 전원 (123) 은 척 (117) 에 접속된다.

[0072] 코일 (133) 이 윈도우 (111) 위에 위치된다. 코일 (133) 은 전기 도전성 재료로 제조되며 적어도 완전하게 1회 권선되어 있다. 도 1에 도시된 예시적인 코일 (133) 은 3회 권선된다. 코일 (133) 의 단면이 상징으로 도시되며, 코일은 페이지 내로 연장하는 "X"를 가지며, 반면 코일은 페이지 밖으로 회전식으로 연장하는 "●"를 가진다. RF 전원 (141) 은 RF 전력을 코일 (133) 에 공급하도록 구성된다. 일반적으로, RF 전원 (141) 은 연결부 (145) 를 통해서 매칭 회로 (139) 에 연결된다. 매칭 회로 (139) 는 연결부 (143) 를 통해서 코일 (133) 에 연결된다. 이러한 방식으로, RF 전원 (141) 이 코일 (133) 에 연결된다. 선택적인 패러데이 쉴드 (149) 가 코일 (133) 과 윈도우 (111) 간에 위치된다. 패러데이 쉴드 (149) 는 코일 (133) 에 대해서 이격된 상태로 유지된다. 패러데이 쉴드 (149) 는 윈도우 (111) 바로 위에 배치된다. 코일 (133), 패러데이 쉴드 (149), 및 윈도우 (111) 는 각각 서로 실질적으로 평행하게 구성된다. 페러데이 쉴드는 금속 또는 다른 종들이 플라즈마 챔버의 유전체 윈도우에 증착되는 것을 방지할 수 있다.

[0073] 프로세스 가스가 상부 챔버 내에 위치된 주 주입 포트 (160) 및/또는 때때로 STG로 지칭되는 측 주입 포트 (170) 를 통해서 공급될 수 있다. 가스 배기 포트들은 도시되지 않는다. 또한, 챔버 (101) 에 연결되어서 동작적인 플라즈마 프로세싱 동안에 진공 제어를 가능하게 하고 챔버로부터 가스성 부산물들을 제거할 수 있게 하는 펌프들은 도시되어 있지 않다.

[0074] 이 장치의 동작 동안에, 하나 이상의 반응물 가스들이 주입 포트들 (160 및/또는 170) 을 통해서 공급될 수 있다. 특정한 실시예들에서, 가스는 오직 주 주입 포트를 통해서만 또는 오직 측 주입 포트를 통해서만 공급될 수 있다. 일부 경우에, 주입 포트들은 샤워헤드로 대체될 수 있다. 패러데이 쉴드 (149) 및/또는 그리드 (150) 중 하나 또는 모두는 챔버로의 프로세스 가스의 이송을 가능하게 하는 내부 채널들 및 홀들을 포함할 수 있다. 다시 말해서, 패러데이 쉴드 (149) 및/또는 그리드 (150) 또는 프로세스 가스 이송을 위한 샤워헤드로서 기능할 수 있다.

[0075] RF 전류가 코일 (133) 을 통해서 흐르게 하도록 무선주파수 전력이 RF 전원 (141) 에서 코일 (133) 로 인가된다. 코일 (133) 을 통해 흐르는 RF 전류는 코일 (133) 주변에 전자기장을 생성한다. 이 전자기장은 상부 서브-챔버 (102) 내에서 유도 전류를 생성한다. 유도 전류는 상부 서브-챔버 (102) 내에 있는 가스에 대하여 작용하여서 상부 서브-챔버 (102) 내에 전자-이온 플라즈마를 생성한다. 내부 플라즈마 그리드 (150) 가 하부 서브-챔버 (103) 내에서의 고온 전자의 양을 제한한다. 다양한 실시예들에서, 장치는 하부 서브-챔버 내에 존재하는 플라즈마가 이온-이온 플라즈마가 되도록 설계 및 동작된다.

[0076] 상부 전자-이온 플라즈마 및 하부 이온-이온 플라즈마 모두는 양 이온 및 음 이온을 포함할 것이지만, 이온-이온 플라즈마는 더 큰 음이온:양이온의 비를 가질 것이다. 다양한 이온들 및 라디칼들과 웨이퍼 (119) 간의 물리적 및 화학적 상호 작용들은 웨이퍼 피처들을 선택적으로 에칭한다. 휘발성 에칭 부산물들이 배기 포트 (미도시) 를 통해서 하부 서브-챔버로부터 제거된다. 중요하게는, 이러한 휘발성 부산물들은 고온 전자에 실질적으로 노출되지 않으며, 따라서 이들은 비휘발성의 "점착성" 해리 부산물로 해리될 가능성이 적다.

[0077] 통상적으로, 본 명세서에서 개시된 척은 약 30 내지 약 250℃, 바람직하게는 약 30 내지 150 ℃ 범위의 상승된 온도에서 동작한다. 이 온도는 에칭 프로세스 동작 및 특정 레시피에 의존할 것이다. 챔버 (101) 는 약 1 mTorr 내지 약 95 mTorr 또는 약 5 mTorr 내지 20 mTorr의 범위의 압력에서 동작할 것이다. 그러나, 특정한 실시예들에서, 상술한 바와 같이, 압력은 더 높을 수 있다.

[0078] 도시되지는 않았지만, 챔버 (101) 는 통상적으로 클린 룸 또는 제조 시설 내에 설치될 때에 설비들과 커플링된다. 이 설비들은 프로세싱 가스, 진공, 온도 제어, 및 주변 입자 제어를 제공하는 플럼빙 (plumbing) 을 포함한다. 이러한 설비들은 목표 제조 시설에 설치될 때에 챔버 (101) 와 커플링된다. 또한, 챔버 (101) 는 로봇들이 통상적인 자동화를 이용하여서 반도체 웨이퍼들을 챔버 (101) 내부 및 외부로 이송하게 할 이송 챔버에 연결될 수 있다.

[0079] 도 2a 및 2b는 본 명세서의 실시예들에 따른 내부 플라즈마 그리드들의 예들을 나타낸다. 그리드는 방사상 외측으로 연장되는 슬롯들을 가질 수 있다. 도 2b의 실시예에서, 3 개의 타입의 슬롯들이 존재한다. 세 개의 슬롯 타입 각각은 상이한 슬롯 길이를 갖는다. 도 2b에 도시된 슬롯들은, 상술한 바와 같이 하부 서브-챔버 내에서 이온-이온 플라즈마를 생성하기에 적합한 종횡비를 갖는다. 도 2a에 도시된 슬롯들은 실제 축적대로 도시된 것은 아닐 수 있다.

[0080] 다양한 실시예들에서, 반도체 에칭 장치는 다중-스테이션 툴로 일체화될 수 있다. 다중-스테이션 툴은 본 명세서에 개시된 바와 같은 다수의 플라즈마 에칭 반응기들을 포함할 수 있고, 다른 반도체 제조 프로세스를 수행하기 위한 추가 스테이션들을 포함할 수 있다. 다중-스테이션 일체화된 프로세싱 툴들 및 이러한 툴들을 이용하는 방법은, "WAFER MOVEMENT CONTROL MACROS"의 제목을 가지며 2006년 2월 8일자로 출원된 PCT 출원 번호 PCT/US2006/004625, 및 "DYNAMIC ALIGNMENT OF WAFERS USING COMPENSATION VALUES OBTAINED THROUGH A SERIES OF WAFER MOVEMENTS"의 제목을 가지며 2008년 5월 7일 출원된 미국특허출원 번호 제12/116,897호에 개시되고 또한 논의되며, 이들 각각은 그 전체가 본 명세서에 참조로서 포함된다.

[0081] 도 4는 진공 이송 모듈 (VTM; 38) 과 인터페이싱 하는 다양한 모듈들을 예시하는 일반적인 반도체 프로세스 클러스터 아키텍처를 도시한다. 본 기술분야의 당업자에게 익히 공지된 바와 같이, 프로세싱 모듈들 및 다수의 저장 설비들 사이에서 웨이퍼들을 "이송"하기 위한 이송 모듈들의 배열체는 "클러스터 툴 아키텍처" 시스템으로 빈번하게 지칭된다. 이송 모듈 또는 로드 락으로도 지칭되는 에어락 (30) 이, 다양한 제조 프로세스들을 수행하기에 개별적으로 최적화될 수 있는 네 개의 프로세싱 모듈들 (20a 내지 20d) 과 함께 도시된다. 예시적인 방법으로, 프로세싱 모듈들 (20a 내지 20d) 은 기판 에칭, 증착, 이온 주입, 웨이퍼 세정, 스퍼터링 및/또는 다른 일반적인 반도체 프로세스를 수행하기 위해 구현될 수 있다. 기판 에칭 프로세싱 모듈들 중 하나 이상 (20a 내지 20d 중 임의의 것) 이 본 명세서에 개시된 바와 같이 구현될 수 있는데, 즉 반응 챔버를 상부 서브-챔버와 하부 서브-챔버로 분할하는 그리드 구조물을 이용하여 구현될 수 있다. 에어 락 (30) 또는 프로세스 모듈 (20) 에 대해 일반적으로 말할 때에, 용어 스테이션이 때때로 에어 락 또는 프로세스 모듈 중 하나로 지칭하도록 이용될 것이다. 각 스테이션은 진공 이송 모듈 (38) 에 대해 스테이션을 인터페이싱 하는 면 (facet; 36) 을 가진다. 각 면 내부에, 센서들 (1 내지 18) 이 각 스테이션의 내로 그리고 밖으로 이동하는 웨이퍼 (26) 의 통과를 탐지하는데 이용된다.

[0082] 로봇 (22) 은 스테이션들 사이에서 웨이퍼 (26) 를 이송한다. 일 실시예에서, 로봇 (22) 은 하나의 아암을 가지며, 다른 실시예에서, 로봇 (22) 은 두 개의 아암들을 가지며, 여기서 각 아암은 이송을 위해 웨이퍼를 픽하기 (pick) 위한 엔드 이펙터 (24) 를 가진다. 대기 이송 모듈 (ATM; 40) 내의, 프론트-엔드 (front-end) 로봇 (32) 이 카세트 또는 로드 포트 모듈 (LPM; 42) 내의 전방 개방 통합 포드 (FOUP ;34) 로부터 에어 락 (30) 으로 웨이퍼를 이송하는데 이용된다. 프로세스 모듈 (20) 내부의 모듈 센터 (28) 가 웨이퍼 (26) 를 배치하기 위한 이상적인 위치를 지시한다. ATM (40) 내의 얼라이너 (aligner; 44) 가 웨이퍼를 정렬하는데 이용된다.

[0083] 예시적인 프로세싱 방법에서, 웨이퍼는 로드 포트 모듈 (42) 내의 FOUP들 (34) 중 하나 내에 배치된다. 프론트-엔드 로봇 (32) 를 웨이퍼를 FOUP (34) 로부터 얼라이너 (44) 로 웨이퍼를 이송하는데, 이는 웨이퍼가 에칭되기 이전에 적절하게 중심에 위치되도록 한다. 정렬되기 이전에, 웨이퍼는 프론트-엔드 로봇 (32) 에 의해 에어 락 모듈 (30) 내로 이동된다. 에어 락 모듈들은 대기 이송 모듈과 진공 이송 모듈 사이의 환경을 매칭하는 기능을 가지기 때문에, 웨이퍼는 손상되지 않고 두 개의 압력 환경 사이에서 이동할 수 있다. 에어 락 모듈 (30) 로부터, 웨이퍼는 로봇 (22) 에 의해 진공 이송 모듈 (38) 을 통해 프로세스 모듈들 (20a 내지 20d) 중 하나로 이동된다. 이러한 웨이퍼 환경을 달성하기 위해, 로봇 (22) 은 엔드 이펙터들의 암들 각각 상의 엔드 이펙터들 (24) 을 이용한다. 웨이퍼가 프로세싱된 경우, 웨이퍼는 로봇 (22) 에 의해 프로세스 모듈들 (20a 내지 20d) 로부터 에어 락 모듈 (30) 로 이동된다. 여기에서부터, 웨이퍼는 프론트 엔드-로봇 (32) 에 의해 FOUP들 (34) 중 하나로 또는 얼라이너 (44) 로 이동될 수 있다.

[0084] 웨이퍼 이동을 컴퓨터 제어하는 것은 클러스터 아키텍처에 대해 국부적일 수 있고, 또는 제조 플로어의 어딘가에 또는 원격 위치 내에 위치될 수 있고, 네트워크를 통해 클러스터 아키텍처에 연결될 수 있다는 점에 대해 유의해야 한다.

[0085] 시스템 제어기

[0086] 일부 실시예들에서, 시스템 제어기 (하나 이상의 물리적 제어기 또는 논리적 제어기를 포함함) 는 에칭 챔버의 동작들 모두 또는 일부를 제어한다. 시스템 제어기는 하나 이상의 메모리 디바이스 및 하나 이상의 프로세서를 포함할 수 있다. 이 프로세서는 중앙 프로세싱 유닛 (CPU), 컴퓨터, 아날로그 및/또는 디지털 입력/출력 연결부, 스텝퍼 모터 제어기 보드 및 다른 유사한 구성 컴포넌트들을 포함한다. 적절한 제어 동작들을 구현하기 위한 인스트럭션들이 프로세서 상에서 실행될 수 있다. 이러한 인스트럭션들은 제어기와 연관된 메모리 디바이스 상에 저장되거나 네트워크 상에서 제공될 수 있다. 특정한 실시예들에서, 시스템 제어기는 시스템 제어 소프트

웨어를 실행한다.

[0087] 시스템 제어 소프트웨어는 이하의 챔버 동작 조건들 중 하나 이상의 인가 타티밍 및/또는 크기를 제어하는 인스트럭션들을 포함할 수 있다: 가스의 혼합 및/또는 조성, 챔버 압력, 챔버 온도, 웨이퍼/웨이퍼 서포터(supporter) 온도, 웨이퍼에 인가된 바이어스, 코일 또는 다른 플라즈마 생성 컴포넌트에 인가된 전력 및 주파수, 웨이퍼 위치, 웨이퍼 이동 속도, 및 툴에 의해서 수행되는 특정 프로세스의 다른 파라미터들. 시스템 제어 소프트웨어는 임의의 적합한 방식으로 구성될 수 있다. 예를 들어, 다양한 프로세스 툴 프로세스를 수행하는데 필요한 프로세스 툴 컴포넌트들의 동작을 제어하도록, 다양한 프로세스 툴 컴포넌트 서브루틴 또는 제어 객체가 기록될 수 있다. 시스템 제어 소프트웨어는 임의의 적합한 컴퓨터 판독 가능한 프로그래밍 언어로서 코딩될 수 있다.

[0088] 일부 실시예들에서, 시스템 제어 소프트웨어는 상술한 바와 같은 다양한 파라미터를 제어하기 위한 인스트럭션들을 시퀀싱하는 IOC (input/output control) 를 포함한다. 예를 들어, 반도체 제조 프로세스의 각 페이즈는 시스템 제어기에 의해서 실행하기 위한 하나 이상의 인스트럭션들을 포함할 수 있다. 에칭 페이즈에 대한 프로세스 조건들을 설정하기 위한 인스트럭션들이, 예를 들면 대응하는 에칭 레시피 페이즈 내에 포함될 수 있다. 일부 실시예들에서, 레시피 페이즈는 프로세스 페이즈에 대한 모든 인스트럭션들이 그 프로세스 페이즈와 동시에 실행되도록 순차적으로 배열될 수 있다.

[0089] 다른 컴퓨터 소프트웨어 및/또는 프로그램들이 일부 실시예들에서 이용될 수 있다. 이러한 목적을 위한 프로그램들 또는 프로그램들의 섹션들의 예들은 기판 포지셔닝 프로그램, 프로세스 가스 조성 제어 프로그램, 압력 제어 프로그램, 가열기 제어 프로그램, 및 RF 전원 제어 프로그램을 포함한다.

[0090] 일부 경우들에서, 제어기들은 제어 가스 농도, 웨이퍼 이동, 및/또는 코일들 및/또는 정전 척에 공급되는 전력을 제어한다. 제어기는 필요한 반응물(들)을 적합한 농도로 제공하는 하나 이상의 유입 가스 스트림들을 산출하도록, 예를 들어 관련 밸브를 개방 및 폐쇄함으로써 가스 농도를 제어할 수 있다. 웨이퍼 이동은, 예를 들어 목표된 바와 같이 웨이퍼 포지셔닝 시스템이 이동하도록 이의 방향을 조절함으로써 제어될 수 있다. 코일 및/또는 척에 공급된 전력은, 상부 서브-챔버 내에서 목표된 전자-이온 플라즈마를 그리고 하부 서브-챔버 내에 이온-이온 플라즈마를 생성하기 위해 특정 RF 전력 레벨을 제공하도록 제어될 수 있다. 또한, 제어기는 전자-이온 플라즈마가 하부 서브-챔버에서는 형성되지 않도록 하는 조건 하에서 정전 척에 전력을 공급하도록 구성될 수 있다. 다시 말해서, 제어기는 하부 서브-챔버 내에서 이온-이온 플라즈마 (또는 적어도 적합하게 낮은 유효 전자 온도 및 밀도를 갖는 플라즈마) 를 유지하도록 구성된다. 제어기들은 이러한 측면 또는 다른 측면들을, (예컨대, 전력, 전위, 압력 등이 특정한 임계치에 도달할 때의) 센서 출력에, (예컨대, 프로세스 내의 특정한 시점들에 밸브를 개방하는 것과 같은) 동작 타이밍에 또는 이용자로부터 수신된 인스트럭션들에 기초하여서 제어할 수 있다.

[0091] 위에서 설명된 다양한 하드웨어 및 방법 실시예들은, 예를 들어, 반도체 디바이스, 디스플레이, LED, 광전 패널 등의 제조 또는 가공을 위한, 리소그래피 패터닝 툴들 또는 프로세스들과 함께 이용될 수 있다. 통상적으로, 반드시 그러한 것은 아니지만, 이러한 툴들/프로세스들은 공통의 제조 설비 내에서 함께 이용 또는 수행될 수 있다.

[0092] 막 리소그래피 패터닝은 통상적으로 다음의 단계들 중 몇몇 또는 모두를 포함하며, 다음의 각 단계는 다수의 가능한 툴을 이용하여서 수행되며, 이러한 단계들은 (1) 스핀 온 또는 스프레이 온 툴을 이용하여서, 예를 들어, 그 상에 형성된 실리콘 질화물 막을 갖는 기판과 같은 작업 대상에 포토레지스트를 도포하는 단계, (2) 고온 플레이트 또는 퍼니스 또는 다른 적합한 경화 툴을 이용하여서 포토레지스트를 경화하는 단계, (3) 웨이퍼 스텝퍼와 같은 툴을 이용하여서 포토레지스트를 가시광선 또는 자외선 또는 x 선 광에 노출시키는 단계, (4) 습식 벤치 (wet bench) 또는 스프레이 현상기와 같은 툴을 이용하여서 레지스트를 선택적으로 제거하여서 이를 패터닝하도록 레지스트를 현상하는 단계, (5) 건식 또는 플라즈마 보조 에칭 툴을 이용하여서 레지스트 패턴을 그 아래의 막 또는 작업 대상에 전사하는 단계, 및 (6) RF 또는 마이크로웨이브 플라즈마 레지스트 탈피기 (stripper) 와 같은 툴을 이용하여서 레지스트를 제거하는 단계를 포함할 수 있다. 일부 실시예들에서, 애쉬가능한 (ashable) 하드 마스크 (예컨대, 비정질 탄소층) 및 다른 적합한 하드 마스크 (예컨대, 반사 방지층) 이 포토레지스트를 도포하기 이전에 증착될 수 있다.

[0093] 본 명세서에서 설명된 구성들 및/또는 방식들은 본질상 예시적이며, 다수의 변형들이 가능하기 때문에, 이러한 특정한 실시예들 또는 예들은 한정적으로 해석되지 말아야 한다는 점을 이해하여야 한다. 본 명세서에서 기술된 특정한 방법들 또는 루틴들은 임의의 수의 프로세싱 전략들 중 하나 이상을 나타낼 수 있다. 따라서, 예시

된 다양한 동작들은 예시된 순서로, 다른 순서로, 병렬로 또는 몇몇 경우에는 생략되어서 수행될 수 있다. 마찬가지로, 상술된 프로세스들의 순서는 변화될 수 있다.

[0094] 본 개시의 주제 대상은 본 명세서에서 개시된 다양한 프로세스들, 시스템들 및 구성들, 다른 특징들, 기능들, 동작들 및/또는 특성들과 이들의 임의의 그리고 모든 균등 사항들의 모든 새롭고 비자명한 조합들 및 하위 조합들을 포함한다.

[0095] 실험예

[0096] 본 명세서에 개시된 방법들 및 장치들은 반도체 기판들 상에 부분적으로 제조된 소자들에 대해 개선된 에칭을 제공한다는 것을 실험예들이 확인하였다. 플라즈마 그리드를 이용하면, 에칭된 제품은 양호한 선택도, 프로파일 각, I/D 로딩 및 전체 에칭 균일성을 보였다.

[0097] 도 5a 및 5b는 높은 압력의 종래 기술에 따라 에칭된 FinFET 구조물들의 주사 전자 현미경 (SEM) 이미지들 (5a) 및 플라즈마 그리드를 이용하는 본 발명의 실시예들에 따른 주사 전자 현미경 이미지들 (5b) 을 도시한다. 도 5a에 도시된 바와 같이, 종래 기술은 웨이퍼의 중앙과 에지 사이에 현저한 비-균일성을 발생시킨다. 예를 들어, 웨이퍼의 중앙에서 에지보다, 피처의 하부가 실질적으로 더 많이 에칭되었다. 이는 해리 부산물 증착이 중앙에서보다 웨이퍼의 에지 근처에서 더 많은 문제가 있었다는 것을 제안한다. I/D 로딩이 더 거대했고, 재료들 사이에 열악한 선택도가 있었다. I/D 로딩은 여러 방식으로 고려될 수 있다. I/D 에칭 깊이 로딩은 격리된 피처들에 대한 에칭 깊이 (일반적으로 거대 피처, 예를 들어 500 nm 간격들을 갖는 라인들) 와 밀한 피처에 대한 에칭 깊이 (일반적으로 작은 피처, 예를 들어 30 nm 간격들을 갖는 라인들) 사이의 차로서 계산될 수 있다. I/D 프로파일 로딩은 격리된 피처들에 대한 프로파일 각과 밀한 피처들에 대한 프로파일 각 사이의 차로서 계산될 수 있다. I/D 로딩은 또한 임계 치수 (CDs) 의 비교로 지칭될 수 있다. 이와 관련하여, I/D 로딩은 격리된 피처들에 대한 (하부 CD - 상부 CD) - 밀한 피처들에 대한 (하부 CD - 상부 CD) 로서 계산될 수 있다. 달리 구체적화되지 않으면, I/D 로딩은 임계 치수들의 이러한 비교로 지칭되도록 의도된다.

[0098] 역으로, 도 5b에 도시된 바와 같이, 플라즈마 그리드의 이용은 실질적으로 중앙 대 에지 균일성를 증가시킨다. 또한, I/D 로딩이 더 낮아지고, 선택도가 개선된다. 이러한 실험이, 완전-패터닝된 (full-patterned) 웨이퍼의 에칭을 시뮬레이션하기 위해, 50% SiN 쿠폰 (coupons) 으로 커버된 그리고 FinFET 높이를 나타내는 (representative) 두께로 얇아진 Si 캐리어 웨이퍼에 대해서 수행되었다. FinFET 구조물들은 프로파일 내의 테이퍼 (taper) 를 최소화하도록 65% 만큼 오버-에칭되었다.

[0099] 도 6a 및 6b는 높은 압력의 종래 기술에 따라 에칭된 피처들의 SEM 이미지들 (6a) 및 플라즈마 그리드를 이용하는 본 발명의 실시예에 따라서 에칭된 피처들의 SEM 이미지들 (6b) 이다. 종래 기술에서는 실리콘과 산화물 사이에서 상대적으로 열악한 선택도, 에칭된 피처들이 테이퍼진 프로파일을 가지는 것, 그리고 I/D 로딩이 열악한 것을 나타내었다. 그러나, 도 6b에 도시된 바와 같이, 플라즈마 그리드는 개선된 선택도 (무한 선택도), 보다 수직 형상의 프로파일 각도, 실제 I/D 로딩이 전혀 없음을 제공하였다. 이 실험은 패터닝된 웨이퍼로부터 분리되어 캐리어 웨이퍼의 중앙에 배치된 칩에 대해서 수행되었다. 이 실험은 완전-패터닝된 웨이퍼의 에칭을 시뮬레이션하기 위해서 FinFET 높이를 나타내는 두께로 얇아진 그리고 50 % SiN 쿠폰으로 커버된 Si 캐리어 웨이퍼에 대해서 수행되었다.

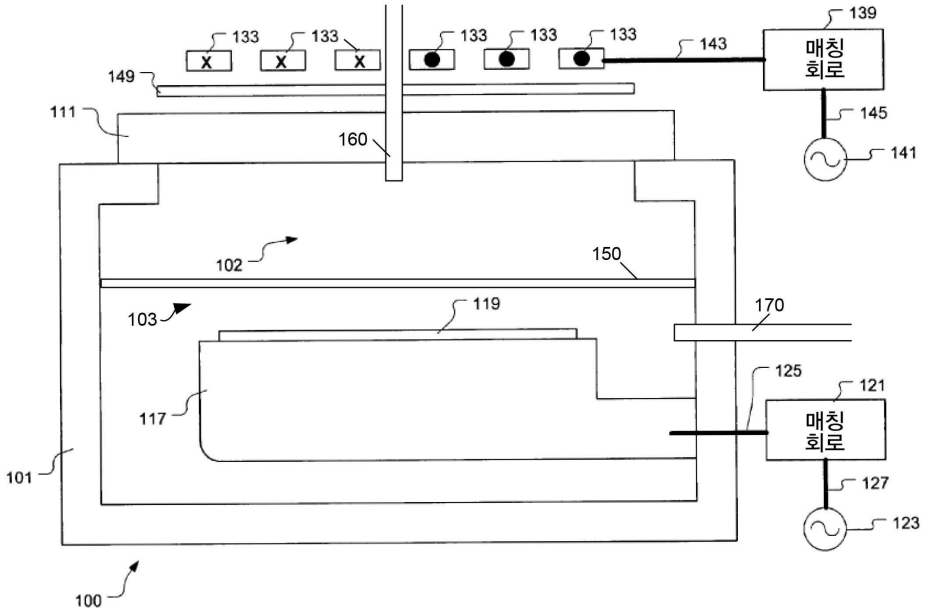
[0100] 도 7은 플라즈마 그리드를 이용하지 않고, 다양한 방식들에 따라서 에칭된 피처들의 다양한 SEM 이미지들을 나타내고 있다. 2 개의 상이한 압력이 이용되었으며, 4 개의 상이한 총 플로우 레이트가 이용되었다. 유효 전자 온도 (Te) 는 압력이 증가하면 감소한다. 총 플로우 레이트가 증가할수록 상주 시간은 감소한다. 각 압력에 대해서, 총 플로우 레이트를 증가시키면 에칭 결과가 개선되었다. 특히, 높은 플로우의 경우에서는, 보다 양호한 (보다 수직인) 프로파일 각 및 개선된 선택도 (마스크가 보다 많이 남겨짐) 를 보였다. 그러나, 이러한 개선 사항들은 I/D 로딩 및 중앙 대 에지 균일성가 불량하게 됨으로써 상쇄되어 버린다. 높은 플로우 레이트에서의 결과들은, 특정한 부산물들 및/또는 해리 부산물들이, 가스성 형태로 스윕되지 않을 때에, 도 3a 내지 3c에서 예시된 바와 같이, 피처 측벽 및/또는 하단에 부착되어서 에칭 결과들을 불량하게 한다는 생각을 지지한다. 총 플로우 레이트가 높으면, 이러한 부산물들은 반응 챔버로부터 보다 효과적으로 제거되며, 에칭 디펙트들을 생성시킬 가능성이 작아지게 된다.

[0101] 다양한 실험예들은 플라즈마 그리드를 이용하면 에칭 프로세스가 매우 우수한 선택도, 프로파일 각, I/D 로딩 및 중앙 대 에지 균일성을 야기함을 보였다. 정한 경우에, 선택도 (즉, Si의 에칭 레이트: 산화물의 에칭 레이

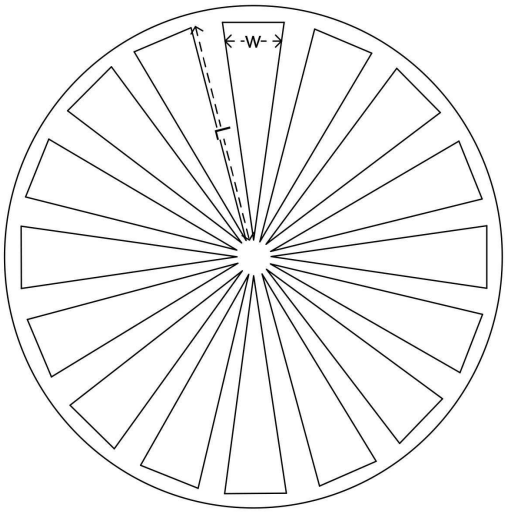
트) 는 약 10보다 컸으며 또는 약 100 보다 컸다. 실제로, 특정한 경우에서는 플라즈마 그리드를 이용하면 무한대의 선택도가 달성될 수 있다. 이러한 경우에, 산화물 재료는 거의 실제로 에칭되지 않으며 산화물 표면 상에 소량의 증착이 있을 수 있다. 다수의 경우들에서 달성되는 프로파일 각은 실질적으로 수직이다 (예컨대, 약 89° 보다 큼). 특정한 구현예들에서, I/D 로딩은 약 2° 보다 낮은 것으로 나타난다. 또한, 다양한 구현예들에서 중앙 대 에지 균일성도 약 2 nm보다 작았다.

도면

도면1



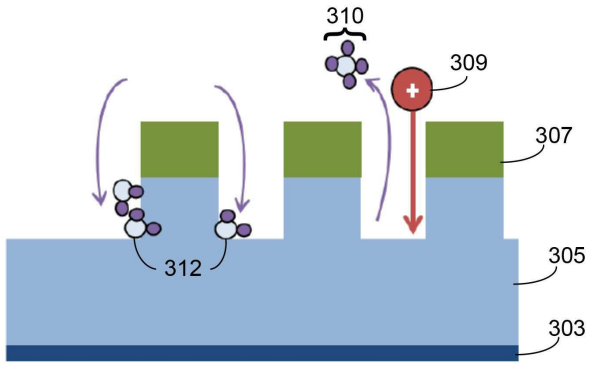
도면2a



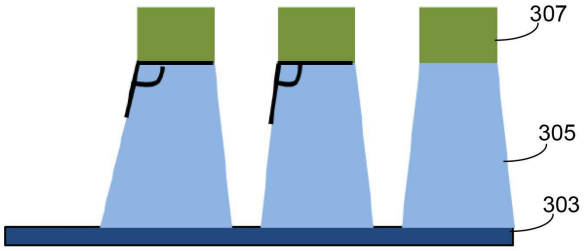
도면2b

도면3a

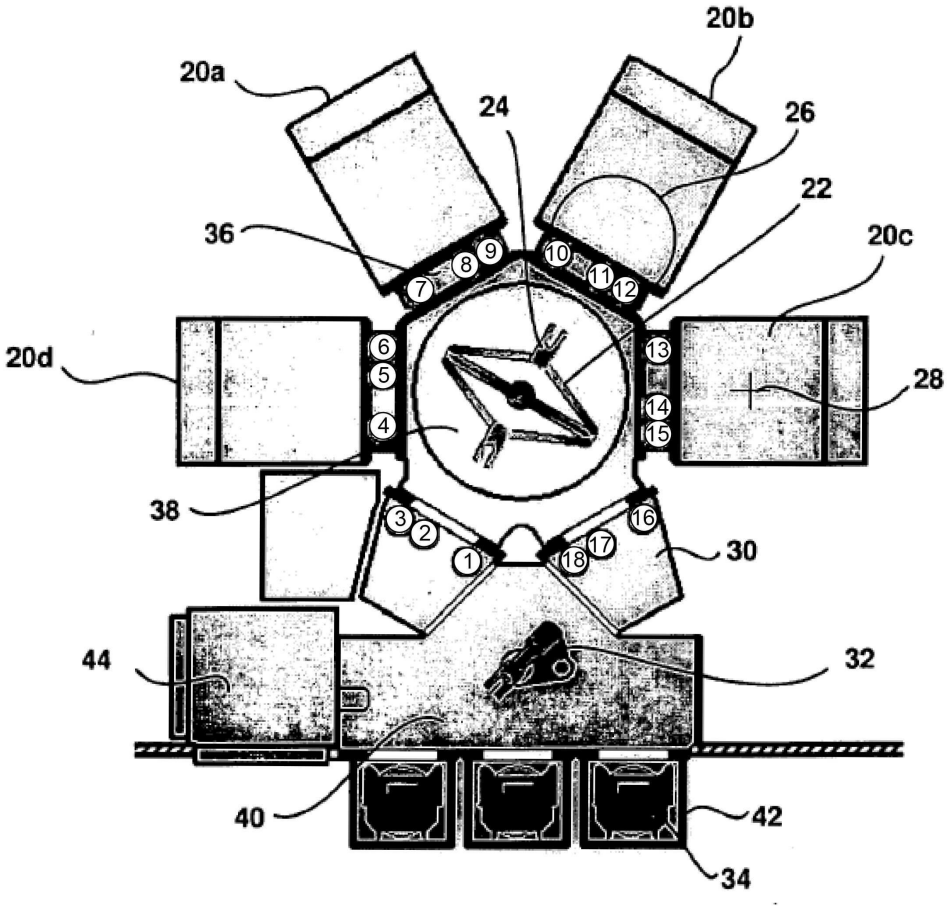
도면3b



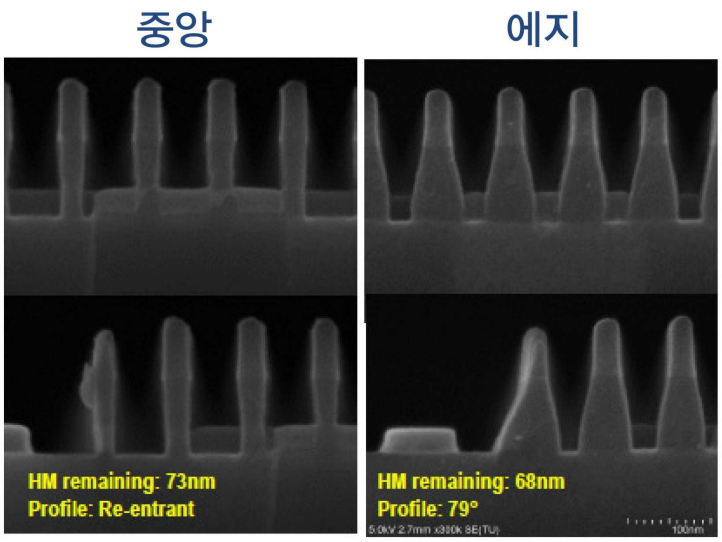
도면3c



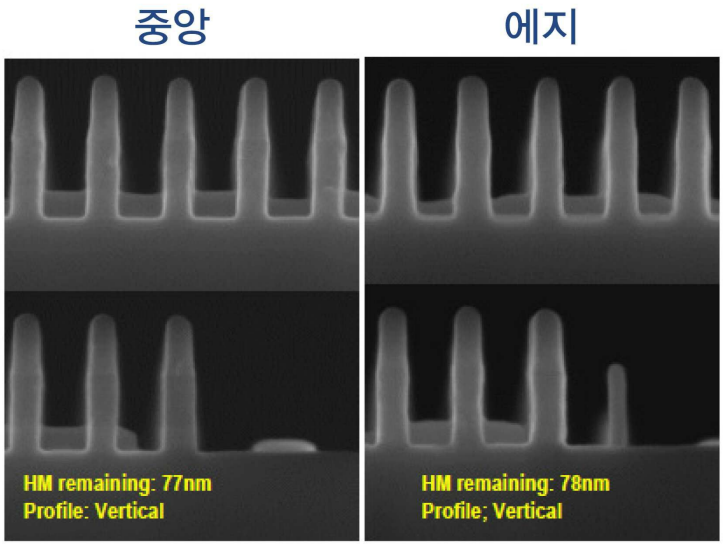
도면4



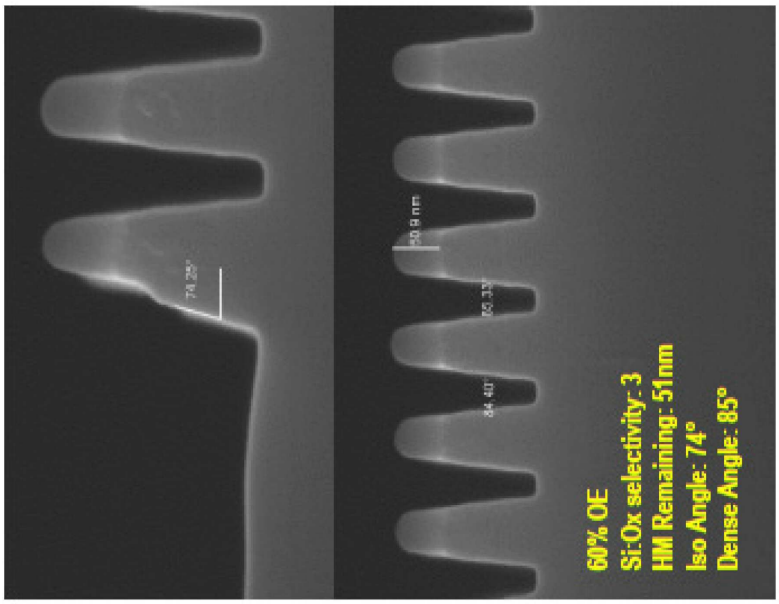
도면5a


중앙
에지
HM remaining: 73nm
Profile: Re-entrant
HM remaining: 68nm
Profile: 79°

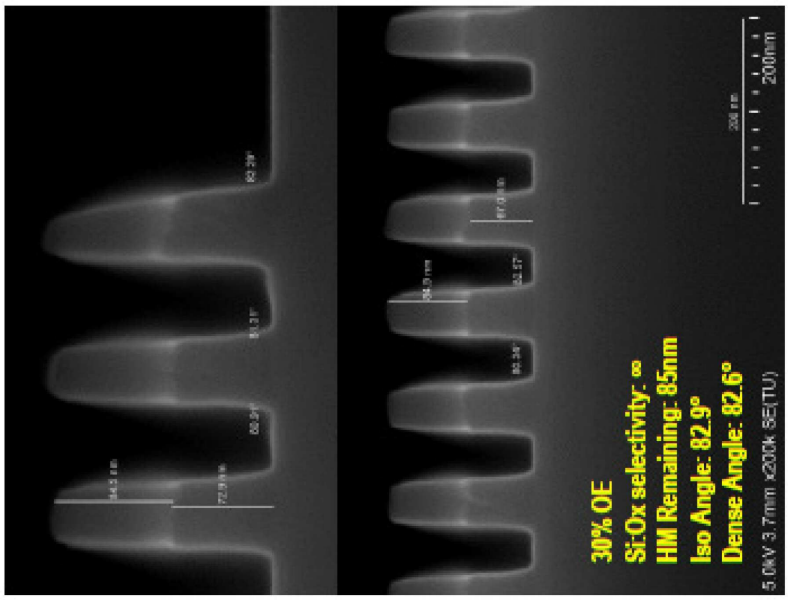
도면5b


중앙
에지
HM remaining: 77nm
Profile: Vertical
HM remaining: 78nm
Profile; Vertical

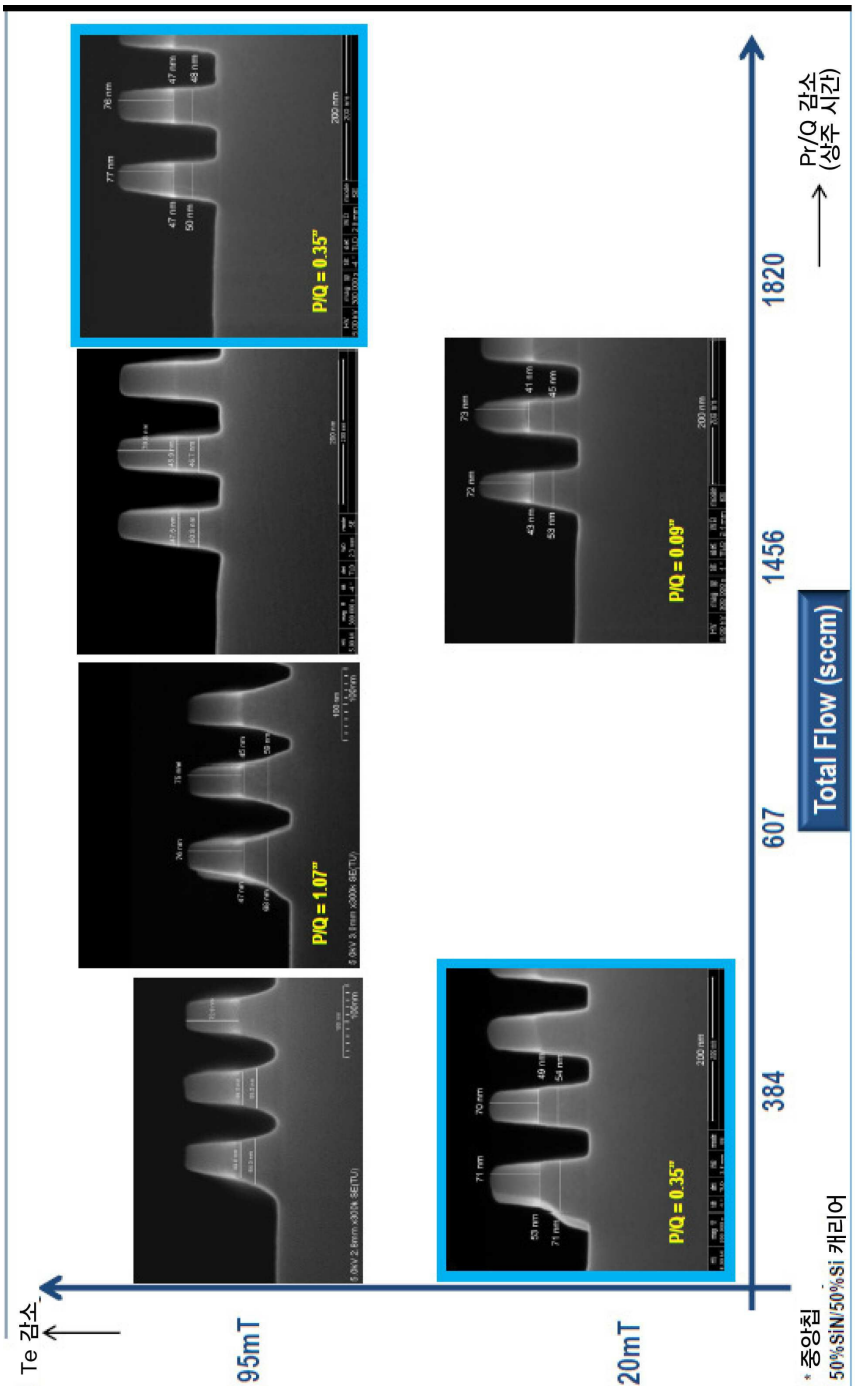
도면6a


60% OE
Si:Ox selectivity: 3
HM Remaining: 51nm
Iso Angle: 74°
Dense Angle: 85°

도면6b


30% OE
Si:Ox selectivity: ∞
HM Remaining: 85nm
Iso Angle: 82.9°
Dense Angle: 82.6°
5.0kV 3.7mm x200k SE(TU)
200nm

도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

기판 상에 피처를 에칭하기 위한 장치로서,

플라즈마가 제공될 수 있는 내부를 정의하는 챔버;

에칭 동안 상기 챔버 내에서 기판을 홀딩하기 위한 기판 홀더;

상기 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기;

상기 챔버의 내부를 상기 플라즈마 생성기 부근의 상부 서브-챔버 및 상기 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드 (grid); 및

상기 상부 서브-챔버 내의 상부 구역 플라즈마 및 상기 하부 서브-챔버 내의 하부 구역 플라즈마를 생성하기 위해 상기 그리드를 이용하는 조건에서, 상기 챔버 내에 플라즈마를 생성하도록 구성된 제어기 를 포함하고,

상기 상부 영역 플라즈마의 플라즈마 전위는 상기 하부 영역 플라즈마의 플라즈마 전위보다 높으며,

상기 상부 서브-챔버는 상기 하부 서브-챔버의 높이의 적어도 1/6인 높이를 가지며,

상기 그리드는, 상기 플라즈마가 상기 챔버 내에 산출되는 경우 상기 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하는, 기판 상에 피처를 에칭하기 위한 장치.

【변경후】

기판 상에 피처를 에칭하기 위한 장치로서,

플라즈마가 제공될 수 있는 내부를 정의하는 챔버;

에칭 동안 상기 챔버 내에서 기판을 홀딩하기 위한 기판 홀더;

상기 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기;

상기 챔버의 내부를 상기 플라즈마 생성기 부근의 상부 서브-챔버 및 상기 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드 (grid); 및

상기 상부 서브-챔버 내의 상부 구역 플라즈마 및 상기 하부 서브-챔버 내의 하부 구역 플라즈마를 생성하기 위해 상기 그리드를 이용하는 조건에서, 상기 챔버 내에 플라즈마를 생성하도록 구성된 제어기 를 포함하고,

상기 상부 구역 플라즈마의 플라즈마 전위는 상기 하부 구역 플라즈마의 플라즈마 전위보다 높으며,

상기 상부 서브-챔버는 상기 하부 서브-챔버의 높이의 적어도 1/6인 높이를 가지며,

상기 그리드는, 상기 플라즈마가 상기 챔버 내에 산출되는 경우 상기 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하는, 기판 상에 피처를 에칭하기 위한 장치.

【직권보정 2】

【보정항목】청구범위

【보정세부항목】청구항 14

【변경전】

반도체 기판들을 프로세싱하기 위한 시스템으로서,

진공 이송 모듈;

상기 진공 이송 모듈 내의 로봇;

상기 진공 이송 모듈 내의 면들 (facets) 에 인터페이스 되는 복수의 프로세스 모듈들; 및

프로세서를 가지는 제어기를 포함하며,

복수의 스테이션들 중 적어도 하나가,

플라즈마가 제공될 수 있는 내부를 정의하는 챔버;

에칭 동안 상기 챔버 내에서 상기 기판을 홀딩하기 위한 기판 홀더;

상기 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기; 및

상기 챔버의 내부를 상기 플라즈마 생성기 부근의 상부 서브-챔버 및 상기 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드를 포함하고,

상기 제어기는 상기 상부 서브-챔버 내의 상부 구역 플라즈마 및 상기 하부 서브-챔버 내의 하부 구역 플라즈마를 생성하기 위해 상기 그리드를 이용하는 조건에서, 상기 챔버 내에 플라즈마를 생성하도록 구성되고,

상기 상부 영역 플라즈마의 플라즈마 전위는 상기 하부 영역 플라즈마의 플라즈마 전위보다 높으며,

상기 상부 서브-챔버는 상기 하부 서브-챔버의 높이의 적어도 1/6인 높이를 가지며,

상기 그리드는, 상기 플라즈마가 상기 챔버 내에 산출되는 경우 상기 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하는, 반도체 기판을 프로세싱하기 위한 시스템.

【변경후】

반도체 기판들을 프로세싱하기 위한 시스템으로서,

진공 이송 모듈;

상기 진공 이송 모듈 내의 로봇;

상기 진공 이송 모듈 내의 면들 (facets) 에 인터페이스 되는 복수의 프로세스 모듈들; 및

프로세서를 가지는 제어기를 포함하며,

복수의 스테이션들 중 적어도 하나가,

플라즈마가 제공될 수 있는 내부를 정의하는 챔버;

에칭 동안 상기 챔버 내에서 상기 기판을 홀딩하기 위한 기판 홀더;

상기 챔버 내에 플라즈마를 산출하기 위한 플라즈마 생성기; 및

상기 챔버의 내부를 상기 플라즈마 생성기 부근의 상부 서브-챔버 및 상기 기판 홀더 부근의 하부 서브-챔버로 분할하는 그리드를 포함하고,

상기 제어기는 상기 상부 서브-챔버 내의 상부 구역 플라즈마 및 상기 하부 서브-챔버 내의 하부 구역 플라즈마를 생성하기 위해 상기 그리드를 이용하는 조건에서, 상기 챔버 내에 플라즈마를 생성하도록 구성되고,

상기 상부 구역 플라즈마의 플라즈마 전위는 상기 하부 구역 플라즈마의 플라즈마 전위보다 높으며,

상기 상부 서브-챔버는 상기 하부 서브-챔버의 높이의 적어도 1/6인 높이를 가지며,

상기 그리드는, 상기 플라즈마가 상기 챔버 내에 산출되는 경우 상기 그리드 내에의 유도 전류의 형성을 실질적으로 방지하는, 실질적으로 방사상 외부로 연장하는 복수의 슬롯들을 포함하는, 반도체 기판을 프로세싱하기 위한 시스템.