



(12) 发明专利

(10) 授权公告号 CN 101127236 B

(45) 授权公告日 2012.02.01

(21) 申请号 200710161951.7

JP 特开平 5-152542 A, 1993. 06. 18, 全文.

(22) 申请日 2003.01.10

US 6147895 A, 2000. 11. 14, 全文.

(30) 优先权数据

JP 特开平 5-206398 A, 1993. 08. 13, 说明书
第 0001 至 0014 段、附图 4.

4955/02 2002. 01. 11 .JP

审查员 王静

52022/02 2002. 02. 27 JP

(62) 分案原申请数据

03800279.5 2003.01.10

(73) 专利权人 索尼公司

地址 日本东京都

(72)发明人 近藤哲二郎 市川勉 野出泰史

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51) Int. Cl.

G11C 8/14 (2006.01)

G11C 11/417(2006.01)

(56) 对比文件

CN 1230750 A, 1999. 10. 06, 全文.

JP 特开平 6-95937 A, 1994. 04. 08, 全文.

JP 平 1-267600 A, 1989. 10. 25, 全文.

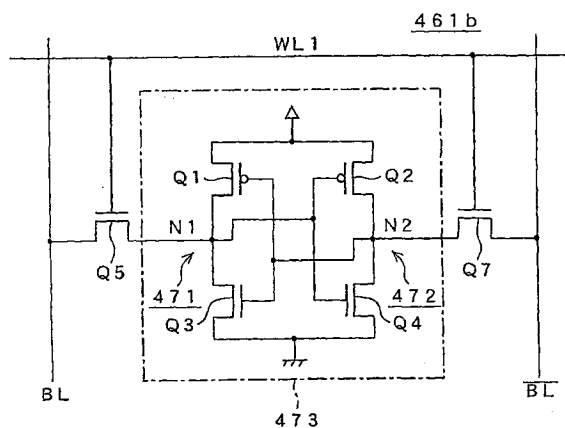
权利要求书 1 页 说明书 35 页 附图 37 页

(54) 发明名称

存储单元电路

(57) 摘要

本发明涉及存储单元电路包括:存储数据“1”或“0”的存储单元;和每一个将所述存储单元与位线相连接的多个访问晶体管,所述晶体管相互并联。



1. 一种存储单元块,包括:

多条位线;

接收参考数据的参考数据输入线,所述参考数据输入线与所述多条位线垂直相交或沿着所述多条位线平行延伸;

多个存储器单元;

其中所述多个存储器单元每个包括:

存储数据“1”或“0”的存储单元;

接收所述参考数据的参考数据输入单元,所述参考数据输入单元与所述参考数据输入线相连接;

每一个将所述存储单元与位线相连接的多个访问晶体管,所述晶体管相互并联;以及

运算功能单元,用于使用在所述存储单元中存储的存储数据和从所述参考数据输入单元接收的参考数据来进行逻辑运算。

2. 如权利要求1所述的存储单元块,其中每个所述晶体管被连接到相同的字线。

3. 一种存储设备,包括:

存储单元块,该存储单元块包括:

多条位线;

接收参考数据的参考数据输入线,所述参考数据输入线与所述多条位线垂直相交或沿着所述多条位线平行延伸;

多个存储器单元;

其中,所述多个存储器单元每个包括:

存储数据“1”或“0”的存储单元;

接收所述参考数据的参考数据输入单元,所述参考数据输入单元与所述参考数据输入线相连接;

每一个将所述存储单元与位线相连接的多个访问晶体管,所述晶体管相互并联;以及

运算功能单元,用于使用在所述存储单元中存储的存储数据和从所述参考数据输入单元接收的参考数据来进行逻辑运算。

存储单元电路

[0001] 本申请是申请日为 2003 年 1 月 10 日、申请号为 03800279.5、发明名称为“存储单元电路、存储设备、运动矢量检测器、和运动补偿预测器”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及存储单元电路、存储设备、运动矢量检测器、和运动补偿预测编码器。

背景技术

[0003] 关于顺序数据,人们往往更喜欢同时处理相对小区域内的数据。例如,在处理图像数据时,从目标像素和它周围像素的数项数据中生成要对目标像素进行处理的数据。在通过块匹配对运动矢量的运动估计(ME)中,根据在上一帧中在某一位置上具有预定维的给定像素块内的给定像素数据,作出在随后的帧中,在具有与上面像素块相同维的像素块内的像素数据的哪一个与上面给定像素数据最接近的估计。两个像素块的位置之间的位移被定义为运动矢量。

[0004] 这里,从存储图像数据的存储器中同时读出在上面像素块内的数项像素数据,并且,还对每个像素同时进行相应像素数据项之间的差值的计算。这样的数据处理导致自然的、因此易理解的处理系统或算法的使用。

[0005] 但是,传统上,诸如同步 DRAM(动态随机访问存储器)之类的通用存储器用作存储图像数据的存储器,因此,高传送速率地从通用存储器中同时读出像素数据和将它们暂时累积在寄存器中,形成必要的抽头或必要的像素块。在这种情况下,当累积所有数据项时,不可避免地造成等待时间,这妨碍了图像数据的高速和有效处理。

[0006] 在运动图形的传统数据处理中,使用了代表随时间位移的图像中一个对象的运动方向和幅值的运动矢量。为了高效编解码,这样的运动矢量用在图像的运动补偿预测编码中。

[0007] 作为用于确定这个图像的运动幅值确定方法,日本专利公开第 H7-222157 号公开了根据输入图像数据形成具有不同分辨率的多个分层类的图像数据并使用所述多个分层类的图像数据确定输入图像的设定位置的运动矢量以减少运算量的方法。

[0008] 在这种运动矢量确定方法中,首先根据诸如求平均和低通滤波之类的平均值分层,求输入图像数据(分层类 1 的图像数据)的平均值,生成像素个数减少了的图像数据(分层类 2 的图像数据)。接着,在分层类 2 的图像数据中确定粗运动矢量,然后,根据粗运动矢量,在分层类 1 的图像数据中确定细运动矢量,借此,利用减少了的计算量来确定运动矢量。

[0009] 显而易见,分层类的个数不限于在如上所述的例子中的两个。通过依次重复平均值分层,可以像上面的情况那样确定运动矢量,进一步生成像素个数进一步减少的图像数据的分层类 3 和 4。

[0010] 在这种情况下,当可以独立地进行各个分层类的图像数据的读/写时,如果同一存储单元存储属于各个分层类的图像数据,那么,可以使效率提高。

发明内容

[0011] 因此,本发明的一个目的是提供一种能够同时访问构成具有诸如长方形和十字形之类的任意结构的像素块的数项像素数据,和能够容易地改变像素块的位置,从而便于高速有效地对它们进行处理的存储设备等。

[0012] 本发明的另一个目的是提供一种通过允许不同分层类的图像数据可以独立地被写入存储单元和从存储单元中读出,能够提高利用各个分层类的图像数据检测运动矢量的效率的运动矢量检测器,并提供一种用在这样的运动矢量检测器中的存储设备,和提供一种周在这样的存储设备中的存储单元电路。

[0013] 根据本发明的存储设备是包括一个或多个存储块的存储设备,其中,每个存储块包括以矩阵形式排列的多个存储单元、和选择沿着矩阵的一个方向延伸的存储单元列的多条选择线,每行对应于一个存储单元列;其中,矩阵形式排列的多个存储单元的区域含有沿着矩阵的一个方向划分的多个分区;其中,多条选择线的每一条含有与多个分区相对应划分的多条分选择线;和其中,存储块还包括对在关联分区中同时激活的分选择线进行转换的转换机构。

[0014] 从随时间位移的参考帧和搜索帧中检测运动矢量的根据本发明的新运动矢量检测器包括第 1 存储单元,用于存储构成参考帧的数项像素数据;第 2 存储单元,用于存储构成搜索帧的数项像素数据;运算单元,用于接收从第 1 存储单元中读出的参考块的像素数据和搜索块中多个候选块的像素数据,多个候选块的像素数据与参考块关联和是从第 2 存储单元中读出的,和用于相对于各候选块计算多个候选块中的像素数据与和每个像素数据项对应的参考块的像素数据之间的差值;和运动矢量检测单元,用于根据与在运算单元中运算的各多个候选块关联的每个像素数据所计算的差值检测与参考块关联的运动矢量,其中,第 1 和第 2 存储单元的每一个包括一个或多个半导体存储块;其中,半导体存储块含有多条位线、与多条位线垂直相交的多条字线、和以矩阵形式排列并与位线和字线相连接的多个存储单元;其中,以矩阵形式排列的多个存储单元的区域含有沿着字线方向划分的多个分区;其中,多条选择线的每一条含有与多个分区相对应划分的多条分字线;和其中,半导体存储块还含有对在分区中同时被激活的分字线进行转换的转换机构。

[0015] 并且,从随时间位移的参考帧和搜索帧中检测运动矢量的根据本发明的另一种运动矢量检测器包括第 1 存储单元,用于存储构成参考帧的数项像素数据;第 2 存储单元,用于接收从第 1 存储单元中读出的参考块的像素数据做为参考数据,和用于相对于各候选块计算在与所述参考块关联的搜索区域中多个候选块的像素数据和相应于像素数据项的参考块的数据像素之间的差值,和运动矢量检测单元,用于根据每个像素数据项相对于在第 2 存储单元中运算的每个候选块的差值检测与所述参考块关联的运动矢量;其中,第 1 存储单元包括一个或多个第 1 半导体存储块,和第 2 存储块包括一个或多个第 2 半导体存储块;其中,第 1 半导体存储块含有多条位线、与多条位线垂直相交的多条字线、和以矩阵形式排列并与位线和字线相连接的多个存储单元;其中,以矩阵形式排列的多个存储单元的区域含有沿着字线方向划分的多个分区;其中,多条选择线的每一条含有与多个分区相对应划分的多条分字线;其中,第 1 半导体存储块还含有对在分区中同时被激活的分字线进行转换的转换机构;其中,第 2 半导体存储块含有多条位线;与多条位线垂直相交的多条字线;

接收参考数据的参考数据输入线,参考数据输入线与位线垂直相交或沿着位线平行延伸;输出运算数据的运算数据输出线,运算数据输出线与多条位线垂直相交或沿着位线平行延伸;接收单元选择信号的单元选择线,单元选择线与多条字线垂直相交或沿着多条字线平行延伸;以矩阵形式排列的多个存储单元,这些单元与位线、字线、参考数据输入线、运算数据输出线和单元选择线相连接;和利用从多条运算数据输出线输出的至少一部分运算数据进行数字运算,以获得差值的辅助运算单元,其中,存储单元包括存储数据“1”或“0”的存储单元;接收参考数据的参考数据输入单元,参考数据输入单元与参考数据输入线相连接;利用存储在存储单元中的存储数据和从参考数据输入单元接收的参考数据进行逻辑运算的运算功能单元;把在运算功能单元中获得的运算数据输出到运算数据输出线的运算数据输出单元,运算数据输出单元与运算数据输出线相连接;接收单元选择信号的单元选择信号输入单元,单元选择信号输入单元与单元选择线相连接;和根据在单元选择信号输入单元中接收的单元选择信号,把通过运算功能单元中的运算获得的运算数据输出到运算数据输出单元的输出控制单元;其中,以矩阵形式排列的多个存储单元的区域含有沿着单元选择线方向划分的多个分区;其中,多条选择线的每一条含有与多个分区相对应划分的多条分单元选择线;和其中,第2半导体存储块还含有对在关联分区中同时被激活的分单元选择线进行转换的转换机构。

[0016] 根据本发明的运动补偿预测编码器利用上述运动矢量检测器检测的运动矢量执行运动补偿。

[0017] 在本发明中,存储设备包括一个或多个存储块。存储块含有由以矩阵形式排列的多个存储单元组成的存储单元阵列和选择各存储单元列的多条选择线,选择线被排列成与沿着存储单元阵列的矩阵的一个方向的存储单元列的每一个相对应。

[0018] 例如,存储块包括多条位线、与多条位线垂直相交的多条字线和以矩阵形式排列的多个存储单元,这些单元与位线和字线相连接。上面多条选择线是字线和上述的矩阵一个方向是沿着字线的方向。

[0019] 并且,存储块包括多条位线;与多条位线垂直相交的多条字线;接收参考数据的参考数据输入线,参考数据输入线与多条位线垂直相交或沿着多条位线平行延伸;输出运算数据的运算数据输出线,运算数据输出线与多条位线垂直相交或沿着多条位线平行延伸;接收单元选择信号的单元选择线,单元选择线与多条字线垂直相交或沿着多条字线平行延伸和以矩阵形式排列的多个存储单元,这些单元与位线、字线、参考数据输入线、运算数据输出线和单元选择线相连接;其中,存储单元包括存储数据“1”或“0”的存储单元;接收参考数据的参考数据输入单元,参考数据输入单元与参考数据输入线相连接;利用存储在存储单元中的存储数据和从参考数据输入单元接收的参考数据进行逻辑运算的运算功能单元;把在运算功能单元中获得的运算数据输出到运算数据输出线的运算数据输出单元,运算数据输出单元与运算数据输出线相连接;接收单元选择信号的单元选择信号输入单元,单元选择信号输入单元与单元选择线相连接;和根据在单元选择信号输入单元中接收的单元选择信号,把通过运算功能单元中的运算获得的运算数据输出到运算数据输出单元的输出控制单元;其中,多条选择线是多条单元选择线,和其中,矩阵的一个方向是沿着单元选择线的方向。

[0020] 在这个例子中,在运算功能单元中对存储在存储单元中的存储数据和从参考数据

输入单元接收参考数据进行逻辑运算,并且,在接收到输入给单元选择信号输入单元的单元选择信号的基础上,将最后运算数据从运算功能单元输出到运算数据输出单元。在辅助运算单元中,利用输出到存储单元的运算数据输出单元的运算数据进行数值计算,把最后运算数据输出到运算数据输出单元。

[0021] 例如,在辅助运算单元的运算单元中利用通过数种逻辑运算获取的数项最后运算数据进行数值计算的同时,在存储单元的运算功能单元中平行地进行数种逻辑运算,

[0022] 此外,例如,辅助运算单元可以包括,例如,第 1 辅助运算单元和第 2 辅助运算单元,使第 1 辅助运算单元利用通过存储单元的运算功能单元获取的运算数据进行第 1 数值计算,而第 2 辅助运算单元利用通过多个第 1 辅助运算单元的运算获取的数项运算数据进行第 2 数值计算。在本例中,如果第 1 数值计算是相减和第 2 数值计算是绝对值计算,那么,获得作为来自辅助运算单元的运算数据的差绝对值。

[0023] 以矩阵形式排列的多个存储单元的区域含有沿着矩阵的方向划分的多个分区。多条选择线的每一条含有与多个分区相对应划分的多条分选择线。存储块含有对在分区中同时被激活的分选择线进行转换的转换机构。

[0024] 利用这种方式,通过把选择线的每一条构造成含有多条分选择线,和通过提供对在分区中同时激活的分选择线进行转换的转换机构,可以在以矩阵形式排列的多个存储单元上对构成给定图像数据的像素数据进行适当定位,从而,允许同时访问构成具有诸如长方形或十字形的任意结构的像素块的像素数据,和容易地改变像素块的位置。

[0025] 例如,可以以整多个像素为单位,沿着水平或垂直方向移动如上所述的像素块,和通过把构成给定图像数据的整多个水平或垂直阵列存储在一条分单元选择线相关的多个存储单元中,将所述像素块在水平或垂直方向移动一个像素。

[0026] 当如上所述的存储设备用于运动矢量检测器或运动补偿预测编码器的运动矢量检测电路时,运动矢量检测处理的效率和随之而来的速度得到极大提高。

[0027] 本发明的存储单元电路配有存储数据“1”或“0”的存储单元、和将存储单元与位线并连的多个访问晶体管。

[0028] 根据本发明,多个访问晶体管的栅极可以与不同字线连接。于是,存储单元的选择可以利用多条字线的任何一条来实现。

[0029] 根据本发明的存储设备包括以矩阵形式排列和混合的第 1 存储单元和第 2 存储单元。第 1 存储单元分别与第 1 字线和第 2 字线相连接。第 2 存储单元只与第 1 字线相连接。第 1 字线沿着矩阵的列方向延伸,而第 2 字线以在矩阵的数行上延伸的阶梯形式提供。

[0030] 根据本发明,以矩阵形式排列和混合第 1 存储单元和第 2 存储单元。由于第 1 存储单元与第 1 和第 2 字线相连接,对于,第 2 存储单元只与第 1 字线相连接。

[0031] 第 1 字线被排列成沿着矩阵的列方向延伸。因此,第 1 字线可以有选择地激活列存储单元(第 1 存储单元和第 2 存储单元)。相反,第 2 字线被安排成以阶梯形式在矩阵的数行上延伸。因此,第 2 字线可以有选择地只激活在矩阵的数行上延伸的第 1 存储单元。

[0032] 因此,可以通过第 2 字线同时只激活在矩阵的数行上延伸的第 1 存储单元,以便进行存储数据的读/写。

[0033] 注意,第 2 字线的阶梯形式以预定数量的元为单位沿着矩阵的列方向重复,从而,利用第 2 字线同时激活配备在以预定数量存储单元为单位沿着矩阵的列方向重复的数行

上的第 1 存储单元。这使数据可以从存储单元中读出和写入存储单元中。

[0034] 第 2 字线包括具有不同阶梯形式的多条共享第 2 字线,从而,使第 2 字线的每一条可以同时激活以不同阶梯形式排列在矩阵的数行上的第 1 存储单元。在这种情况下,如果分别与多条第 2 字线相连接的第 1 存储单元是不同存储单元,那么,第 2 字线的每一条可以激活分离的第 1 存储单元。

[0035] 根据本发明的另一种运动矢量检测器包括图像分层装置,用于从输入图像数据中生成具有不同分辨率的多个分层类的图像数据;运动矢量检测装置,用于根据图像分层装置形成的多个分层类的图像数据,利用块匹配处理检测输入图像的预定位置的运动矢量;和作为存储单元的上述存储设备,用于存储多个分层类的图像数据,其中,把多个类的图像数据当中最低分层类的图像数据存储在第 2 存储单元中,和把除了最低类之外其它分层类的图像数据存储在第 1 存储单元中。

[0036] 在本发明中,从输入图像数据中生成具有不同分辨率的多个分层类的图像数据,和在多个分层类的图像数据的基础上使用块匹配处理技术检测位置输入图像中的特定位置处的运动矢量。

[0037] 将多个分层类的图像数据当中最低分层类图像数据存储在与第 1 字线相连接的第 2 存储单元中。相反,将除了最低类之外其它分层类的图像数据存储在与第 1 和第 2 字线相连接的第 1 存储单元中。

[0038] 于是,在多个分层类的图像数据当中,最低分层类图像数据可以通过第 1 字线激活第 2 存储单元来读/写。另一方面,除了最低类之外其它分层类的图像数据可以独立于所述最低类图像数据而通过第 2 字线激活第 1 存储单元来读/写。因此,可以有效地进行运动矢量检测处理。

[0039] 在本发明中,共享具有不同阶梯形式的多条第 2 字线;与多条第 2 字线相连接的第 1 存储单元是不同存储单元;与多条第 2 字线相连接第 1 存储单元的每一个存储属于不同分层类的图像数据,从而,通过第 2 字线的每一条激活第 1 存储单元,和由此,使不同分层类的图像数据可以被读/写。

附图说明

[0040] 图 1 是显示根据本发明的运动补偿预测编码器的配置的方块图;

[0041] 图 2 是例示检测运动的块匹配方法的图形;

[0042] 图 3A 和 3B 是每一个都例示应用于运动检测的块匹配方法的图形;

[0043] 图 4A-4C 是每一个都例示应用于运动检测的块匹配方法的图形;

[0044] 图 5 是例示应用于运动检测的块匹配方法的图形;

[0045] 图 6 是显示运动矢量检测电路的配置的方块图;

[0046] 图 7 是显示累积搜索帧的图像数据的帧存储器(搜索帧存储器)的配置的图形;

[0047] 图 8 是例示复制构成搜索帧存储器的存储块当中的像素数据的图形;

[0048] 图 9 是显示构成搜索帧存储器的存储块的布置的图形;

[0049] 图 10 是显示构成搜索帧存储器的存储块的布置的图形;

[0050] 图 11 是显示构成搜索帧存储器的另一种存储块的布置的图形;

[0051] 图 12 是显示构成搜索帧存储器的另一种存储块的布置的图形;

- [0052] 图 13 是显示 SRAM 单元的配置的图形；
- [0053] 图 14 是显示 DRAM 单元的配置的图形；
- [0054] 图 15 是显示含有运算功能单元的存储单元的配置的图形；
- [0055] 图 16 是显示含有运算功能单元的另一种存储单元的配置的图形；
- [0056] 图 17 是显示含有运算功能单元的又一种存储单元的配置的图形；
- [0057] 图 18 是显示含有运算功能单元的再一种存储单元的配置的图形；
- [0058] 图 19 是显示进行相加和相减的辅助运算单元的配置的图形；
- [0059] 图 20 是显示计算差绝对值的辅助运算单元的配置的图形；
- [0060] 图 21 是显示计算差绝对值的辅助运算单元（对一个像素数据）的配置的图形；
- [0061] 图 22A 和 22B 是分别显示存储单元阵列内搜索帧的像素数据和存储位置的图形；
- [0062] 图 23 是显示对分单元选择线进行转换的转换机构的布置的图形；
- [0063] 图 24A 和 24B 是分别显示存储单元阵列内搜索帧的像素数据和存储位置的图形；
- [0064] 图 25A 和 25B 是分别显示存储单元阵列内搜索帧的像素数据和存储位置的图形；
- [0065] 图 26A 和 26B 是分别显示存储单元阵列内搜索帧的像素数据和存储位置的图形；
- [0066] 图 27 是显示转换分单元选择线的转换机构的另一种布置的图形；
- [0067] 图 28 是显示转换分单元选择线的转换机构的又一种布置的图形；
- [0068] 图 29 是显示累积参考帧的图像数据的帧存储器（参考帧存储器）的配置的图形；
- [0069] 图 30 是显示构成参考帧存储器的存储块的布置的图形；
- [0070] 图 31 是显示构成参考帧存储器的存储块的布置的图形；
- [0071] 图 32A 和 32B 是分别显示存储单元阵列内搜索帧的像素数据和存储位置的图形；
- [0072] 图 33 是显示转换分字线的转换机构的布置的图形；
- [0073] 图 34 是显示另一种运动矢量检测电路的配置的方块图；
- [0074] 图 35A 和 35B 是例示分层结构的图形；
- [0075] 图 36A 和 36B 是例示分层结构的图形；
- [0076] 图 37 是显示运动矢量检测的过程的流程图；
- [0077] 图 38 是显示又一种运动矢量检测电路的配置的方块图；
- [0078] 图 39 是显示评估计算电路的配置的方块图；
- [0079] 图 40 是显示再一种运动矢量检测电路的配置的方块图；
- [0080] 图 41 是显示存储块中一部分存储单元阵列的图形；
- [0081] 图 42 是显示第 1 存储单元的配置的图形；
- [0082] 图 43 是显示第 2 存储单元的配置的图形；和
- [0083] 图 44 是显示存储块的配置的图形。

具体实施方式

[0084] 图 1 显示了根据本发明一个实施例的运动补偿预测编码器 100 的配置。

[0085] 编码器 100 包括接收图像数据（构成运动图像的帧数据） D_i 的输入端 101、计算在输入端 101 上接收的图像数据 D_i 与如后所述的运动补偿电路 110 提供的预测图像数据之间的差值的减法器 102、对减法器 101 获得的差数据进行 DCT（离散余弦变换）运算的 DCT 电路 103、量化在 DCT 电路 103 中获得的 DCT 系数的量化电路 104、和输出量化电路 104 获

得的编码数据 D_o 的输出端 105。

[0086] 编码器 100 还包括对在量化电路 104 中获得的编码数据 D_o 进行逆量化的逆量化电路 106、对逆量化电路 106 的输出数据进行逆 DCT 运算获得差数据的逆 DCT 电路 107、将在逆 DCT 电路 107 中获得的差数据和在补偿电路 110 中获得的预测图像数据相加以恢复它的原来图像数据的加法器 108、和存储在加法器 108 中恢复的图像数据的帧存储器 109。

[0087] 编码器 100 进一步包括读取存储在帧存储器 108 中的图像数据,根据从运动矢量检测电路 111(如后详述)接收的运动矢量 MV 进行运动补偿运算,然后把预测图像数据提供给如上所述的减法器 102 和加法器 108 的运动补偿电路 110、和检测在输入端 101 处接收的图像数据 D_i 的运动矢量 MV 和把它提供给补偿电路 110 的运动矢量检测电路 111。

[0088] 现在参照图 1 描述运动补偿预测编码器 100 的操作。

[0089] 把在输入端 101 处接收的图像数据 D_i 提供给减法器 102 和运动矢量检测电路 111。减法器 102 计算图像数据 D_i 与由运动补偿电路 110 提供的预测图像数据之间的差值。

[0090] 减法器 102 获得的差数据被提供给执行离散余弦变换的 DCT 电路 103。DCT 电路 103 获得的 DCT 系数被提供给量化电路 104,以便对系数进行量化。量化电路 104 获得的编码数据 D_o 被输出到输出端 105。

[0091] 把量化电路 104 获得的编码数据 D_o 提供给逆量化电路 106,以便对其进行逆量化。把这个逆量化电路 106 的输出数据提供给进行逆 DCT 的逆 DCT 电路 107,以恢复差数据。差数据和由运动补偿电路 110 提供给预测数据由加法器 108 相加,以恢复原来图像数据,并且把恢复的图像数据存储在帧存储器 109 中。

[0092] 运动补偿电路 110 读取存储在帧存储器 109 中的前一帧的图像数据,和根据从运动矢量检测电路 111 接收的运动矢量 MV ,进行运动补偿,以获得经过运动补偿的预测图像数据。如上所述,把预测图像数据提供给减法器 102,以获得差数据,和提供给加法器 108,以恢复图像数据。

[0093] 下面,详细描述运动矢量检测电路 111。

[0094] 在运动矢量检测电路 111 中,利用块匹配方法检测运动矢量。根据该方法,如图 2 所示,通过移动预定搜索区内搜索帧的候选块,找出与搜索帧的参考块最佳匹配的候选块,以便获得运动矢量。

[0095] 在块匹配方法中,例如,如图 3A 所示,给定一个在水平方向含有 H 个像素和在垂直方向含有 V 行的图像,把该图像分段成 P 个像素 $\times Q$ 行的块,其中,如图 3B 所示, P 是一个块中水平像素的个数和 Q 是一个块中垂直像素的个数。在如图 3B 所示的例子中, $P = 5$ 和 $Q = 5$ 。像素 c 是块的中心像素位置。

[0096] 图 4A-4C 显示了中心像素位于像素位置 c 处的参考块和中心像素位于像素位置 c' 处的候选块之间的位置关系。请注意,中心像素位于像素位置 c 处的参考块是参考帧中的目标参考块,和搜索帧中与目标参考块匹配的候选块被定位在中心像素在像素位置 c' 上的位置处。在块匹配方法中,通过找出搜索区内与参考块最佳匹配的候选块来检测运动矢量。

[0097] 在如图 4A 所示的例子中,检测用 $(+1, +1)$ 表示的、与沿着水平方向移动了 $+1$ 个像素和沿着垂直方向移动了 $+1$ 行相对应的运动矢量。在图 4B 中,检测运动矢量 $(+3, +3)$ 。在图 4C 中,检测运动矢量 $(+2, -1)$ 。为参考帧的每个参考块获得一个运动矢量。

[0098] 假设搜索运动矢量的区域通过沿着水平方向的 $\pm S$ 个像素和沿着垂直方向的 $\pm T$ 行给出, 需要将参考块与相对于搜索块的中心 c 沿着水平方向偏移了 $\pm S$ 个像素和沿着垂直方向偏移了 $\pm T$ 行的具有中心 c' 的候选块相比较。

[0099] 图 5 显示了当参考帧中参考块的中心 c 被设置在位置 R 处时, 有必要将参考块与搜索帧中的 $(2S+1)(2T+1)$ 个候选块相比较。也就是说, 中心 c' 在图 5 的网格内的任何地方的所有候选块都可以是加以比较的候选者。图 5 显示了 $S = 4$ 和 $T = 3$ 的例子。

[0100] 通过检测在搜索区中进行比较获得的评估值 (例如, 各个帧差的绝对值之和, 各个帧差的平方之和, 或帧差的各个绝对值的 n 次方之和) 当中的最小评估值, 检测运动矢量。如图 5 所示的搜索区是设置了候选块的中心的区域。可以包括所有这样的候选块的搜索区的维数是 $(2S+P) \times (2T+Q)$ 。

[0101] 图 6 显示了运动矢量检测电路 111 的结构。

[0102] 这个运动矢量检测电路 111 含有控制整个电路的操作的控制器 121、接收图像数据 D_i 的输入端 122、累积参考帧的图像数据的帧存储器 123、和累积搜索帧的图像数据的帧存储器 124。控制器 121 控制这些帧存储器 123 和 124 的读 / 写操作。

[0103] 当将某个帧的图像数据从输入端 122 提供给已经被写入的帧存储器 123 时, 从帧存储器 123 中读出存储在帧存储器 123 中与前一帧关联的图像数据, 并且将其提供给已经被写入的帧存储器 124。

[0104] 在控制器 121 的控制下, 把来自帧存储器 124 的参考块的像素数据提供给帧存储器 124。帧存储器 124 相对于与搜索区中与参考块相对应的多个候选块为每个像素数据计算候选块的各个像素数据与参考块的像素数据之间的差值, 并且输出差绝对值。

[0105] 运动矢量检测电路 111 含有累加器 126, 用于从帧存储器 124 接收与各个候选块关联的为每个像素数据计算的差绝对值和累积差绝对值; 和关联表 127, 用于存储与多个候选块相对应的、由累加器 126 获得的累积差绝对值, 作为关联值。

[0106] 运动矢量检测电路 111 还含有判断电路 128, 用于根据与在关联表 127 中存储的各候选块对应的关联值, 检测运动矢量 MV ; 和输出端 129, 用于输出判断电路 128 检测的运动矢量 MV 。判断电路 128 检测含有最小关联值的候选块的位置, 作为运动矢量 MV 。

[0107] 参照图 6, 描述运动矢量检测电路 111 的操作。

[0108] 把输入到输入端 122 的图像数据 D_i 提供给对参考帧的图像数据进行累积的帧存储器 123。在这种情况下, 从帧存储器 123 中检索存储在帧存储器 123 中的前一帧图像数据, 并且将其提供给作为搜索帧的图像数据加以累积的帧存储器 124。

[0109] 从帧存储器 123 中读出参考块的图像数据, 并且将其提供给帧存储器 124。在帧存储器 124 中, 相对于也和搜索区中参考块对应的各候选块, 为像素数据的每一项计算和输出候选块的像素数据和参考块的像素数据之间的差绝对值。如果在这种情况下, 参考块和候选块由 P 个像素和 Q 行组成 (参见图 3B), 由此, 可以得到用于所述多个候选块中每一个的 $P \times Q$ 个差绝对值。

[0110] 因此, 从帧存储器 124 输出相对于各候选块为每个像素数据项所计算的差绝对值, 并且将其依次提供给累加器 126 和累积在累加器 126 中。在累加器 126 中累积的与各候选块相关的累积值被提供给关联表 127, 并且作为关联值被存储。在判断电路 128 中, 根据存储在关联表 127 中的多个候选块的每一个的关联值, 检测具有最小关联值的候选块的

位置,作为运动矢量 MV。

[0111] 将参考帧中多个参考块的图像数据按顺序从帧存储器 123 提供给帧存储器 124。在帧存储器 124、加法器 126、关联表 127、和判断电路 128 中对各个参考块重复相似的操作。因此,在判断电路 128 中,按顺序为参考块的每一个检测运动矢量 MV。利用这种方式,从输出端 129 依次输出在判断电路 128 中检测的运动矢量 MV。

[0112] 下面,详细描述帧存储器 124。

[0113] 在如图 7 所示的例子中,帧存储器 124 包括 4 个存储块 125a-125d。但是,构成帧存储器 124 的存储块的个数不限于 4 个。存储块 125a-125d 的每一个包括数据输入单元、数据输出单元、参考数据输入单元、和运算数据输出单元。存储块 125a、125b、125c、和 125d 分别存储搜索帧的左上部分、右上部分、左下部分、和右下部分的像素数据。

[0114] 当预定候选块的中心像素的范围处在搜索帧的左上部分、右上部分、左下部分、和右下部分的任何一个中时,它只足以激活相应的存储块 125a、125b、125c、和 125d,从而抑制了功耗。

[0115] 在这种情况下,将靠近搜索帧左上、右上、左下和右下边界部分的边界处的像素数据项以副本的形式存储在对应的存储块 125a-125d 中。以副本形式将像素数据项存储在存储块 125a-125d 中的理由是因为中心像素位于边缘附近的候选块需要边缘之外的像素数据。

[0116] 图 8 显示了分别存储在存储块 125a、125b、125c、和 125d 中的搜索帧的左上、右上、左下和右下部分 Fa、Fb、Fc、和 Fd。存储块 125a 和 125b 存储水平重叠的像素数据 ha 和 hb;存储块 125c 和 125d 存储水平重叠的像素数据 hc 和 hd;存储块 125a 和 125c 存储垂直重叠的像素数据 va 和 vc;和存储块 125b 和 125d 存储垂直重叠的像素数据 vb 和 vd。在水平和垂直方向重叠的像素的个数随候选块的水平和垂直维数增加而增加。

[0117] 图 9 显示了存储块 125(代表存储块 125a-125d 的任何一个)的配置。

[0118] 存储块 125 含有以矩阵形式排列的多个存储单元的存储单元阵列 131、输入和输出存储数据的输入/输出端口 132(包括列地址解码器)、用于存储数据的行地址解码器 133、输入参考数据的输入端口和辅助运算单元 134(包括列地址解码器)、和用于参考数据的行地址解码器 135。

[0119] 存储单元阵列 131 包括沿着行方向延伸的传送数据的多条位线 BL 和 /BL(/BL 代表带上划线的 BL)、沿着列方向延伸和与多条位线 BL 和 /BL 垂直相交的多条字线 WL、用于输入参考数据的、与多条位线 BL 和 /BL 平行延伸的参考数据输入线 RDL 和 /RDL(/RDL 代表带上划线的 RDL)、用于输出运算数据的、与多条位线 BL 和 /BL 平行延伸的运算数据输出线 DAL 和 /DBL、用于输入单元选择信号的、与字线 WL 平行延伸的单元选择线 WLF、和以矩阵形式排列并与各条位线 BL 和 /BL、字线 WL、参考数据输入线 RDL 和 /RDL、运算数据输出线 DAL 和 /DBL 和单元选择线 WLF 相连接的多个存储单元 140。

[0120] 图 10 示出了图 9 所示除存储单元阵列 131 以外的存储块 125 的细节。

[0121] 用于存储数据的列地址解码器 132a、地址缓冲器 132b 和 I/O 缓冲器 132c 构成如图 9 所示的输入和输出存储数据的输入/输出端口 132。列地址解码器 132a 包括 I/O 选通门(列开关)和读出放大器。列地址解码器 132a 经过地址缓冲器 132b 接收列地址。

[0122] 列地址解码器 132a 响应经过地址缓冲器 132b 提供的列地址的每一个,使多条位

线 BL 和 /BL 与位于存储单元阵列 131 的列方向的预定数量的存储单元 140 保持连接,使存储数据能够通过 I/O 缓冲器 132c 和列地址解码器 132a 沿着列方向被写入预定存储单元中和从预定存储单元中读出。

[0123] 用于存储数据的行地址解码器 133 经过地址缓冲器 133a 接收行地址。行地址解码器 133 响应经过地址缓冲器 133a 提供的行地址,激活与存储单元阵列 131 的预定行方向存储单元 140 相连接的字线,使存储数据能够经过 I/O 缓冲器 132c 和列地址解码器 132a 被写入预定行方向存储单元 140 中和从预定行方向存储单元 140 中读出。

[0124] 用于参考数据的列地址解码器 134a、地址缓冲器 134b、I/O 缓冲器 134c 和辅助运算单元 134d 构成如图 9 所示的输入参考数据的输入端口和辅助运算单元 134。列地址解码器 132a 包括 I/O 选通门(列开关)和读出放大器。列地址解码器 132a 经过地址缓冲器 132b 接收列地址。

[0125] 列地址解码器 134a 响应经过地址缓冲器 134b 提供的列地址的每一个,使多条运算数据输出线 DAL 和 DBL 和多条参考数据输入线 RDL 和 /RDL 与预定数量的存储单元阵列 131 的列存储单元 140 保持连接。这使得参考数据能够被预定数量的列存储单元 140 所接收,和使运算数据能够经过 I/O 缓冲器 134c 和列地址解码器 134a 从预定数量的列存储单元 140 提供给辅助运算单元 134d。

[0126] 用于参考数据的行地址解码器 135 经过地址缓冲器 135a 接收行地址。行地址解码器 135 响应经过地址缓冲器 135a 提供的行地址,将单元选择信号提供给与存储单元阵列 131 的预定行方向存储单元 140 相连接的单元选择线 WLF,以激活单元选择线 WLF。因此,可以经过 I/O 缓冲器 134c 和列地址解码器 134a 把参考数据输入预定的行方向存储单元 140 中,并且,可以经过列地址解码器 134a 和 I/O 缓冲器 134c 将运算数据从预定行方向存储单元 140 提供到辅助运算单元 134d。

[0127] 控制电路 136 根据控制输入,控制如上所述的存储块 125 的各个电路的操作。正如后面所详述的那样,存储单元阵列 131 中以矩阵形式排列的多个存储单元 140 的区域含有沿着单元选择线 WLF 的方向划分的多个分区,和多条单元选择线 WLF 的每一条由与各个分区相关的多条分单元选择线组成。存储单元阵列 131 包括用于对在每个分区中被同时激活的分单元线进行转换的转换机构。控制电路 136 还控制所述转换机构。

[0128] 图 11 显示了本发明的另一种存储块 125(125a-125d)的结构。如图 11 和 9 所示的相似部件用相同的标号表示。图 11 所示存储块 125 的结构与如图 9 所示的存储块 125 的结构的不同之处在于,参考数据输入线 RDL 和 /RDL、运算数据输出线 DAL 和 DBL、和单元选择线 WLF 与如图 9 所示的存储块的那些线相比,具有不同的方向。

[0129] 存储块 125 包括含有以矩阵形式排列的多个存储单元的存储单元阵列 131、用于输入和输出存储数据的输入/输出端口 132(包括列地址解码器)、用于存储数据的行地址解码器 133、用于输入参考数据的输入端口和辅助运算单元 134(包括列地址解码器)和用于参考数据的行地址解码器 135。

[0130] 存储单元阵列 131 包括沿着它的行方向延伸并用于传送数据的多条位线 BL 和 /BL、沿着列方向延伸和与多条位线 BL 和 /BL 垂直相交的多条字线 WL、与多条位线 BL 和 /BL 垂直相交并用于输入参考数据的参数数据输入线 RDL 和 /RDL、与多条位线 BL 和 /BL 垂直相交并用于输出运算数据的运算数据输出线 DAL 和 /DBL、与字线 WL 垂直相交并用于输入单元

选择信号的单元选择线 WLF、和以矩阵形式排列和分别与位线 BL 和 /BL、字线 WL、参考数据输入线 RDL 和 /RDL、运算数据输出线 DAL 和 /DBL、和单元选择线 WLF 相连接的多个存储单元 140。

[0131] 图 12 详细示出了如图 11 所示的存储块 125 除了存储单元阵列 131 之外的部分。图 12 和 10 的相似部件用相同的标号表示。

[0132] 用于存储数据的列地址解码器 132a、地址缓冲器 132b、和 I/O 缓冲器 132c 构成如图 11 所示的用于输入和输出存储数据的输入 / 输出端口 132。列地址解码器 132a 包括 I/O 选通门（列开关）和读出放大器。列地址解码器 132a 经过地址缓冲器 132b 接收列地址。

[0133] 列地址解码器 132a 响应经过地址缓冲器 132b 提供的列地址的每一个，使多条位线 BL 和 /BL 与存储单元阵列 131 的预定数量的列存储单元 140 保持连接，使存储数据能够经过 I/O 缓冲器 132c 和列地址解码器 132a，被写入预定列存储单元中和从预定列存储单元中读出。

[0134] 行地址解码器 133 经过地址缓冲器 133a 接收行地址。行地址解码器 133 响应经过地址缓冲器 133a 提供的行地址，激活与存储单元阵列 131 的预定行方向存储单元 140 相连接的字线，使存储数据能够经过 I/O 缓冲器 132c 和列地址解码器 132a 被写入预定行方向存储单元 140 中和从预定行方向存储单元 140 中读出。

[0135] 用于参考数据的列地址解码器 134a、地址缓冲器 134b、I/O 缓冲器 134c、和辅助运算单元 134d 构成如图 11 所示的输入参考数据的输入端口和辅助运算单元 134。列地址解码器 132a 包括 I/O 选通门（列开关）和读出放大器。列地址解码器 132a 经过地址缓冲器 132b 接收列地址。

[0136] 列地址解码器 134a 响应经过地址缓冲器 134b 提供的列地址的每一个，使多条运算数据输出线 DAL 和 DBL 和多条参考数据输入线 RDL 和 /RDL 与存储单元阵列 131 的预定多个行方向存储单元 140 保持连接。这使参考数据能够被预定多个行方向存储单元 140 接收，和使运算数据能够经过 I/O 缓冲器 134c 和列地址解码器 134a 从预定多个行方向存储单元 140 提供给辅助运算单元 134d。

[0137] 用于参考数据的行地址解码器 135 经过地址缓冲器 135a 接收行地址。行地址解码器 135 响应通过地址缓冲器 135a 提供的行地址的每一个，将单元选择信号提供给与存储单元阵列 131 的预定列存储单元 140 相连接的单元选择线 WLF，以激活单元选择线 WLF。因此，可以经过 I/O 缓冲器 134c 和列地址解码器 134a 把参考数据输入到预定列存储单元 140 中，并且，可以经过列地址解码器 134a 和 I/O 缓冲器 134c 将运算数据从预定列存储单元 140 提供给辅助运算单元 134d。

[0138] 此外，控制电路 136 根据控制输入，控制如上所述的存储块 125 的各个电路的操作。正如后面所详述的那样，存储单元阵列 131 中以矩阵形式排列的多个存储单元 140 的区域含有沿着单元选择线 WLF 的方向划分的多个分区，和多条单元选择线 WLF 的每一条由与多个分区的每一个相关的多条分单元选择线组成。存储单元阵列 131 包括用于对在各个分区中同时激活的分单元选择线进行转换的转换机构。控制电路 136 还控制转换机构。

[0139] 下面将描述存储单元 140。

[0140] 首先，描述众所周知的 SRAM（静态随机访问存储器）单元和众所周知的 DRAM（动态随机访问存储器）单元。

[0141] 图 13 示出了示范性 SRAM 单元的结构。p- 型 MOS (金属氧化物半导体) 晶体管 Q1 (代表负载) 和 n- 型 MOS 晶体管 Q3 串联在电源和地之间, 形成 CMOS (互补金属氧化物半导体) 反相器 11, 和 p- 型 MOS 晶体管 Q2 (代表负载) 和 n- 型 MOS 晶体管 Q4 串联在电源和地之间, 形成 CMOS 反相器 12。这些 CMOS 反相器 11 和 12 的输出, 即, 存储节点 N1 和 N2 的电位分别用作 CMOS 反相器 12 和 11 的输入, 即分别用作 n- 型 MOS 晶体管 Q4 和 Q3 的栅极输入。

[0142] CMOS 反相器 11 的存储节点 N1 通过其栅极与字线 WL 相连接的访问晶体管 Q5 与位线 BL 相连接。另一方面, CMOS 反相器 12 的存储节点 N2 通过其栅极与字线 WL 相连接的访问晶体管 Q6 与位线 /BL 相连接。

[0143] 在具有这里所示结构的 SRAM 单元中, “1” 或 “0” 的数据存储在由成对 CMOS 反相器 11 和 12 组成的存储单元 13 中。

[0144] 通过访问晶体管 Q5 和 Q6 在这个存储单元 13 和位线 BL 和 /BL 之间进行读和写的数据传输。

[0145] 图 14 显示了示范性 DRAM 单元的结构。电容器 C1 和 C2 相互串联, 并且把电压 $V_{cc}/2$ (V_{cc} 是电源电压) 提供给电容器 C1 和 C2 的中点 P。电容器 C1 与点 P 相对的一端被定义为存储节点 N1, 这个节点通过其栅极与字线 WL 相连接的访问晶体管 Q7 与位线 BL 相连接。

[0146] 电容器 C2 与点 P 相对的一端被定义为存储节点 N2, 存储节点 N2 经过其栅极与字线 WL 相连接的访问晶体管 Q8 与位线 /BL 相连接。

[0147] 在具有这里所示结构的 DRAM 单元中, 数据 “1” 或 “0” 被存储在由成对 CMOS 电容器 C1 和 C2 组成的存储单元 14 中。通过访问晶体管 Q7 和 Q8 在这个存储单元 14 和位线 BL 和 /BL 之间进行读和写的数据传输。

[0148] 图 15 显示了根据本发明这个实施例的存储单元的结构。

[0149] 存储单元 141 的存储节点 N1 通过其栅极与字线 WL 相连接的访问晶体管 Q11 与位线 BL 相连接。另一方面, 存储单元 141 的存储节点 N2 通过其栅极与字线 WL 相连接的访问晶体管 Q12 与位线 /BL 相连接。

[0150] 应当理解, 如果存储单元 140 是基于 SRAM 单元的那一种, 那么, 它的存储单元 141 被结构成如图 13 所示的 SRAM 单元的存储单元 13, 和如果存储单元 140 是基于 DRAM 单元的那一种, 那么, 它的存储单元 141 被结构成如图 14 所示的 DRAM 单元的存储单元 14。

[0151] 在这种情况下, 数据 “1” 或 “0” 被存储在存储单元 141 中。经过访问晶体管 Q11 和 Q12 在这个存储单元 14 和位线 BL 和 /BL 之间进行读和写的数据传输。也就是说, 以与结合如图 13 和 14 所示的存储单元所述相同的方式进行存储数据从存储单元 141 的读出和存储数据到存储单元 141 的写入。

[0152] 其栅极分别与存储单元 141 的存储节点 N1 和 N2 相连接的 n- 型 MOS 晶体管 Q13 和 Q14 的漏极相互连接。MOS 晶体管 Q13 的源极与被提供有参考数据 RD 的输入端 142a 相连接, 和 MOS 晶体管 Q14 的源极接地。其栅极分别与存储单元 141 的存储节点 N1 和 N2 相连接的 n- 型 MOS 晶体管 Q15 和 Q16 的漏极相互连接。MOS 晶体管 Q15 的源极与输入端 142a 相连接, 和 MOS 晶体管 Q16 的源极与被提供有参考数据 /RD (/RD 代表带上划线的 RD, 表示 RD 的反相) 的输入端 142b 相连接。

[0153] 输入端 142a 与被用于提供参考数据 RD 的上述参考数据输入线 RDL 相连接。另一方面,输入端 142b 与被用于提供参考数据 /RD 的上述参考数据输入线 /RDL 相连接。

[0154] MOS 晶体管 Q13-Q18 构成对存储在存储单元 141 中的存储数据和参考数据 RD 进行异或非 (ExNOR) 运算和逻辑乘 (AND) 运算的运算功能单元。在 MOS 晶体管 Q15 和 Q16 的节点 Pa 处提供 ExNOR 运算的输出,和在 MOS 晶体管 Q13 和 Q14 的节点 Pb 处提供 AND 运算的输出。

[0155] n- 型 MOS 晶体管 Q17 的漏极与 MOS 晶体管 Q15 和 Q16 的节点 Pa 相连接,和 MOS 晶体管 Q17 的源极与输出运算数据 DA 的输出端 143 相连接。n- 型 MOS 晶体管 Q18 的漏极与 MOS 晶体管 Q13 和 Q14 的节点 Pb 相连接,和 MOS 晶体管 Q18 的源极与输出运算数据 DB 的输出端 144 相连接。MOS 晶体管 Q17 和 Q18 的栅极与把单元选择信号 CS 提供给它的输入端 145 相连接。

[0156] 输出端 143 与被提供了运算数据 DA 的上述运算数据输出线 DAL 相连接。另一方面,输出端 144 与被提供了运算数据 DB 的上述运算数据输出线 DBL 相连接。输入端 145 与被提供了单元选择信号 CS 的上述单元选择线 WLF 相连接。

[0157] 请注意,MOS 晶体管 Q17 和 Q18 构成作为输出控制单元的传输门,并且,当把“1”的单元选择信号提供给输入端 145 时,该传输门变成导通的。在这种情况下,在节点 Pa 处提供的 ExNOR 运算的输出经过 MOS 晶体管 Q17 传送给输出端 143,作为运算数据 DA。类似地,在节点 Pb 处提供的 AND 运算的输出经过 MOS 晶体管 Q18 传送给输出端 144,作为运算数据 DB。

[0158] 因此,可以与存储数据的读 / 写无关地,也就是说,可以在不影响存储数据的情况下对存储在存储单元 141 中的存储数据和参考数据 RD 进行运算并输出运算数据 DA 和 DB。

[0159] 尽管如图 15 所示的存储单元被描述成构成存储单元块 125 的存储单元 140,但是,具有相似运算功能单元的任何其它存储单元也可替代地用作相同目的。图 16-18 显示了其它可替代存储单元。在这些图 16-18 中,与图 15 的相似部件相对应的部件用相同的标号表示。

[0160] 如图 16 所示的存储单元含有进行 ExNOR 运算的运算功能单元和输出控制单元。如图 17 所示的存储单元含有进行 AND 运算的运算功能单元和输出控制单元。

[0161] 如图 18 所示的存储单元含有进行 NOR 运算的运算功能单元和输出控制单元。

[0162] 其栅极与存储单元 141 的各个存储节点 N1 和 N2 相连接的 n- 型 MOS 晶体管 Q19 和 Q20 的漏极相互连接。MOS 晶体管 Q19 的源极接地。MOS 晶体管 Q20 的源极与把参考数据 /RD 提供给它的输入端 142b 相连接。MOS 晶体管 Q19 和 Q20 构成获得存储在存储单元 141 中的存储数据和参考数据 RD 的反相逻辑求和 (NOR) 的运算功能单元。在 MOS 晶体管 Q19 和 Q20 的节点 Pc 处提供 NOR 运算的结果。

[0163] n- 型 MOS 晶体管 Q21 的漏极与 MOS 晶体管 Q19 和 Q20 的节点 Pc 相连接,和 MOS 晶体管 Q21 的源极与输出运算数据 DC 的输出端 146 相连接。MOS 晶体管 Q21 的栅极与把单元选择信号 CS 提供给它的输入端 145 相连接。MOS 晶体管 Q21 构成用作输出控制单元的传输门,并且,当把“1”的单元选择信号提供给输入端 145 时,该传输门变成导通。在那种情况下,经过 MOS 晶体管 Q21 把在节点 Pc 处获得的 NOR 运算输出作为运算数据 DC 输出给输出端 146。

[0164] 下面,说明构成上述存储块 125 的辅助运算单元 134d。

[0165] 在这里所示的实施例中,辅助运算单元 134d 利用图 19 所示的多个辅助运算单元 150 执行加法和减法,和利用如图 20 所示的多个辅助运算单元 170 计算差绝对值。

[0166] 在存储单元阵列 131 中以矩阵形式排列的多个存储单元 140 当中,根据输入到地址缓冲器 135a 的行地址和输入到地址缓冲器 134b 的列地址(参见图 10 和 12),同时选择用于存储构成候选块每个位的多项像素数据的 $m \times n$ 存储单元 140,其中, m 和 n 分别代表构成候选块的像素数据的数量和像素数据的位数。经过 $m \times n$ 对运算数据输出线 DAL 和 DBL 把输出到 $m \times n$ 个存储单元 140 每一个的输出端 143 和 144 的运算数据 DA 和 DB 同时提供给辅助运算单元 134d。

[0167] 现在描述辅助运算单元 150。在辅助运算单元 134d 中,与如上所述的 $m \times n$ 个存储单元 140 相对应配备了 $m \times n$ 个辅助运算单元 150。图 19 显示了与候选块的特定像素数据的第 i 位数据相关的辅助运算单元 150,其中,

[0168] $i = 0, 1, \dots, n-1$ 。

[0169] 第 0 位数据是 LSB(最低有效位),和第 $(n-1)$ 位数据是 MSB(最高有效位)。

[0170] 从图 19 可以看出, n -型 MOS 晶体管 Q31 和 Q32 的漏极相互连接。 n -型 MOS 晶体管 Q33 和 Q34 的漏极也相互连接。MOS 晶体管 Q34 的源极接地。被作为运算数据 Dai 而提供有来自相应存储单元 140 的运算数据 DA(输出 ExNOR)的输入端 151 经过相互串联的反相器 IN1 和 IN2 连接到 MOS 晶体管 Q32 和 Q34 的各自栅极上。被提供有作为运算数据 Dai 的来自相应存储单元 140 的运算数据 DA(输出 ExNOR)的输入端 151 经过相互串联的反相器 IN1 和 IN2 与 MOS 晶体管 Q32 和 Q34 的各个栅极串联。反相器 IN1 和 IN2 的节点与 MOS 晶体管 Q31 和 Q32 的栅极连接。

[0171] 被提供有来自其低阶的进位输出 $/Ci$ ($/Ci-1$ 代表带上划线的 $Ci-1$,表示进位输出 $Ci-1$ 的反相)的输入端 152 被连接到 MOS 晶体管 Q32 的源极并经过反相器 IN3 连接到 MOS 晶体管 Q31 和 Q33 各自的源极。

[0172] 将来自相应存储单元 140 的运算数据 DB(输出 AND)作为运算数据 DBi 提供给它的输入端 153 与 NOR 门 154 的输入端相连接。MOS 晶体管 Q33 和 Q34 的节点与 NOR 门 154 的输入端相连接。这个 NOR 门 154 的输出端与用于将进位输出 $/Ci$ ($/Ci$ 代表带上划线的 Ci ,表示进位输出 Ci 的反相)输出到它的较高阶的输出端相连接。MOS 晶体管 Q31 和 Q32 的节点经过反相器 IN4 与用于输出运算数据 Si 的输出端 156 相连接。

[0173] 这里请注意,与候选块给定像素数据(n 位)对应的 n 个辅助运算单元 150 获得通过从所述候选块的像素数据中减去相关参考块的像素数据而给出的相减值输出。也就是说,当用 Xi 和 Yi ($i = 0, 1, \dots, n-1$) 分别表示候选块的给定像素数据和相应参考块的像素数据时,通过提供如上所述的存储单元 140 作为参考数据 RD 的 $/Yi$ ($/Yi$ 代表带上划线的 Yi ,表示数据 Yi 的反相),和通过设置 $C_{-1} = 1$,根据如下公式 (1) 和 (2) 分别获得运算输出 Si 和进位输出 Ci :

$$[0174] \quad Si = Xi \oplus \overline{Yi} \oplus Ci-1 \quad \dots (1)$$

$$[0175] \quad Ci = Xi \cdot \overline{Yi} + (Xi \oplus \overline{Yi}) \cdot Ci-1 \quad \dots (2)$$

[0176] 其中,在各个运算符号中,“ $\oplus$ ”表示异或(exclusive OR)运算,“ $\cdot$ ”表示与(AND)

运算,和“+”表示或 (OR) 运算。

[0177] 这个相减值输出是以进位输出 C_{n-1} 设有正号或负号的偏置二进制格式获得的。

[0178] 尽管在如上所述的实施例中使用了相减值输出,但是,也可以通过提供 Y_i 作为存储单元 140 的参考数据 RD,和通过设置 $C_{-1} = 0$,根据如下公式 (3) 和 (4) 获得运算输出 S_i 和进位输出 C_i ,作为相加值输出:

$$[0179] \quad S_i = X_i \oplus Y_i \oplus C_{i-1} \quad \cdots (3)$$

$$[0180] \quad C_i = X_i \cdot Y_i + (X_i \oplus Y_i) \cdot C_{i-1} \quad \cdots (4)$$

[0181] 其中,在各个运算符号中,“ $\oplus$ ”表示异或运算,“ $\cdot$ ”表示与运算,和“+”表示或运算。

[0182] 下面,描述辅助运算单元 170。

[0183] 在存储块 125 的辅助运算单元 134d 中,为 n 个辅助运算单元 150 的每一个配备辅助运算单元 170,以获得如上所述,通过从相应候选块的像素数据中减去参考块的像素数据给出的相减值输出。也就是说,在辅助运算单元 134d 中配备了个数与构成候选块的像素数据的个数相同的 m 个辅助运算单元 170。图 20 显示了 m 个辅助运算单元 170 的第 k 辅助运算单元 ($k = 0, 1, \dots, \text{和 } m-1$)。

[0184] 从图 20 可看出,被提供有 n 个辅助运算单元 150 的各个运算输出 S_i ($i = 0, 1, \dots, n-1$) 的输入端 $171_0, 171_1, \dots, \text{和 } 171_{n-1}$ 与分别异或 (ExOR) 门 $172_0, 172_1, \dots, \text{和 } 172_{n-1}$ 的各个输入端相连接。

[0185] 被提供有第 $(n-1)$ 辅助运算单元 150 的进位输出 $/C_{n-1}$ 的输入端 173 与 ExOR 门 $172_0, 172_1, \dots, \text{和 } 172_{n-1}$ 共接。这些 ExOR 门 $172_0, 172_1, \dots, \text{和 } 172_{n-1}$ 的输出端与 n -位全加器 174 的各个输入端 $a_0, a_1, \dots, \text{和 } a_{n-1}$ 相连接。

[0186] n -位全加器 174 的输入端 b_0 与上述输入端 173 相连接,和 n -位全加器 174 的输入端 $b_1, b_2, \dots, \text{和 } b_{n-1}$ 接地。 n -位全加器 174 的输出端 $o_0, o_1, \dots, \text{和 } o_{n-1}$ 分别与输出差绝对值 D_k ($D_{k_0} - D_{k_{n-1}}$) 的输出端 $175_0, 175_1, \dots, \text{和 } 175_{n-1}$ 相连接。

[0187] 在如图 20 所示的辅助运算单元 170 中,当 C_{n-1} 等于 1 和运算输出 S_i ($i = 0, 1, \dots, n-1$) 指出正值时,差绝对值 D_k ($k = 0, 1, \dots, n-1$) 分别变成 S_i ($i = 0, 1, \dots, n-1$)。另一方面,当 C_{n-1} 等于 0 和运算输出 S_i ($i = 0, 1, \dots, n-1$) 指出负值时,通过 ExOR 门 $172_0, 172_1, \dots, \text{和 } 172_{n-1}$ 使运算输出 S_i ($i = 0, 1, \dots, n-1$) 的所有位反相。随后, n -位全加器 174 使 LSB 加 1,以计算运算输出 S_i ($i = 0, 1, \dots, n-1$) 的绝对值,这样就得到了差绝对值 D_k ($k = 0, 1, \dots, n-1$)。

[0188] 图 21 示出了辅助运算单元 134d 中用于获得与构成一个候选块的第 k 个像素数据相关的差绝对值 D_k ($i = 0, 1, \dots, n-1$) 的部分,该单元包括 n 个辅助运算单元 150 和一个辅助运算单元 170。在辅助运算单元 134d 中,存在其个数与构成候选块的像素数据的个数相同的、如图 21 所示的 m 个系统。

[0189] 如上所述,在辅助运算单元 134d 中,通过响应提供给地址缓冲器 135a 的行地址的每一个和提供给地址缓冲器 134b 的列地址的每一个,从以矩阵形式排列的多个存储单元 140 中同时选择为每一位存储构成候选块的 m 个像素数据的 $m \times n$ 个存储单元 140,可以同时和并行进行相减和差绝对值运算。

[0190] 在下文中,将描述能够同时选择用于存储与每个位相关的构成一个候选块的 m 像素数据的 $m \times n$ 个存储单元的配置。

[0191] 图 22A 示意性地例示了存储在构成搜索帧存储器 124 的一个存储块 125 中的像素数据。为了简单起见,假设一个存储块 125 存储在水平方向由 15 个像素组成和在垂直方向由 10 行组成的像素数据,每个像素数据是 1- 位数据。

[0192] 图 22B 显示了存储单元阵列 131 中像素数据的各自存储位置。在这里所示的例子中,正方网格的每一个代表存储单元 140。存储单元阵列 131 含有沿着参考数据的列方向(这个列方向与图 10 的存储块 125 中存储数据的列方向相同,并且与图 12 的存储块 125 中存储数据的行方向相同)排成一线的 50 个存储单元 140。请注意,存储单元阵列 131 中的多个存储单元 140 沿着列方向被划分成 5 个分区 131a-131e。

[0193] 在这里所示的例子中,在分区 131a 中连续的第 1、第 2 和第 3 行的 10 个存储单元中分别存储一个垂直列的像素数据“00”-“90”、“05”-“95”、和“0a”-“9a”。类似地,在分区 131b 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“01”-“91”、“06”-“96”、和“0b”-“9b”。在分区 131c 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“02”-“92”、“07”-“97”、和“0c”-“9c”。

[0194] 利用相同的方式,在分区 131d 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“03”-“93”、“08”-“98”、和“0d”-“9d”。另外,在分区 131e 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“04”-“94”、“09”-“99”、和“0e”-“9e”。

[0195] 如上所述的多条单元选择线 WLF(参见图 9 和 11) 分别由与分区 131a-131e 相对应划分的 5 条分单元选择线 WLFa-WLFe(在图 22B 中未示出) 组成。存储单元阵列 131 配有对在各个分区 131a-131e 内可同时激活的分单元选择线进行转换的转换机构。例如,如图 22B 所示,多个转换机构 180 配备在两个相邻分区 131a-131e 的每一对之间。

[0196] 图 23 显示了示范性转换机构 180 的另一种配置。转换机构 180 的每一个包括由与 p- 型 MOS 晶体管并联的 n- 型 MOS 晶体管组成的 CMOS 传输门组成。这个转换机构 180 含有位于属于同一行的两条相邻分单元选择线之间连接它们的传输门 TG1 和位于属于相邻行的两条相邻分单元选择线之间连接它们的传输门 TG2。

[0197] 把转换控制信号 ϕ 提供给传输门 TG1 的 n- 型 MOS 晶体管的栅极和传输门 TG2 的 p- 型 MOS 晶体管的栅极。把转换控制信号 $\bar{\phi}$ ($\bar{\phi}$ 代表带上划线的 ϕ , 意味着转换控制信号 ϕ 的反相) 提供给传输门 TG1 的 p- 型 MOS 晶体管的栅极和传输门 TG2 的 n- 型 MOS 晶体管的栅极。把控制信号 ϕ 和 $\bar{\phi}$ 独立地提供给安排在两个相邻分区 131a-131e 之间的这些转换机构。

[0198] 现在描述转换机构 180 的操作。当 $\phi = 1$ 和 $\bar{\phi} = 0$ 时,传输门 TG1 变成导通,连接同一行的分单元选择线。另一方面,当 $\phi = 0$ 和 $\bar{\phi} = 1$ 时,传输门 TG2 变成导通的,连接相邻行的分单元选择线。

[0199] 由于这样的转换机构 180 配备在如上所述的存储单元阵列 131 的任何两个相邻分区 131a-131e 之间,可以同时选择为每一位存储构成任意候选块的所有像素数据的多个存储单元 140。

[0200] 例如,对于在图 22A 中加阴影线的候选块,利用转换机构 180,可以把“1”的单元选

择信号从用于参考数据的行地址解码器 135(参见图 10 和 12) 提供到用虚线表示的、在图 22B 中连接起来的各个分区 131a-131e 的分单元选择线 WLFa-WLFe, 激活分单元选择线, 从而, 通过用于参考数据的列地址解码器 134a(参见图 10 和 22) 的 I/O 门(列开关) 选择在图 22B 中加阴影线的存储单元 140。

[0201] 举另一个例子, 对于在图 24A 中加阴影线的候选块, 使用转换机构 180, 并且, 通过用于参考数据的列地址解码器 134a 的 I/O 选通门(列开关) 选择在图 24B 中加阴影线的存储单元 140, 可以把“1”的单元选择信号从用于参考数据的行地址解码器 135 提供到用虚线表示的、在图 24B 中连接起来的各个分区 131a-131e 的分单元选择线 WLFa-WLFe, 激活分单元选择线。

[0202] 利用这种方式, 通过由 I/O 选通门(列开关) 适当地选择存储单元 140, 可以处理具有诸如长方形或十字形之类的任意形状的任何候选块。注意, 由于构成图像数据的一个垂直列的像素数据存储在一条分单元选择线相关的多个存储单元 140 中, 通过与 I/O 选通门(列开关) 协作的转换机构 180 可以沿着水平和/或垂直方向以一个像素为单位移动候选块。

[0203] 不言而喻, 尽管在上面的描述中为了简便起见, 假设每个像素数据含有一个位, 但是, 有必要提供 n 个存储单元 140, 以便存储所有像素数据, 从而, 例如, 沿着列方向连续排列这些存储单元 140。

[0204] 在如图 22B 和 24B 所示的例子中还描述了与各个分单元选择线 WLFa-WLFe 相关的多个存储单元 140 存储一个垂直列的像素数据。但是, 与各个分单元选择线 WLFa-WLFe 相关的多个存储单元 140 可以存储一个水平行的像素数据。

[0205] 与各个分单元选择线 WLFa-WLFe 相关的多个存储单元 140 还可以存储构成像素数据的 m 行 $\times m$ 列(m 是大于 1 的整数) 的像素数据。在这种情况下, 当存储着 m 个水平行的像素数据时, 候选块的位置可以以 m 个像素为单位沿着垂直方向移动, 而当存储着 m 个垂直列的像素数据时, 它可以以 m 个像素为单位沿着水平方向移动。

[0206] 图 25A 示意性地例示了存储在构成搜索帧存储器 124 的一个存储块 125 中的像素数据。为了简单起见, 假设一个存储块 125 存储在水平方向由 15 个像素组成和在垂直方向由 10 行组成的像素数据, 每个像素数据是 1- 位数据。

[0207] 图 25B 显示了存储单元阵列 131 中像素数据的各自存储位置。在这里所示的例子中, 正方网格的每一个对应于各自存储单元 140。存储单元阵列 131 含有沿着参考数据的列方向(这个列方向与图 10 的存储块 125 中存储数据的列方向相同, 并且与图 12 的存储块 125 中存储数据的行方向相同) 排成一列的 50 个存储单元 140。请注意, 存储单元阵列 131 中的多个存储单元 140 沿着列方向被划分成 5 个分区 131a-131e。

[0208] 在这里所示的例子中, 在分区 131a 中连续的第 1 和第 2 行的 10 个存储单元分别存储一个水平行的像素数据“00”-“09”、和“50”-“59”。类似地, 在分区 131b 中连续的第 1 和第 2 行的 10 个存储单元分别存储一个水平行的像素数据“10”-“19”和“60”-“69”。在分区 131c 中连续的第 1 和第 2 行的 10 个存储单元分别存储一个水平行的像素数据“20”-“29”和“70”-“79”。

[0209] 以此类推, 在分区 131d 中连续的第 1 和第 2 行的 10 个存储单元分别存储一个水平行的像素数据“30”-“39”和“80”-“89”。另外, 在分区 131e 中连续的第 1 和第 2 行的

10 个存储单元分别存储一个水平行的像素数据“40”-“49”和“90”-“99”。

[0210] 如上所述的多条单元选择线 WLF (参见图 9 和 11) 分别由与分区 131a-131e 相对应划分的 5 条分单元选择线 WLFa-WLFe (在图 22B 中未示出) 组成。存储单元阵列 131 配有对在各个分区 131a-131e 内可同时激活的分单元选择线进行转换的转换机构 (参见图 23)。

[0211] 由于如果与各条分单元选择线 WLFa-WLFe 相对应的多个存储单元 140 存储一个水平行的像素数据,那么,这样的转换机构 180 配备在存储单元阵列 131 的任何两个相邻分区 131a-131e 之间,所以,可以同时选择为每一位存储构成任意候选块的所有像素数据的多个存储单元 140。

[0212] 例如,对于在图 25A 中加阴影线的候选块,使用转换机构 180,并且,通过用于参考数据的列地址解码器 134a (参见图 10 和 22) 的 I/O 选通门 (列开关) 选择在图 25B 中加阴影线的存储单元 140,可以把“1”的单元选择信号从用于参考数据的行地址解码器 135 (参见图 10 和 12) 提供到用虚线表示的、在图 25B 中连接起来的各个分区 131a-131e 的分单元选择线 WLFa-WLFe,激活分单元选择线。

[0213] 举另一个例子,对于在图 26A 中加阴影线的候选块,使用转换机构 180,并且,通过用于参考数据的列地址解码器 134a 的 I/O 选通门 (列开关) 选择在图 26B 中加阴影线的存储单元 140,可以把“1”的单元选择信号从用于参考数据的行地址解码器 135 提供到用虚线表示的、在图 26B 中连接起来的各个分区 131a-131e 的分单元选择线 WLFa-WLFe,激活分单元选择线。

[0214] 在如上所述的例子中已经显示了转换机构 180 (图 23) 配备在存储单元阵列 131 的相邻分区 131a-131e 的各对之间,以便对在存储单元阵列 131 的关联分区 131a-131e 中同时激活的分单元选择线进行转换。但是,转换机构也可以具有其它配置。

[0215] 图 27 显示了另一种转换机构的配置。转换机构 180A 是与各个分区 131a-131e 相关配备的。图 27 只显示了分区 131b 和 131c。

[0216] 这些转换机构 180A 需要与单元选择线 WLF (由分单元选择线 WLFa-WLFe 组成) 平行的位置的、用于输入单元选择信号的全局选择线 /GWL (/GWL 表示带上划线的 GWL,用于输入单元选择信号“0”)。

[0217] 转换机构 180A 的每一个包括 NOR 门和 OR 门。具体地说,沿着行方向在任一奇数行中的每一个转换机构都含有其输入端与全局选择线 /GWL 相连接、其输出端与关联分单元选择线相连接的 NOR 门 NG,而沿着行方向在任何偶数行中的每一个转换机构都含有其输入端与全局选择线 GWL 相连接、其输出端与关联分单元选择线相连接的 OR 门 OG。通过它们的输入端将转换控制信号 / ϕ (/ ϕ 表示带上划线的 ϕ ,表示转换控制信号 ϕ 的反相) 提供给 NOR 门 NG 和 OR 门 OG。将控制信号 / ϕ 独立地提供给与各个分区 131a-131e 相关提供的转换机构 180A。

[0218] 现在描述利用转换机构 180A 对各个分区 131a-131e 中的单元选择线进行的选择操作。

[0219] 在如图 27 所示的例子中,假设在分区 131b 中选择第 2 行的分单元选择线 WLFb,和在分区 131c 中选择第 1 行的分单元选择线 WLFc。

[0220] 在这种情况下,把单元选择信号“0”分别提供给第 1 和第 2 行的全局选择线 /GWL_i 和 /GWL_{i+1}。把“1”的转换控制信号 / ϕ_j 提供给分区 131b 的转换机构 180A。这使第 2 行

的 OR 门 OG 在它的输出端输出“1”，激活第 2 行的分单元选择线 WLFb。

[0221] 另一方面，把“0”的转换控制信号 ϕ_j 提供给分区 131c 的转换机构 180A。这使第 1 行的 NOR 门 NG 在它的输出端输出“1”，激活第 1 行的分单元选择线 WLFc。

[0222] 因此，当存储单元阵列 131 的各个分区 131a-131e 配有如上所述的转换机构 180A 时，可以以与在利用相邻分区 131a-131e 之间的转换机构 180 的前例中相同的方式，在各个分区 131a-131e 中同时激活分单元选择线，从而允许同时选择用于存储与每个位相关的构成任一候选块的全部数据的多个存储单元 140。

[0223] 根据这种利用转换机构 180A 的配置，由于在单元选择信号传输线上没有配备传输门，避免了如在配备在转换机构 180 的传输线中的多个传输门 TG1 和 TG2 中所遇到那样的单元选择信号的传输延迟。

[0224] 图 28 显示了又一种转换机构的图形。转换机构 180B 也是与各个分区 131a-131e 相关配备的。图 28 只显示了分区 131b 和 131c。

[0225] 这些转换机构 180B 需要处在与单元选择线 WLF（由分单元选择线 WLFa-WLFe 组成）平行的位置的、输入单元选择信号的全局选择线 GWL（把单元选择信号“1”提供给它的 GWL）。

[0226] 转换机构 180B 利用 CMOS 传输门。具体地说，在行方向上任一奇数行中的每一个转换机构都配有连接全局选择线 GWL 和分单元选择线 WLFa-WLFe 的每一条的传输门 TG3，而在行方向上任一偶数行中的每一个转换机构都配有连接全局选择线 GWL 和分单元选择线 WLFa-WLFe 的每一条的传输门 TG4。

[0227] 将转换控制信号提供给传输门 TG3 的 n- 型 MOS 晶体管的栅极和传输门 TG4 的 p- 型 MOS 晶体管的栅极，并将转换控制信号 ϕ （ ϕ 表示带上划线的 ϕ ，意味着转换控制信号 ϕ 的反相）提供给传输门 TG3 的 p- 型 MOS 晶体管的栅极和传输门 TG4 的 n- 型 MOS 晶体管的栅极。将控制信号 ϕ 和 ϕ 独立地提供给与各个分区 131a-131e 相关提供的转换机构 180B。

[0228] 现在描述利用转换机构 180B 对各个分区 131a-131e 中的单元选择线进行的选择操作。

[0229] 在如图 28 所示的例子中，假设在分区 131b 中选择第 2 行的分单元选择线 WLFb，和在分区 131c 中选择第 1 行的分单元选择线 WLFc。

[0230] 在这种情况下，把单元选择信号“0”分别提供给第 1 和第 2 行的全局选择线 GWLi 和 GWLi+1。把“0”和“1”的转换控制信号 ϕ 和 ϕ_j 提供给分区 131b 的转换机构 180B。这使第 2 行的传输门 TG4 导通，将“1”的单元选择信号从全局选择线 GWLi+1 提供到分单元选择线 WLFc，激活第 2 行的分单元选择线 WLFb。

[0231] 另一方面，把“1”和“0”的转换控制信号 ϕ 和 ϕ_j 提供给分区 131c 的转换机构 180B。这使第 1 行的传输门 TG3 导通，将“1”的单元选择信号从全局选择线 GWLi 提供给分单元选择线 WLFc，激活第 1 行的分单元选择线 WLFc。

[0232] 因此，当存储单元阵列 131 的各个分区 131a-131e 配有如上所述的转换机构 180B 时，可以以与在利用相邻分区 131a-131e 之间的转换机构 180 的前例中相同的方式，在各个分区 131a-131e 中同时激活分单元选择线，从而允许同时选择用于存储与每个位相关的构成任一候选块的全部像素的多个存储单元 140。

[0233] 根据这种利用转换机构 180B 的布置,由于在单元选择信号传输线上只配备了一个传输门,使单元选择信号的传输延迟与在配备在转换机构 180 的传输线中的多个传输门 TG1 和 TG2 中所遇到的传输延迟相比缩短了。

[0234] 下面,描述累积参考帧的图像数据的帧存储器 123(参见图 6)。

[0235] 如图 29 所示,帧存储器 123 还包括 4 个像前面所述的帧存储器 124 那样的存储块 191a-191d。存储块 191a-191d 的每一个包括数据输入单元和数据输出单元。将图像数据 Di 输入数据输入单元中和从数据输出单元输出图像数据 Do。存储块 191a、191b、191c、和 191d 分别存储参考帧的左上部分、右上部分、左下部分、和右下部分。

[0236] 当预定参考块的中心像素的范围处在参考帧的左上部分、右上部分、左下部分、和右下部分的任何一个中时,它只足以激活相应存储块 191a、191b、191c、和 191d,从而抑制了功耗。

[0237] 在这种情况下,像帧存储器 124 的存储块 125a-125d 的前例那样,像素数据的图像被以副本的形式存储在与参考帧的左上边缘部分、右上边缘部分、左下边缘部分和右下边缘部分的边缘相对应的相应存储单元 191a-191d 中。将像素数据项已副本形式存储在存储块 191a-191d 中的理由是因为中心像素位于边缘附近的候选块需要边缘之外的像素数据。

[0238] 图 30 显示了另一种示范性存储块 191(191a-191d)的配置。

[0239] 存储块 191 含有以矩阵形式排列的多个存储单元的存储单元阵列 201、输入和输出存储数据的输入/输出端口 202(包括列地址解码器)、和用于存储数据的行地址解码器 203。

[0240] 存储单元阵列 201 包括沿着行方向延伸的用于传送数据的多条位线 BL 和 /BL(/BL 表示带上划线的 BL)、沿着列方向延伸和与多条位线 BL 和 /BL 垂直相交的多条字线 WL 和以矩阵形式排列并与各条位线 BL 和 /BL 和字线 WL 相连接的多个存储单元 210。

[0241] 图 31 显示了如图 30 所示的存储块 191 除了存储单元阵列 201 之外的部分的细节。

[0242] 用于存储数据的列地址解码器 202a、地址缓冲器 202b 和 I/O 缓冲器 202c 构成如图 30 所示的输入和输出存储数据的输入/输出端口 202。列地址解码器 202a 包括 I/O 选通门(列开关)和读出放大器。列地址解码器 202a 通过地址缓冲器 202b 接收列地址。

[0243] 列地址解码器 202a 响应经过地址缓冲器 202b 提供的每一个列地址,使多条位线 BL 和 /BL 与位于存储单元阵列 201 的列方向的预定数量的存储单元 210 保持连接,使存储数据能够经过 I/O 缓冲器 202c 和列地址解码器 202a,沿着列方向被写入预定存储单元和从预定存储单元中读出。

[0244] 用于存储数据的行地址解码器 203 经过地址缓冲器 203a 接收行地址。然后,行地址解码器 203 响应经过地址缓冲器 203a 提供的行地址,激活与存储单元阵列 201 的预定行方向存储单元 210 相连接的字线 WL,使存储数据能够经过 I/O 缓冲器 202c 和列地址解码器 202a,被写入预定行方向存储单元 210 中和从预定行方向存储单元 210 中读出。

[0245] 控制电路 204 根据控制输入,控制如上所述的存储块 191 的各个电路的操作。正如后面所详述的那样,存储单元阵列 201 中以矩阵形式排列的多个存储单元的区域含有沿着字线 WL 的方向划分的多个分区,和多条单元选择线 WLF 的每一条由与各个分区相关的多条分单元选择线组成。存储单元阵列 201 包括转换在分区的每一个中同时激活的分单元选择线的转换机构。控制电路 204 还控制转换机构。

[0246] 与如上所述的存储块 125 不同,存储单元 210 不含有运算功能单元。存储单元 210 可以具有与如图 13 所示的 SRAM 单元,或如图 14 所示的 DRAM 单元相同的结构。这里,省略存储器 210 的进一步细节。

[0247] 存储块 191 可以同时选择为每个位选择构成任意参考块的所有像素数据的多个存储单元 210。后面将进一步描述这种布置。

[0248] 图 32A 示意性地例示了存储在构成搜索帧存储器 123 的一个存储块 191 中的像素数据。为了简单起见,假设一个存储块 191 存储在水平方向由 15 个像素组成和在垂直方向由 10 行组成的像素数据,每个像素数据是 1- 位数据。

[0249] 图 32B 显示了存储单元阵列 201 中像素数据的各自存储位置。在这里所示的例子中,正方网格的每一个代表存储单元 210。存储单元阵列 201 含有沿着列方向排成一线的 50 个存储单元 210。请注意,存储单元阵列 201 中的多个存储单元 210 沿着列方向被划分成 5 个分区 201a-201e。

[0250] 在这里所示的例子中,在分区 201a 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“00”-“90”、“05”-“95”、和“0a”-“9a”。类似地,在分区 201b 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“01”-“91”、“06”-“96”、和“0b”-“9b”。并且,在分区 201c 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“02”-“92”、“07”-“97”、和“0c”-“9c”。

[0251] 利用相同的方式,在分区 201d 中连续的第 1、第 2 和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“03”-“93”、“08”-“98”和“0d”-“9d”。另外,在分区 201e 中连续的第 1、第 2、和第 3 行的 10 个存储单元分别存储一个垂直列的像素数据“04”-“94”、“09”-“99”和“0e”-“9e”。

[0252] 如上所述的多条字线 WL(参见图 30)的每一条由与分区 201a-201e 相对应划分的 5 条分单元选择线 WLFa-WLFe(在图 22B 中未示出)组成。存储单元阵列 201 配有转换在各个分区 201a-201e 内可同时激活的分字线的转换机构。例如,如图 32B 所示,转换机构 220 配备在两个相邻分区 201a-201e 的每一对之间。

[0253] 图 33 显示了示范性转换机构 220 的另一种布置。转换机构 220 的每一个具有与如上所述配备在存储块 125 的存储单元阵列 131 中的转换机构 180(参见图 23)相同的配置。

[0254] 转换机构 220 的每一个包括由与 p- 型 MOS 晶体管并联的 n- 型 MOS 晶体管组成的 CMOS 传输门。这个转换机构 220 含有位于属于同一行的两条相邻分字线之间连接它们的传输门 TG1 和位于属于相邻行的两条相邻分单元选择线之间连接它们的传输门 TG2。

[0255] 把转换控制信号 ϕ 提供给传输门 TG1 的 n- 型 MOS 晶体管的栅极和传输门 TG2 的 p- 型 MOS 晶体管的栅极。把转换控制信号 ϕ (ϕ 代表带上划线的 ϕ ,意味着转换控制信号 ϕ 的反相)提供给传输门 TG1 的 p- 型 MOS 晶体管的栅极和传输门 TG2 的 n- 型 MOS 晶体管的栅极。把控制信号 ϕ 和 ϕ 独立地提供给排列在两个相邻分区 201a-201e 之间的这些转换机构 220。

[0256] 现在描述转换机构 220 的操作。当 $\phi = 1$ 和 $\phi = 0$ 时,传输门 TG1 变成导通的,连接同一行的分单元选择线。另一方面,当 $\phi = 0$ 和 $\phi = 1$ 时,传输门 TG2 变成导通的,连接相邻行的分单元选择线。

[0257] 由于这样的转换机构 220 配备在如上所述的存储单元阵列 131 的任何两个相邻分区 201a-201e 之间,可以同时选择为每一位存储构成任意候选块的所有像素数据的多个存储单元 210。因此,可以把构成参考块的所有像素数据的位数据作为参考数据从参考帧存储器 123 提供到搜索帧存储器 124。

[0258] 例如,对于在图 32A 中加阴影线的候选块,利用转换机构 220,可以把“1”的信号从用于参考数据的行地址解码器 203(参见图 31)提供到用虚线表示的、在图 32B 中连接起来的各个分区 201a-201e 的分字线 WLa-WLe,激活分字线,从而,通过用于参考数据的列地址解码器 202a(参见图 31)的 I/O 选通门(列开关)选择在图 32B 中加阴影线的存储单元 210。

[0259] 这样,通过 I/O 选通门(列开关)适当地选择存储单元 210,可以处理具有诸如长方形或十字形之类的任意形状的任何候选块。注意,由于构成图像数据的一个垂直列的像素数据存储在与一条分字线相关的多个存储单元 140 中,通过与 I/O 选通门(列开关)协作的转换机构 220 可以沿着水平和/或垂直方向以一个像素为单位移动参考块。

[0260] 不言而喻,尽管在上面的描述中为了简便起见,假设每个像素数据含有一个位,但是,当每个像素数据含有 n-位数据时,必须提供 n 个存储单元 210,以便存储所有像素数据,从而,例如,沿着列方向连续地排列这些存储单元 210。

[0261] 在上面如图 32B 所示的例子中还描述了与各条分字线 WLa-WLe 相关的多个存储单元 210 存储一个垂直列的像素数据。但是,与各条分字线 WLa-WLe 相关的多个存储单元 210 也可以存储一个水平行的像素数据。

[0262] 与各个分字线 WLa-WLe 相关的多个存储单元 210 还可以存储构成像素数据的 m 行 × m 列(m 是大于 1 的整数)的像素数据。在这种情况下,当存储着 m 个水平行的像素数据时,候选块的位置可以以 m 个像素为单位沿着垂直方向移动,而当存储着 m 个垂直列的像素数据时,它可以以 m 个像素为单位沿着水平方向移动。

[0263] 上面所示的例子中已经表示,转换机构 220(参见图 33)分别配备在相邻分区 201a-201e 的各对之间,以便转换在存储单元阵列 201 的各个分区 201a-201e 内同时激活的分字线。但是,像在如上所述的存储块 125 的存储单元阵列 131 中那样,转换机构 220 也可以分别具有与如图 27 或 28 所示的转换机构 180A 或 180B 相似的可替代配置。但是,在这种情况下,存储单元阵列 201 需要含有与字线 WL(由分字线 WLa-WLe 组成)并行地配备的、输入单元选择信号的全局字线。

[0264] 尽管省略对它们的详细描述,但是,在存储块 125 的存储数据方也可以采用如上所述的存储块 191 的配置。通过同时选择为每一位存储形成块的整个像素数据的多个存储单元 140,这种结构使得可以同时读/写构成任意块的全部像素数据。

[0265] 如上所述,根据本发明,构成存储块 125 的存储单元 140 包括进行逻辑运算的运算功能单元(参见图 15),和存储块 125 含有利用运算数据进行数值计算的辅助运算单元 134d(参见图 10 和 12),从而,无需通过宽数据总线把数据发送到处理电路,就可以使快速有效的运算处理得以实现。

[0266] 在存储块 125 中,利用多条位线 BL 和 /BL 和多条字线 WL 进行存储数据的读写,同时,通过多条参考数据输入线 RDL 和 /RDL、多条运算数据输出线 DAL 和 DBL 和多条单元选择线 WLF 输出运算数据(参见图 9 和 11)。这种布置使存储数据被独立读/写和使运算数据

输出,从而,使处理总的来说既灵活又有效。

[0267] 在构成搜索帧存储器 124 的存储块 125 中,存储单元阵列 131 中以矩阵形式排列的多个存储单元 140 的区域由沿着单元选择线 WLF 的方向划分的多个分区 131a-131e 组成;多条单元选择线 WLF 的每一条由与多个分区 131a-131e 相关划分的多条分单元选择线 WLFa-WLFe 组成;和配备转换机构 180、180A、和 180B,以转换在各个分区 131a-131e 内同时激活的分单元选择线(参见图 22A、22B、23、27、和 28),从而,使辅助运算单元 134d 能够运算,以便把以分单元选择线为单位以阶梯形式排列的多个存储单元 140 的运算数据输出到多条运算数据输出线 DAL 和 DBL。

[0268] 在这种情况下,与一条分单元选择线相关的多个存储单元 140 存储构成图像数据的整数多个垂直列或水平行,即,一个列或行或 m 个列或行(m 大于 1)的像素数据;可以把与形成候选块的多项像素数据相关的运算数据同时输出到多条运算数据输出线 DAL 和 DBL;并且,多个辅助运算单元 150 和 170 可以同时利用这些数据平行地进行数值计算(参见图 19 和 20);于是,对于属于找出运动矢量 MV 所示的给定候选块的多个像素数据,可以同时获得差绝对值码元 D_0-D_{m-1} ,从而,显著提高数据处理效率。

[0269] 我们记得,通过利用存储块 125 的用于参考数据的列地址解码器 134a 的 I/O 选通门(列开关)选择存储单元 140,可以处理诸如长方形和十字形之类的任意形状的候选块。由于与一条分单元选择线相关的多个存储单元 140 存储构成图像数据的整数多个垂直列或水平行的像素数据,通过与 I/O 选通门(列开关)协作的转换机构 180(180A, 180B) 可以沿着水平和垂直两个方向容易地移动候选块的位置。

[0270] 在构成参考帧存储器 123 的存储块 191 中,存储单元阵列 201 中以矩阵形式排列的多个存储单元 210 的区域由沿着字线 WL 的方向划分的多个分区 201a-201e 组成;多条字线 WL 的每一条由与多个分区 201a-201e 相关的多条分字线 WLa-WLe 组成;和配备转换机构 220,以转换在各个分区 201a-201e 内同时激活的分单元选择线(参见图 32A、32B、和 33),从而,使以分字线为单位以阶梯形式排列的多个存储单元 310 同时得到选择。

[0271] 在这种情况下,与一条分字线相关的多个存储单元 140 存储构成图像数据的整数多个垂直列或水平行,(一个列或行或 m 个列或行(m 大于 1))的像素数据,以便可以同时读取构成参考块的数项像素数据,从而,将它们同时提供给搜索帧存储器 124 和使数据能够得到高速处理。

[0272] 通过利用存储块 191 的用于存储数据的列地址解码器 202a 的 I/O 选通门(列开关)选择存储单元 210,可以处理包括长方形或十字形在内任意形状的参考块。由于与一条分字线相关的多个存储单元 210 存储构成图像数据的整多个垂直列或水平行的像素数据,通过与 I/O 选通门(列开关)协作的转换机构 220 可以沿着水平和垂直两个方向容易地移动候选块的位置。

[0273] 搜索帧存储器 124 包括多个存储块,例如,4 个存储块 125a-125d,其中以副本的形式存储着搜索帧的左上部分、右上部分、左下部分、和右下部分的像素数据。当预定候选块的中心像素的范围处在搜索帧的左上部分、右上部分、左下部分、和右下部分的任何一个中时,它只足以分别激活存储块 125a、125b、125c、和 125d,从而抑制了功耗。

[0274] 参考帧存储器 123 包括多个存储块,例如,4 个存储块 191a-191d,其中以副本的形式存储着参考帧的左上部分、右上部分、左下部分、和右下部分的像素数据。当预定候选块

的中心像素的范围处在参考帧的左上部分、右上部分、左下部分、和右下部分的任何一个中时,它只足以分别激活存储块 191a、191b、191c、和 191d,从而抑制了功耗。

[0275] 因此,在搜索帧存储器 124 中和在参考帧存储器 123 中,为了分别获得有关候选块的像素数据和参考块的像素数据的运算数据,只需要激活存储块之一,其它存储块可以用于其它处理。这使复杂处理得到有效处理。

[0276] 利用如上所述的参考帧存储器 123 和搜索帧存储器 124 的运动矢量检测电路 111 和运动补偿预测编码器 100 可以提高检测运动矢量 MV 的处理的速度和效率。

[0277] 在如上所述的实施例中,搜索帧存储器 124 由存储块 125a-125d 组成,和这些存储块按原样输出差绝对值 D_0-D_{m-1} 。可选地,搜索帧存储器 124 可以进一步包括集成地包括累积差绝对值 D_0-D_{m-1} 的电路、存储累积值的电路和从累积值中检测运动矢量 MV 的电路的电路块。这种配置进一步有助于更快速和更有效的数据处理。

[0278] 在如上所述的实施例中,构成各个帧存储器 123 和 124 的 4 个存储块被表示成存储各个帧的左上部分、右上部分、左下部分、和右下部分的像素数据。可以根据输入它们的次序或根据与各个像素的位置相关的相位将像素数据存储在 4 个存储块中。

[0279] 在如图 6 所示的运动矢量检测电路 111 中,在存储搜索帧的像素数据的帧存储器 124 中计算差绝对值,从中为与多个候选块的每一个相对应的每项像素数据获得差绝对值。可选地,可以把获取这些差绝对值的运算电路放置在帧存储器的外部。

[0280] 图 34 示出了像如上所述那样的运动矢量检测电路 111A 的配置。在图 34 和 6 中相似的部件用相同的标号表示。

[0281] 这个运动矢量检测电路 111A 含有控制整个电路 111A 的操作的控制器 121、接收图像数据 D_i 的输入端 122、累积参考帧的图像数据的帧存储器 123 和累积搜索帧的图像数据的帧存储器 124A。控制器 121 控制这些帧存储器 123 和 124A 的读写操作。

[0282] 当将经过输入端 122 输入的帧的图像数据写入帧存储器 123 时,从帧存储器 123 中读出存储在帧存储器 123 中与前一帧相关的图像数据,并且将其提供给帧存储器 124。

[0283] 在控制器 121 的控制下,由于从帧存储器 123 输出预定参考块的图像数据,按顺序从帧存储器 124A 输出搜索区中与参考块相关的多个候选块的像素数据。

[0284] 在这里所示的例子中,帧存储器 123 可以含有 4 个存储块 191;在存储块的每一个中,可以同时选择存储构成任意参考块的像素数据的多个存储单元 210;并且,如上所述,可以同时输出参考块的像素数据(参见图 29-33)。在所示的例子中,尽管省略对它的详细描述,但帧存储器 124A 也可以像帧存储器 123 那样,含有这样配置的 4 个帧存储块 191,即,在存储块的每一个中,可以同时选择存储构成任意候选块的像素数据的多个存储单元 210,且可以同时输出候选块的像素数据。

[0285] 运动矢量检测电路 111A 还含有运算电路 130,用于从帧存储器 123 接收参考块的像素数据和从帧存储器 124A 接收搜索区中与参考块相关的多个候选块的像素数据,和用于针对各个候选块,计算和输出候选块的像素数据和参考块的像素数据之间的、与相应像素数据的每一项有关的差绝对值。

[0286] 运动矢量检测电路 111A 还含有累加器 126,用于从运算电路 130 接收与各个候选块相关的为像素数据的每一项计算的差绝对值,以便累积差绝对值;和关联表 127,用于存储由累加器 126 获得的、与各个候选块有关的累积值,作为关联值。

[0287] 运动矢量检测电路 111A 还含有判断电路 128, 用于根据存储在关联表 127 中的与各个候选块相对应的关联值检测运动矢量 MV; 和输出端 129, 用于输出判断电路 128 检测的运动矢量 MV。判断电路 128 检测含有最小关联值的候选块的位置, 作为运动矢量 MV。

[0288] 参照图 34, 描述运动矢量检测电路 111A 的操作。

[0289] 把输入到输入端 122 的图像数据 Di 提供给作为参考帧的图像数据加以累积的帧存储器 123。在这种情况下, 从帧存储器 123 中检索存储在帧存储器 123 中的、前一帧的图像数据, 并且将其提供给作为搜索帧的图像数据加以累积的帧存储器 124。

[0290] 从帧存储器 123 中读出参考块的图像数据, 并且将其提供给运算电路 130。还读取运算电路 130, 并且把搜索区中与参考块相关的多个候选块的每一个提供给运算电路 130。在运算电路 130 中, 与多个候选块的每一个相关为像素数据的每一项计算计算和输出候选块的像素数据和参考块的像素数据之间的差绝对值。

[0291] 因此, 从运算电路 130 输出与多个候选块的每一个相关为像素数据的每一项计算的差绝对值, 并且将其依次提供给累加器 126 和累积在累加器 126 中。把为多个候选块的每一个累积在累加器 126 中的累积值提供给关联表 127, 并且将其存储成关联值。在判断电路 128 中, 根据存储在关联表 127 中的多个候选块的每一个的关联值, 检测具有最小关联值的候选块的位置, 作为运动矢量 MV。

[0292] 将参考帧中多个参考块的图像数据按顺序从帧存储器 123 提供给运算电路 130。与各个参考块的像素数据相关, 将多个候选块的像素数据从帧存储器 124A 提供给运算电路 130。在运算电路 130、累加器 126、关联表 127 和判断电路 128 中对各个参考块重复相似的操作。因此, 在判断电路 128 中, 按顺序为各个参考块检测运动矢量 MV。于是, 从输出端 129 依次输出判断电路 128 检测的运动矢量 MV。

[0293] 这样, 与如图 6 所示的运动矢量检测电路 111 中一样, 在如图 34 所示的运动矢量检测电路 111A 中, 也可以有效地检测运动矢量 MV。

[0294] 根据上面实施例, 在如上所述的判断电路 128 中, 运动矢量 MV 是根据差绝对值的累积 (和值), 在运动矢量检测电路 111 或 111A 中得到检测的。但是, 请注意, 通过计算差绝对值的平方或 n 次方的和值也可以同样好地检测运动矢量。为此, 如图 6 所示的运动矢量检测电路 111 可以被配置成计算直接来自帧存储器 124 的每个差值的平方或 n 次方, 或者, 如图 34 所示的运动矢量检测电路 111A 可以被配置成在运算电路 130 中计算每个差值的平方或 n 次方。

[0295] 尽管在上面的实施例中, 新的存储设备被例示成应用于运动矢量检测电路 111 和 111A 和运动补偿预测编码器 100, 它当然也可以应用于不同类型的设备。

[0296] 根据新的存储设备, 它含有多条选择线, 每条选择线由多条分选择线组成; 和转换机构, 用于转换在各个分区中同时激活的分单元选择线。因此, 通过在以矩阵形式排列的存储单元内分配构成给定图像数据的像素数据, 可以同时访问构成具有长方形和十字形之类的任意结构的像素块的像素数据, 从而, 通过一个操作同时处理构成像素块的像素数据和易于改变像素块的位置。因此, 利用形成这样的像素块的像素数据, 可以进行快速有效的数据处理。

[0297] 例如, 通过把整多个垂直列或水平行的构成给定图像数据的像素数据存储在与分单元选择线相关的多个存储单元中, 可以以整多个像素为单位沿着水平或垂直方向移动像

素块,或以一个像素为单位沿着水平或垂直方向移动像素块。

[0298] 根据具体体现本发明的存储设备,构成存储块的存储单元包括进行逻辑运算的运算功能单元和利用存储块上的运算数据进行数值计算的辅助运算单元。这使得无需利用宽带数据总线把数据传送到处理电路,就可以使所需的快速有效运算处理得以实现。

[0299] 在根据本发明的存储设备中,利用位线和字线进行存储数据的读写,并且,通过多条参考数据输入线、多条运算数据输出线、和多条单元选择线输出运算数据。因此,可以与输出运算数据独立地进行存储数据的读写,从而,使数据处理总的来说既灵活又有效。

[0300] 在根据本发明的存储设备中,存储设备包括这样配置的多个存储块,即,可以只激活必要的存储块,以抑制功耗。

[0301] 在根据本发明的存储设备中,除了一个或多个存储块之外,存储设备进一步包括处理从存储块输出的运算数据的电路块,从而,使数据处理既更灵活又更有效。

[0302] 新的运动矢量检测器和运动补偿预测编码器利用基于本发明的存储设备,从而,使检测运动矢量的处理达到更加快速和更加有效。这样就实现了更加快速和更加有效的检测运动矢量的处理。

[0303] 接着,描述如图 1 所示的运动补偿预测编码器 110 的另一种运动矢量检测电路的布置。在下文中,为了方便起见,用标号 300 指这另一种运动矢量检测电路 111。

[0304] 块匹配方法也用在检测运动矢量的运动矢量检测电路 300 中。运动矢量检测电路 300 首先利用平均值分层方法分层输入的图像数据,形成多个分层类的图像数据,并且,分层代表各个分成类的高频成分的数据(称为活度)形成活度数据(称为分层活度),从而利用该数据在各个分层类中检测运动矢量(运动量)。

[0305] 实际上,利用块匹配方法从排在最高的类开始按顺序评估每个分层类的图像数据和活度数据,获取它们的评估值。然后,通过综合估计评估值确定各个分层类中的运动矢量。当根据运动矢量按顺序确定排在最低的类的评估值时,可以通过运动补偿参考地检测输入图像的运动矢量。

[0306] 图 35A 和 35B 显示了如何生成分层图像数据。图 35A 具体例示了从输入图像数据中生成 3 个分层类的图像数据的情况。分层类 1 只代表输入图像数据。在这里所示的例子中,可以根据下面的公式 (5) 计算平均值,获得第 n 分层类 ($n = 2, 3$) 的图像数据 $M_n(x, y)$:

$$[0307] \quad M_n(x, y) = \frac{1}{4} \sum_{i=0}^1 \sum_{j=0}^1 M_{n-1}(2x-1+i, 2y-1+j) \quad \dots (5)$$

[0308] 这里,第 n 分层类的块大小的尺度沿着水平和垂直两个方向被降低为第 (n-1) 分层类的块大小的尺度的 1/2。因此,如此形成的分层类 1 到 3 的图像数据在分辨率方面是不同的。

[0309] 将平均值分层图像数据进一步活度分层成如图 35B 所示那样,形成活度数据。通过如下面的公式 (6) 所示,计算包括在分层类 2 的图像数据和输入图像数据(分层类 1 的图像数据)中的相应像素的差绝对值之和,获取用 $\Delta 2(x, y)$ 表示的、分层类 2 的活度数据:

$$[0310] \quad \Delta 2(x, y) = \frac{1}{4} \sum_{i=0}^1 \sum_{j=0}^1 |M_1(2x-1+i, 2y-1+j) - M_2(x, y)| \quad \dots (6)$$

[0311] 类似地,通过如下面的公式 (7) 所示,计算包括在分层类 3 的图像数据和输入图像

数据（分层类 1 的图像数据）中的相应像素的差绝对值之和，获取用 $\Delta 3(x, y)$ 表示的、分层类 3 的活度数据：

$$[0312] \quad \Delta 3(x, y) = \frac{1}{16} \sum_{i=0}^3 \sum_{j=0}^3 |M1(4x-3+i, 4y-3+j) - M3(x, y)| \quad \dots (7)$$

[0313] 由于活度数据 $\Delta 2(x, y)$ 和 $\Delta 3(x, y)$ 是基于如从公式 (6) 和 (7) 中看到那样的输入图像数据的，可以从活度数据中提取忠实于输入图像数据的那个的、它的高频成分。

[0314] 因此，通过活度数据的计算，像图 35B 所示那样获得它的分层结构。可以看出，分层可以包括在排在最低类上面的那些分层平面。这样的活度数据反映了在平均值分层图像数据中表现出来的特征缺失量。

[0315] 图 36A 和 36B 例示了分层结构的特例。图 36A 显示了平均值分层，和图 36B 显示了活度分层。

[0316] 当由与输入图像数据（分层类 1 的图像数据）相关的 $x1, x2, \dots, x15$ 、和 $x16$ 组成的 4×4 个像素的一个块被分层时，利用下面基于公式 (5) 的公式 (8) 获得平均值分层类 2 的图像数据中的像素 $y1, y2, y3$ 、和 $y4$ ：

$$[0317] \quad y1 = (x1+x2+x3+x4)/4$$

$$[0318] \quad y2 = (x5+x6+x7+x8)/4$$

$$[0319] \quad y3 = (x9+x10+x11+x12)/4$$

$$[0320] \quad y4 = (x13+x14+x15+x16)/4 \quad \dots (8)$$

[0321] 当由基于类 2 的 $y1, y2, y3$ 、和 $y4$ 组成的 2×2 个像素被分层时，利用下面基于公式 (5) 的公式 (9) 获得平均值分层类 3 的图像数据中的像素 $z1$ ：

$$[0322] \quad z1 = (y1+y2+y3+y4)/4 \quad \dots (9)$$

[0323] 利用下面基于公式 (6) 的公式 (10)，从平均值分层类 2 的图像数据中的像素 $y1, y2, y3$ 、和 $y4$ 和类 1 的图像数据中的像素 $x1, x2, \dots, x15$ 、和 $x16$ 中计算出活度分层类 2 的活度数据：

$$[0324] \quad a1 = (|x1-y1|+|x2-y1|+|x3-y1|+|x4-y1|)/4$$

$$[0325] \quad a2 = (|x5-y2|+|x6-y2|+|x7-y2|+|x8-y2|)/4$$

$$[0326] \quad a3 = (|x9-y3|+|x10-y3|+|x11-y3|+|x12-y3|)/4$$

$$[0327] \quad a4 = (|x13-y4|+|x14-y4|+|x15-y4|+|x16-y4|)/4 \quad \dots (9)$$

[0328] 进一步，利用下面基于公式 (7) 的公式 (11)，从平均值分层类 3 的图像数据中的像素 $z1$ 和类 1 的图像数据中的像素 $x1, x2, \dots, x15$ 、和 $x16$ 中计算出活度分层类 3 的活度数据：

$$[0329] \quad b1 = (|x1-z1|+|x2-z1|+|x3-z1|+|x4-z1|+|x5-z1|+|x6-z1|+|x7-z1|+|x8-z1|+|x9-z1|+|x10-z1|+|x11-z1|+|x12-z1|+|x13-z1|+|x14-z1|+|x15-z1|+|x16-z1|)/16 \quad \dots (11)$$

[0330] 然后，利用如此获得的平均值分层图像数据和活度分层活度数据，通过块匹配方法，在各个分层类中检测运动矢量。块匹配估计函数通过下面用当前半帧 t 表示的公式 (12) 给出：

$$[0331] \quad E(Y)_n(u_n, v_n) =$$

$$[0332] \quad \sum_x \sum_y \left| M_n^{t-2}(x-u_n-2u_{n+1}, y-v_n-2v_{n+1}) - M_n^t(x, y) \right| \quad \dots (12)$$

[0333] 其中,成对数 (u_n, v_n) 代表分层类 n 中的运动矢量。

[0334] 给出估计函数 $E(Y)_n$ 的最小值的矢量 $V'_n = (u_n, v_n)$ 被识别为要检测的运动矢量。根据下面的公式 (13) 获得当前类中的运动矢量 V_n :

$$[0335] \quad V_n = V'_n + 2V_{n+1} \quad \dots (13)$$

[0336] 在这里所示的实施例,利用下面的公式 (14),也以与公式 (12) 中相同的方式获得图 35B 的活度数据的评估函数 :

$$[0337] \quad E(D)_n(u_n, v_n) =$$

$$[0338] \quad \sum_x \sum_y \left| \Delta n^{t-2}(x-u_n-2u_{n+1}, y-v_n-2v_{n+1}) - \Delta n^t(x, y) \right| \quad \dots (14)$$

[0339] 设新的估计函数 $E(G)_n$ 通过下面的公式 (15) 给出 :

$$[0340] \quad E(G)_n = w1 \cdot E(Y)_n + w2 \cdot E(D)_n \quad \dots (15)$$

[0341] 其中, $w1$ 和 $w2$ 是加权因子。

[0342] 然后,通过找出使估计函数 $E(G)_n$ 达到最小的矢量,确定运动矢量。在不存在活度数据的最低分层类中,只利用如公式 (12) 给出那样的估计函数 $E(Y)_n$ 作出估计。

[0343] 因此,利用平均值分层图像数据和活度分层活度数据两者的估计使正确的运动矢量得到检测,如果给定分层类中的最佳估计值不正确,那么,利用其它估计值。因此,提高了每个分层类中运动矢量检测的精度。由于在各个分层类中提高了运动矢量检测的精度,如公式 (13) 给出的最终运动矢量检测的精度也因此而得到提高。

[0344] 图 37 是显示在给定参考块 (例如,由 16×16 个像素组成的块大小) 中检测运动矢量的过程的流程图。

[0345] 首先,在步骤 SP1 中,获取从输入图像数据中检测运动矢量的参考块。接着,在步骤 SP2 中,按照公式 (5) 平均值分层,和按照公式 (6) 和 (7) 活度分层参考块的图像数据,以生成,例如,分层类 1、类 2、和类 3 的图像数据、和分层类 3 的活度数据。

[0346] 在下一步骤 SP3 中,确定当前处理的类是否是最低类 (类 1)。如果不是,那么,在步骤 SP4 中,询问在整个搜索区中是否完成了搜索。如果搜索还没有完成,过程转到步骤 SP5,在步骤 SP5 中,根据公式 (12) 和 (14),利用图像数据和活度数据的以前数据 (存储在存储器中) 和当前数据计算估计函数 $E(Y)_n$ 和 $E(D)_n$ 的值 (称为评估值),然后,过程返回到步骤 SP4。

[0347] 另一方面,如果在步骤 SP4 中搜索完成了,过程转到步骤 SP6,在步骤 SP6 中,利用为活度数据的以前数据获得的估计函数 $E(Y)_n$ 和 $E(D)_n$,评估通过公式 (15) 获得的新评估函数 $E(G)_n$,以获得最佳评估值。然后,过程转到步骤 SP7。

[0348] 在步骤 SP7 中,从最佳评估值中确定运动矢量 V'_n 。在下一步骤 SP8 中,根据公式 (13) 加倍和相加在上一类中确定的运动矢量 V_{n+1} ,以获得在当前处理的类中的运动矢量 V_n 。然后,过程返回到步骤 SP3。

[0349] 如果在步骤 SP3 中确定当前处理的类是最低类,那么,在步骤 SP9 中结束对参考块进行运动矢量检测的处理。

[0350] 图 38 显示了运动矢量检测电路 300 的配置。在这个运动矢量检测电路 300 中,把

输入图像数据 D_i 输入将数据依次分块成预定大小（例如，由 16×16 个像素组成的块大小）的块的分块电路 302。把从分块电路 302 依次输出的参考块的图像数据提供给分层类 1 的帧存储器 303 和评估值计算电路 304、和分层类 2 的活度分层电路 306、和分层类 3 的活度分层电路 307。

[0351] 分层类 2 的平均值分层电路 305 对从分块电路 302 依次输出的类 1 的参考块的图像数据进行由公式 (5) 定义的平均值分层处理，以获得类 2 的参考块的图像数据。把类 2 的最后图像数据提供给类 2 的帧存储器 309、活度分层电路 306、和评估值计算电路 326、和类 3 的平均值分层电路 310。

[0352] 类 2 的活度分层电路 306 利用从分块电路 302 按顺序输出的类 1 的参考块的图像数据和从平均值分层电路 305 输出的类 2 的参考块的图像数据，进行由公式 (6) 定义的活度分层处理，以获得类 2 的参考块的活度数据。把如此获得的类 2 的最后活度数据分别提供给类 2 的帧存储器 312 和评估值计算电路 327。

[0353] 类 3 的平均值分层电路 310 对从平均值分层电路 305 依次输出的参考块的图像数据进行由公式 (5) 定义的平均值分层处理，以获得类 3 的参考块的图像数据。把如此获得的类 3 的最后图像数据提供给类 3 的帧存储器 314、活度分层电路 307、和评估值计算电路 319。

[0354] 类 3 的活度分层电路 307 利用从分块电路 302 依次输出的参考块的图像数据和从平均值分层电路 310 输出的参考块的图像数据，进行由公式 (7) 定义的活度分层处理，以获得类 3 的参考块的活度数据。把如此获得的类 2 的最后活度数据分别提供给类 2 的帧存储器 312 和评估值计算电路 327。

[0355] 在运动矢量检测电路 300 中，平均值分层从分块电路 302 依次输出的参考块的图像数据，作为如图 35A 所示的分层类 1、2 和 3 的图像数据，和活度分层从分块电路 302 依次输出的参考块的图像数据，作为如图 35B 所示的分层类 1、2 和 3 的活度数据。

[0356] 在检测各个参考块的每个运动矢量过程中，首先检测排在最高的类（类 3）中的运动矢量。搜索块电路 317 从存储在帧存储器 314 中的前一（搜索）帧中类 3 的图像数据中依次读出搜索区中与各个候选块相关的类 3 的图像数据，并且把如此读取的数据提供给评估值计算电路 319。

[0357] 评估值计算电路 319 利用从平均值分层电路 310 提供的类 3 的参考块的图像数据和来自搜索块 317 的类 3 的每一个候选块的图像数据，根据由公式 (12) 定义的估计函数 $E(Y)_3$ 获取每个候选块的评估值。

[0358] 此外，搜索块电路 318 从存储在帧存储器 316 中的前一（搜索）帧中类 3 的活度数据中依次读出搜索区中与各个候选块相关的类 3 的活度数据，并且把活度数据提供给评估值计算电路 320。

[0359] 评估值计算电路 320 利用从活度分层电路 307 提供的类 3 的参考块的图像数据和从搜索块 318 提供的类 3 的每一个候选块的活度数据，根据由公式 (14) 定义的估计函数 $E(D)_3$ 获取每个候选块的评估值。

[0360] 在相加电路（加法器）321 中根据公式 (15) 首先加权，然后求和由各个评估值计算电路 319 和 320 获得的每个候选块的评估值。把如此获得的基于新评估函数 $E(G)_3$ 的每个候选块的评估值输入运动矢量检测单元 322 中。

[0361] 在这个实施例中,评估值计算电路 340(319 和 320) 具有如图 39 所示的配置。更具体地说,评估值计算电路 340 含有参考块存储器 341 和候选块存储器 342。参考块存储器 341 存储从平均值分层电路 310 提供的类 3 的参考块的图像数据、或从活度分层电路 307 提供的类 3 的参考块的活度数据。候选块存储器 342 存储从搜索块电路 317 提供的类 3 的候选块的图像数据、或从搜索块电路 318 提供的类 3 的候选块的活度数据。

[0362] 按照存储器控制器 343 所寻址那样的次序读出参考块存储器 341 和候选块存储器 342 的内容,并且,通过寄存器 344 和 345 将其馈送到对其进行相减的相减电路(减法器)346。在绝对值电路 347 中将如此获得的差数据转换成绝对值,并且,在相加电路 348 和寄存器 349 中累积和相加它们。将最后累积和取作候选块的评估值。在评估值计算电路 340 中依次计算各个候选块的评估值,并且按照评估值存储器控制器所寻址那样的次序将其输入评估值存储器 350 中。

[0363] 事实上,关于在分块类 2 和 3 中的处理,在存储在评估值存储器 350 中之前,计算平均值分层图像数据的评估值和活度分层活度数据的评估值的加权和。

[0364] 在这里所示的实施例中,运动矢量检测单元 360(和 322) 被配置成如图 40 所示那样。如图 40 所示,运动矢量检测单元 360 按照评估值存储器控制器 351 指定的地址所寻址那样的次序,从评估值存储器 350 当中依次读取各个候选块的评估值,并且把这些值输入比较器 361 和寄存器 362 中。比较器 361 将另一个输入值与从评估值存储器 350 当中读出的评估值相比较,并且,如果从评估值存储器 350 当中读出的评估值较小,它就发出指令寄存器 362 和 363 更新它们的内容的信号。

[0365] 寄存器 363 设置读取评估值存储器 350 的地址的顺序。因此,存储在评估值存储器 350 中的评估值按顺序得到评估。从寄存器 363 发出给出最小评估值的地址,从矢量检测单元 360 输出这个最小评估值,作为运动矢量 MV。

[0366] 回头参照图 38,接着进行分层类 2 中运动矢量的检测。在这种情况下,将如上所述在用于类 3 的运动矢量检测单元 322 中获得的类 3 的运动矢量提供给类 2 的帧存储器 309 和 312,以便利用运动矢量进行关联搜索区的运动补偿。

[0367] 搜索块电路 324 从存储在帧存储器 390 中的前一(搜索)帧类 2 的图像数据中依次读取搜索区中与每个候选块相关的类 2 的图像数据,并且把图像数据提供给评估值计算电路 326。在这个类 2 中的搜索区比在如上所述的类 3 中的搜索区窄。

[0368] 评估值计算电路 326 利用从平均值分层电路 305 提供的类 2 的参考块的图像数据和从搜索块电路 324 提供的类 2 的各个候选块的图像数据,根据由公式 (12) 定义的评估函数 $E(Y)_2$, 获取各个候选块的评估值。

[0369] 搜索块电路 325 从存储在帧存储器 312 中的前一(搜索)帧中类 2 的活度数据中依次读取搜索区(搜索域)中与每个候选块相关的类 2 的活度数据,并且把数据提供给评估值计算电路 327。

[0370] 评估值计算电路 327 利用从活度分层电路 306 提供的类 2 的参考块的活度数据和从搜索块电路 325 提供的类 2 的每个候选块的活度数据,根据由公式 (14) 定义的评估函数 $E(D)_2$, 获取每个候选块的评估值。

[0371] 根据公式 (15) 加权和在相加电路(加法器)328 中求和在评估值计算电路 326 和 327 中获得的评估值。把如此获得的基于新评估函数 $E(G)_2$ 的各个候选块的评估值输入运

动矢量检测单元 329 中。在运动矢量检测单元 329 中,轮流评估各个候选块的评估值,以获得运动矢量。

[0372] 在相加电路 323 中,像公式 (13) 所示那样,将在运动矢量检测单元 329 中获得的运动矢量加入类 3 的运动矢量中,得出类 2 的运动矢量。请注意,评估值计算电路 326 和 327 和运动矢量检测单元 329 被分别构造成与评估值计算电路 340(参见图 39) 和运动矢量检测单元 360(参见图 40) 具有相同配置。

[0373] 接着,进行类 2 的运动矢量的检测。在这种情况下,将如上所述在相加电路 323 中获得的类 2 的运动矢量提供给类 1 的帧存储器 303。通过运动矢量补偿搜索区。

[0374] 搜索块电路 331 从存储在帧存储器 303 中的前一(搜索)帧中类 1 的图像数据中依次读取搜索区(搜索域)中与每个候选块相关的类 1 的图像数据,并且把数据提供给评估值计算电路 304。类 1 中的搜索区比如上所述的类 2 中的搜索区还要窄。

[0375] 评估值计算电路 304 利用从分块电路 302 提供的类 1 的参考块的图像数据和从搜索块电路 331 提供的类 1 的各个候选块的图像数据,根据由公式 (12) 定义的评估函数 $E(Y)_i$, 获取各个候选块的值。

[0376] 把在评估值计算电路 304 中获得的各个候选块的评估值提供给运动矢量检测单元 332。运动矢量检测单元 332 按顺序评估各个候选块的评估值,以获得运动矢量。在相加电路 330 中像公式 (13) 所表述的那样将这个运动矢量加入类 2 的运动矢量中,输出其和值,作为类 1 的运动矢量,即,感兴趣参考块的运动矢量 MV。请注意,评估值计算电路 304 和运动矢量检测单元 332 被分别构造成与评估值计算电路 340(参见图 39) 和运动矢量检测单元 360(参见图 40) 具有相同配置。

[0377] 因此,在根据块匹配方法检测运动矢量的过程中,通过分层分辨率不同的给定图像和利用分层图像,对每个分层类评估活度分层活度数据的评估值,从而,在使计算精度达到最大的同时,使检测运动矢量的计算量达到最小。

[0378] 在这里所示的实施例中,分别存储类 1、2、和 3 的图像数据的帧存储器 303、309、和 314 被构造成含有相同的存储块 450。

[0379] 图 41 显示了包括在存储块 450 中的存储单元阵列 460 的一部分 460a 的配置。这个部分 460a 适用于存储类 1 的 16- 像素图像数据(对应于图 36A 的像素 x_1-x_{16})、从类 1 的像素数据中获得的类 2 的 4- 像素图像数据(对应于图 36A 的像素 y_1-y_4)、和从类 2 的像素数据中获得的类 3 的 1- 像素图像数据(对应于图 36A 的像素 z_1)。每个像素的图像数据是 8- 位数据。

[0380] 部分 460a 含有以矩阵形式排列的、21 列 $\times$ 8 行的存储单元 461。在每一行中的 21 个存储单元 461 包括 5 个第 1 存储单元 461a 和 16 个第 2 存储单元 461b。16 个存储单元 461b 存储类 1 的 2 个像素的图像数据(16 个位)。5 个第 1 存储单元 461a 存储类 2 的 4- 位图像数据和类 3 的 1- 位图像数据。

[0381] 第 1 存储单元 461a 和第 2 存储单元 461b 与作为第 1 字线的字线 WL1 相连接。第 1 存储单元 461a 还与作为第 2 字线的字线 WL2 和 WL3 相连接。字线 WL1_i-WL1_{i+7} 的每一条沿着列方向延伸,并且与沿着列方向分布的 21 个存储单元 461(461a, 461b) 相连接。

[0382] 字线 WL2_k-WL2_{k+1} 的每一条被配置成沿着连接每个行的 4 个第 1 存储单元 461a 的 4 个行的阶梯形式延伸。类似地,字线 WL3_j 被配置成沿着连接每个行的 1 个第 1 存储单

元 461a 的 8 个行的阶梯形式延伸。这样,与字线 WL2_k-WL2_{k+1} 连接的第 1 存储单元 461a 不同于与字线 WL3_j 连接的第 1 存储单元 461a。

[0383] 上面的描述涉及分别存储类 1、2 和 3 的 16- 像素、4- 像素、和 1- 像素图像数据的存储单元阵列 460 的一部分 460a。但是,显而易见,也可以类似地配置存储单元阵列 460 的其它部分。因此,以 21 个存储单元为单位沿着列方向周期性重复字线 WL2 和 WL3 的阶梯形式。

[0384] 在如图 41 所示的存储单元阵列 460 的一部分 460a 中,可以通过字线 WL1 同时激活沿着列方向延伸的 21 个存储单元 461(461a,461b),使图像数据能够被写入这些存储单元 461 中和从这些存储单元 461 中读出。

[0385] 进一步,可以通过字线 WL2 同时激活在 4 个行上以阶梯形式排列的部分 460a 的 16 个第 1 存储单元 461a,从而,使图像数据能够被写入这些第 1 存储单元 461a 中和从这些第 1 存储单元 461a 中读出。更进一步,可以通过字线 WL3 同时激活在 8 个行上以阶梯形式排列的部分 460a 的 8 个第 1 存储单元 461a,从而,使图像数据能够被写入这些第 1 存储单元 461a 中和从这些第 1 存储单元 461a 中读出。

[0386] 因此,根据这里所示的实施例,通过字线 WL1 激活这些存储单元,可以从第 2 存储单元 461b 中读出类 1 的图像数据,和把类 1 的图像数据写入第 2 存储单元 461b 中。类似地,通过字线 WL2 激活第 1 存储单元 461a,可以从第 1 存储单元 461a 中读出类 2 的图像数据,和把类 2 的图像数据写入第 1 存储单元 461a 中。通过字线 WL3 激活第 1 存储单元 461a,也可以从第 1 存储单元 461a 中读出分层类 3 的图像数据,和把分层类 3 的图像数据写入第 1 存储单元 461a 中。

[0387] 这样,可以有效地将类 1-3 的图像数据存储在一个存储块 450 中,并且,可以与类 1 的图像数据无关地从中读出类 2 和 3 的图像数据和将类 2 和 3 的图像数据写其中,这有助于运动矢量的有效检测。

[0388] 接着,进一步描述第 1 存储单元 461a。图 42 显示了第 1 存储单元 461a 的布置。在这种情况下,代表负载件的 P- 型 MOS 晶体管 Q1 和 n- 型 MOS 晶体管 Q3 被串联在电源和地之间,形成 COM 反相器 471,和代表负载件的 P- 型 MOS 晶体管 Q2 和 n- 型 MOS 晶体管 Q4 被串联在电源和地之间,形成 COM 反相器 472。将各个 CMOS 反相器 471 和 472 的输出,即,各个存储节点 N1 和 N2 的电位耦合到各个 CMOS 反相器 472 和 471 的输入端,即,各个 n- 型 MOS 晶体管 Q4 和 Q3 的栅极。

[0389] CMOS 反相器 471 的存储节点 N1 通过其栅极与字线 WL1 相连接的访问晶体管 Q6 和其栅极与字线 WL2 或字线 WL3 连接的访问晶体管 Q5 两者与位线 BL 相连接。请注意,访问晶体管 Q5 和 Q6 相互并联。

[0390] 另一方面,CMOS 反相器 472 的存储节点 N2 通过其栅极与字线 WL1 相连接的访问晶体管 Q7 和其栅极与字线 WL2 或字线 WL3 连接的访问晶体管 Q8 两者与位线 /BL (/BL 代表加上划线的 BL) 相连接。访问晶体管 Q7 和 Q8 也相互并联。

[0391] 在具有这样的配置的第 1 存储单元 461a 中,把“1”或“0”的数据存储在由一对 CMOS 反相器 471 和 472 组成的存储单元 473 中。通过访问晶体管 Q5 和 Q7 或访问晶体管 Q6 和 Q8 为存储单元 473 和位线 BL 或 /BL 之间的读写而转换数据。也就是说,可以通过字线 WL1 或字线 WL2 和 WL3 作出存储单元 473 的选择。

[0392] 顺便提一下,如图 42 所示的第 1 存储单元 461a 是基于普通 SRAM(静态随机访问存储器)单元的。但是,它也可以基于诸如高阻抗负载型存储单元、TFT-负载型存储单元、DRAM(动态随机访问存储器)单元之类另一种类型的 SRAM 单元。

[0393] 接着,描述第 2 存储单元 461B。在图 43 中,与图 42 的相似部件相对应的那些部件用与图 42 中相同的标号表示。

[0394] 如图所示,代表负载件的 P-型 MOS 晶体管 Q1 和 n-型 MOS 晶体管 Q3 被串联在电源和地之间,形成 COM 反相器 471,和代表负载件的 P-型 MOS 晶体管 Q2 和 n-型 MOS 晶体管 Q4 被串联在电源和地之间,形成 COM 反相器 472。将各个 CMOS 反相器 471 和 472 的输出,即,各个存储节点 N1 和 N2 的电位耦合到各个 CMOS 反相器 472 和 471 的输入端,即,各个 n-型 MOS 晶体管 Q4 和 Q3 的栅极。

[0395] CMOS 反相器 471 的存储节点 N1 通过其栅极与字线 WL1 相连接的访问晶体管 Q5 两者与位线 BL 相连接。另一方面,CMOS 反相器 472 的存储节点 N2 通过其栅极与字线 WL1 相连接的访问晶体管 Q7 与位线 /BL 相连接。

[0396] 在具有这样的配置的第 2 存储单元 461b 中,把“1”或“0”的数据存储在由一对 CMOS 反相器 471 和 742 组成的存储单元 473 中。通过访问晶体管 Q5 和 Q7 为存储单元 473 和位线 BL 或 /BL 之间的读写而转换数据。也就是说,可以通过字线 WL1 作出存储单元 473 的选择。

[0397] 不言而喻,如图 43 所示的第 2 存储单元 461b 是普通 SRAM(静态随机访问存储器)单元。但是,它也可以是诸如高阻抗负载型存储单元、TFT-负载型存储单元、或 DRAM 单元之类另一种类型的 SRAM 单元。

[0398] 接着,描述构成帧存储器 303、309、和 314 的存储块 450。图 44 显示了存储块 450 的配置。

[0399] 存储单元块 450 含有包含以矩阵形式排列的多个存储单元的存储单元阵列 460、用于存储数据的输入/输出端口 462、用于存储数据的第 1 到第 3 行地址解码器 463-465、和控制电路 466。

[0400] 用于存储数据的输入/输出端口 462 包括用于存储数据的列地址解码器 462a、地址缓冲器 462b、和 I/O 缓冲器 462c。列地址解码器 462a 包括 I/O 门选通(列开关)和读出放大器。通过地址缓冲器 462b 把列地址输入到列地址解码器 462a。

[0401] 列地址解码器 462a 响应通过地址缓冲器 462b 提供的列地址的每一个,使多条位线 BL 和 /BL 与位于存储单元阵列 460 的列方向的多个存储单元 461 的预定个保持连接,使存储数据能够通过 I/O 缓冲器 462c 和列地址解码器 462a,沿着列方向被写入预定存储单元中和从预定存储单元中读出。

[0402] 通过地址缓冲器 463a 把行地址提供给用于存储数据的第 1 行地址解码器 463。行地址解码器 463 响应通过地址缓冲器 463a 提供的行地址的每一个,激活与位于存储单元阵列 460 的行方向的预定存储单元 461 相连接的字线 WL1,使存储数据能够通过 I/O 缓冲器 462c 和列地址解码器 462a,沿着行方向被写入预定存储单元 461(461a, 461b)中和从预定存储单元 461(461a, 461b)中读出。

[0403] 通过地址缓冲器 464a 把行地址提供给用于存储数据的第 2 行地址解码器 464。行地址解码器 464 响应通过地址缓冲器 464a 提供的行地址,激活与位于存储单元阵列 460

的行方向的预定存储单元 461 相连接的字线 WL2, 使存储数据能够通过 I/O 缓冲器 462c 和列地址解码器 462a, 沿着行方向被写入预定存储单元 461 (461a) 中和从预定存储单元 461 (461a) 中读出。

[0404] 通过地址缓冲器 465a 把行地址提供给用于存储数据的第 3 行地址解码器 465。行地址解码器 465 响应通过地址缓冲器 465a 提供的行地址, 激活与位于存储单元阵列 460 的行方向的预定存储单元 461 相连接的字线 WL3, 使存储数据能够通过 I/O 缓冲器 462c 和列地址解码器 462a, 沿着行方向被写入预定存储单元 461 (461a) 中和从预定存储单元 461 (461a) 中读出。

[0405] 控制电路 466 根据控制输入控制如上所述的存储块 450 的各个电路的操作。

[0406] 如上所述, 在这个实施例中, 运动矢量检测电路 300 (参见图 38) 的帧存储器 303、309 和 314 包括同一存储块 450 (参见图 44)。分层类 1-3 的图像数据存储在同一存储块 450 中, 和可以与类 1 的图像数据无关地分别读写分层类 2 和类 3 的图像数据。因此, 可以有效地进行运动矢量的数据处理。

[0407] 在如上所示和所述的例子中, 把图像数据分层成 3 个类来检测运动矢量 MV。但是, 本发明不限于这种例子。例如, 多于 3 个分层类或小于 3 个分层类的方案也可以用在运动矢量检测中。在这种情况下, 各个类的图像数据将存储在同一存储块中。

[0408] 也就是说, 与如上所述的实施例中一样, 以矩阵形式排列和以存储单元阵列混合存储单元阵列的第 1 存储单元 461a 和第 2 存储单元 461b。第 1 存储单元 461a 与沿着矩阵的列方向延伸的第 1 字线相连接和与排列成在多个行上以阶梯形式延伸的第 2 字线相连接。第 2 存储单元 461b 只与第 1 字线相连接。

[0409] 与第 2 字线相连接的第 1 存储单元 461a 存储除了最低类 (类 1) 之外其它分层类的图像数据。当把输入的图像数据分层成多于 3 个分层类时, 多条第 2 字线被配置成具有不同阶梯形式, 使得与多条第 2 字线的每一条相连接的第 1 存储单元 461a 相互不同, 并且, 它们存储不同分层类的图像数据。

[0410] 在如上所述的实施例中, 已经表明, 属于分层类 1-3 的图像数据存储在以矩阵形式包括 21 个列和 8 个行的存储单元 461 的存储单元阵列 460 的一部分 460a 中。但是, 与各个类相对应的图像数据可以存储在以矩阵形式排列存储单元的独立存储单元阵列 460 的一部分 460a 中。

[0411] 在上述例子中, 如图 42 所示, 第 1 存储单元 461a 由一对相互并联的访问晶体管构成。可选地, 它也可以由多于两个的并行访问晶体管构成。在那种情况下, 可以利用与 3 个或更多的各个访问晶体管相连接的字线的任何一条选择存储单元。

[0412] 在如上所述的实施例中, 最低类 (类 1) 的图像数据存储存储单元阵列 460 的第 2 存储单元 461b 中, 和通过顺序平均值分层获得的、除了最低类之外其它平均值分层类的图像数据存储在第 1 存储单元 461a 中。一般说来, 第 1 存储单元 461a 可以存储通过处理存储在第 2 存储单元 461b 中的图像数据获得的图像数据等。显而易见, 这个存储设备可以用于存储除了图像数据之外的其它数据。

[0413] 新的存储单元电路包括将存储“1”或“0”的存储单元与位线相连接的并联的多个访问晶体管。请注意, 可以利用多条字线的任何一条建立存储单元的选择。

[0414] 本发明的存储设备包括分别与第 1 字线和第 2 字线连接的第 1 存储单元、和只与

第 1 字线连接的第 2 存储单元,第 1 和第 2 存储单元以矩阵形式排列,其中,第 1 字线的每一条沿着矩阵的列方向延伸和第 2 字线在矩阵的多个行上沿着阶梯形式延伸。应该明白,通过第 2 字线只可以同时激活分布在矩阵的多个行上的第 1 存储单元,使存储数据能够得以读写。

[0415] 本发明的运动矢量检测器从输入的图像数据中构造具有不同分辨率的多个分层的图像数据,并且,利用图像数据的多个分层类检测与输入图像数据中特定位置相关的运动矢量,其中,运动矢量检测器把作为存储单元的如上所述存储设备用于存储多个分层的图像数据,其中,多个分层类的图像数据当中最低类的图像数据存储在第 2 存储单元中,和其中,除了最低类之外其它多个分层类的图像数据存储在第 1 存储单元中。这使得各个分层类的图像数据可以独立地从存储设备中读出和写入存储设备中。因此,改善了运动矢量的有效检测处理。

[0416] 工业实用性

[0417] 如上所述,新的存储单元电路、存储设备、运动矢量检测器、和运动补偿预测编码器适用于基于,例如,块匹配方法的运动矢量检测器,和适用于利用运动矢量检测器检测的运动矢量的编码器。

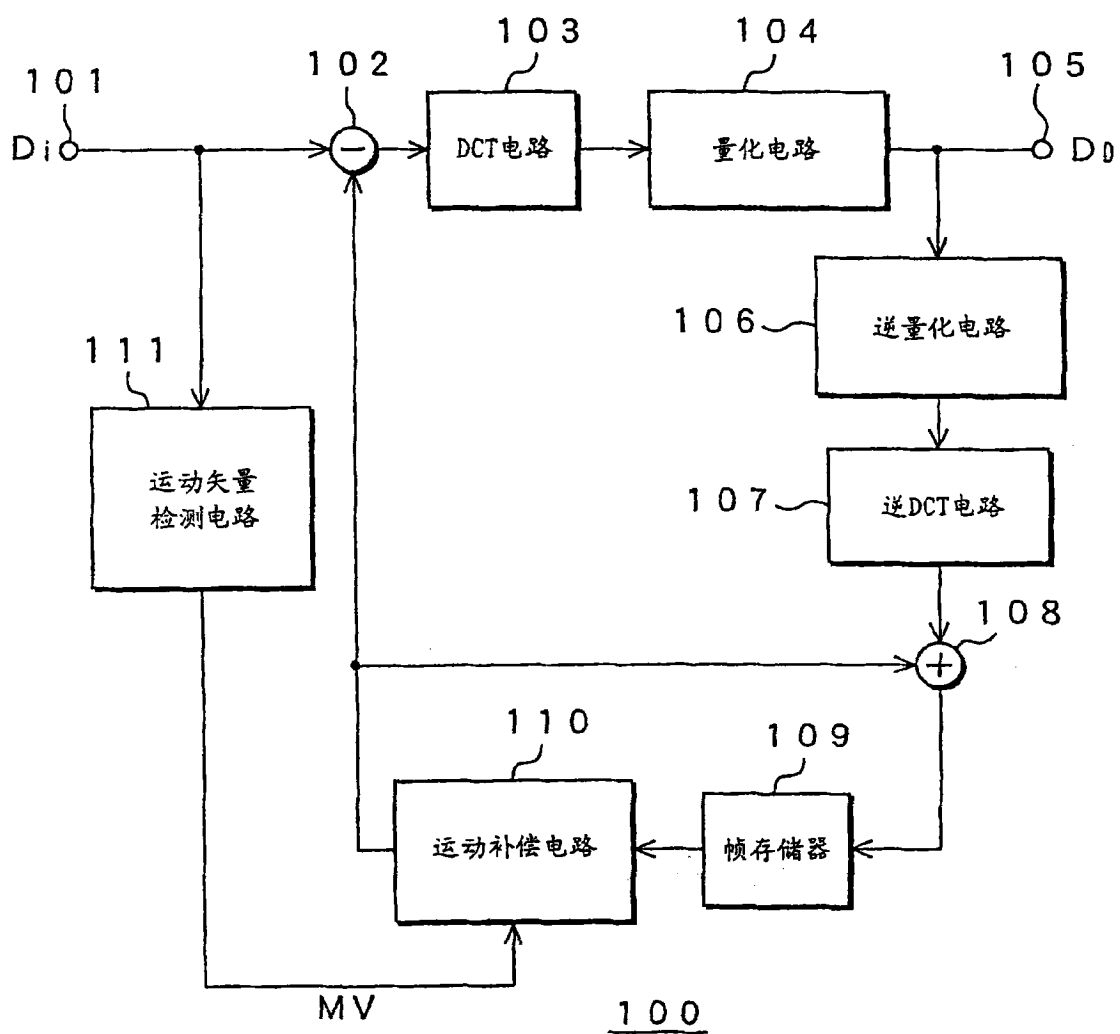


图 1

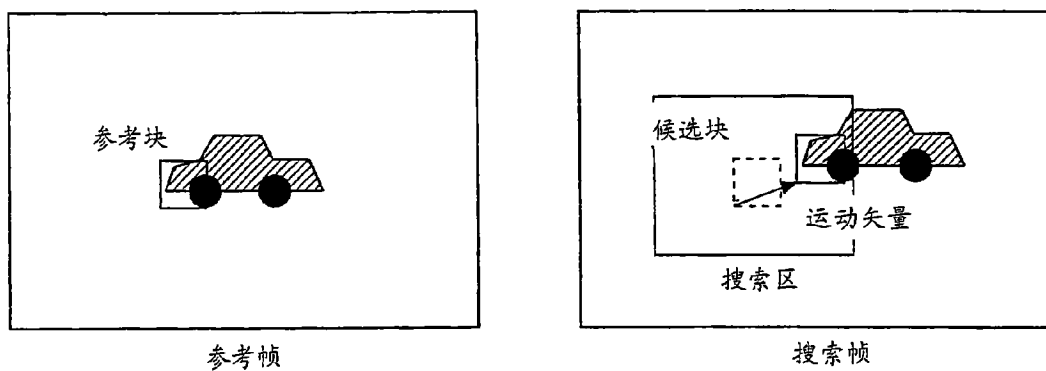


图 2

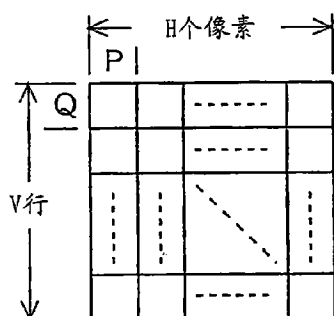


图 3A

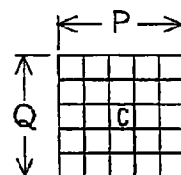


图 3B

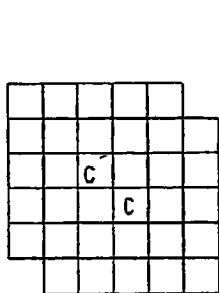


图 4A

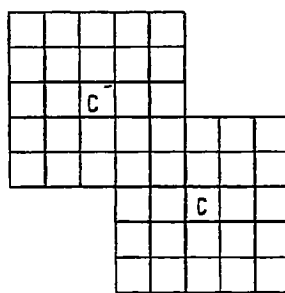


图 4B

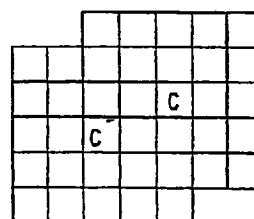


图 4C

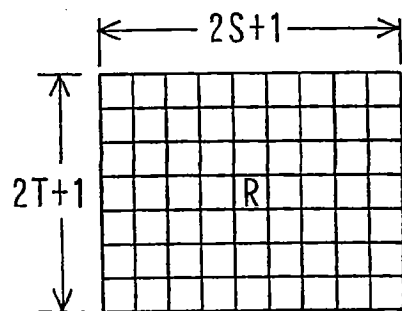


图 5

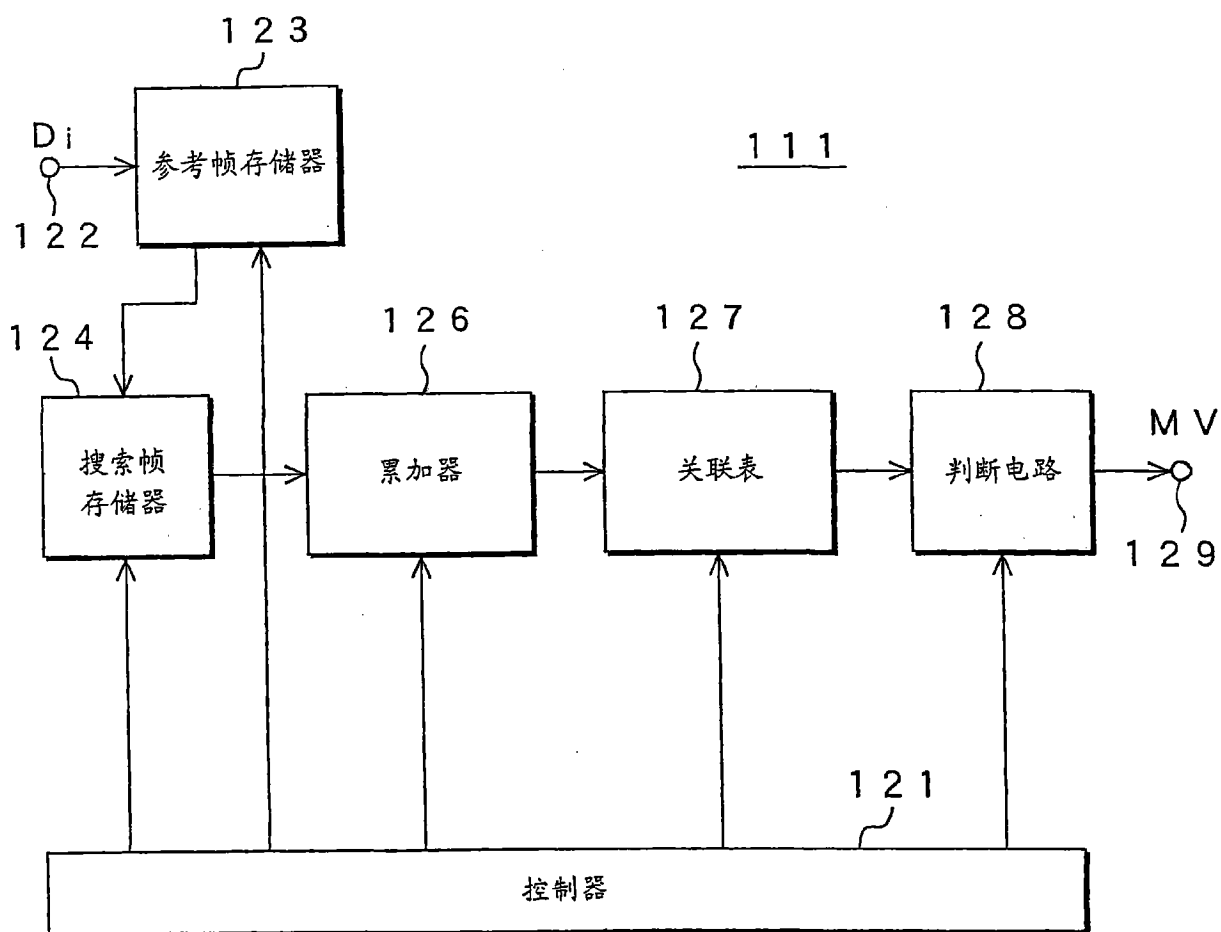


图 6

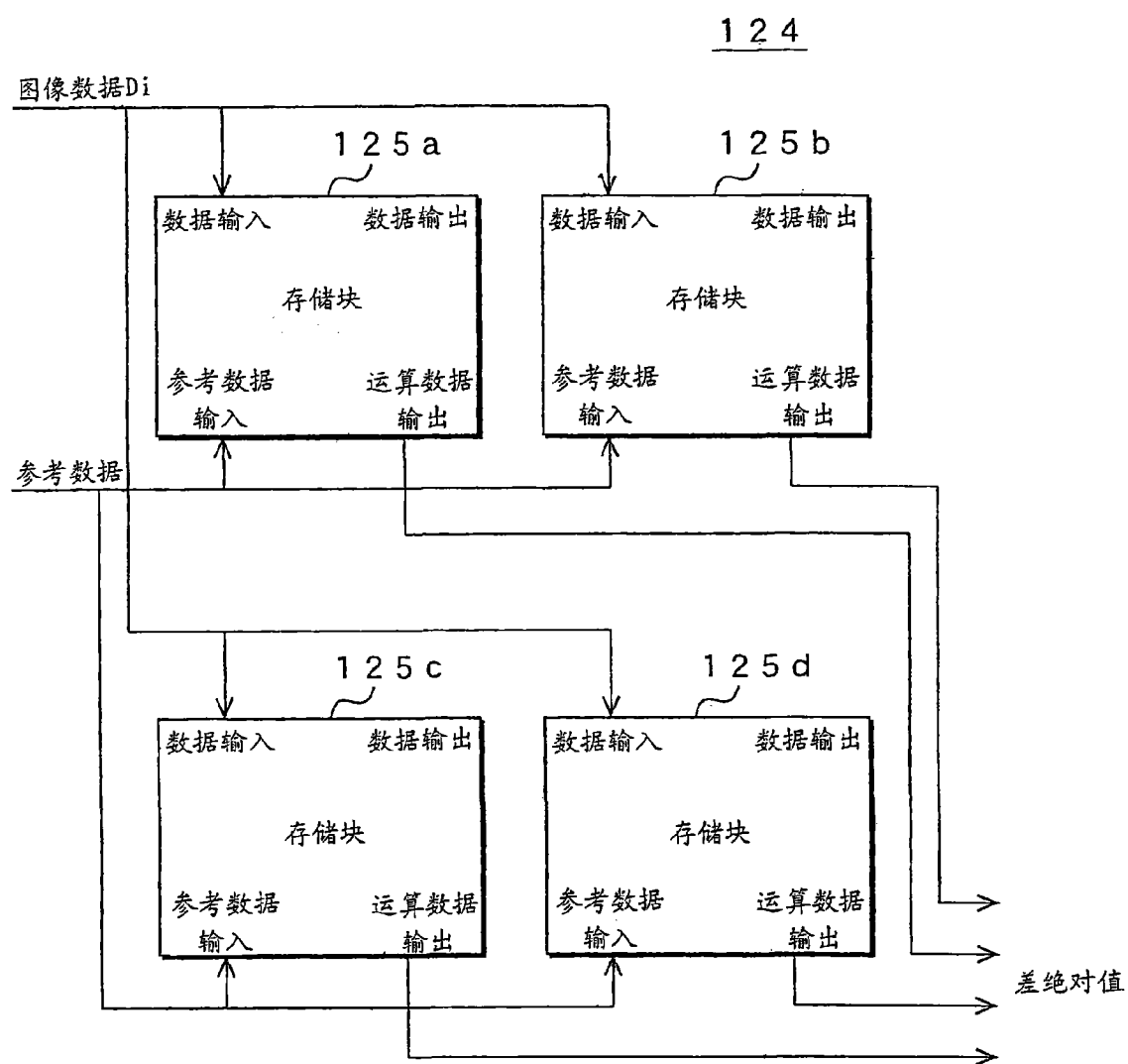


图 7

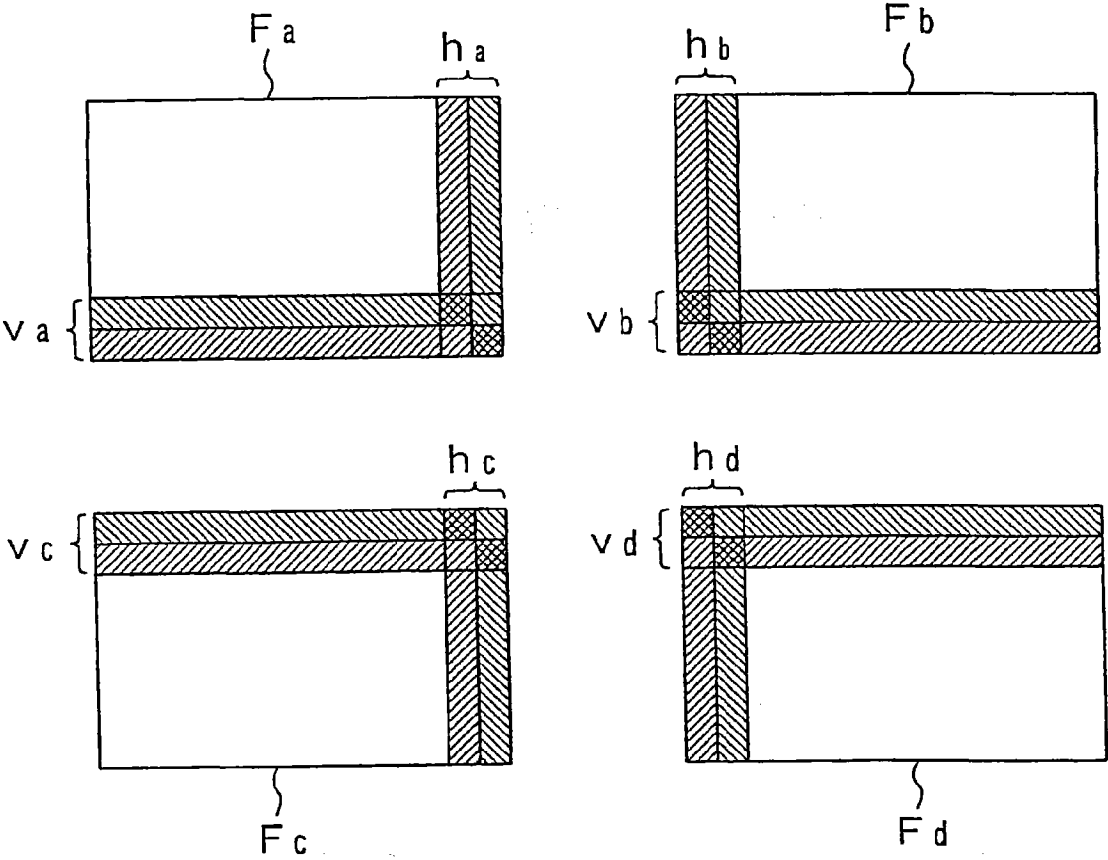


图 8

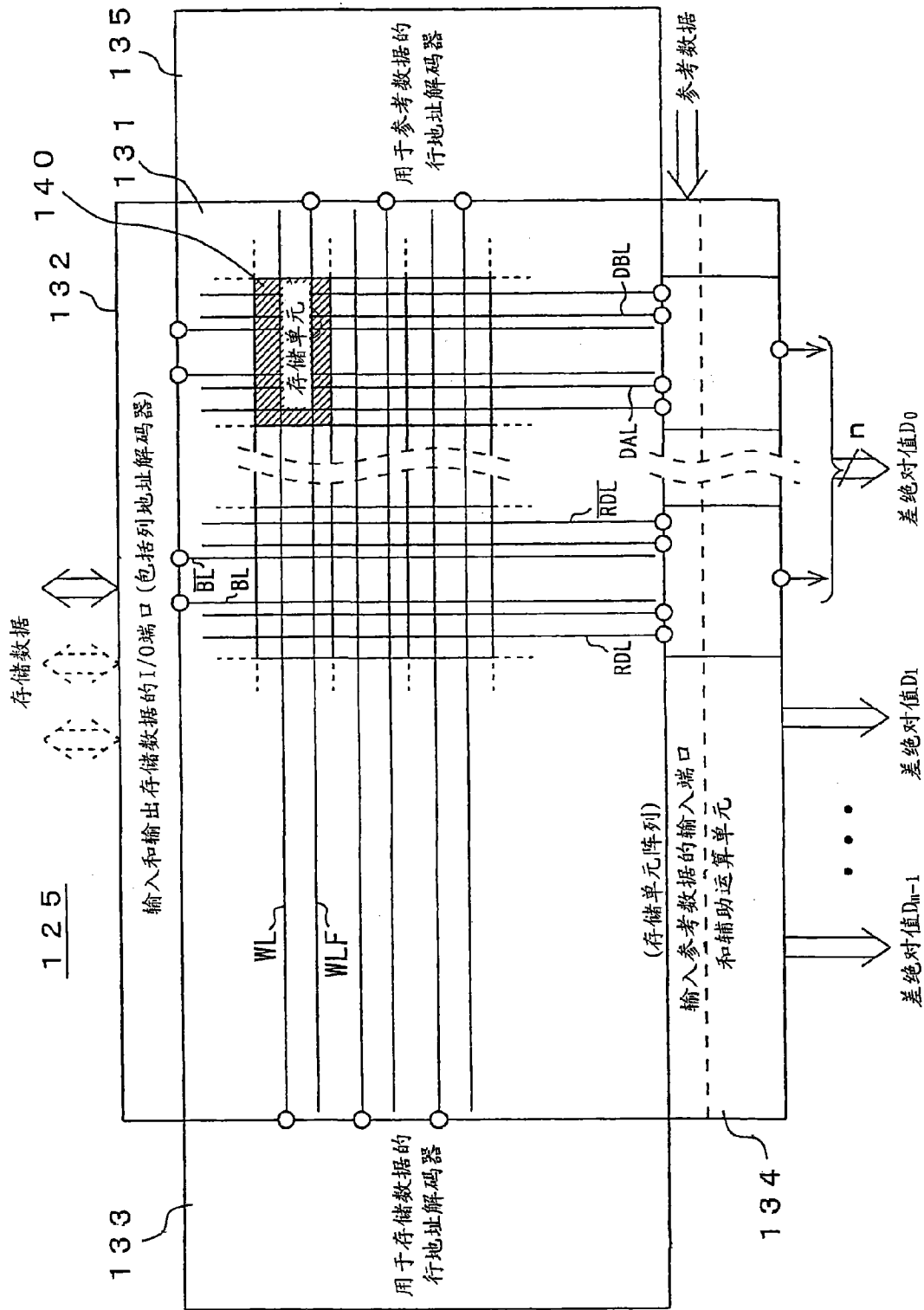


图 9

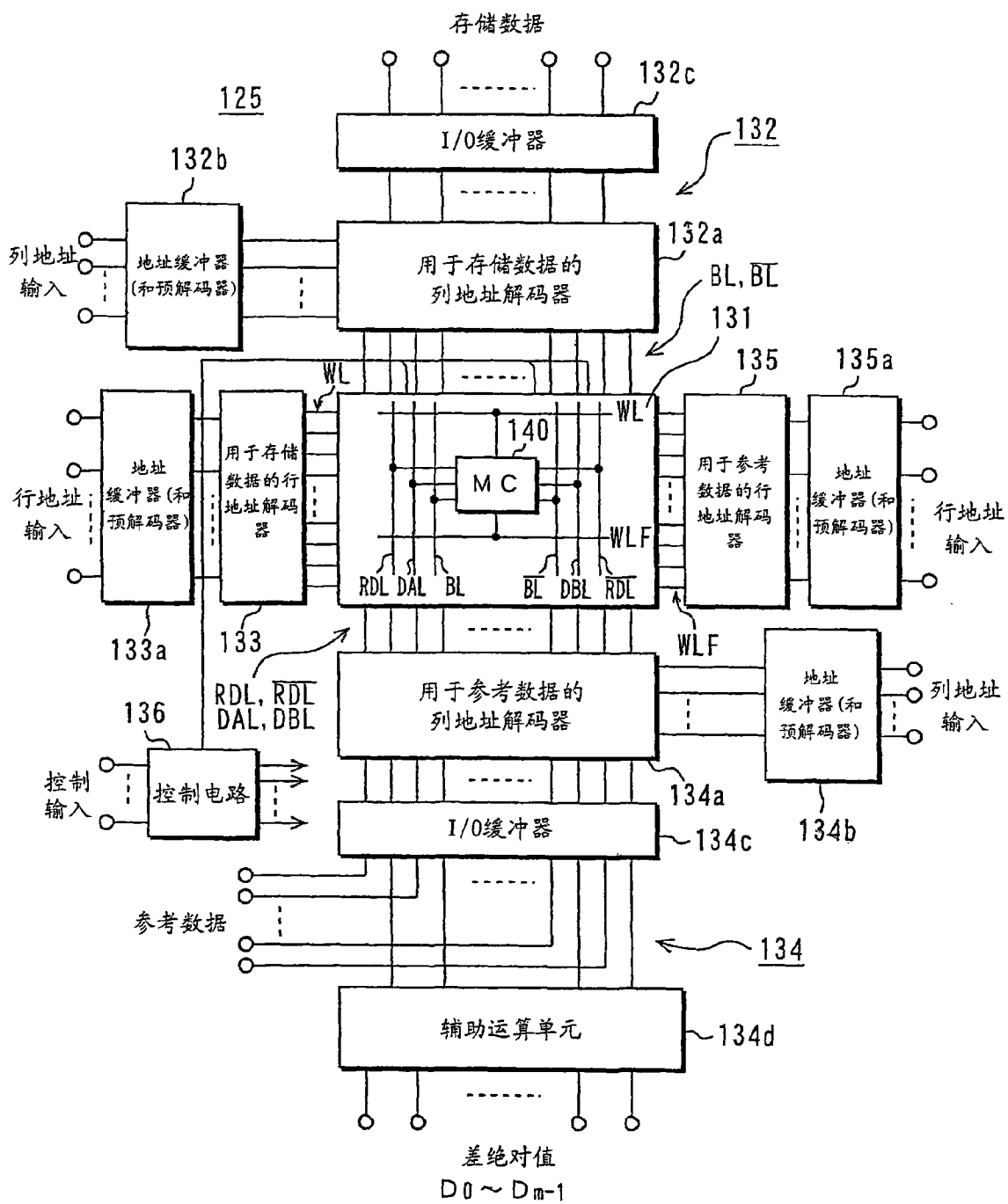


图 10

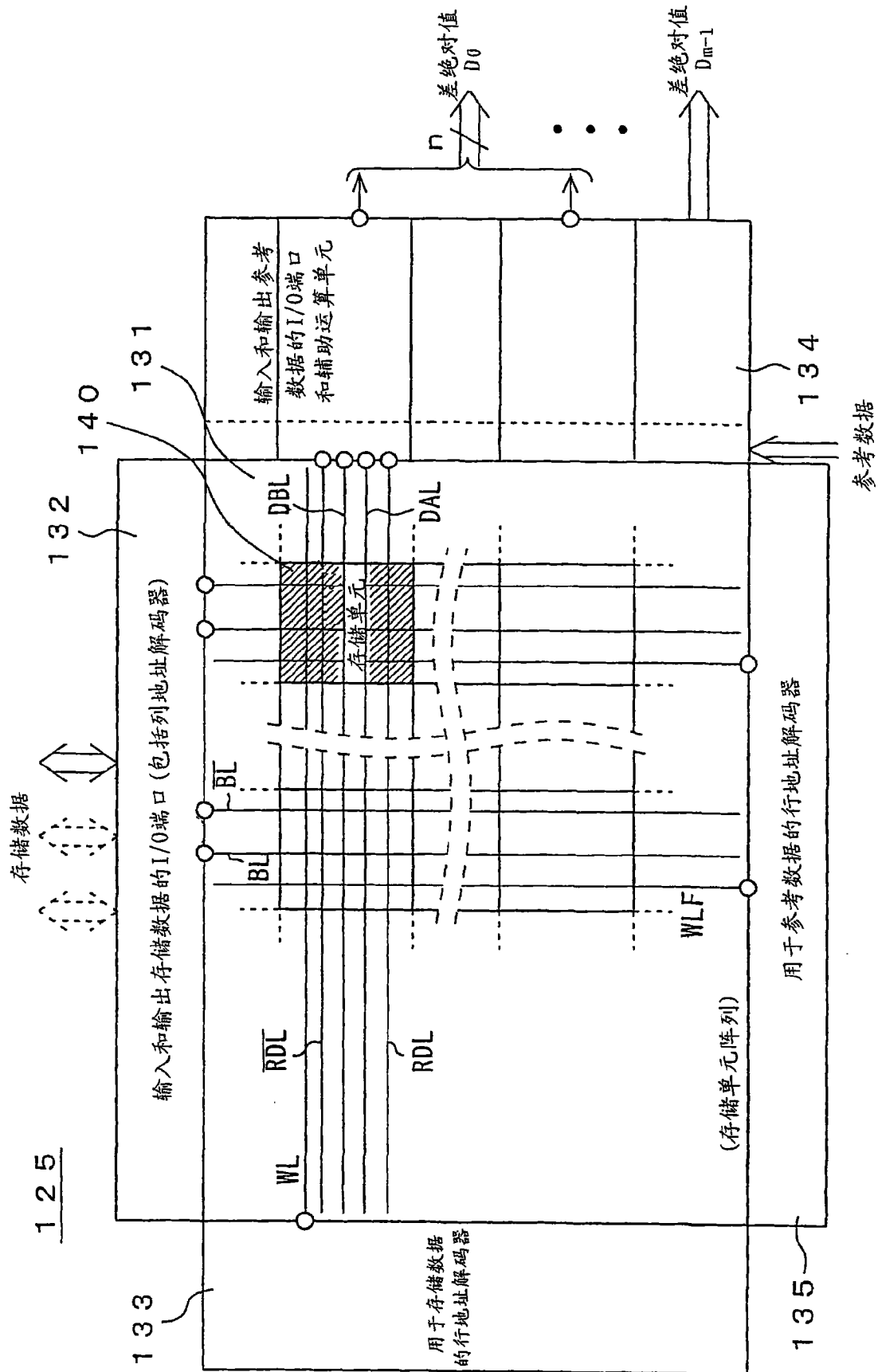


图 11

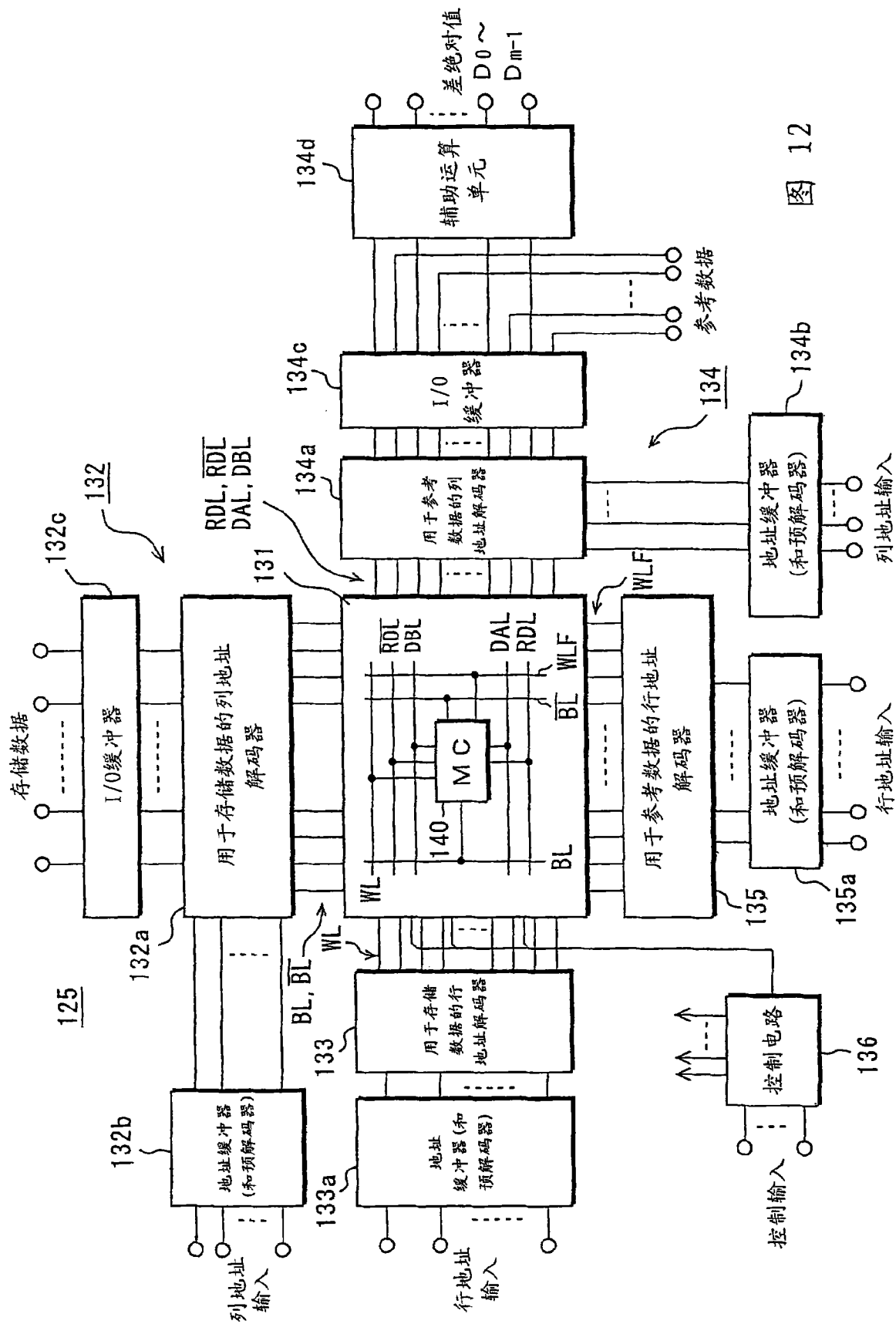


图 12

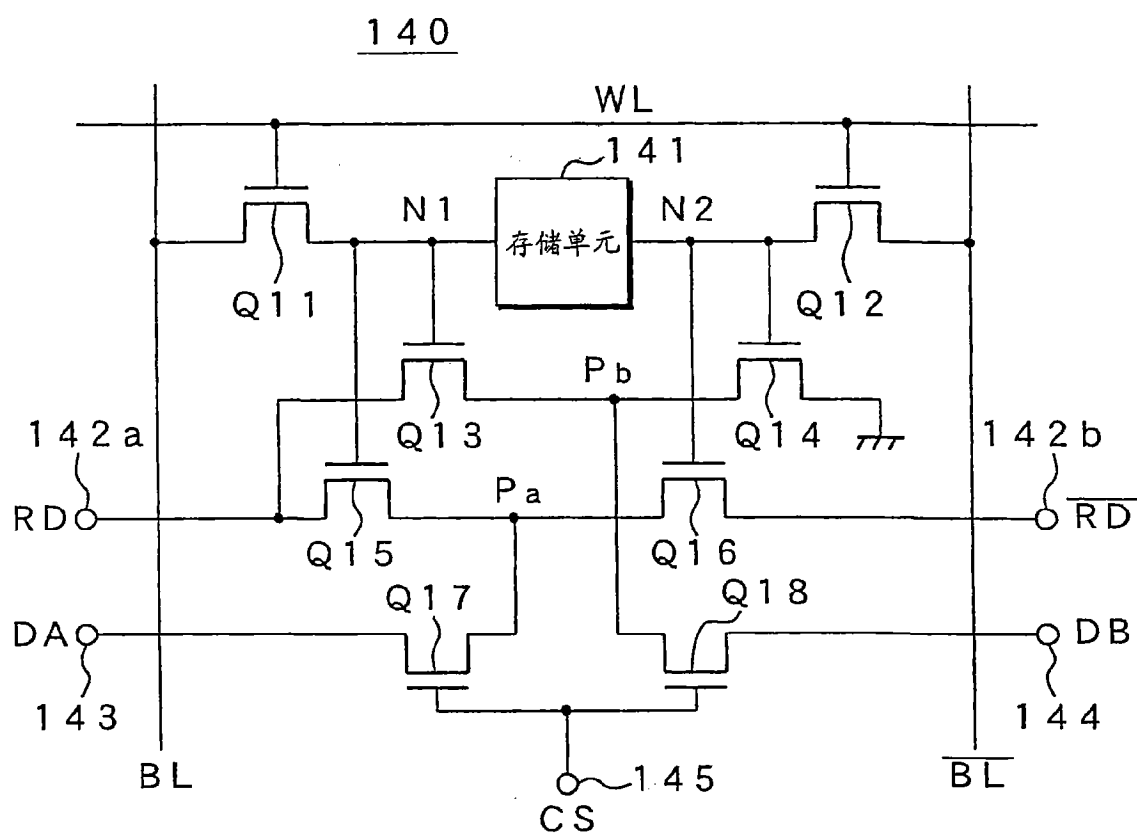


图 15

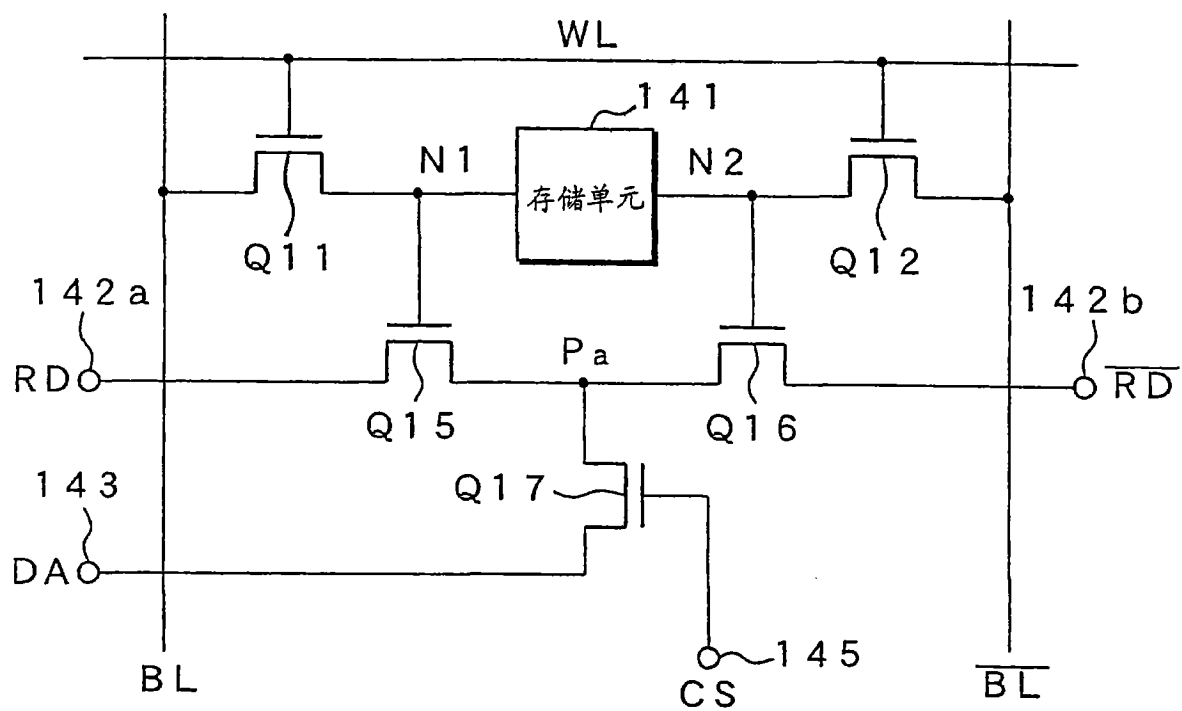


图 16

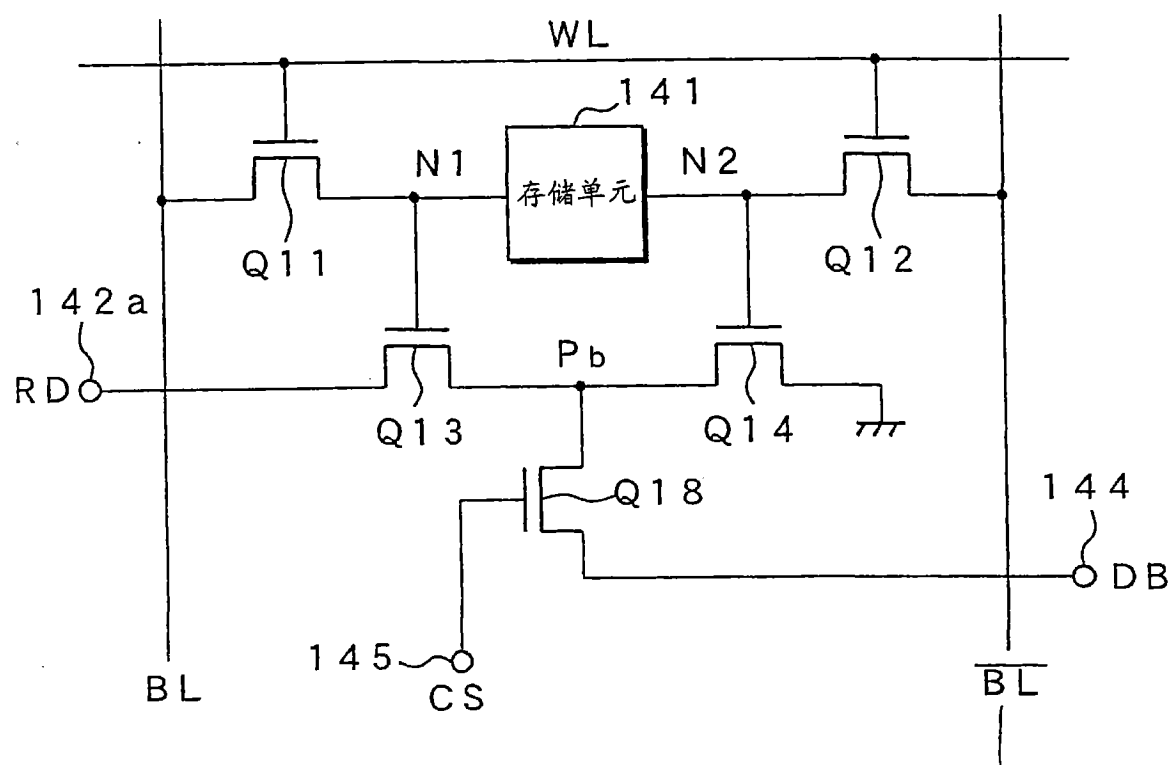


图 17

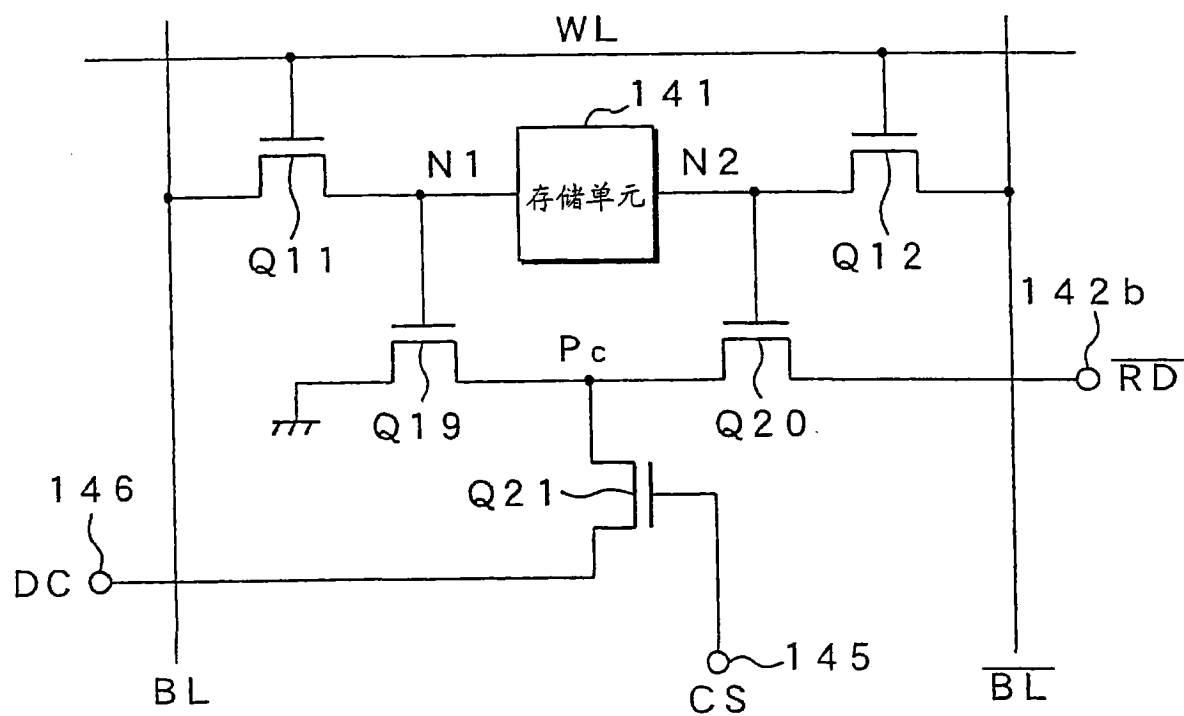


图 18

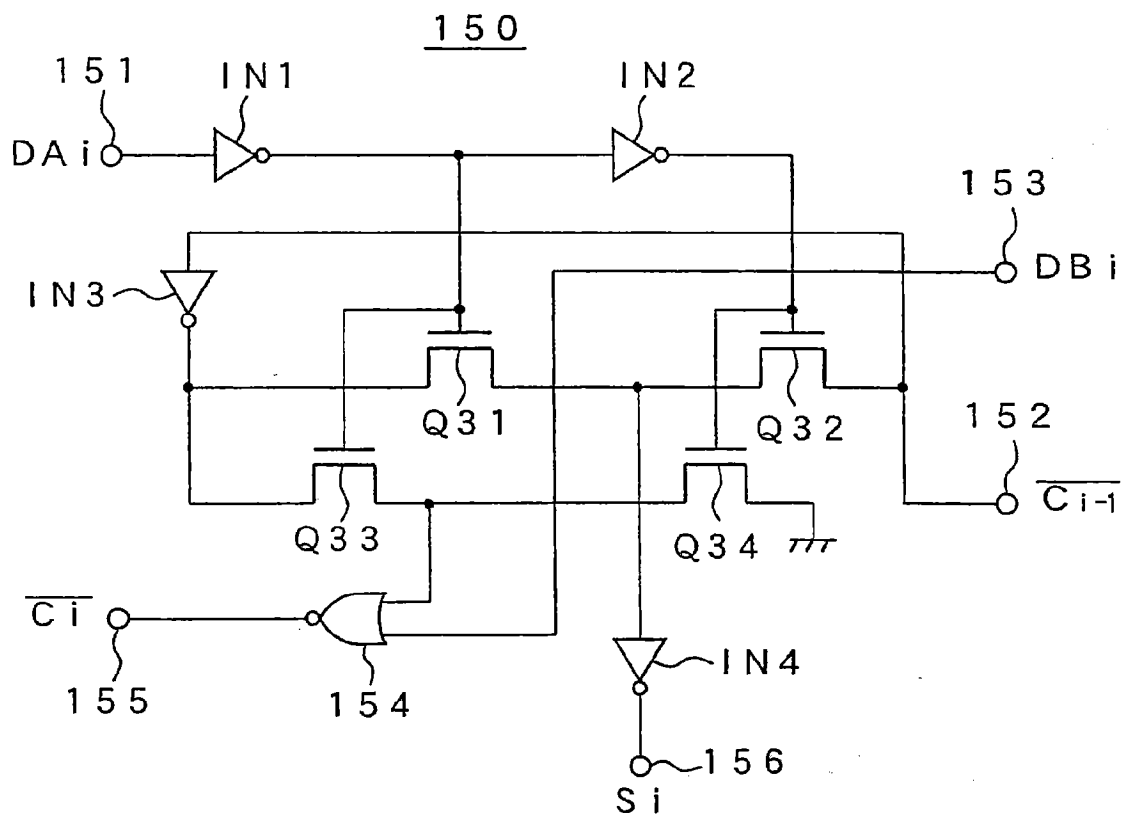


图 19

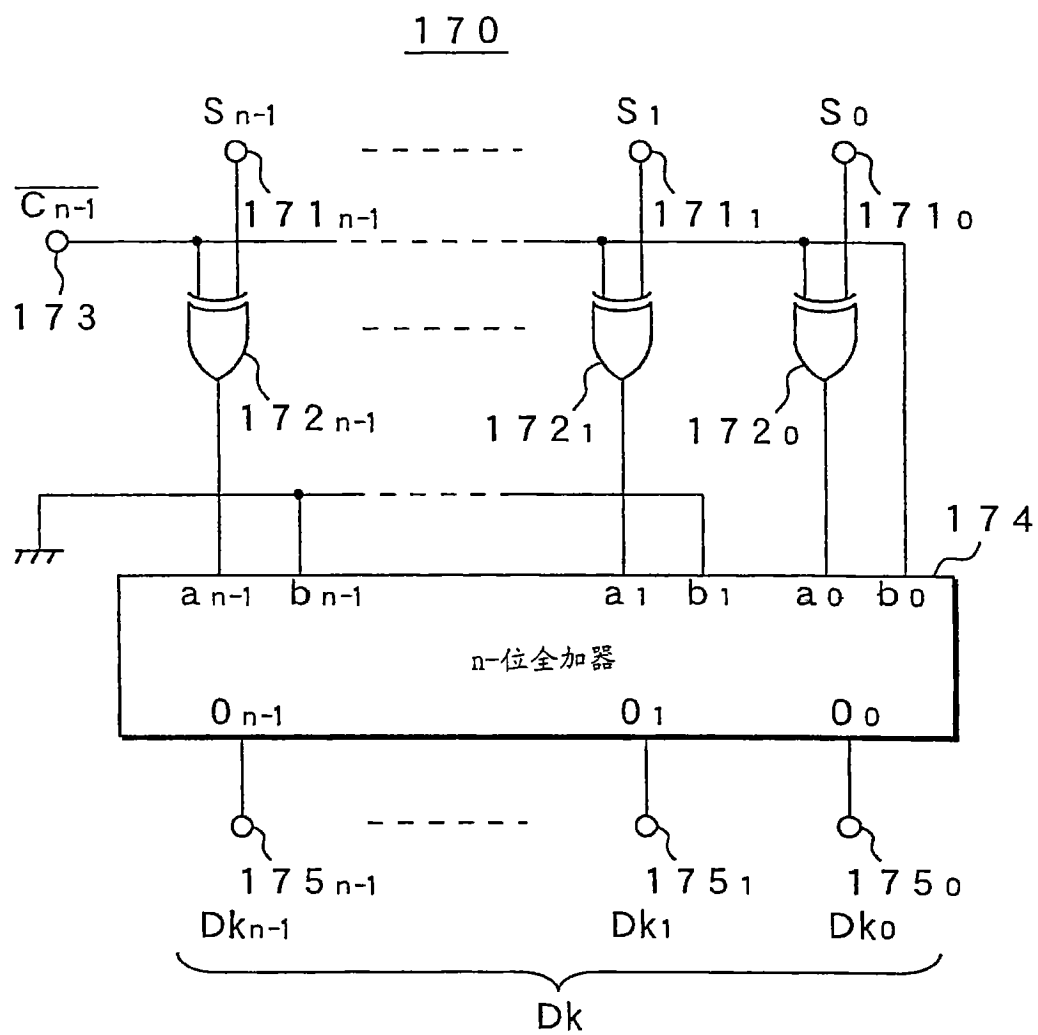


图 20

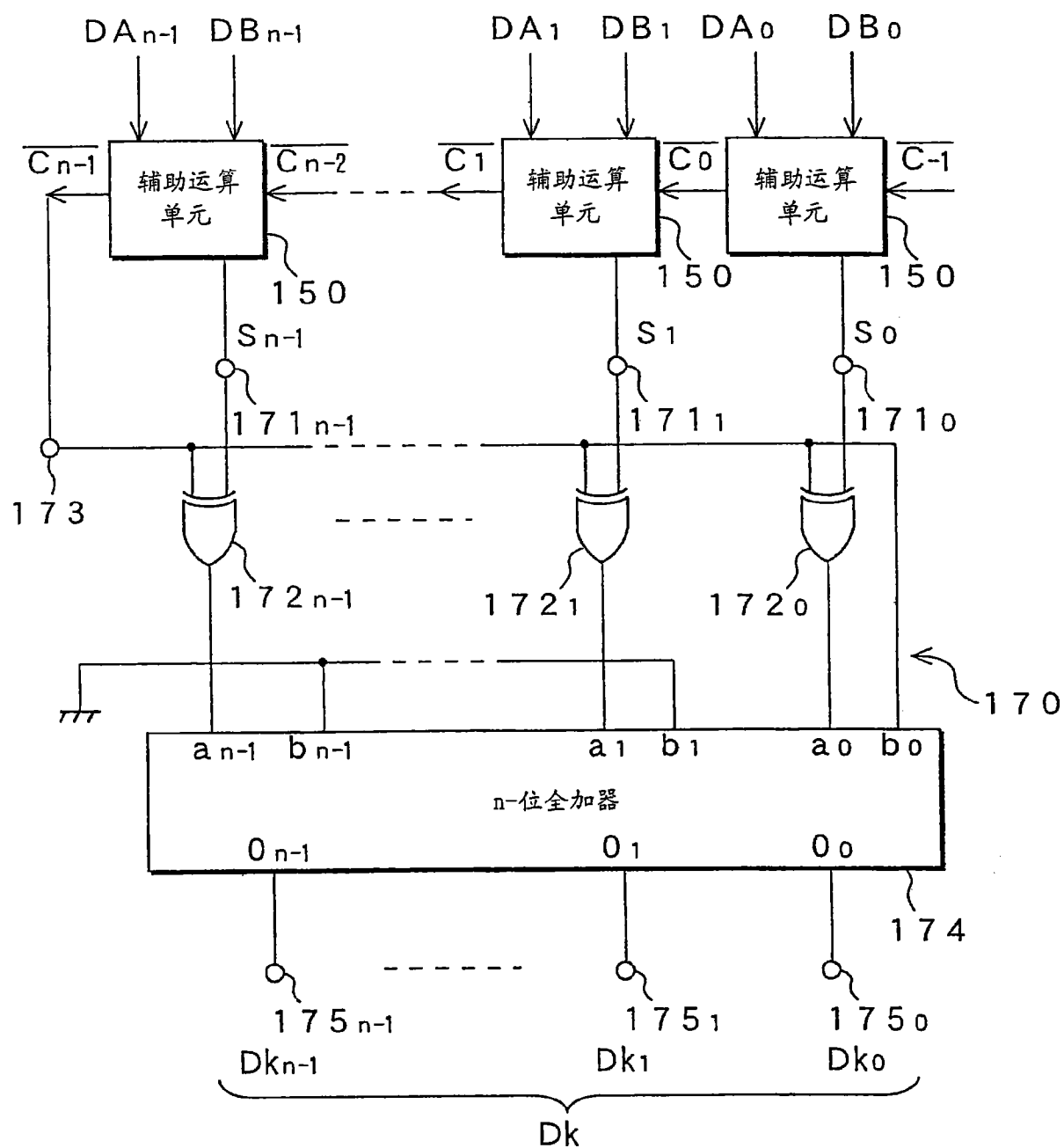


图 21

水平方向 →

垂直方向 ↓

00	01	02	03	04	05	06	07	08	09	0a	0b	0c	0d	0e
10	11	12	13	14	15	16	17	18	19	1a	1b	1c	1d	1e
20	21	22	23	24	25	26	27	28	29	2a	2b	2c	2d	2e
30	31	32	33	34	35	36	37	38	39	3a	3b	3c	3d	3e
40	41	42	43	44	45	46	47	48	49	4a	4b	4c	4d	4e
50	51	52	53	54	55	56	57	58	59	5a	5b	5c	5d	5e
60	61	62	63	64	65	66	67	68	69	6a	6b	6c	6d	6e
70	71	72	73	74	75	76	77	78	79	7a	7b	7c	7d	7e
80	81	82	83	84	85	86	87	88	89	8a	8b	8c	8d	8e
90	91	92	93	94	95	96	97	98	99	9a	9b	9c	9d	9e

图 22A

行方向 ↓

列方向 →

00	10	20	30	40	50	60	70	80	90	01	11	21	31	41	51	61	71	81	91	02	12	22	32	42	52	62	72	82	92	03	13	23	33	43	53	63	73	83	93	04	14	24	34	44	54	64	74	84	94
05	15	25	35	45	55	65	75	85	95	06	16	26	36	46	56	66	76	86	96	07	17	27	37	47	57	67	77	87	97	08	18	28	38	48	58	68	78	88	98	09	19	29	39	49	59	69	79	89	99
0a	1a	2a	3a	4a	5a	6a	7a	8a	9a	0b	1b	2b	3b	4b	5b	6b	7b	8b	9b	0c	1c	2c	3c	4c	5c	6c	7c	8c	9c	0d	1d	2d	3d	4d	5d	6d	7d	8d	9d	0e	1e	2e	3e	4e	5e	6e	7e	8e	9e

131a 131b 131c 131d 131e

180 180 180 180 180

131 140

图 22B

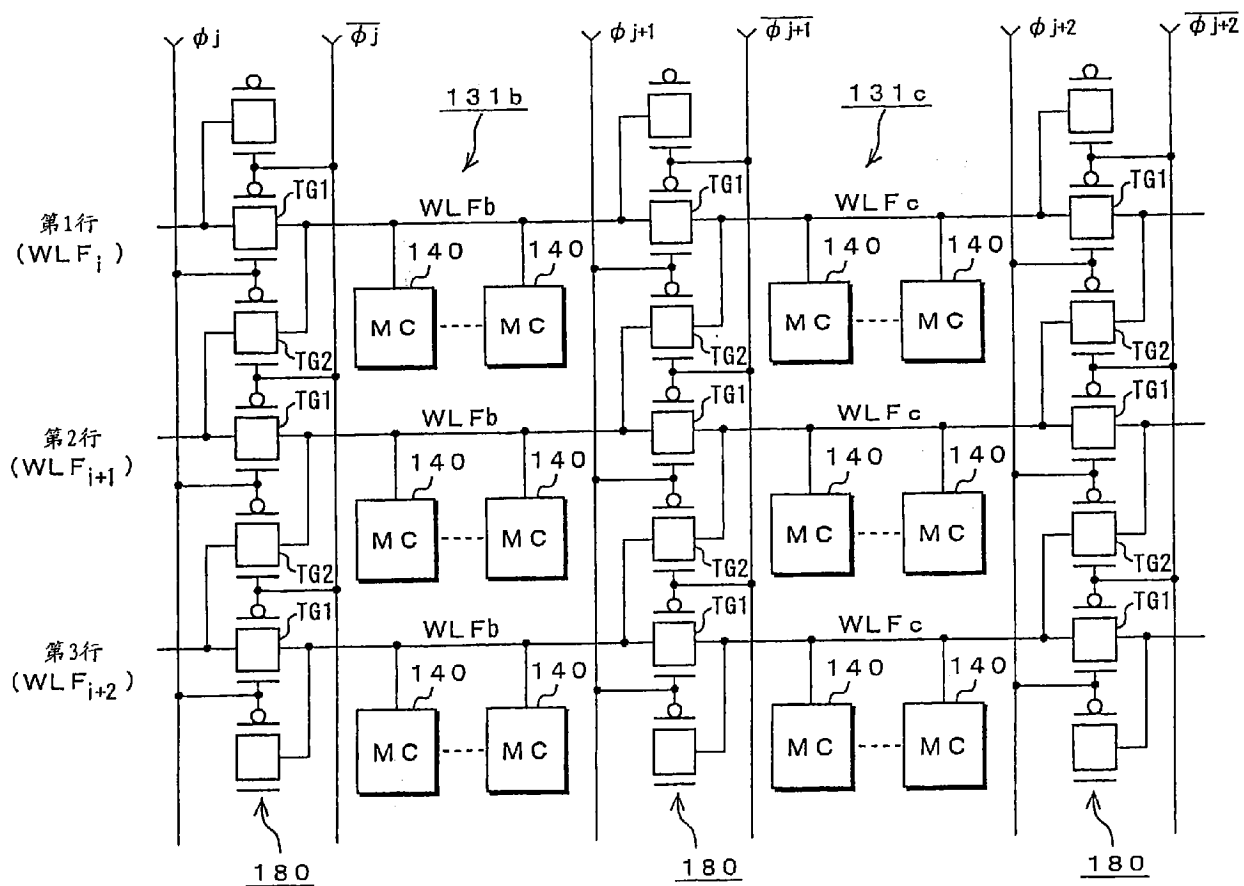


图 23

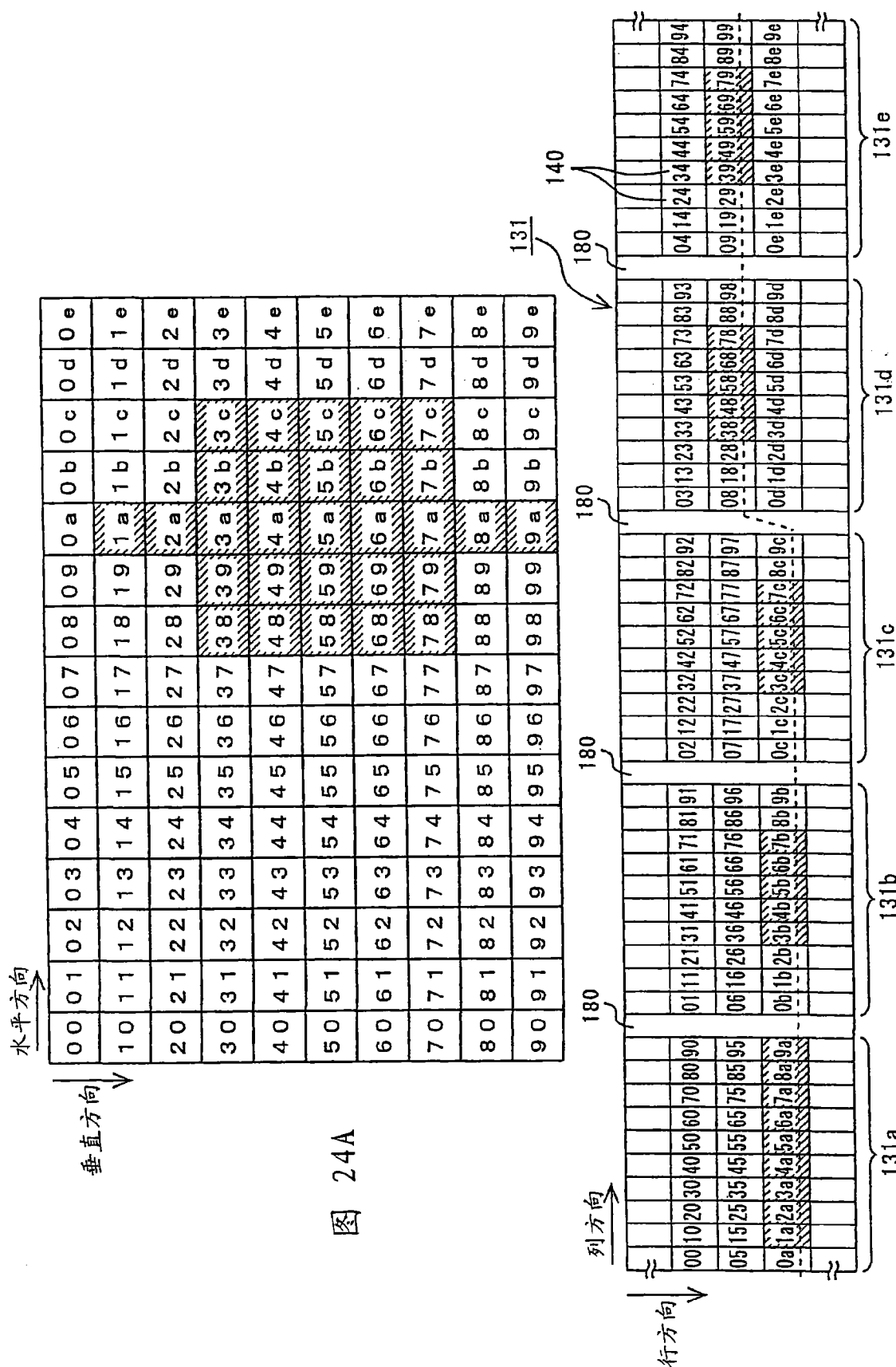


图 24B

水平方向

垂直方向

00	01	02	03	04	05	06	07	08	09
10	11	12	13	14	15	16	17	18	19
20	21	22	23	24	25	26	27	28	29
30	31	32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47	48	49
50	51	52	53	54	55	56	57	58	59
60	61	62	63	64	65	66	67	68	69
70	71	72	73	74	75	76	77	78	79
80	81	82	83	84	85	86	87	88	89
90	91	92	93	94	95	96	97	98	99

图 25A

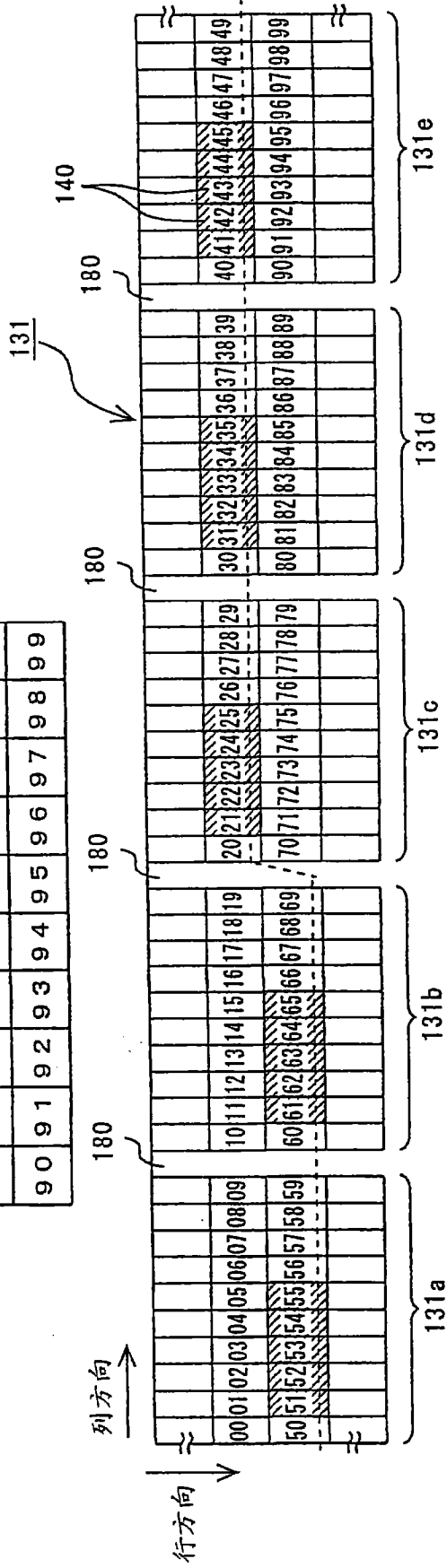
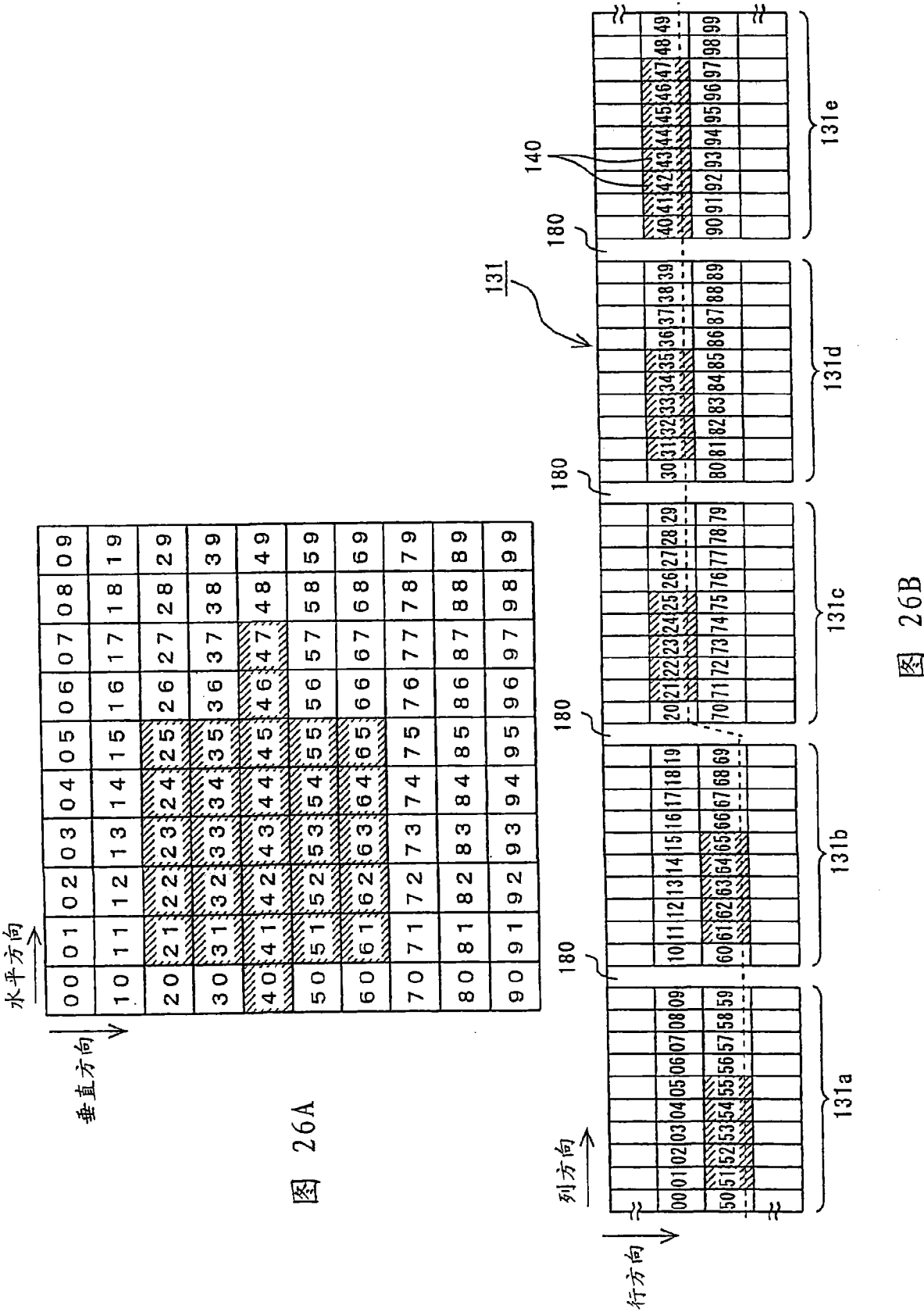


图 25B



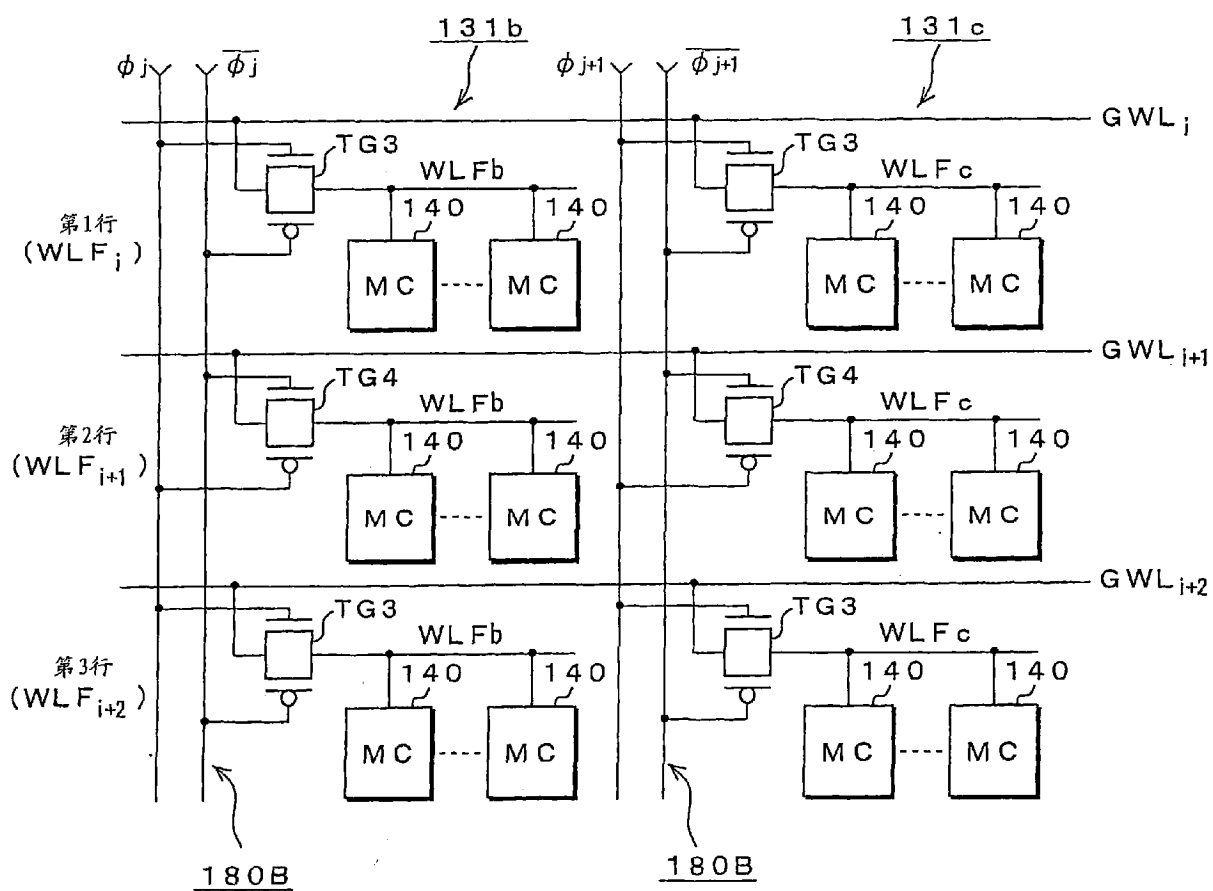


图 28

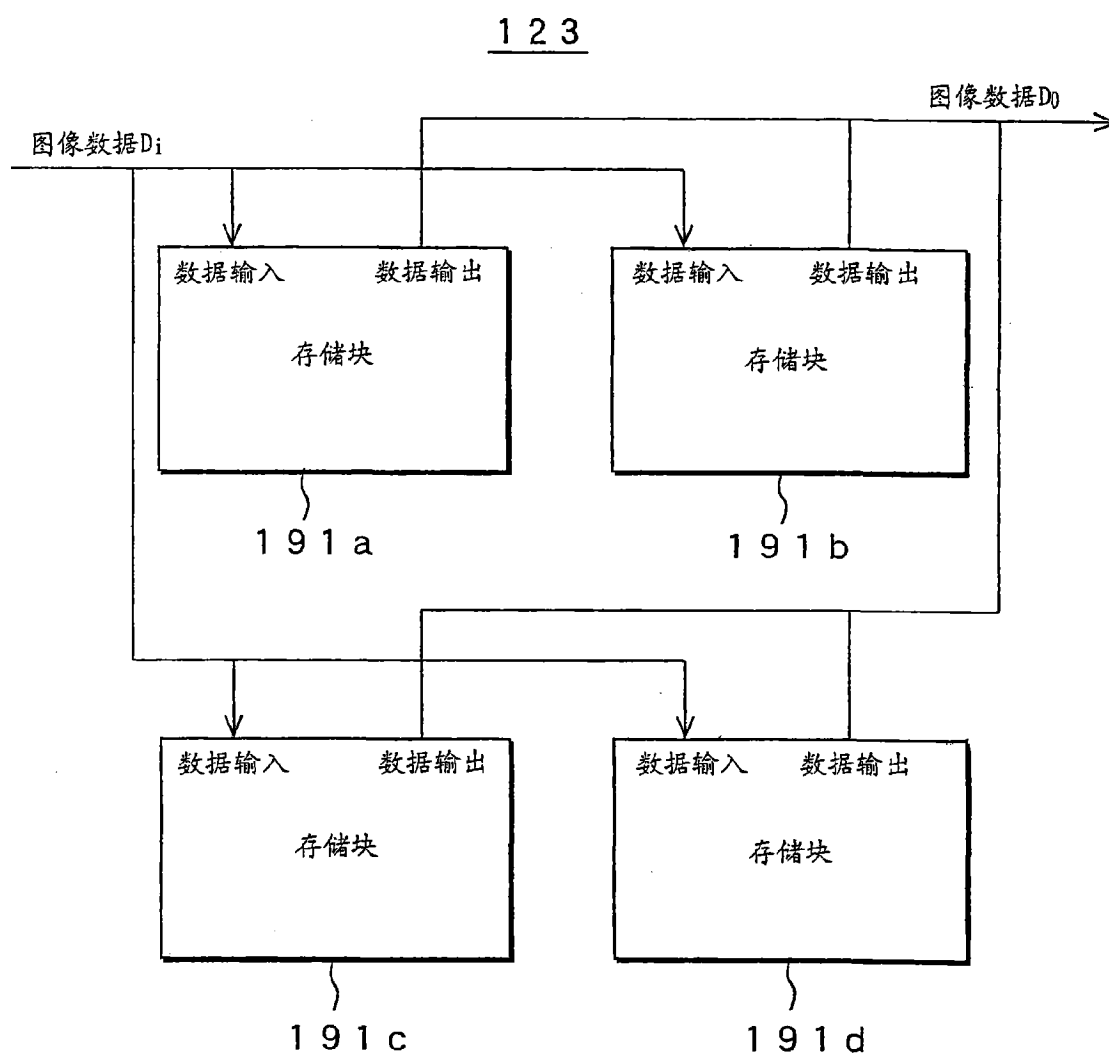


图 29

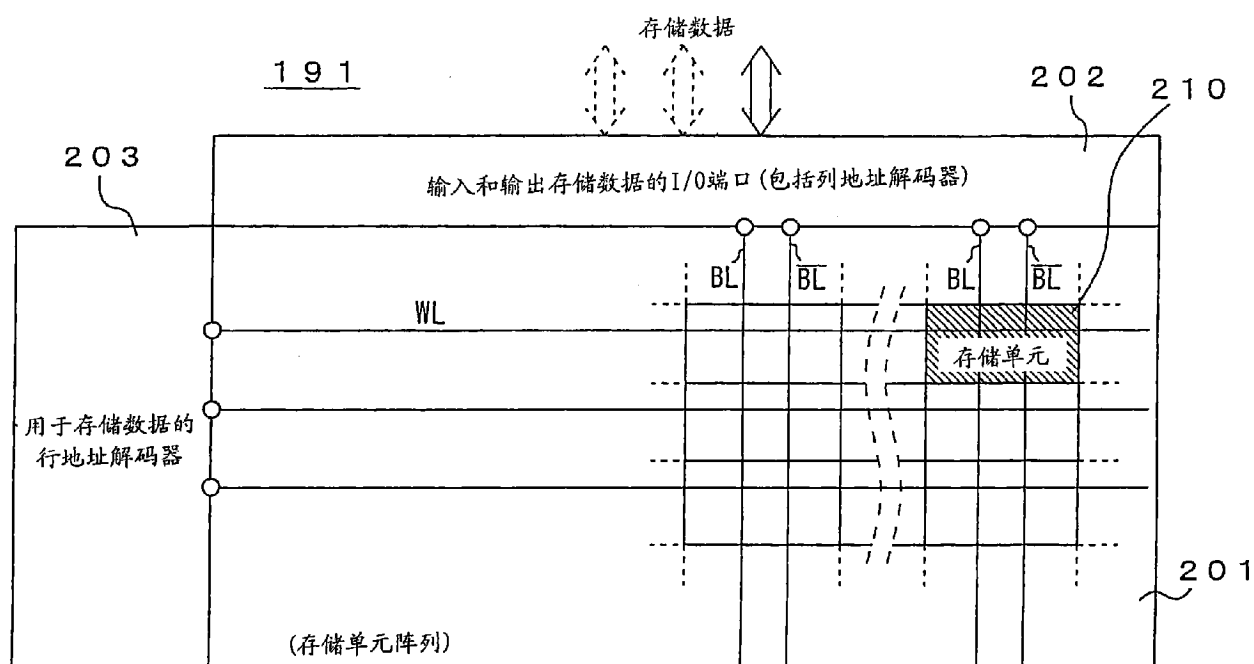


图 30

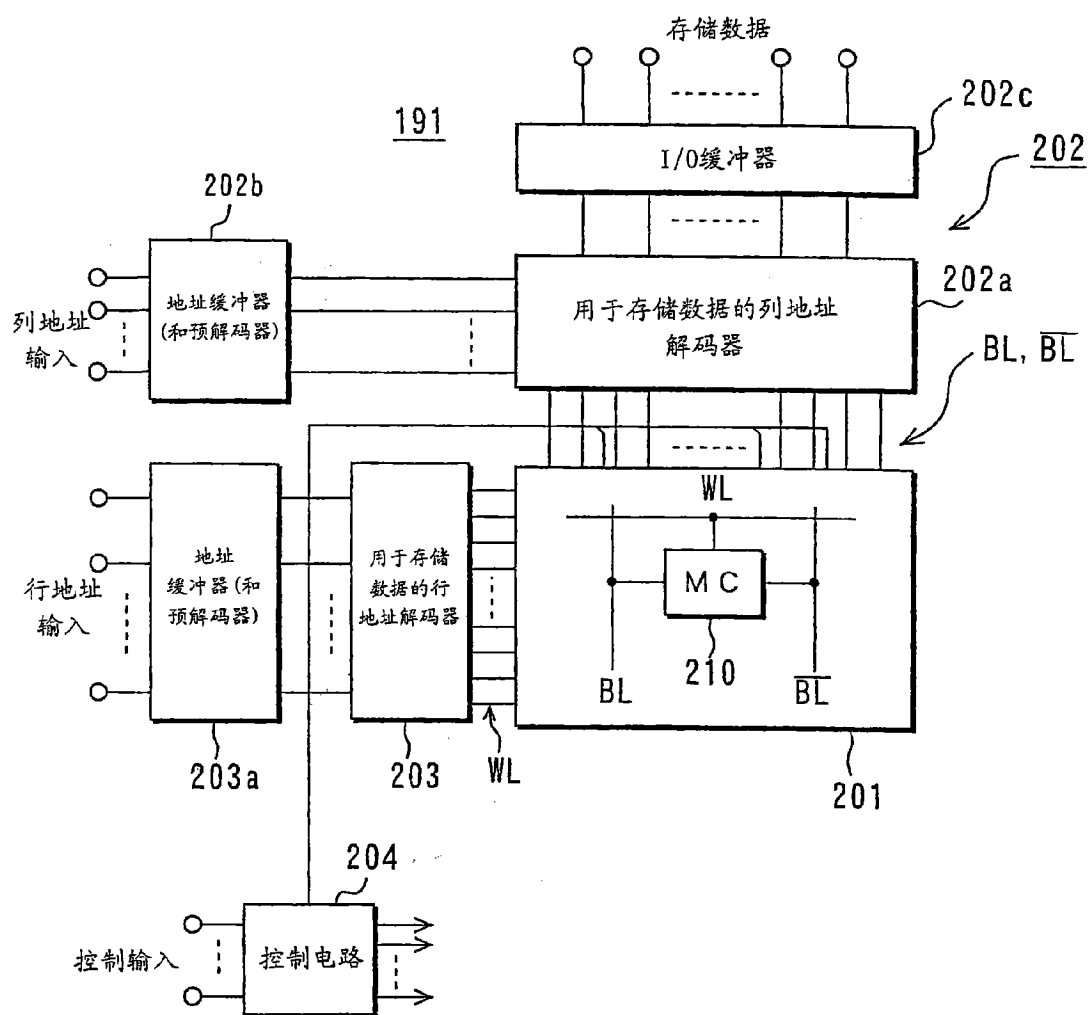


图 31

水平方向

垂直方向

图 32A

00	01	02	03	04	05	06	07	08	09	0a	0b	0c	0d	0e
10	11	12	13	14	15	16	17	18	19	1a	1b	1c	1d	1e
20	21	22	23	24	25	26	27	28	29	2a	2b	2c	2d	2e
30	31	32	33	34	35	36	37	38	39	3a	3b	3c	3d	3e
40	41	42	43	44	45	46	47	48	49	4a	4b	4c	4d	4e
50	51	52	53	54	55	56	57	58	59	5a	5b	5c	5d	5e
60	61	62	63	64	65	66	67	68	69	6a	6b	6c	6d	6e
70	71	72	73	74	75	76	77	78	79	7a	7b	7c	7d	7e
80	81	82	83	84	85	86	87	88	89	8a	8b	8c	8d	8e
90	91	92	93	94	95	96	97	98	99	9a	9b	9c	9d	9e

201

行方向										列方向									
220										220									
201a										201b									
00	10	20	30	40	50	60	70	80	90	01	11	21	31	41	51	61	71	81	91
05	15	25	35	45	55	65	75	85	95	06	16	26	36	46	56	66	76	86	96
0a	1a	2a	3a	4a	5a	6a	7a	8a	9a	0b	1b	2b	3b	4b	5b	6b	7b	8b	9b
201c										201d									
220										220									
201e										201f									
04	14	24	34	44	54	64	74	84	94	03	13	23	33	43	53	63	73	83	93
09	19	29	39	49	59	69	79	89	99	08	18	28	38	48	58	68	78	88	98
0e	1e	2e	3e	4e	5e	6e	7e	8e	9e	0d	1d	2d	3d	4d	5d	6d	7d	8d	9d

图 32B

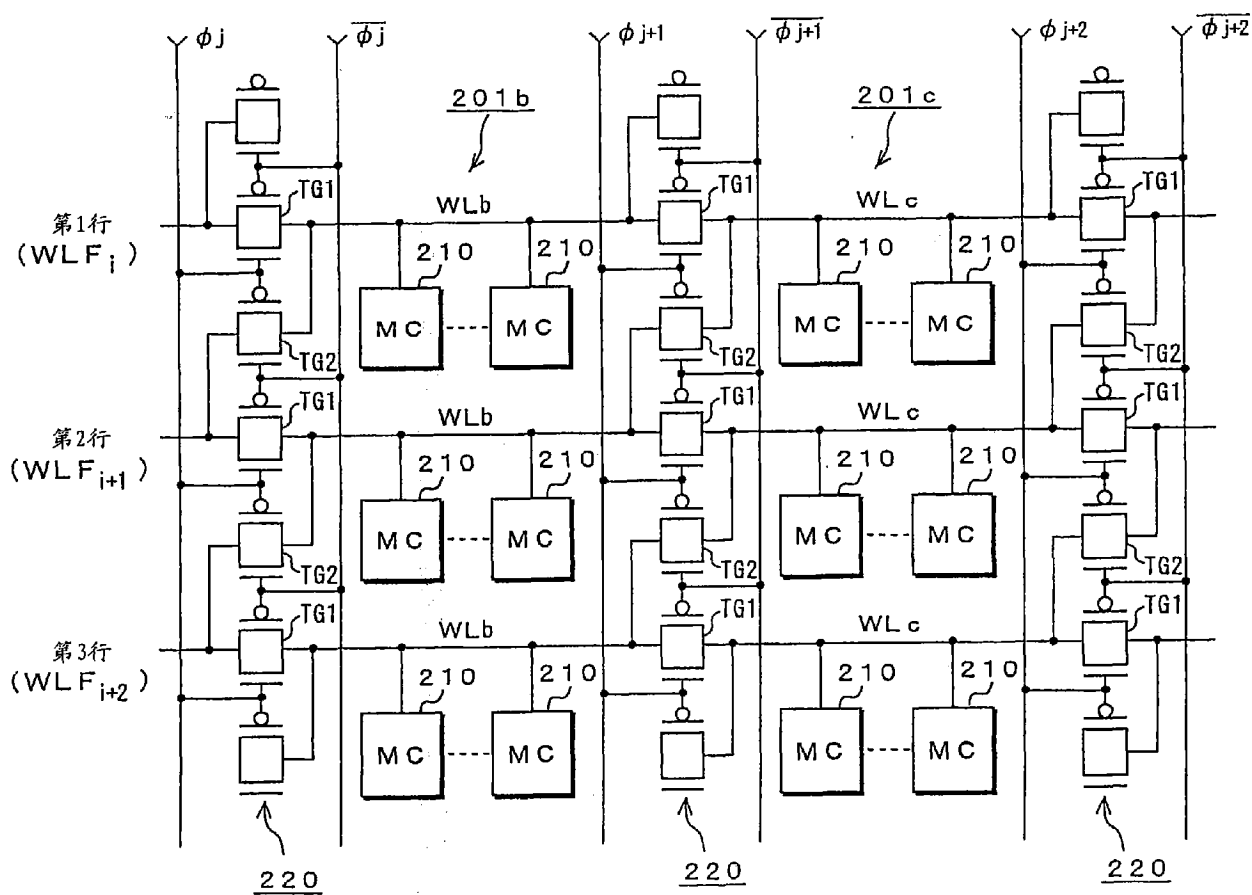


图 33

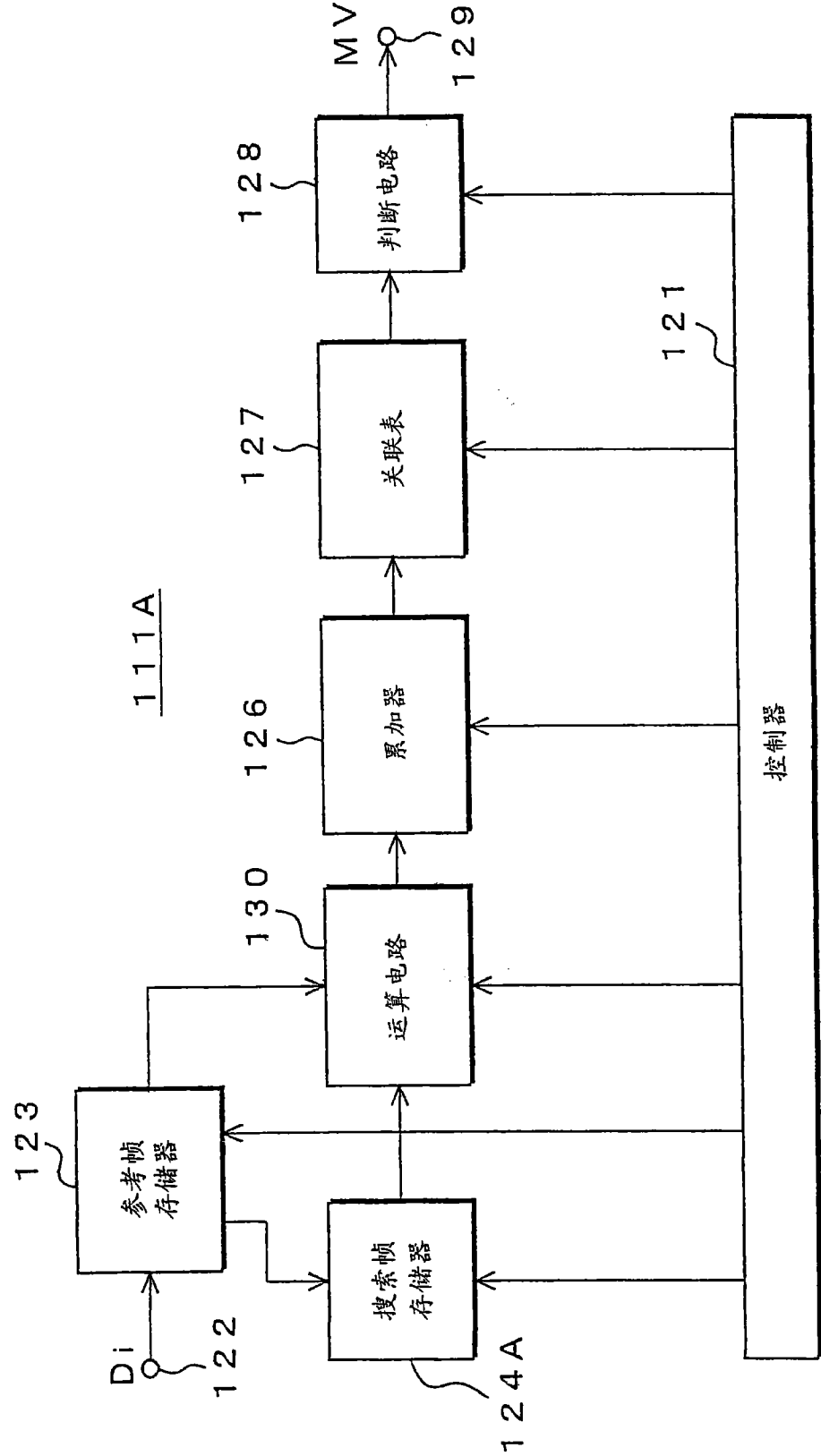


图 34

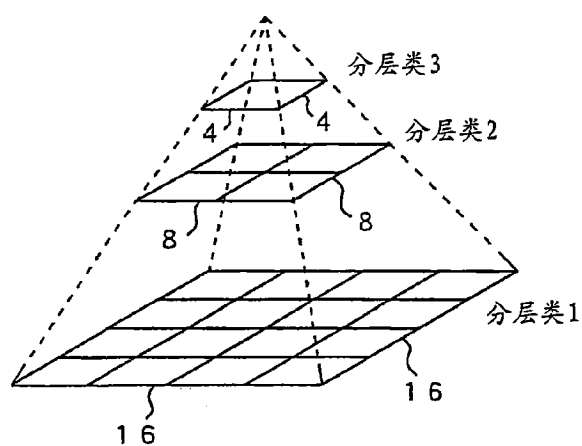


图 35A

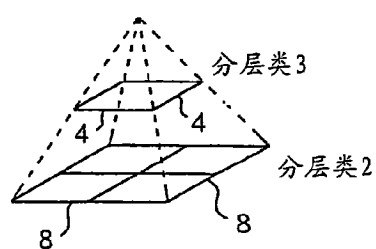


图 35B

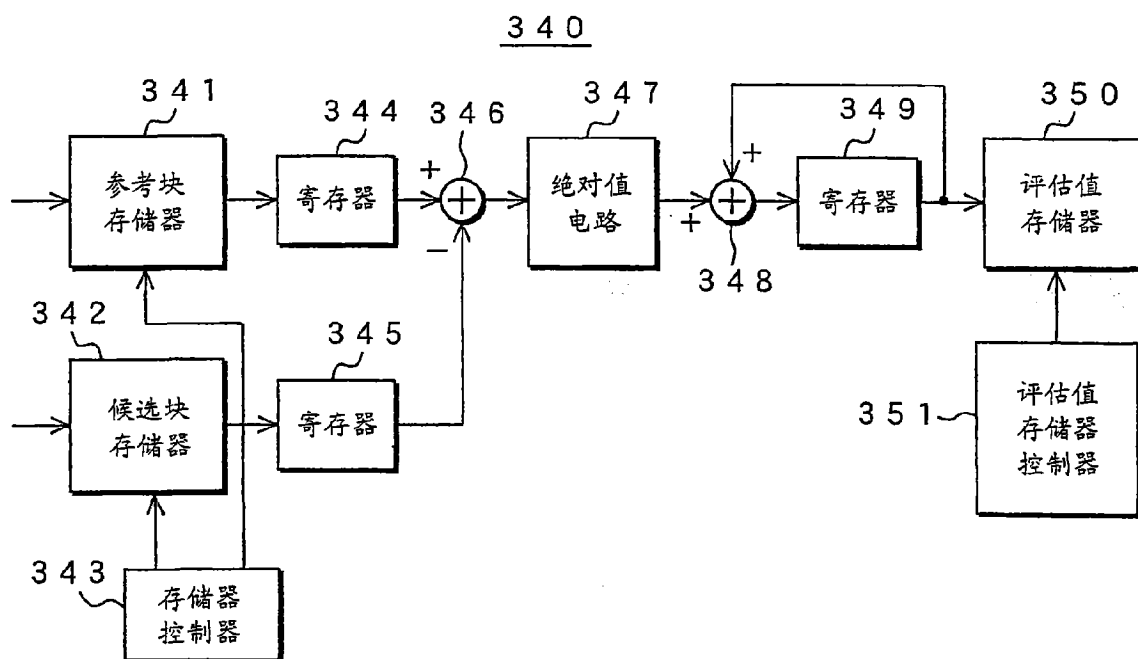


图 39

分层类3

z1	

b1	

分层类2

y1	y2		
y3	y4		

a1	a2		
a3	a4		

分层类1

x1	x2	x5	x6				
x3	x4	x7	x8				
x9	x10	x13	x14				
x11	x12	x15	x16				

图 36A

图 36B

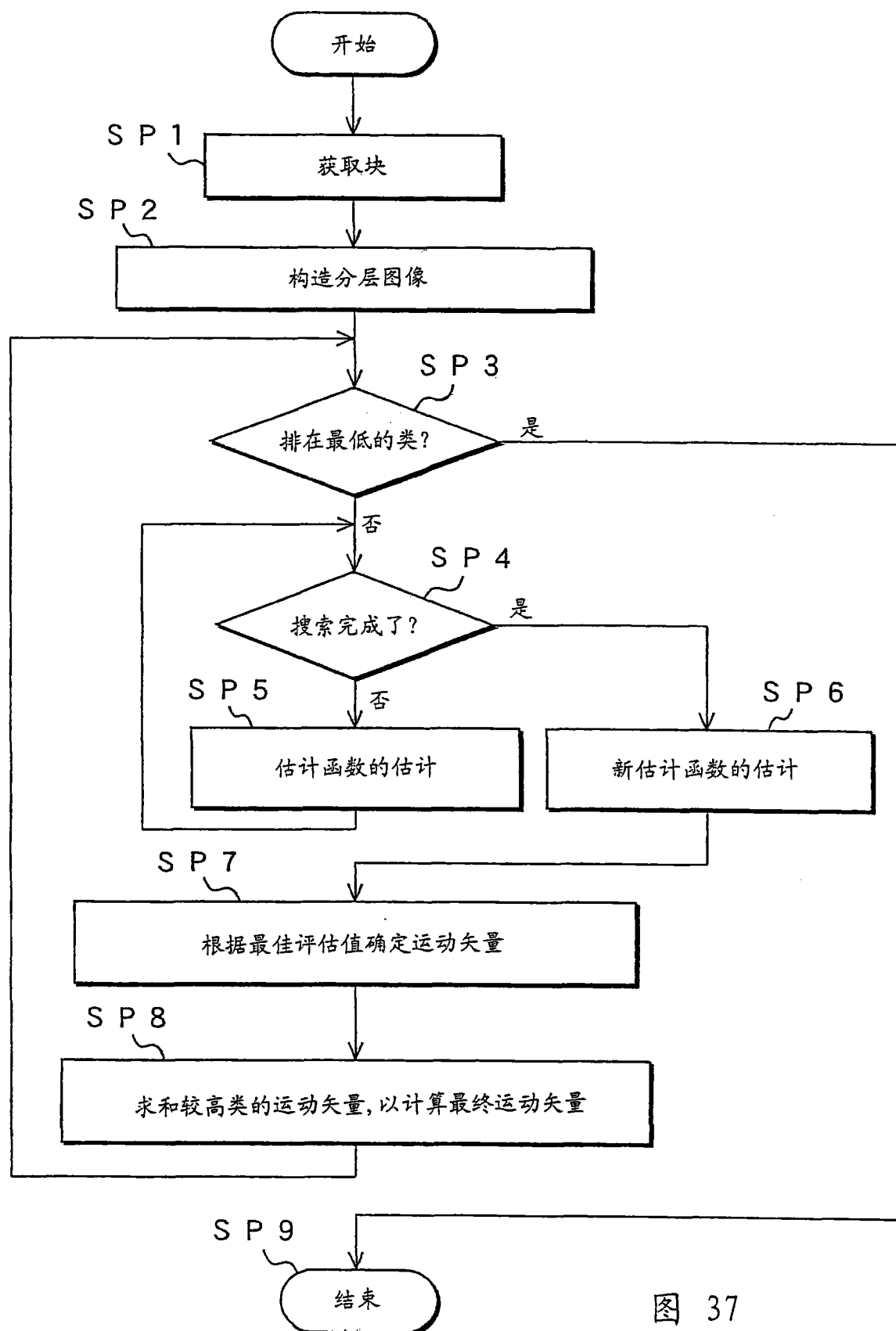


图 37

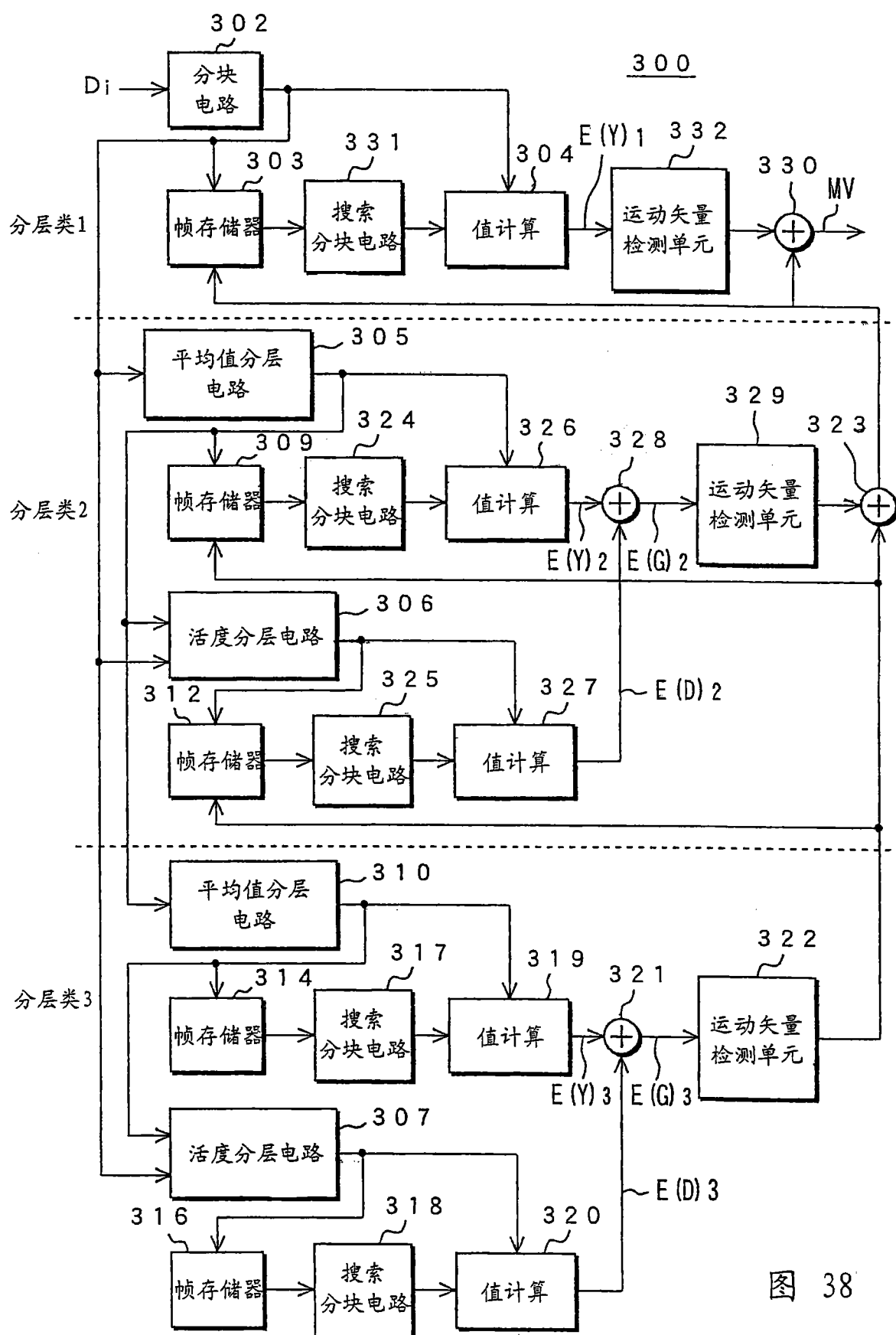


图 38

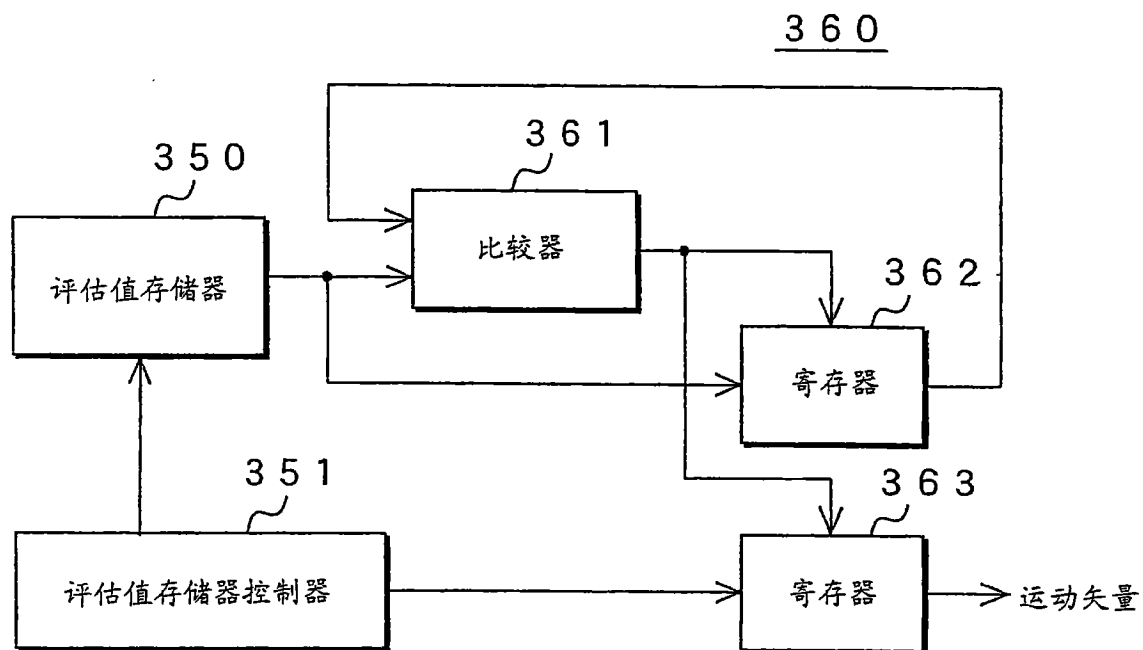


图 40

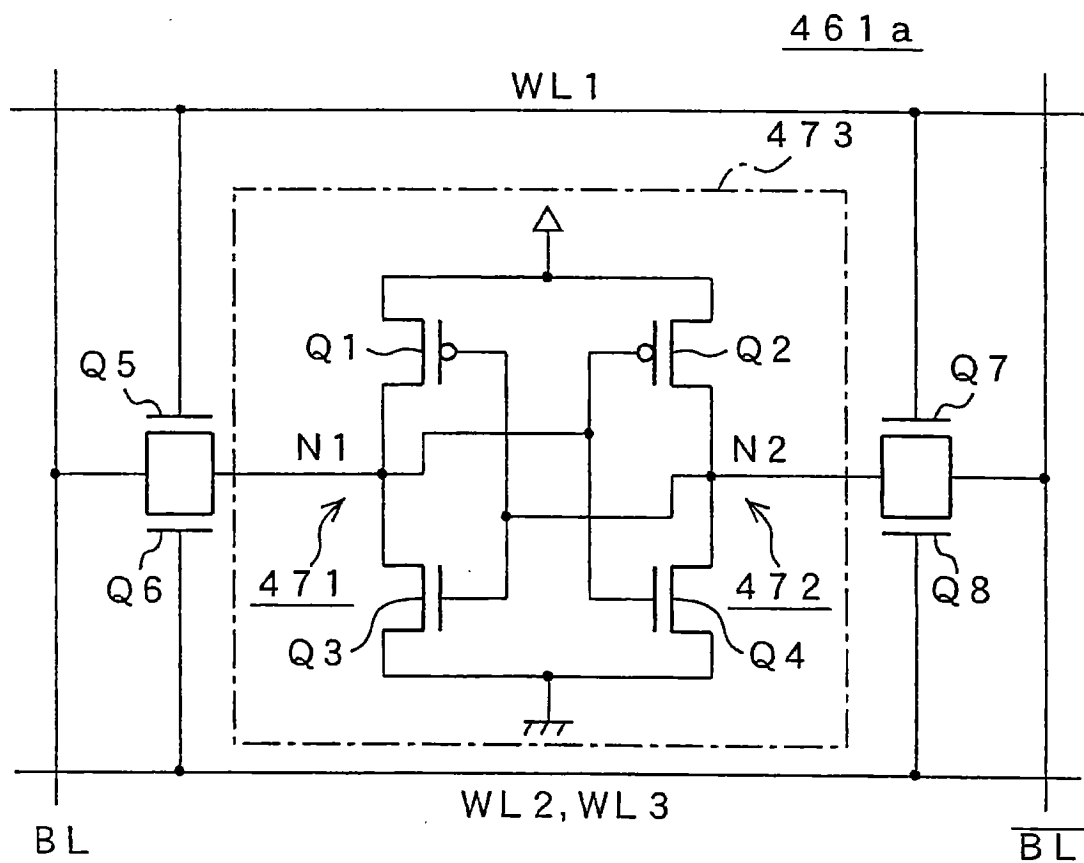


图 42

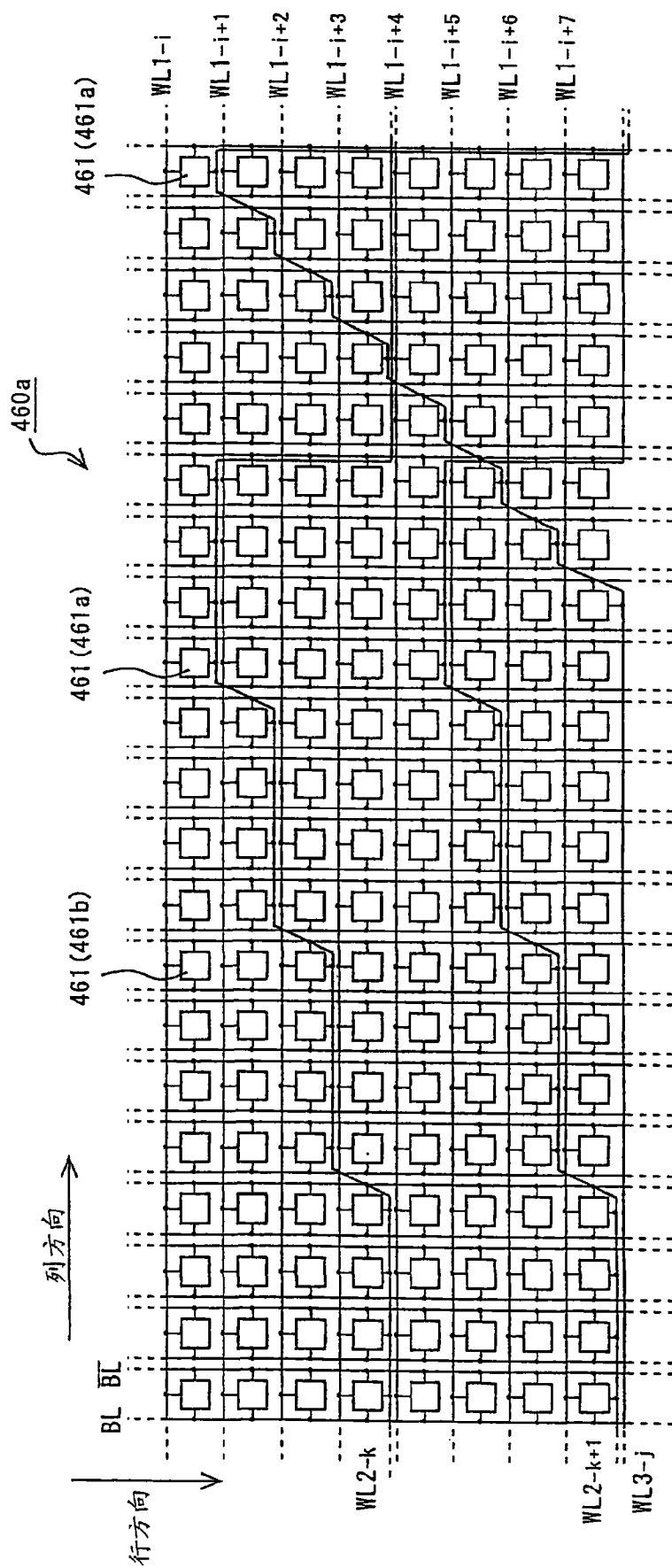


图 41

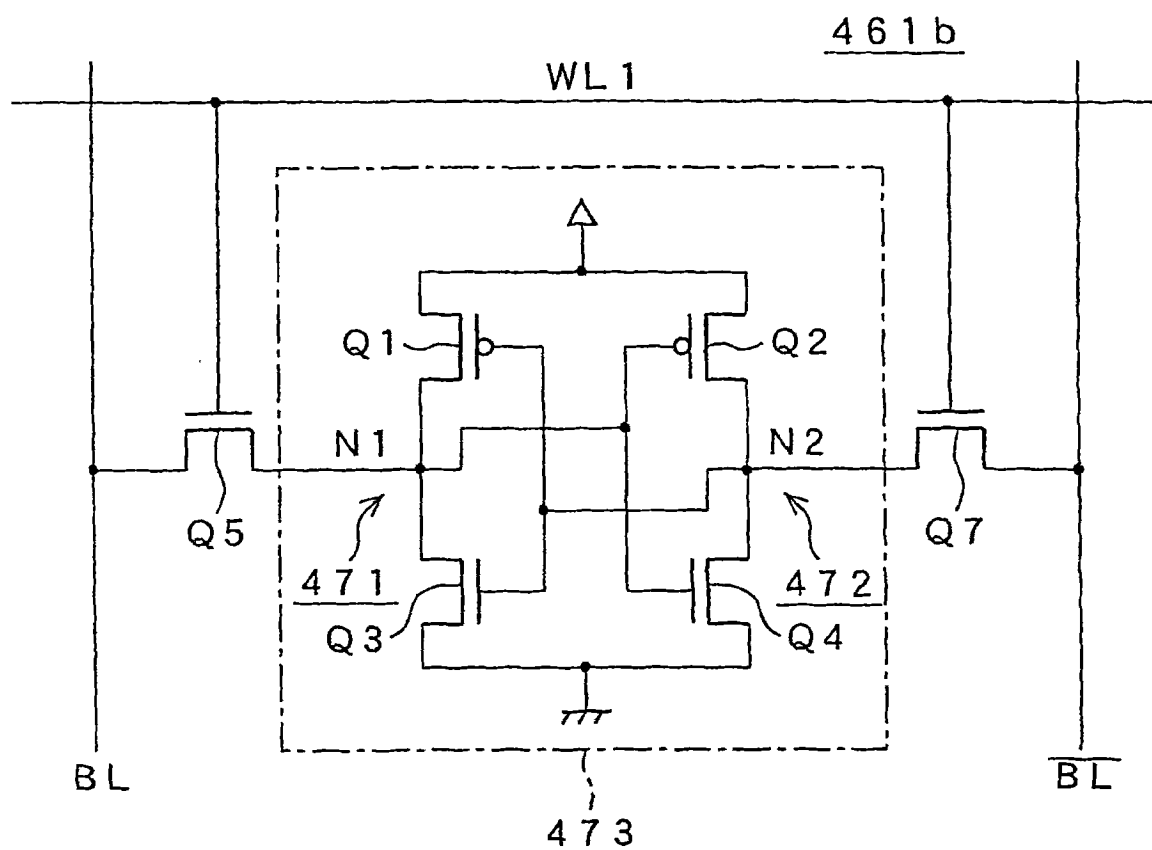


图 43

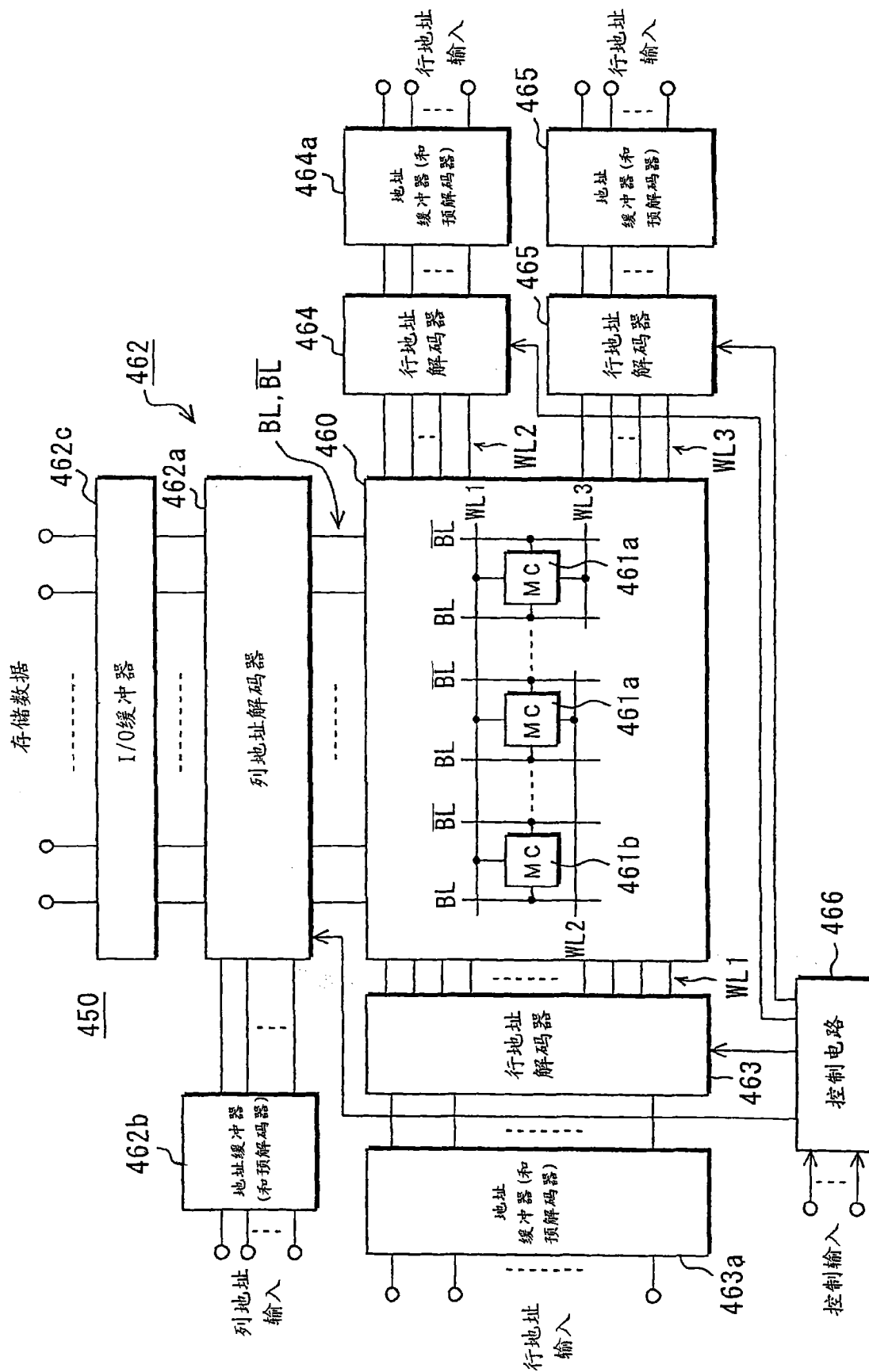


图 44