

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(21) 출원번호	10-2002-7001620	(65) 공개번호	10-2003-0009281
(22) 출원일자	2002년02월06일	(43) 공개일자	2003년01월29일
번역문 제출일자	2002년02월06일		
(86) 국제출원번호	PCT/JP2000/001158	(87) 국제공개번호	WO 2001/13378
국제출원일자	2000년02월28일	국제공개일자	2001년02월22일

(30) 우선권주장 JP-P-1999-00226913 1999년08월10일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와케 가와사키시 나카하라구 가미고다나카 4초메 1-1

(74) 대리인 김진환
송승필

심사관 : 조명관

(54) 비도정성 차지 트랩 게이트를 이용한 다중 비트 비회발성 메모리

요약

본 발명은 다중치 데이터를 기록할 수 있는 신규 구조의 프로그램 가능한 비휘발성 메모리를 제공하는 것을 과제로 한다. 본 발명은 반도체 기판의 표면에, 제1 및 제2 소스·드레인 영역(SD1, SD2)과, 그 사이의 채널 영역 상에, 절연막을 통해 비도전성 트랩 게이트(TG)와 도전성 플로팅 게이트(CG)를 갖는 비휘발성 메모리이다. 또한, 본 발명의 비휘발성 메모리는 제1 및 제2 소스·드레인 영역(SD1, SD2) 사이에 전압을 인가하여 제1 또는 제2 소스·드레인 영역 근방에 발생시킨 열전자를 이들 근방의 제1 또는 제2 트랩 게이트 영역(TSD1, TSD2)에 국소적으로 포획하는 제1 또는 제2 상태와, 콘트롤 게이트와 채널 영역 사이에 전압을 인가하여 트랩 게이트(TG) 전체에 전자(또는 전하)를 주입하는 제3 상태를 갖는다. 상기한 제3 상태로 할 것인지의 여부에 의해 1 비트의 정보가 기록되고, 제1 및 제2 상태로 할 것인지의 여부에 의해 2 비트의 정보가 기록된다. 따라서, 합계 3 비트의 정보가 하나의 메모리 셀 내에 기록되게 된다.

대표도

도 4

명세서

기술분야

본 발명은 비도전성 차지 트랩 게이트를 이용하여 하나의 메모리 셀 내에 다중 비트 정보를 기록할 수 있는 신규의 비휘발성 메모리에 관한 것이다.

배경기술

반도체를 이용한 비휘발성 메모리는 전원을 오프시키더라도 정보를 유지할 수 있고, 또한 고속으로 판독할 수 있기 때문에, 정보 기록 매체로서 널리 이용되고 있다. 최근에는 휴대 정보 단말에 이용되거나, 디지털 카메라나 MP3 데이터의 디지털 뮤직 등의 기록 매체로서 이용되고 있다.

현재 보급되고 있는 플래시 메모리 등의 비휘발성 메모리는 소스 및 드레인 영역 사이의 채널 영역 상에 도전성 플로팅 게이트와 콘트롤 게이트를 갖는 구조이다. 이러한 비휘발성 메모리는 플로팅 게이트가 게이트 절연막 내에 매립되어 구성되고, 이 플로팅 게이트에 전하(차지)를 주입하거나 주입하지 않음으로써, 1 비트의 정보를 기억시킨다. 이러한 보급형의 비휘발성 메모리는 플로팅 게이트가 도전성이기 때문에, 게이트 산화막에 약간이라도 결함이 존재하면, 그 결함을 통하여 플로팅 게이트 내의 전자가 전부 소실되어 버려, 신뢰성을 높일 수 없는 문제가 있다.

상기한 보급형의 비휘발성 메모리와는 별도로, 플로팅 게이트 대신에 비도전성 차지 트랩 게이트를 설치하고, 소스측 및 드레인측에 차지를 트랩시켜, 2 비트의 정보를 기억하는 새로운 타입의 비휘발성 메모리가 제안되고 있다. 예컨대, PCT 출원, WO99/07000 「Two Bit Non-Volatile Electrically Erasable and Programmable Semiconductor Memory Cell Utilizing Asymmetrical Charge Trapping」에 이러한 비휘발성 메모리가 기재되어 있다. 이 비휘발성 메모리는 트랩 게이트가 비도전성이기 때문에, 국소적으로 주입한 전자가 소실될 확률은 낮아, 신뢰성을 높일 수 있다.

도 1의 (a) 및 도 1의 (b)는 상기 종래의 2 비트 비휘발성 메모리의 구성을 도시한 도면이다. 도 1의 (a)는 그 단면도이며, 도 1의 (b)는 그 등가 회로도이다. 실리콘 기판(1)의 표면에 소스·드레인 영역(SD1, SD2)이 형성되고, 실리콘 질화막 등으로 형성되는 트랩 게이트(TG)와 도전 채료의 콘트롤 게이트(CG)가 채널 영역 상에 형성된다. 트랩 게이트(TG)는 실리콘 산화막 등의 절연막(2) 내에 매립되어 있고, 전체적으로 MONOS(Metal-Oxide-Nitride-Oxide-Semiconductor) 구조가 된다. 실리콘 질화막과 실리콘 산화막과의 밴드갭의 차를 이용하여, 실리콘 질화막에 차지를 트랩시켜 유지시킬 수 있다.

이 비휘발성 메모리의 특징적인 구조는, 트랩 게이트(TG)가 유전체 등의 비도전성 물질로 이루어지고, 이 트랩 게이트(TG)에 차지를 주입한 경우, 트랩 게이트 내를 차지가 이동할 수 없다. 따라서, 제1 소스·드레인 영역(SD1) 근방에 차지를 주입한 경우와, 제2 소스·드레인 영역(SD2) 근방에 차지를 주입한 경우를 구별할 수 있어, 2 비트의 데이터를 기록할 수 있다.

도 1의 (b)는 상기 2 비트의 비휘발성 메모리의 등가 회로도이다. 트랩 게이트(TG)가 비도전성이기 때문에, 제1 소스·드레인 영역(SD1) 근방의 제1 트랩 게이트 영역(TSD1)과, 제2 소스·드레인 영역(SD2) 근방의 제2 트랩 게이트 영역(TSD2)으로, 각각의 MOS 트랜지스터가 형성되어 있는 구조와 등가가 된다. 그리고, 후술하는 판독이나 프로그램(기록) 동작에서는 제1 및 제2 소스·드레인 영역(SD1, SD2)은 한쪽이 소스 영역으로서 또는 드레인 영역으로서 이용되기 때문에, 본 명세서에서는 각각, 제1 소스·드레인 영역(SD1) 및 제2 소스·드레인 영역(SD2)이라 칭한다.

도 2의 (a) 내지 도 2의 (e)는 종래의 2 비트 비휘발성 메모리의 프로그램, 소거 및 판독을 설명하기 위한 도면이다. 제1 소스·드레인 영역(SD1)에 인가되는 전압을 V(SD1)라고 하고, 제2 소스·드레인 영역(SD2)에 인가되는 전압을 V(SD2)라고 하며, 콘트롤 게이트에 인가되는 전압을 Vg라고 한다.

도 2의 (a)에 나타내는 바와 같이, 비휘발성 기억 메모리의 프로그램(기록)은 예컨대 $V_g=10\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=6\text{ V}$ 를 인가하고, 제2 소스·드레인 영역(SD2) 근방에서 발생한 열전자(hot electron)를 제2 소스·드레인 영역(SD2)에 가까운 제2 트랩 게이트 영역(TSD2) 내에 주입함으로써 행해진다.

또, 소거 동작에서는 콘트롤 게이트(CG)에 $V_g=-5\text{ V}$ 를, 제1 또는 제2 소스·드레인 영역(SD1 또는 SD2)에, 또는 그 양쪽 모두에 5 V 를 인가하고, FN 터널(파울러·노드하임·터널) 현상을 이용하여 트랩 게이트(TG) 속에서 전자를 추출한다. 이와 동시에 소스·드레인 영역(SD1, SD2) 근방에서 발생한 열정공(hot hole)을 트랩 게이트(TG)에 주입함으로써, 트랩 게이트(TG) 내의 전하를 중화시킨다.

다음에, 판독은 제1 및 제2 소스·드레인 영역(SD1, SD2) 사이에, 프로그램과는 반대 방향의 전압을 인가하고, 제2 트랩 게이트 영역(TSD2)에 전자가 트랩되어 있는지 여부를 검출한다. 즉, 제2 트랩 게이트 영역(TSD2)의 상태를 판독하기 위해서는 예컨대 $V_g=3\text{ V}$, $V(SD1)=1.6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 를 인가한다. 여기서, 도 2의 (c)와 같이, 제2 소스·드레인 영역(SD2) 부근의 제2 트랩 게이트 영역(TSD2)에 전자가 존재하면, 게이트 아래의 채널이 제2 소스·드레인 영역(SD2)까지 이어지지 않아, 채널 전류가 흐르지 않는다(0 데이터 저장 상태). 역으로 도 2의 (d)와 같이, 제2 소스·드레인 영역(SD2) 부근의 제2 트랩 게이트 영역(TSD2)에 전자가 존재하지 않으면, 채널이 제2 소스·드레인 영역(SD2)까지 이어져, 채널 전류가 흐른다(1 데이터 저장 상태). 이렇게 해서, 제2 트랩 게이트 영역(TSD2)에 전자가 축적되어 있는지 여부를 셀 트랜지스터의 온·오프, 즉 전류의 유무로 검출할 수 있다.

또, 비휘발성 기억 메모리의 판독에 있어서, 도 2의 (e)와 같이, $V_g=3\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=1.6\text{ V}$ 로서, 제1 및 제2 소스·드레인 영역 사이의 전압 인가 상태를 상기 도 2의 (c)와 역으로 하면, 만일 제2 트랩 게이트 영역(TSD2)에 전자가 존재하더라도, 채널이 핀치·오프(pinch off)된 MOS 트랜지스터와 동일한 상태가 되어, 채널 전류가 흐른다. 따라서, 이러한 전압 인가 상태에서는 제1 소스·드레인 영역(SD1) 부근의 제1 트랩 게이트 영역(TSD1)에 전자가 축적되어 있는지 여부를, 제2 트랩 게이트 영역(TSD2)의 전자의 유무에 관계없이 검출할 수 있다.

상기한 바와 같이, 종래의 메모리에서는 제1 소스·드레인 영역(SD1) 부근의 질화막의 영역(TSD1)과 제2 소스·드레인 영역(SD2) 부근의 질화막의 영역(TSD2)에 전자를 축적하거나 축적하지 않거나 함으로써, 2 비트의 정보를 기록할 수 있어, 대용량화나 칩 면적 축소에 의한 1 칩당 비용 절감에 유리하다.

도 3의 (a) 내지 도 3의 (d)는 상기 비휘발성 메모리의 2 비트의 정보를 기록한 상태를 도시한 도면이다. 도면 중 검은색의 원은 전자를 나타낸다. 도 3의 (a)는 제1 및 제2 트랩 게이트 영역(TSD1, TSD2) 중 어디에도 전자가 포획되어 있지 않은 상태로 데이터=11을 나타낸다. 도 3의 (b)는 제2 트랩 게이트 영역(TSD2)에 전자가 포획되어 있는 상태로 데이터=01을 나타낸다. 도 3의 (c)는 제1 및 제2 트랩 게이트 영역(TSD1, TSD2)에 전자가 포획되어 있는 상태로 데이터=00을 나타내고, 또한 도 3의 (d)는 제1 트랩 게이트 영역(TSD1)에 전자가 포획되어 있는 상태로 데이터=10을 나타낸다.

상기한 2 비트 비휘발성 메모리는 하나의 메모리 셀로 2 비트를 기억할 수 있고, 대용량화에 유리하지만, 최근의 비휘발성 메모리에 요구되는 대용량화의 요청은 더욱 엄격하다. 즉, 정지 화상 데이터로부터 음악 데이터, 또한 동영상 데이터까지 기록할 것이 요구되는 경우, 더욱 많은 비트를 하나의 메모리 셀로 기록할 수 있을 것이 요구된다.

그래서, 본 발명의 목적은 하나의 메모리 셀로 3 비트의 정보를 기록할 수 있는 신규의 비휘발성 메모리를 제공하는 데에 있다.

또한, 본 발명의 목적은 하나의 메모리 셀로 3 비트의 정보를 기록할 수 있는 신규의 비휘발성 메모리의 판독 방법, 프로그램 방법 및 소거 방법 등을 제공하는 데에 있다.

발명의 상세한 설명

상기한 목적을 달성하기 위해서, 본 발명의 하나의 측면은 반도체 기판의 표면에 제1 및 제2 소스·드레인 영역과, 그 사이의 채널 영역 상에 절연막을 통해 비도전성 트랩 게이트와 도전성 게이트를 갖는 비휘발성 메모리이다. 또한, 본 발명의 비휘발성 메모리는 제1 및 제2 소스·드레인 영역 사이에 전압을 인가하여 제1 또는 제2 소스·드레인 영역 근방에 발생시킨 열전자를 이들 근방의 제1 또는 제2 트랩 게이트 영역에 국소적으로 포획하는 제1 또는 제2 상태와, 콘트롤 게이트와 채널 영역 사이에 전압을 인가하여 트랩 게이트 전체에 전자(또는 전하)를 주입하는 제3 상태를 갖는다.

상기한 제3 상태로 할 것인지의 여부에 의해 1 비트의 정보가 기록되고, 제1 및 제2 상태로 할 것인지의 여부에 의해 2 비트의 정보가 기록된다. 따라서, 합계 3 비트의 정보가 하나의 메모리 셀 내에 기록되게 된다.

상기한 목적을 달성하기 위해서 본 발명의 다른 측면은 다중 비트 정보를 기록하는 비휘발성 메모리에 있어서, 반도체 기판 표면에 형성된 제1 및 제2 소스·드레인 영역과, 그 사이의 채널 영역 상에 형성된 제1 절연층, 비도전성 트랩 게이트, 제2 절연층 및 콘트롤 게이트를 포함하고, 상기 트랩 게이트 내에 국소적으로 전하를 트랩하는 제1 상태와, 상기 트랩 게이트 전체에 전하를 주입하는 제2 상태를 갖는 것을 특징으로 한다.

상기한 발명에 따르면, 비도전성 트랩 게이트 전체에 전자를 주입하는 경우와, 국소적으로 주입하는 경우에 있어서, 서로 다른 데이터를 기록할 수 있다. 국소적으로 주입하는 위치를 복수의 위치로 함으로써, 보다 많은 데이터를 기록할 수 있다.

상기한 발명의 바람직한 실시예는 상기 제1 상태로의 기록에는 상기 제1 및 제2 소스·드레인 영역 사이에 소정의 전압을 인가하여 상기 채널 영역에 발생시킨 열전자를 주입함으로써 이루어지고, 상기 제2 상태로의 기록에는 상기 반도체 기판과 상기 콘트롤 게이트 사이에 소정의 전압을 인가하여 전하를 터널 주입함으로써 이루어지는 것을 특징으로 한다.

상기한 발명의 바람직한 실시예는 상기 반도체 기판과 상기 콘트롤 게이트 사이에 소정의 소거 전압을 인가하고, 상기 트랩 게이트 전체 또는 상기 트랩 게이트의 국소 영역에 존재하는 전하를 추출함으로써, 소거 동작이 이루어지는 것을 특징으로 한다.

상기한 발명의 바람직한 실시예는 순서대로 전압이 다른 제1 판독 전압, 제2 판독 전압 및 제3 판독 전압을 가지며, 상기 제2 판독 전압이 상기 콘트롤 게이트에 인가되어 상기 제2 상태인지의 여부가 판독되고, 상기 제1 또는 제3 판독 전압이 상기 콘트롤 게이트에 인가되어 상기 제1 상태인지의 여부가 판독되는 것을 특징으로 한다.

상기 목적을 달성하기 위해서, 본 발명의 또 다른 측면은 다중 비트 정보를 기록하는 비휘발성 메모리에 있어서,

반도체 기판 표면에 형성된 제1 및 제2 소스·드레인 영역과, 그 사이의 채널 영역 상에 형성된 제1 절연층, 비도전성 트랩 게이트, 제2 절연층 및 콘트롤 게이트를 포함하고,

상기 트랩 게이트 내의 상태로서 상기 제1 소스·드레인 영역 근방의 제1 트랩 게이트 영역에 전하를 트랩하는 제1 상태와, 상기 트랩 게이트 내의 상태로서 상기 제2 소스·드레인 영역 근방의 제2 트랩 게이트 영역에 전하를 트랩하는 제2 상태와, 상기 트랩 게이트 전체에 전하를 주입하는 제3 상태를 갖는 것을 특징으로 한다.

도면의 간단한 설명

도 1의 (a) 및 도 1의 (b)는 종래의 2 비트 비휘발성 메모리의 구성을 도시한 도면이다.

도 2의 (a) 내지 도 2의 (e)는 종래의 2 비트 비휘발성 메모리의 프로그램, 소거 및 판독을 설명하기 위한 도면이다.

도 3의 (a) 내지 도 3의 (d)는 종래의 비휘발성 메모리의 2 비트의 정보를 기록한 상태를 도시한 도면이다.

도 4는 본 실시예에 있어서의 비휘발성 메모리의 3 비트 정보에 대응하는 전자의 트랩 상태를 도시한 도면이다.

도 5는 본 실시예에 있어서의 비휘발성 메모리의 3 비트 정보에 대응하는 임계치 전압의 상태를 도시한 도면이다.

도 6은 본 실시예에 있어서의 비휘발성 메모리의 제1 판독 동작의 흐름도이다.

도 7은 본 실시예에 있어서의 메모리 셀 어레이의 예를 도시하는 회로도이다.

도 8은 본 실시예에 있어서의 비휘발성 메모리의 제2 판독 동작의 흐름도이다.

도 9는 제2 판독 동작에서 이용하는 센스 앤프 회로의 회로도이다.

도 10은 본 실시예에 있어서의 비휘발성 메모리의 기록(프로그램) 동작을 설명하는 흐름도이다.

도 11은 본 실시예에 있어서의 비휘발성 메모리의 기록(프로그램) 동작을 설명하는 흐름도이다.

도 12의 (a) 내지 도 12의 (d)는 본 실시예에 있어서의 비휘발성 메모리의 소거 동작을 도시한 도면이다.

실시예

이하, 도면을 참조하여 본 발명의 실시예를 설명한다. 그러나, 이러한 실시예가 본 발명의 기술적 범위를 한정하는 것은 아니다.

본 실시예의 비휘발성 메모리는 도 1의 (a) 및 도 1의 (b)에 도시한 바와 같이, 예컨대 P형의 반도체 기판(1)의 표면에, N 형의 제1 및 제2 소스·드레인 영역(SD1, SD2)을 갖는다. 또한, 이들 사이의 채널 영역 상에는 순서대로 실리콘 산화막(2), 예컨대 실리콘 질화막으로 이루어지는 비도전성 트랩 게이트(TG), 실리콘 산화막(2), 그리고 도전성 콘트롤 게이트(CG)가 형성된다. 트랩 게이트(TG)는 실리콘 산화막(2)에 매립되고, 전기적으로 플로팅 상태로 있다. 또한, 트랩 게이트(TG)는 비도전성 재료가 바람직하고, 실리콘 질화막 등의 절연성 물질이 이용된다.

본 실시예의 비휘발성 메모리는 트랩 게이트(TG)에 국소적으로 전자를 트랩하는지 여부의 상태에 부가하여, 트랩 게이트(TG) 내 전체에 전자를 트랩하는지 여부의 상태를 갖는다. 즉, 종래 예에서 나타낸 것과 같이, 제1 및 제2 소스·드레인 영역(SD1, SD2) 근방의 트랩 게이트(TG)의 영역에 열전자를 국소적으로 트랩함으로써, 2 비트 정보를 기록한다. 또한, 본 실시예에서는 트랩 게이트(TG) 전체에 콘트롤 게이트(CG)와 반도체 기판(1) 사이에 전계를 인가하여 전자를 터널 주입함으로써, 트랩 게이트 전체에 전자를 트랩하여, 1 비트의 정보를 더 기록한다.

도 4는 본 실시예에 있어서의 비휘발성 메모리의 3 비트 정보에 대응하는 전자의 트랩 상태를 도시한 도면이다. 또한, 도 5는 마찬가지로 본 실시예에 있어서의 비휘발성 메모리의 3 비트 정보에 대응하는 임계치 전압의 상태를 도시한 도면이다. 도 4에는 트랩 게이트(TG) 내의 전체 TALL에 전자가 트랩되어 있는 상태와, 트랩 게이트(TG)의 제1 및 제2 소스·드레인 영역(SD1, SD2) 근방의 국소적인 영역, 제1 및 제2 트랩 게이트 영역(TSD1, TSD2)에 전자가 트랩되어 있는 상태와의 조합이 도시된다. 또, 도 5에는 메모리 셀의 채널 영역을 제1 및 제2 트랩 게이트 영역(TSD1, TSD2)에 대응하는 부분과, 그 사이의 트랩 게이트의 중앙 영역(TCN)에 대응하는 부분으로 나뉘, 각각의 임계치 전압 상태를 나타낸다.

또, 도 5에 나타낸, 전압 V(0), V(1) 및 V(2)는 판독시에 콘트롤 게이트(CG)에 인가되는 제1, 제2 및 제3 판독 전압을 나타낸다. 또한, 본 실시예에 있어서, 데이터 0은 판독 전압을 인가하여 채널에 전류가 흐르지 않는 상태(비도통)에 대응하고, 데이터 1은 채널 전류가 흐르는 상태(도통)에 대응한다.

본 실시예의 비휘발성 메모리는 3 비트의 정보를 기억하지만, 트랩 게이트(TG) 전체에 전자가 포획되는지 여부에 의해 최상위 비트의 정보를, 제1 트랩 게이트 영역(TSD1)에 전자가 포획되는지 여부에 의해 2 비트번째의 정보를, 그리고 제2 트랩 게이트 영역(TSD2)에 전자가 포획되는지 여부에 의해 3 비트번째(최하위 비트)의 정보를 각각 기억한다.

최초에, 메모리 셀은 트랩 게이트(TG)에 어떠한 전자도 트랩되어 있지 않은 상태에서, 데이터=111을 기억한다. 이 상태에서는 도 5에 나타내는 바와 같이, 3 개의 영역(TSD1, TSD2, TCN)(트랩 게이트의 중앙 영역) 모두 임계치 전압은 낮은 상태에 있다. 즉, 전압 V(0)보다 낮은 상태에 있다.

다음에, 메모리 셀은 제2 트랩 게이트(TSD2)에 전자가 트랩되어 있는 상태에서, 데이터=110을 기억한다. 이 상태에서는 도 5에 나타내는 바와 같이, 영역(TSD2)에 있어서의 임계치 전압만이, 제1 판독 전압 V(0)보다 높아진다. 그 이외의 영역(TSD1, TCN)에 있어서의 임계치 전압은 제1 판독 전압 V(0)보다 낮은 채 그대로이다.

또한, 제1 트랩 게이트(TSD1)에 전자가 트랩되어 있는 상태에서, 데이터=101을 기억한다. 이 상태에서는 도 5에 나타내는 바와 같이, 영역(TSD1)에서의 임계치 전압만이 제1 판독 전압 V(0)보다 높아진다. 그 이외의 영역(TSD2, TCN)에 있어서의 임계치 전압은 제1 판독 전압 V(0)보다 낮은 채 그대로이다.

그리고, 제1 및 제2 트랩 게이트(TSD1, TSD2)에 전자가 트랩되어 있는 상태에서, 데이터=100을 기억한다. 이 상태에서는 도 5에 나타내는 바와 같이, 영역(TSD1, TSD2)에 있어서의 임계치 전압이 제1 판독 전압 V(0)보다 높아진다. 그리고, 중앙 영역(TCN)에 있어서의 임계치 전압은 제1 판독 전압 V(0)보다 낮은 채 그대로이다.

상기한 3 가지의 상태는 후술하는 바와 같이, 제2 판독 전압 V(1)과 제1 판독 전압 V(0)을 이용함으로써, 판독하는 것이 가능하다.

데이터=011, 010, 001, 000은 모두 트랩 게이트(TC) 전체에 전자가 트랩되어 있는 상태로서, 상기와 같이, 각각 제1 및 제2 트랩 게이트 영역(TSD1, TSD2)에 전자가 트랩되어 있지 않은 상태(011), 제2 트랩 게이트 영역(TSD2)에 전자가 트랩되어 있는 상태(010), 제1 트랩 게이트 영역(TSD1)에 전자가 트랩되어 있는 상태(001) 및 제1 및 제2 트랩 게이트(TSD1, TSD2) 양쪽 모두에 전자가 트랩되어 있는 상태(000)에 대응한다.

그 경우, 도 5에 나타내는 바와 같이, 상기 4 개의 상태는 모든 영역(TSD1, TSD2, TCN)에서 임계치 전압이 제2 판독 전압 V(1)보다 높다. 그리고, 영역(TSD1, TSD2)이 제3 판독 전압 V(2)보다 높거나 또는 낮거나로 나뉜다. 즉, 파울러 노드

하임 터널 현상(이하, FN 터널 현상이라 칭함)에 의해, 트랩 게이트(TG) 전체에 전자가 주입되면, 그만큼 메모리 셀 트랩 게이트의 임계치 전압은 제2 판독 전압 V(1)보다도 높아진다. 그리고, 또한 제1 또는 제2 트랩 게이트 영역(TSD1, TSD2)에 국소적으로 전자를 터널 주입하면, 각각 대응하는 영역의 임계치 전압이 제3 판독 전압 V(2)보다 높아진다.

따라서, 상기 4 개의 상태는 제2 판독 전압 V(1)과 제3 판독 전압 V(2)에 의해 판독할 수 있다.

다음에, 본 실시예에 있어서의 비휘발성 메모리의 기록(프로그램) 동작, 판독 동작, 그리고 소거 동작을 순서에 따라 설명한다.

[판독 동작 1]

제1 판독 동작으로서, 3 비트의 데이터를 한번에 판독하는 경우에 관해서 설명한다. 도 6은 본 실시예에 있어서의 비휘발성 메모리의 제1 판독 동작의 흐름도이다. 3 비트의 데이터를 검출하기 위해서는 5 개의 공정(S1~S5)을 필요로 한다. 이하에 설명하는 바와 같이, 제1, 제2 및 제3 판독 전압 V(0), V(1) 및 V(2)를 적절하게 콘트롤 게이트(CG)에 인가하고, 제1 및 제2 소스·드레인 영역에 전압 V(SD1) 및 V(SD2)를 양쪽 영역 사이에 우측 방향 또는 좌측 방향의 전계가 되도록 적절하게 인가하여 판독이 이루어진다.

우선, 공정 S1에 도시한 바와 같이, 메모리 셀로의 인가 전압을 $V_g=V(0)$, $V(SD1)=1.6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 한다. 이때, 셀 트랜지스터가 도통(데이터 1 판독)이면, 중심의 임계치 전압(이하, $V_{t\#center}$ 라 칭함)은 제1 판독 전압 V(0)보다 작고, 또한 제2 트랩 게이트 영역(TSD2) 부근의 임계치 전압(이하, $V_{t\#sd2}$ 라 칭함)은 제1 판독 전압 V(0)보다 작기 때문에, 저장되어 있는 데이터는 101이나 111임을 알 수 있다. 셀 트랩 게이트가 비도통(데이터 0 판독)이면, 중심의 임계치 전압은 $V_{t\#center}>V(0)$ 또는 $V_{t\#sd2}>V(0)$ 로 생각되며, 그 이외의 데이터가 저장되어 있음이 검출된다.

다음에 공정 S2에 도시한 바와 같이, 콘트롤 게이트로의 인가 전압은 $V_g=V(0)$ 그대로이고, 제1 및 제2 소스·드레인 영역의 인가 전압 $V(SD1)$ 과 $V(SD2)$ 를 교체한다. 이때, 공정 S1에서 도통하여 데이터 1이 판독되고, 공정 S2에서도 도통하여 데이터 1이 판독된 경우에는 임계치 전압은 $V_{t\#center}<V(0)$ 또는 $V_{t\#sd2}<V(0)$ 이며, 또한 제1 트랩 게이트 영역(TSD1) 부근의 임계치 전압(이하, $V_{t\#sd1}$ 라 칭함)은 제1 판독 전압 V(0)보다 작기 때문에, 데이터는 111이라 특정된다. 공정 S1에서 도통하여 데이터 1이 판독되고, 공정 S2에서 비도통으로 되어 데이터 0이 판독된 경우는 임계치 전압은 $V_{t\#center}<V(0)$, $V_{t\#sd2}<V(0)$ 및 $V_{t\#sd1}>V(0)$ 이기 때문에, 데이터는 101이라 특정된다.

한편, 공정 S1에서 비도통이 되어 데이터 0이 판독되고, 공정 S2에서 도통하여 데이터 1이 판독된 경우, 임계치 전압은 $V_{t\#center}<V(0)$, $V_{t\#sd2}>V(0)$ 및 $V_{t\#sd1}<V(0)$ 이기 때문에, 데이터는 110이라 특정된다. 공정 S1에서 비도통이 되어 데이터 0이 판독되고, 공정 S2에서도 비도통이 되어 데이터 0이 판독된 경우에는 $V_{t\#center}>V(0)$ 또는 $V_{t\#sd2}>V(0)$ 또는 $V_{t\#sd1}>V(0)$ 으로 생각되어, 상기에서 특정된 데이터 이외의 데이터가 저장되어 있다고 판정된다.

다음에, 공정 S3에서는 메모리 셀로의 인가 전압을 $V_g=V(2)$, $V(SD1)=1.6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 한다. 이 때, 셀 트랜지스터가 비도통이 되어 판독된 데이터가 0이면, 임계치 전압은 $V_{t\#sd2}>V(2)$ 이기 때문에, 저장되어 있는 데이터는 010이나 000임을 알 수 있다. 셀 트랜지스터가 도통하여 판독된 데이터가 1이면, 임계치 전압은 $V_{t\#sd2}<V(2)$ 이기 때문에, 저장되어 있는 데이터는 001, 100 및 011 중 어느 하나라고 판정할 수 있다.

다음에, 공정 S4에서는 콘트롤 게이트로의 인가 전압을 $V_g=V(2)$ 그대로, 제1 및 제2 소스·드레인 영역으로의 전압 $V(SD1)$ 과 $V(SD2)$ 를 교체한다. 이 때, 공정 S3에서 비도통이 되어 데이터 0이 판독되고, 공정 S4에서도 비도통이 되어 데이터 0이 판독된 경우에는 임계치 전압은 $V_{t\#sd2}>V(2)$ 또는 $V_{t\#sd1}>V(2)$ 이기 때문에, 데이터는 000이라 특정된다.

한편, 공정 S3에서 비도통이 되어 데이터 0이 판독되고, 공정 S4에서 도통이 되어 데이터 1이 판독된 경우에는 임계치 전압은 $V_{t\#sd2}>V(2)$ 또는 $V_{t\#sd1}<V(2)$ 이기 때문에, 데이터는 010이라 특정된다.

다른 한편, 공정 S3에서 도통하여 데이터 1이 판독되고, 공정 S4에서 비도통이 되어 데이터 0이 판독된 경우, 임계치 전압은 $V_{t\#sd2}<V(2)$ 또는 $V_{t\#sd1}>V(2)$ 이기 때문에, 데이터는 001이라 특정된다. 또한, 공정 S3에서 도통하여 데이터 1이 판독되고, 공정 S4에서도 도통하여 데이터 1이 판독된 경우, $V_{t\#center}<V(0)$, $V_{t\#sd2}>V(0)$ 또는 $V_{t\#sd1}>V(0)$ 이나, $V_{t\#center}>V(0)$, $V_{t\#sd2}<V(2)$ 또는 $V_{t\#sd1}<V(2)$ 의 2 개의 상태를 생각할 수 있다. 즉, 데이터 100이나 011이다.

최후로, 100인지 011인지를 특정하기 위해서, 공정 S5에 나타내는 바와 같이, 인가 전압을 $V_g=V(1)$, $V(SD1)=1.6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 한다. 제1 및 제2 소스·드레인 영역으로의 전압 $V(SD1)$ 과 $V(SD2)$ 는 역의 관계라도 좋다. 이 때, 콘트롤

케이트에 제2 판독 전압 V(1)이 인가되고 있기 때문에, 셀 트랜지스터가 도통하여 데이터 1이 판독되면, 임계치 전압은 $V_{t\#center} < V(1)$ 이기 때문에, 데이터는 100이라 특정된다. 역으로, 비도통이 되어 데이터 0이 판독되면, 임계치 전압은 $V_{t\#center} > V(1)$ 이기 때문에, 데이터는 011이라 특정된다.

이상의 메모리 셀로의 전압 인가의 예는 일례이며, 여러 가지 변형예를 생각할 수 있다. 예컨대, 최초에 상기 공정 S5와 같이, 콘트롤 게이트(CG)로의 전압(Vg)을 제2 판독 전압 V(1)으로 하고, 도통하는지 여부를 체크함으로써, 최상위 비트를 0이나 1로 분리할 수 있다. 그리고, 그 후, 상기한 공정 S1 및 S2를 실행함으로써, 데이터 111~100을 검출할 수 있다. 또는, 상기한 공정 S3 및 S4를 실행함으로써, 데이터 011~000을 검출할 수 있다.

도 7은 본 실시예에 있어서의 메모리 셀 어레이의 예를 도시하는 회로도이다. 도 7에는 4 라인의 비트선(BL0~BL3)과 2 라인의 워드선(WL0, WL1)이 도시되고, 이들의 교차 위치에 메모리 셀(MC00~MC13)이 배치된다. 각각의 메모리 셀의 제1 및 제2 소스·드레인 영역은 비트선에 접속되고, 콘트롤 게이트는 워드선에 접속된다.

워드선은 워드 디코더(WDEC)에 의해 선택되고, 비트선은 칼럼 디코더에 의해 선택된 칼럼 선호(CL0~CL3)에 의해 선택된 트랜지스터를 통해, 센스 앤프 및 소스 제어 회로(10A, 10B)에 접속된다. 또, 이들 회로(10A, 10B)가 판독한 데이터가 판독 회로(12)에 공급되고, 상기 판독 시퀀스의 결과, 3 비트의 데이터가 출력 단자(DQ0~DQ2)에 출력된다.

상하에 설치된 칼럼 게이트 트랜지스터(QCL0~QCL3)의 도통을 적절하게 조합함으로써, 메모리 셀의 제1 및 제2 소스·드레인 영역에 판독용의 전압을 인가할 수 있고, 메모리 셀의 도통과 비도통에 대응하는 데이터 1 및 0을 판독할 수 있다.

[판독 동작 2]

다음에, 3 비트의 데이터를 연속적으로 판독하는 제2 판독 동작을 설명한다. 도 8은 본 실시예에 있어서의 비휘발성 메모리의 제2 판독 동작의 흐름도이다. 또한, 도 9는 그 경우의 센스 앤프 회로의 회로도이다. 도 8 중의 공정 S1~S5는 도 6의 공정 S1~S5에 대응한다.

제2 판독 동작에서는 각 메모리 셀 내에 3 비트의 데이터가 기억되어 있기 때문에, 그 최상위 자릿수(트랩 게이트 전체에 전자가 트랩되어 있는지 여부)와, 2 번째의 자릿수(제1 트랩 게이트 영역에 전자가 트랩되어 있는지 여부)와, 3 번째의 자릿수(제2 트랩 게이트 영역에 전자가 트랩되어 있는지 여부)에, $3 \times n$ 번지, $3 \times n + 1$ 번지 및 $3 \times n + 2$ 번지(단, n은 0 이상의 정수)의 어드레스를 할당하여 판독 동작을 실행한다. 따라서, 도 8에서 A는 상기한 어드레스를 나타낸다.

도 9에 도시한 센스 앤프 회로는 비트선(BL)에 칼럼 게이트(QCL)를 통해 트랜지스터(P11, N10)로 이루어지는 프리센스 회로가 접속되고, 인버터(I5)를 통해 메인 앤프측에 접속된다. 래치 회로(I7)에는 트랩 게이트 전체에 전자가 트랩되어 있는지 여부의 최상위 자릿수의 데이터가 래치되어, 출력 인버터(P13, P14, N15, N16)를 통해 출력 단자(OUT)로 출력된다. 또, 제1 또는 제2 트랩 게이트 영역에 전자가 트랩되어 있는지 여부의 2자릿수째 및 3자릿수째의 데이터는 래치 회로(I26)에 래치되어, 출력 인버터(P17, P18, N19, N20)을 통해 출력 단자(OUT)에 출력된다.

도 8로 되돌아가, 최초에 n을 0으로 설정하고(S10), 어드레스를 최상위 자릿수의 $3 \times n$ 번지로 하여(S11) 데이터의 판독을 시작한다.

최초의 판독 공정으로서, 공정 S5에 나타내는 바와 같이, 콘트롤 게이트에 제2 판독 전압을 인가하여 [$V_g = V(1)$], 트랩 게이트 전체에 전자가 축적되어 있는지 여부를 체크한다. 이를 위해, 도 9의 센스 앤프 회로에서는 전압 인가를 $SNS1 = High$, $SNS2 = SNS3 = Low$ 로 하고, 트랜지스터(N12, P14, N15)를 도통시키며, 트랜지스터(N17, N18)를 비도통으로 하게 한다.

만일 트랩 게이트 전체에 전자가 축적되어 있으면, 메모리 셀(MC)은 도통하지 않고, 노드(n1)는 H 레벨이 되고, 인버터(I5)에 의해 반전되며, 래치 회로(I7)에 래치되고, 출력은 $OUT = Low$ (데이터 0)로 된다. 만일 트랩 게이트 전체에 전자가 축적되어 있지 않으면, 상기와 반대로 되어, 출력은 $OUT = High$ (데이터 1)가 된다. 이것이 0 번지의 데이터가 된다. 이 때, 제어 신호는 $SNS1 = High$ 이기 때문에, 래치 회로(I7) 내의 노드(L)는 전자가 축적되어 있는지 여부에 따른 메모리 셀의 도통 및 비도통에 따라, Low나 High 중 어느 하나로 설정된다(S12).

다음에 어드레스를 하나 진행시켜, $A = 3 \times n + 1$ 로 하고(S13), 제1 트랩 게이트 영역(TSD1)의 전자의 유무를 체크한다. 그리고, 콘트롤 게이트의 전압을 제1 판독 전압 $V_g = V(0)$ 으로 하고, 또한 제1 및 제2 소스·드레인 영역의 전압을 $V(SD1) = 0 V$ 및 $V(SD2) = 1.6 V$ 로 한다(S1). 또한, 센스 앤프 회로에서의 제어 신호를 $SNS1 = Low$, $SNS2 = High$ 및 $SNS3 = Low$ 로 한다.

이 때, 상기한 최상위 비트 판독 동작에 의해 전자가 트랩되어 비도통이며, 출력이 OUT=Low(데이터 0)인 메모리 셀은 이 공정 S1에서는 읽을 필요가 없어 데이터 출력은 행해지지 않는다. 한편, 최상위 비트 판독에 의해 OUT=High(데이터 1)인 메모리 셀은 2자릿수째의 비트를 센스할 필요가 있다. 즉, 도 9의 센스 앰프 회로에서, 노드(L)가 High로 셋트되고, NAND 게이트(20)가 L 레벨을 출력하며, 트랜지스터(N17)가 도통하고, 인버터(15)의 출력은 트랜지스터(N17)를 통해 래치 회로(26)에 래치된다.

만일 제1 트랩 게이트 영역(TSD1)에 전자가 축적되어 있으면, 메모리 셀(MC)은 비도통이 되고, 래치 회로(26) 내의 노드(M)는 M=Low로, 전자가 축적되어 있지 않으면 메모리 셀은 도통이 되어, 노드(M)는 M=High가 된다. 제어 신호 SNS2=High이기 때문에, 트랜지스터(P18, N19)는 도통 상태가 되어 CMOS 인버터는 활성화되고, 노드(M)가 High인지 Low인지에 따라, 출력(OUT)에는 High(데이터 1)나 Low(데이터 0)가 출력된다.

이어서 최상위 자릿수의 판독시에 출력이 OUT=Low(데이터 0)인 메모리 셀의 데이터를 결정하기 때문에, 메모리 셀로의 인가 전압을 $V_g=V(2)$, $V(SD1)=0$ V 및 $V(SD2)=1.6$ V로 한다(S4). 그리고, 센스 앰프 회로의 제어 신호를 SNS1=SNS2=Low 및 SNS3=High로 한다. 이 때, 만일 제1 트랩 게이트 영역(TSD1)에 트랩 게이트 전체에 축적되어 있는 이상의 전자가 축적되어 있으면, 메모리 셀은 비도통이 되어, 출력은 OUT=Low로, 축적되어 있지 않으면 도통이 되어, 출력은 OUT=High(데이터 1)이다(S15). 상기한 공정 S1과 S4에 의해 얻어진 데이터가 2자릿수째의 데이터가 된다.

또한, 어드레스를 하나 진행시켜 $A=3*n+2$ 로 한다(S16). 그리고, 메모리 셀로의 인가 전압을 $V_g=V(0)$, $V(SD1)=1.6$ V 및 $V(SD2)=0$ V로 한다(S2). 이 때 제어 신호는 SNS1=Low, SNS2=High 및 SNS3=Low이다. 이 때, 상기한 최상위 자릿수의 판독 동작에서 OUT=Low(데이터 0)인 메모리 셀은 읽을 필요가 없어, 데이터 출력은 행해지지 않는다. 한편, 최상위 자릿수의 판독에 의해 OUT=High(데이터 1)인 메모리 셀은 센스할 필요가 있어, 2자릿수번의 판독과 마찬가지로 트랜지스터(N17)가 도통하여, 래치 회로(26)에 데이터가 래치된다.

만일 제2 트랩 게이트 영역(TSD2)에 전자가 축적되어 있으면, 메모리 셀은 비도통이 되어 노드 M=Low이고, 전자가 축적되어 있지 않으면 메모리 셀은 도통이 되어 노드 M=High이다. 제어 신호가 SNS2=High이기 때문에, 노드(M)가 High인지 Low아닌지에 따라, 출력(OUT)에는 High(데이터 1)나 Low(데이터 0)가 출력된다(S17).

이어서 최상위 자릿수의 판독에서 출력 OUT=Low(데이터 0)인 메모리 셀의 데이터를 결정하기 때문에, 메모리 셀로의 인가 전압을 $V_g=V(2)$, $V(SD1)=1.6$ V 및 $V(SD2)=0$ V로 한다(S4). 이 경우에는 제어 신호는 SNS1=SNS2=Low 및 SNS3=High이다.

이 때, 만일 제2 트랩 게이트(TSD2)에, 트랩 게이트 영역 전체에 축적되어 있는 이상의 전자가 축적되어 있으면, 메모리 셀은 비도통이 되어 출력은 OUT=Low(데이터 0)이고, 축적되어 있지 않으면 메모리 셀은 도통하여 출력은 OUT=High(데이터 1)이다(S18). 상기 공정 S2와 S4에 의해 판독된 데이터가 3자릿수째의 데이터이다.

이상에서, 하나의 메모리 셀 내에 대한 3 개의 어드레스에 대응하는 데이터를 직렬로 판독할 수 있었다. 그 후에는 다음 메모리 셀로 나아가 동일한 동작을 최종 어드레스에 도달할 때까지 반복하게 된다. 물론 도중에 판독 동작을 그만두더라도 좋고, 0 번지가 아니라 임의의 어드레스로부터의 연속적인 판독도 가능하다.

[기록(프로그램) 동작]

도 10 및 도 11은 본 실시예에 있어서의 비휘발성 메모리의 기록(프로그램) 동작을 설명하는 흐름도이다. 도 10 및 도 11은 트랩 게이트(TG)에 전자가 트랩되어 있지 않은 소거 상태(P0)에서, 기록 공정 S1, S2 및 S3을 순차 행함으로써 3 비트 정보의 8 개의 기록 상태(P30~P37)에 도달하는 흐름도를 나타낸다. 따라서, 도 10 및 도 11을 좌우 방향에서 결합함으로써, 전체의 기록(프로그램) 공정이 도시된다.

통상, 메모리 셀 어레이에는 워드선과 비트선의 교차 위치에 메모리 셀이 설치된다. 그리고, 콘트롤 게이트(CG), 제1 및 제2 소스·드레인 영역(SD1, SD2), 그리고 채널 영역에 소정의 전압을 인가하여 복수의 메모리 셀 내에 다른 데이터를 기록하는 것이 일반적이다. 따라서, 도 10 및 도 11에는 이러한 복수의 메모리 셀로의 기록을 행할 수 있도록 하는 기록 공정이나 타내어진다.

최초에, 도 10에 따라서, 소거 상태 P0에서 데이터=100, 101, 110, 111을 메모리 셀 내에 기록하는 경우에 관해서 설명한다.

기록은 3 개의 공정(S1, S2, S3)으로 행해진다. 공정 S1에서는 트랩 게이트(TG) 전체에 전자를 축적시키고 싶지 않기 때문에, 상태 P10에 나타내는 바와 같이, 인가 전압을 $Vg=15\text{ V}$, $V(SD1)=5\text{ V}$ 및 $V(SD2)=5\text{ V}$ 로 하고, FN 터널 현상을 금지하여 채널로부터 트랩 게이트(TG)로의 전자 주입을 금지한다. 이 때, 후술하는 도 11의 기록 공정에서는 데이터 000, 001, 010 및 011을 기록하는 메모리 셀 내에 대하여 전자의 주입이 행하여진다.

다음에, 공정 S2에서는 데이터 100 및 101을 기록하는 메모리 셀 내에는 상태 P20에 나타내는 바와 같이, 인가 전압을 $Vg=10\text{ V}$, $V(SD1)=6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여, 애밸런치 항복(avalanche breakdown)에 의해 발생한 채널·열전자를 제1 소스·드레인 영역(SD1) 부근의 트랩 게이트 영역(TSD1)에 국소적으로 주입한다. 데이터 110 및 111의 메모리 셀 내에는 제1 소스·드레인 영역(SD1) 부근의 트랩 게이트 영역(TSD1)에 전자를 주입하고 싶지 않기 때문에, 상태 P21에 나타내는 바와 같이, $Vg=10\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여 기록을 금지한다.

공정 S2의 기록 동작후, 메모리 셀로의 인가 전압을 $Vg=V(0)$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=1.6\text{ V}$ 로 하여, 기록 검증(write verify)을 행한다. 검증을 통과하면 공정 S3으로 진행하고, 통과하지 못한 경우에는 통과할 때까지 공정 S2를 반복한다. 상기 검증을 통과하면, 제1 트랩 게이트 영역(TSD1)의 임계치 전압이 제1 판독 전압 $V(0)$ 을 초과한다. 단, 이 때 기록후의 임계치 레벨이 제2 판독 전압 $V(1)$ 을 초과하지 않도록 주의할 필요가 있다. 따라서, 콘트롤 게이트(CG)에 제2 판독 전압 $Vg=V(1)$ 을 인가하여 검증을 행하고, 기록 상태로 판정된 경우에는 메모리 셀로의 인가 전압을 $Vg=-5\text{ V}$, $V(SD1)=5\text{ V}$ 및 $V(SD2)=OPEN$ 으로 하여 소거 동작을 실행하고, 다시 공정 S2를 행한다.

최후로, 공정 S3에서는 데이터 100 및 110을 기록하는 메모리 셀 내에는 상태 P30 및 P32에 나타내는 바와 같이, 인가 전압을 $Vg=10\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=6\text{ V}$ 로 하여, 애밸런치 항복에 의해 발생한 채널·열전자를, 제2 소스·드레인 영역(SD2) 부근의 제2 트랩 게이트 영역(TSD2)에 주입한다. 또, 데이터 101 및 111을 기록하는 메모리 셀 내에는 제2 소스·드레인 영역(SD2) 부근의 제2 트랩 게이트(TSD2)에 전자를 주입하고 싶지 않기 때문에, 상태 P31 및 P33에 나타내는 바와 같이, 메모리 셀로의 인가 전압은 $Vg=10\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=0\text{ V}$ 으로 하여 기록을 금지한다.

기록 동작후, 메모리 셀로의 인가 전압을 $Vg=V(0)$, $V(SD1)=1.6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여 기록 검증을 행한다. 검증을 통과되면 기록 동작을 종료하고, 통과하지 못한 경우에는 패스할 때까지 공정 S3을 반복한다. 이 경우에도, 기록후의 임계치 레벨이 제2 판독 전압 $V(1)$ 을 초과하지 않도록 주의할 필요가 있다. 이를 위해, 콘트롤 게이트로의 전압을 $Vg=V(1)$ 로 하여 검증을 행하고, 메모리 셀이 비도통 상태가 되어 기록 상태라고 판정된 경우에는 인가 전압을 $Vg=-5\text{ V}$, $V(SD1)=5\text{ V}$, $V(SD2)=OPEN$ 으로 하여 소거 동작을 행하고, 다시 공정 S3을 행한다.

다음에, 도 11에 따라서, 소거 상태 P0에서 데이터=000, 001, 010, 011을 메모리 셀 내에 기록하는 경우에 관해서 설명한다.

도 10의 경우와 같이, 기록 동작은 3 개의 공정(S1~S3)으로 행해진다. 공정 S1에서는 트랩 게이트(TG) 전체에 전자를 축적시킬 필요가 있기 때문에, 상태 P11에 나타낸 바와 같이, 인가 전압을 $Vg=15\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여, FN 터널 현상을 이용하여 채널로부터 트랩 게이트(TG)로 전자를 주입한다. 기록 동작후, 인가 전압을 $Vg=V(1)$, $V(SD1)=1.6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여 기록 검증을 행한다. 그 결과, 검증을 통과하면 공정 S2로 진행하고, 통과하지 못한 경우에는 통과할 때까지 공정 S1을 반복한다. 상기 검증을 통과하면, 임계치 전압은 제2 판독 전압 (1)보다 높아진다.

다음에, 공정 S2에서는 데이터 000 및 001을 기록하는 메모리 셀 내에는 상태 P22에 나타내는 바와 같이, 인가 전압을 $Vg=10\text{ V}$, $V(SD1)=6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여, 애밸런치 항복에 의해 발생한 채널·열전자를 제1 트랩 게이트 영역(TSD1)에 주입한다. 데이터 010 및 011을 기록하는 메모리 셀 내에는 제1 트랩 게이트 영역(TSD1)에 전자를 주입하고 싶지 않기 때문에, 상태 P23에 나타내는 바와 같이, 인가 전압을 $Vg=10\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여, 기록을 금지한다.

기록 동작후, 인가 전압을 $Vg=V(2)$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=1.6\text{ V}$ 로 하여 기록 검증을 행한다. 그 결과, 검증을 통과하면 공정 S3으로 진행하고, 통과하지 못한 경우에는 패스할 때까지 공정 S2를 반복한다. 상기 검증을 통과하면, 제1 트랩 게이트 영역(TSD1)에 대응하는 채널 영역의 임계치 전압은 제3 판독 전압 $V(2)$ 보다도 높아진다.

최후로, 공정 S3에서는 데이터 000 및 010을 기록하는 메모리 셀 내에는 상태 P34 및 P36에 나타내는 바와 같이, 인가 전압 $Vg=10\text{ V}$, $V(SD1)=0\text{ V}$ 및 $V(SD2)=6\text{ V}$ 로 하여, 애밸런치 항복에 의해 발생한 채널·열전자를 제2 트랩 게이트 영역

(TSD2)에 주입한다. 또, 데이터 001 및 011을 기록하는 메모리 셀 내에는 제2 트랩 게이트 영역(TSD2)에 전자를 주입하고 싶지 않기 때문에, 상태 P35 및 P37에 나타내는 바와 같이, 인가 전압은 $V_g=10\text{ V}$, $V(SD1)=0\text{ V}$ 및 $(SD2)=0\text{ V}$ 로 하여 기록을 금지한다.

기록 동작후, $V_g=V(2)$, $V(SD1)=1.6\text{ V}$ 및 $V(SD2)=0\text{ V}$ 로 하여 기록 검증을 행한다. 검증을 통과하면 기록 동작을 종료하고, 통과하지 못한 경우에는 통과할 때까지 공정 S3을 반복한다. 상기 검증을 통과하면, 제2 트랩 게이트 영역(TSD2)에 대응하는 임계치 전압이 제3 판독 전압 $V(2)$ 보다 높아진다.

[소거 동작]

본 실시예에 있어서의 비휘발성 메모리의 소거 동작은 FN 터널 현상을 이용하여, 트랩 게이트(TG) 내의 전자를 채널 영역 측으로 추출함으로써 행해진다. 트랩 게이트(TG) 전체에 전자가 주입되고 있는 경우에도 제1 및 제2 트랩 게이트 영역에 전자가 트랩되어 있는 경우에도, 모두 동일한 방법으로 소거할 수 있다.

도 12의 (a) 내지 도 12의 (d)는 본 실시예에 있어서의 비휘발성 메모리의 소거 동작을 나타낸 도면이다. 도 12의 (a) 내지 도 12의 (d)에는 4 종류의 소거 동작이 도시된다. 도 12의 (a)의 소거 동작에서는 콘트롤 게이트(CG)에 $V_g=-5\text{ V}$ 를, 채널 영역에 $V(\text{밸크})=10\text{ V}$ 를, 제1 및 제2 소스·드레인 영역을 OPEN(플로팅)으로 하면, 트랩 게이트(TG) 내에 포획되어 있는 전자가 트랩 게이트(TG)의 아래쪽의 게이트 산화막을 터널 현상에 의해 통과하여 채널 영역으로 방출된다.

도 12의 (b)는 상기한 소거 동작을, 정(正)전압을 이용하여 행한다. 즉, 콘트롤 게이트(CG)에 $V_g=0\text{ V}$ 를, 채널 영역에 $V(\text{밸크})=15\text{ V}$ 를, 제1 및 제2 소스·드레인 영역을 OPEN(플로팅)으로 한다. 그 결과, 동일한 방법으로 전자가 방출된다.

도 12의 (c)의 소거 동작에서는 채널 영역과 소스·드레인 영역을 동 전위로 하여, 이들 사이의 PN 접합이 순바이어스 상태가 되는 것을 방지한다. 즉, 콘트롤 게이트(CG)에 $V_g=-5\text{ V}$ 를, 채널 영역에 $V(\text{밸크})=10\text{ V}$ 를, 제1 및 제2 소스·드레인 영역도 10 V 로 한다. 이에 따라, 터널 현상에 의해 전자가 방출된다.

도 12의 (d)의 소거 동작은 상기한 동작을 정전압을 이용하여 행한다. 즉, 콘트롤 게이트(CG)에 $V_g=0\text{ V}$ 를, 채널 영역에 $V(\text{밸크})=15\text{ V}$ 를, 제1 및 제2 소스·드레인 영역을 마찬가지로 15 V 로 한다. 이에 따라, 소스·드레인 영역의 PN 접합이 순바이어스에 유지된 채로, 터널 현상에 의해 트랩 게이트(TG) 내의 전자가 방출된다.

이상, 본 발명의 보호 범위는 상기한 실시예에 한정되는 것이 아니라, 특히 청구의 범위에 기재된 발명과 그 균등물에까지 미치는 것이다.

산업상 이용 가능성

이상, 본 발명에 따르면, 비도전성 트랩 게이트를 게이트 절연막 내에 매립하고, 트랩 게이트 전체에 차지를 주입하는 상태와, 트랩 게이트의 일부의 영역에 국부적으로 차지를 주입하여 트랩시키는 상태를 이용함으로써, 다중치의 데이터를 하나의 메모리 셀 내에 기록하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

다중 비트 정보를 기록하는 비휘발성 메모리에 있어서,

반도체 기판 표면에 형성된 제1 및 제2 소스·드레인 영역과, 그 사이의 채널 영역 상에 형성된 제1 절연층, 비도전성 트랩 게이트, 제2 절연층 및 콘트롤 게이트를 포함하고,

상기 제1 및 제2 소스·드레인 영역들 중 적어도 어느 한 영역에 가깝게 상기 트랩 게이트 내에 국소적으로 전하를 트랩하는 제1 상태와,

상기 트랩 게이트 전체에 전하를 주입하는 제2 상태를 갖는 것을 특징으로 하는 비휘발성 메모리.

청구항 2.

제1항에 있어서, 상기 제1 상태는 상기 제1 및 제2 소스·드레인 영역의 각각의 근방의 제1 및 제2 트랩 게이트 영역에 국소적으로 전하를 트랩하는 2개의 상태를 포함하는 것인 비휘발성 메모리.

청구항 3.

제1항 또는 제2항에 있어서, 상기 제1 상태로의 기록에는 상기 제1 및 제2 소스·드레인 영역 사이에 소정의 전압을 인가하여 상기 채널 영역에 발생시킨 열전자(hot electron)를 주입함으로써 행해지고,

상기 제2 상태로의 기록에는 상기 반도체 기판과 상기 콘트롤 게이트 사이에 소정의 전압을 인가하여 전하를 터널 주입함으로써 행해지는 것인 비휘발성 메모리.

청구항 4.

제1항 또는 제2항에 있어서, 상기 반도체 기판과 상기 콘트롤 게이트 사이에 소거 전압을 인가하여 상기 트랩 게이트 전체 또는 상기 트랩 게이트의 국소 영역에 존재하는 전하를 추출함으로써 소거 동작이 행해지는 것인 비휘발성 메모리.

청구항 5.

제1항 또는 제2항에 있어서, 순서대로 전압이 상이한 제1 판독 전압, 제2 판독 전압 및 제3 판독 전압을 가지며,

상기 제2 판독 전압이 상기 콘트롤 게이트에 인가되어 상기 제2 상태인지의 여부가 판독되고,

상기 제1 또는 제3 판독 전압이 상기 콘트롤 게이트에 인가되어 상기 제1 상태인지의 여부가 판독되는 것인 비휘발성 메모리.

청구항 6.

제2항에 있어서, 순서대로 전압이 상이한 제1 판독 전압, 제2 판독 전압 및 제3 판독 전압을 가지며,

상기 제2 판독 전압이 상기 콘트롤 게이트에 인가되어 상기 제2 상태인지의 여부가 판독되고,

상기 제1 또는 제3 판독 전압이 상기 콘트롤 게이트에 인가되어 상기 제1 상태인지의 여부가 판독되며,

상기 제1 상태인지의 여부의 판독에서, 상기 제1 소스·드레인 영역에 제2 소스·드레인 영역보다 높은 전압을 인가하여 상기 제2 트랩 게이트 영역에 관한 상기 제1 상태인지의 여부가 판독되고, 상기 제2 소스·드레인 영역에 제1 소스·드레인 영역보다 높은 전압을 인가하여 상기 제1 트랩 게이트 영역에 관한 상기 제1 상태인지의 여부가 추가로 판독되는 것인 비휘발성 메모리.

청구항 7.

다중 비트 정보를 기록하는 비휘발성 메모리에 있어서,

반도체 기판 표면에 형성된 제1 및 제2 소스·드레인 영역과, 그 사이의 채널 영역 상에 형성된 제1 절연층, 비도전성 트랩 게이트, 제2 절연층 및 콘트롤 게이트를 포함하고,

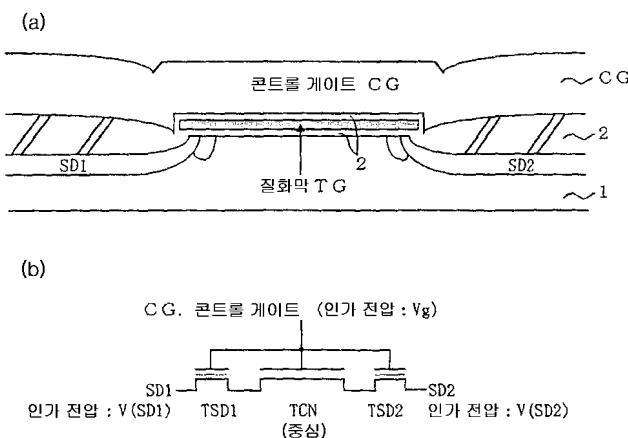
상기 트랩 게이트 내의 상태로서 상기 제1 소스·드레인 영역 근방의 제1 트랩 게이트 영역에 전하를 트랩하는 제1 상태와,

상기 트랩 게이트 내의 상태로서 상기 제2 소스·드레인 영역 근방의 제2 트랩 게이트 영역에 전하를 트랩하는 제2 상태와,

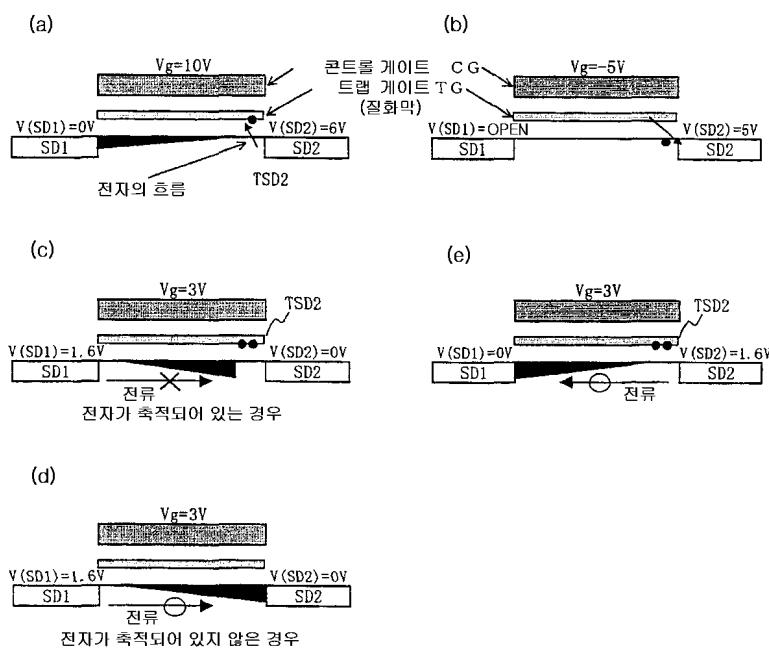
상기 트랩 게이트 전체에 전하를 주입하는 제3 상태를 갖는 것을 특징으로 하는 비휘발성 메모리.

도면

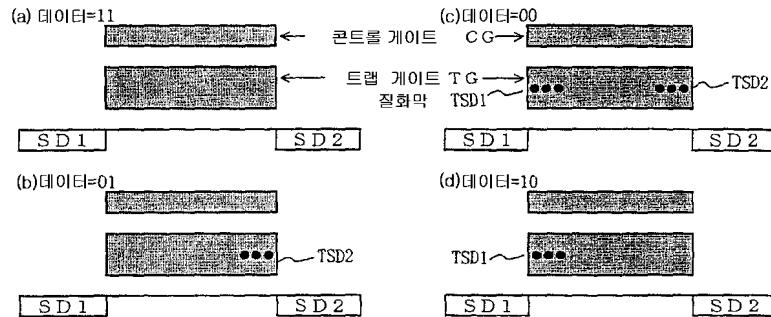
도면1



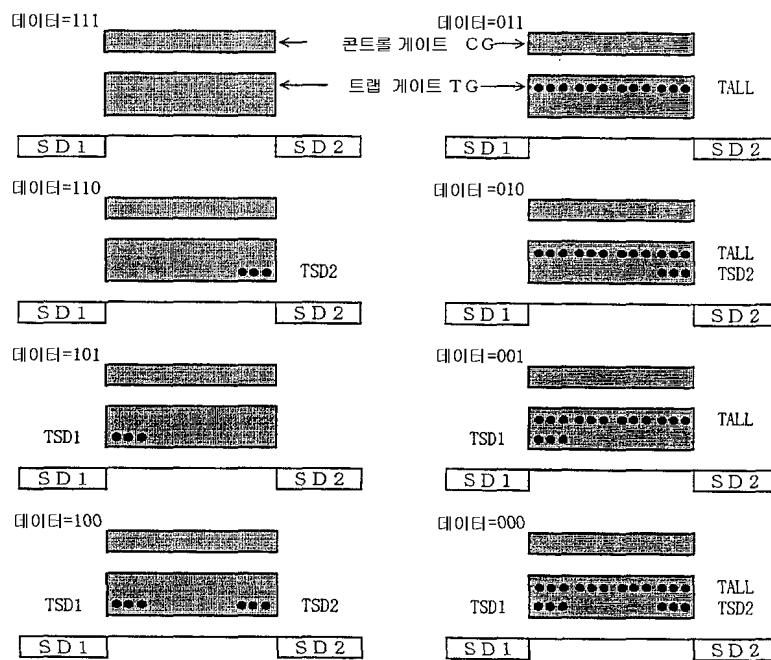
도면2



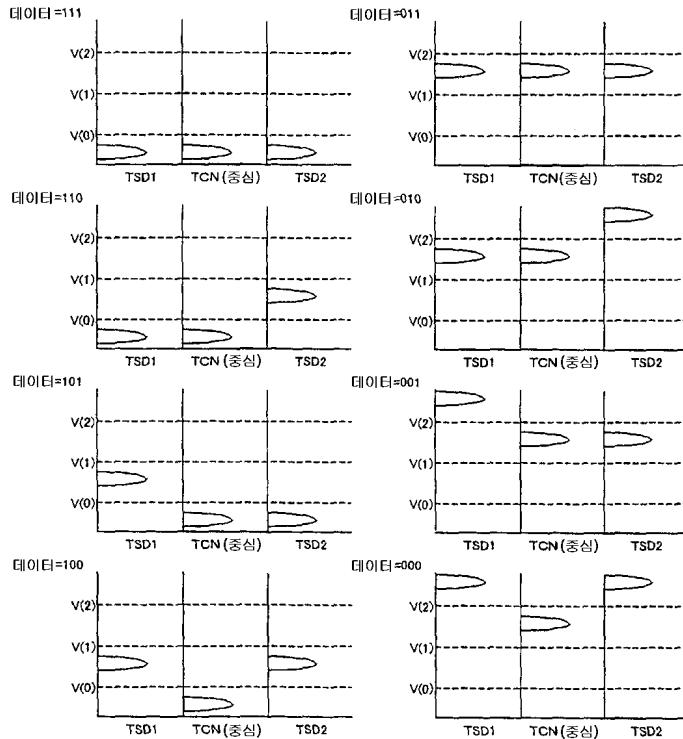
도면3



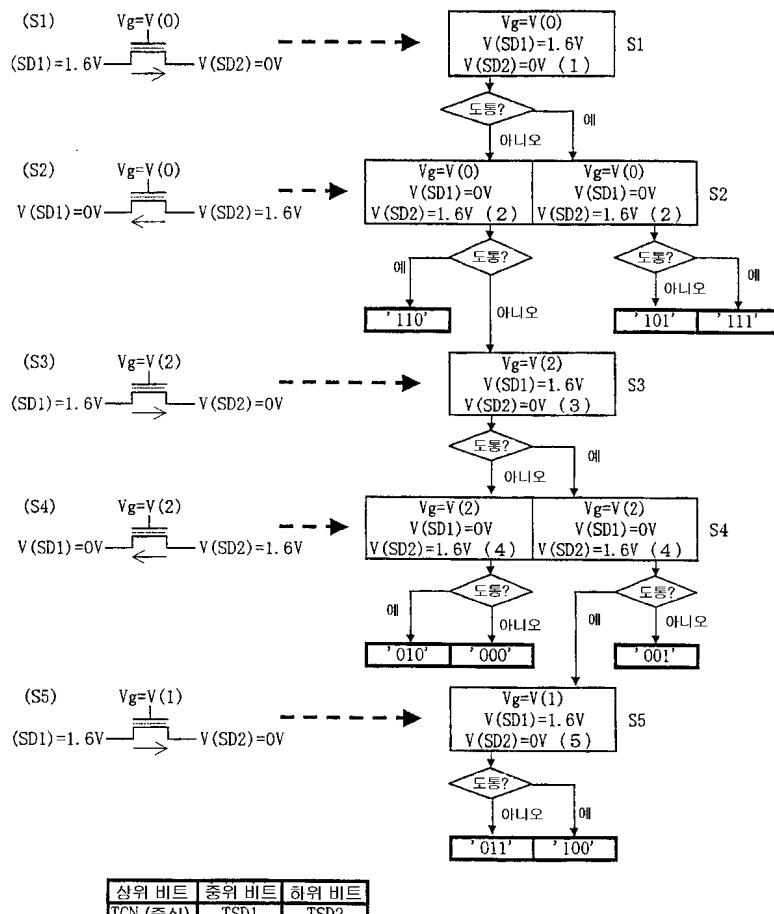
도면4



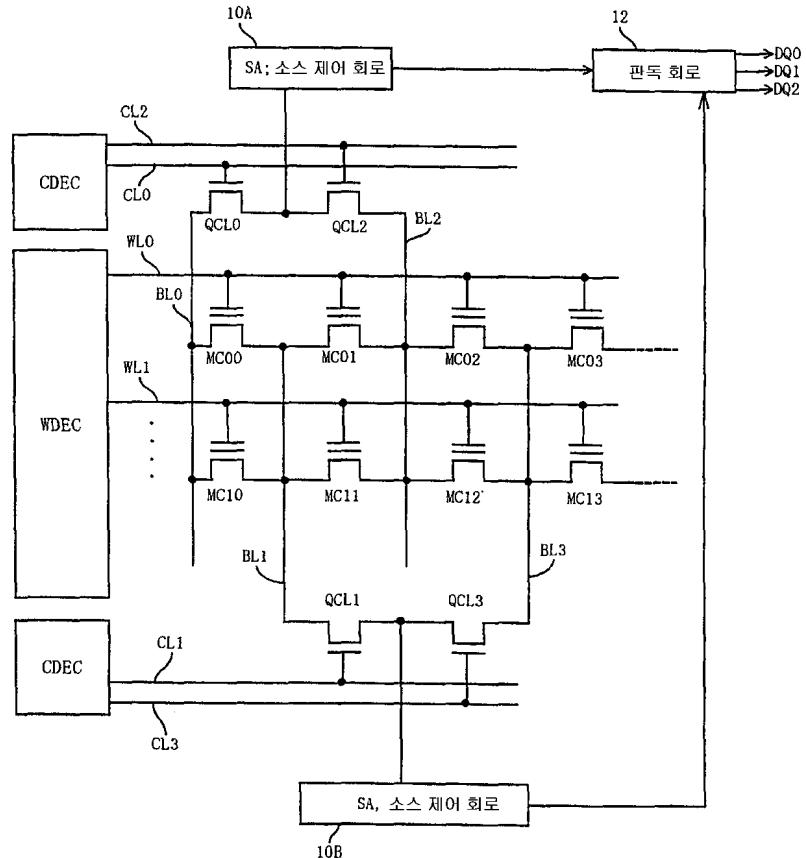
도면5



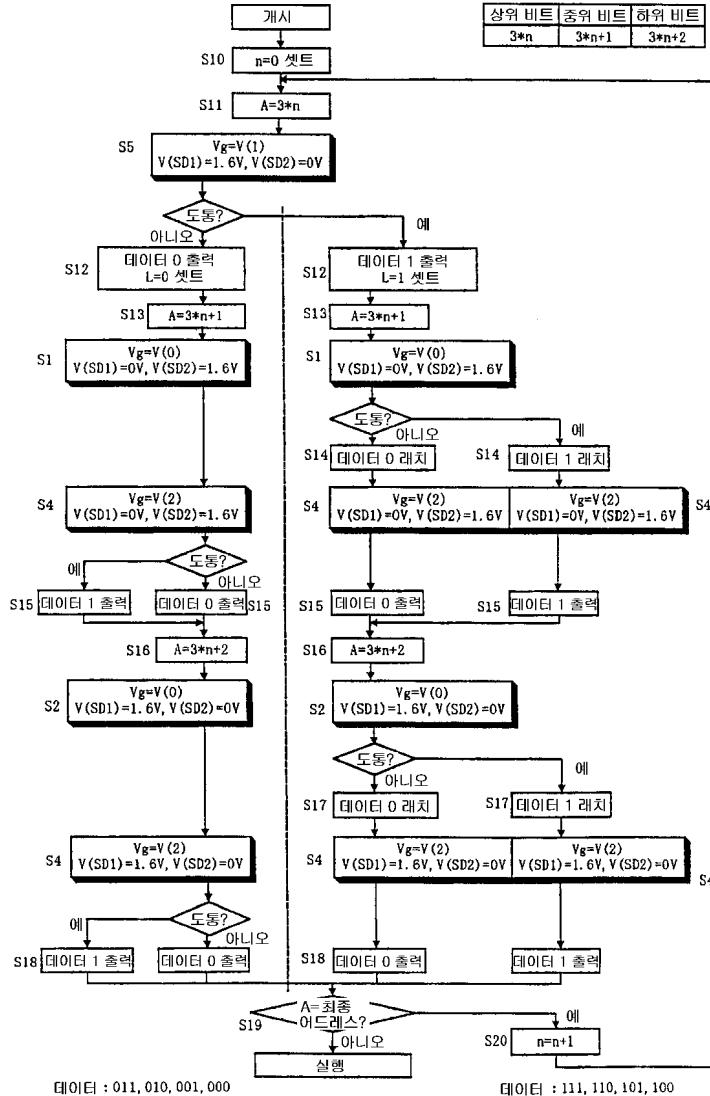
도면6



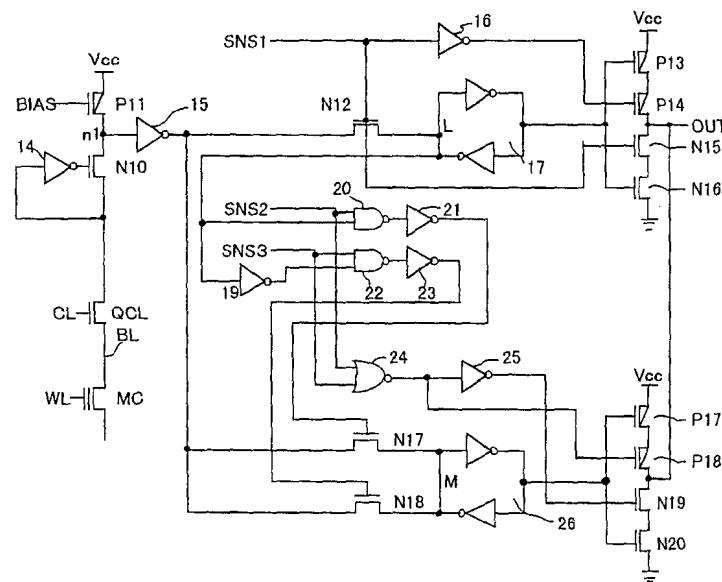
도면7



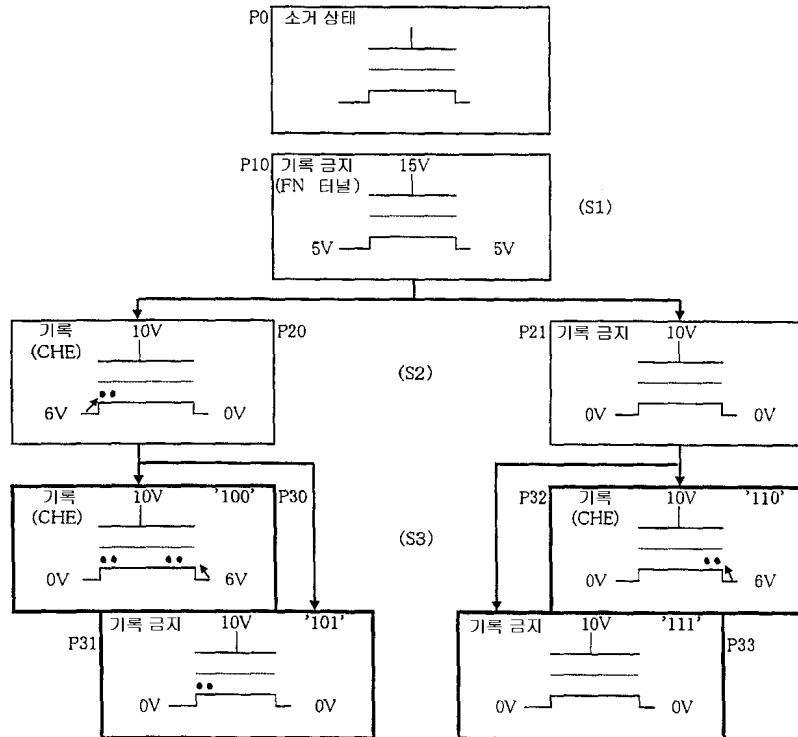
도면8



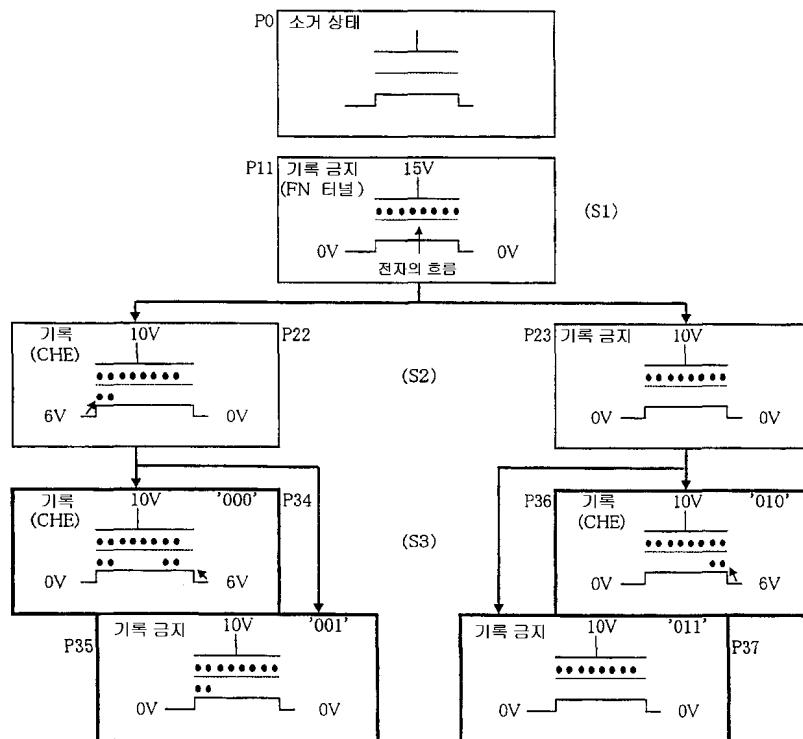
도면9



도면10



도면11



도면12

