



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월31일
(11) 등록번호 10-1701021
(24) 등록일자 2017년01월23일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1368 (2006.01)
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
G02F 1/136 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2015-0009126
(22) 출원일자 2015년01월20일
심사청구일자 2015년01월20일
(65) 공개번호 10-2015-0093101
(43) 공개일자 2015년08월17일
(30) 우선권주장
JP-P-2014-021746 2014년02월06일 일본(JP)
(56) 선행기술조사문헌
JP08110528 A
KR1020030032736 A
KR1020060113480 A
KR1020060053923 A

(73) 특허권자
가부시키가이샤 재팬 디스플레이
일본국 도쿄도 미나토쿠 니시신바시 3쵸메 7반 1고
(72) 발명자
오다카 가즈히로
일본 도쿄도 미나토쿠 니시신바시 3-7-1 가부시키가이샤 재팬 디스플레이 내
사토 도시히로
일본 도쿄도 미나토쿠 니시신바시 3-7-1 가부시키가이샤 재팬 디스플레이 내
(74) 대리인
장수길, 이중희

전체 청구항 수 : 총 11 항

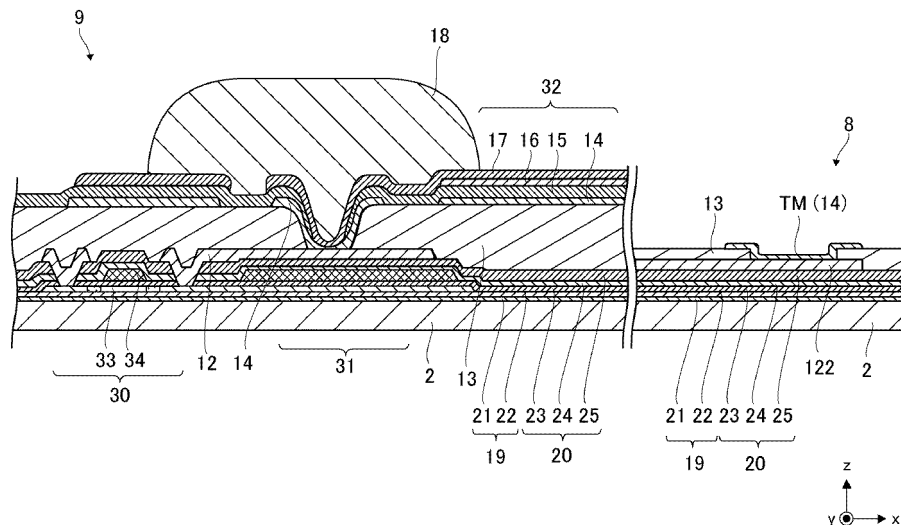
심사관 : 금복희

(54) 발명의 명칭 표시 장치 및 그의 제조 방법

(57) 요약

표시 장치는, 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와, 복수의 단자가 배열된 단자부를 갖는 표시 장치로서, 기판 위에 배치된 제1 절연막과, 제1 절연막 위에 배치된 박막 트랜지스터와, 표시부 및 단자부에 배치되고, 복수의 단자 사이에 배치되는 개구부를 구비하는 제2 절연막과, 제2 절연막 위에 배치되고, 박막 트랜지스터에 접속되는 복수의 신호선과, 단자부에 배치되는 복수의 단자 배선과, 복수의 신호선 및 복수의 단자 배선 위에 배치되는 유기 절연막을 포함하는 제3 절연막을 구비한다.

대표도



(52) CPC특허분류

H01L 27/124 (2013.01)
H01L 27/1248 (2013.01)
H01L 27/1262 (2013.01)
H01L 27/3244 (2013.01)
H01L 27/3246 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/5253 (2013.01)
H01L 2227/323 (2013.01)

명세서

청구범위

청구항 1

기관 위에, 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와,
 상기 박막 트랜지스터의 동작을 제어하기 위한 신호가 입력되는 복수의 단자가 배열된 단자부를 갖는 표시 장치의 제조 방법으로서,
 상기 기관 위에 제1 절연막을 형성하고,
 상기 제1 절연막 위에 상기 박막 트랜지스터를 형성하고,
 상기 박막 트랜지스터의 형성 후에 상기 표시부와 상기 단자부에 제2 절연막을 형성하고,
 상기 제2 절연막에, 상기 박막 트랜지스터의 적어도 일부를 노출시키는 콘택트 홀을 형성함과 함께, 상기 단자부에 있어서 복수의 개구부를 형성하고,
 상기 제2 절연막 위에, 상기 박막 트랜지스터에 상기 콘택트 홀을 통하여 접속되는 복수의 신호선을 형성함과 함께, 상기 신호선의 형성과 동시에 상기 개구부를 사이에 두고 복수의 단자 배선을 형성하고,
 상기 복수의 신호선 및 상기 복수의 단자 배선 위에, 그리고 상기 복수의 개구부 내에 유기 절연막을 포함하는 제3 절연막을 형성하는 것
 을 포함하는 것을 특징으로 하는, 표시 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 단자부에 있어서, 상기 제3 절연막을 일부 제거하여 상기 복수의 단자 배선의 일부를 노출시키고,
 상기 복수의 단자 배선의 상기 노출된 부분을 덮는 도전막을 형성하는 것을 더 포함하는 것을 특징으로 하는, 표시 장치의 제조 방법.

청구항 3

제2항에 있어서, 상기 도전막으로서, 투광성을 갖는 도전막을 형성하는 것을 특징으로 하는, 표시 장치의 제조 방법.

청구항 4

제1항에 있어서, 상기 제3 절연막을, 아크릴 또는 폴리이미드를 사용하여 형성하는 것을 특징으로 하는, 표시 장치의 제조 방법.

청구항 5

기관 위에, 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와,
 상기 박막 트랜지스터의 동작을 제어하기 위한 신호가 입력되는 복수의 단자가 배열된 단자부를 갖는 표시 장치로서,
 상기 기관 위에 배치된 제1 절연막과,
 상기 제1 절연막 위에 배치된 상기 박막 트랜지스터와,
 상기 표시부 및 상기 단자부에 배치되고, 상기 복수의 단자 사이에 배치되는 개구부를 구비하는 제2 절연막과,
 상기 제2 절연막 위에 배치되고, 상기 박막 트랜지스터에 접속되는 복수의 신호선과,
 상기 단자부에 배치되는 복수의 단자 배선과,

상기 복수의 신호선 및 상기 복수의 단자 배선 위에, 그리고 상기 개구부 내에 배치되는 유기 절연막을 포함하는 제3 절연막

을 구비하는 것을 특징으로 하는, 표시 장치.

청구항 6

제5항에 있어서, 상기 복수의 단자는, 상기 제3 절연막에 형성된 복수의 콘택트 홀을 통하여 각각 상기 복수의 단자 배선과 접속되는 것을 특징으로 하는, 표시 장치.

청구항 7

제5항에 있어서, 상기 복수의 단자는 투광성을 갖는 도전막을 포함하는 것을 특징으로 하는, 표시 장치.

청구항 8

제5항에 있어서, 상기 제3 절연막은 아크릴 또는 폴리이미드를 포함하는 것을 특징으로 하는, 표시 장치.

청구항 9

기관 위에, 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와,

상기 박막 트랜지스터의 동작을 제어하기 위한 신호가 입력되는 복수의 단자가 배열된 단자부를 갖는 표시 장치로서,

상기 기관 위에 배치된 제1 절연막과,

상기 제1 절연막 위에 배치된 상기 박막 트랜지스터와,

상기 표시부 및 상기 단자부에 배치되고, 상기 복수의 단자 사이에 배치되는 개구부를 구비하는 제2 절연막과,

상기 제2 절연막 위에 배치되고, 상기 박막 트랜지스터에 접속되는 복수의 신호선과,

상기 단자부에 배치되는 복수의 단자 배선과,

상기 복수의 신호선 위에 배치되는 유기 절연막을 포함하는 제3 절연막과,

상기 제3 절연막 및 상기 복수의 단자 배선 위에, 그리고 상기 개구부 내에 배치되는 무기 절연막을 포함하고, 상기 복수의 단자 배선의 일부를 노출시키는 복수의 콘택트 홀을 구비하는 제4 절연막과,

상기 제4 절연막 위에 배치되고, 상기 복수의 콘택트 홀을 통하여 각각 상기 복수의 단자 배선에 접속되는 상기 복수의 단자와,

상기 복수의 단자 위 및 상기 개구부 내에, 상기 복수의 단자의 일부를 노출시켜 배치되는 제5 절연막을 구비하는 것

을 특징으로 하는, 표시 장치.

청구항 10

제9항에 있어서, 상기 복수의 단자는 투광성을 갖는 도전막을 포함하는 것을 특징으로 하는, 표시 장치.

청구항 11

제9항에 있어서, 상기 제3 절연막은 아크릴 또는 폴리이미드를 포함하는 것을 특징으로 하는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 복수의 단자가 배치된 단자부를 구비하는 표시 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 들어, 액정 표시 장치나, 유기 EL(Organic Electroluminescence) 표시 장치 등, 박막 트랜지스터(TFT)를

사용하여 각 화소의 표시 계조를 제어하는 표시 장치가 개발되고 있다. 이러한 표시 장치는, 박막 트랜지스터를 구비하는 복수의 화소 각각에 전류를 공급할 필요가 있다. 그로 인해, 외부 회로 등에 접속되어 전류의 공급을 받는 복수의 단자가 배치된 단자부와, 이들 복수의 단자에 접속되는 복수의 배선을 포함하는 배선부를 구비한다. 이들 표시 장치는, 단자부 및 배선부의 열화를 방지하여, 단자부에 있어서의 접속의 신뢰성을 향상시키는 것이 중요한 과제로 되고 있다.

[0003] 이로 인해, 종래의 표시 장치에는, TFT가 형성된 기판 위의 단자부에 있어서, 절연막을 사용하여 돌기를 형성하고, 그 돌기를 이용하여 단자부와 플렉시블 배선 기판의 도통을 확보하는 기술이 제안되어 있다(일본 특허 공개 제2008-065135호 공보). 이 기술은, 돌기 위에 형성된 단자용 도전막과 플렉시블 배선 기판에 형성된 범프 사이에 열경화성의 절연성 필름을 배치하고, 절연성 필름을 돌파하여 단자용 도전막과 범프를 접촉시킴으로써 도통을 확보하고 있다.

[0004] 그러나, 상술한 종래의 표시 장치와 같이, 단자부에 형성된 돌기와 외부 회로(플렉시블 배선 기판)에 형성된 범프로 접속 개소가 한정되는 경우에는 절연성 필름에 의해 신뢰성은 확보되지만, 접속 저항이 높아질 우려가 있다. 또한, 복수의 미세한 돌기를 형성할 필요가 있기 때문에, 제조 프로세스에의 부하가 높아질 우려가 있었다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명은 상술한 과제를 해결하는 것이며, 외부 회로를 실장할 때에 수율을 악화시키지 않고, 높은 신뢰성을 확보하는 것이 가능한 표시 장치 및 그의 제조 방법을 제공하는 것을 목적으로 한다. 또한, 이러한 표시 장치를, 제조 프로세스를 대폭 변경시키지 않고, 간단한 제조 공정으로 실현하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시 형태에 관한 표시 장치의 제조 방법은, 기판 위에 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와, 상기 박막 트랜지스터의 동작을 제어하기 위한 신호가 입력되는 복수의 단자가 배열된 단자부를 갖는 표시 장치의 제조 방법으로서, 상기 기판 위에 제1 절연막을 형성하고, 상기 제1 절연막 위에 상기 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터의 형성 후에 상기 표시부와 상기 단자부에 제2 절연막을 형성하고, 상기 제2 절연막에, 상기 복수의 박막 트랜지스터의 적어도 일부를 노출시키는 콘택트 홀을 형성함과 함께, 상기 단자부에 있어서 복수의 개구부를 형성하고, 상기 제2 절연막 위에, 상기 박막 트랜지스터에 상기 콘택트 홀을 통하여 접속되는 복수의 신호선을 형성함과 함께, 상기 신호선의 형성과 동시에 상기 개구부를 사이에 두고 복수의 단자 배선을 형성하고, 상기 복수의 신호선 및 상기 복수의 단자 배선 위에 유기 절연막을 포함하는 제3 절연막을 형성하는 것을 포함하는 것을 특징으로 한다.

[0007] 상기 단자부에 있어서, 상기 제3 절연막을 일부 제거하여 상기 복수의 단자 배선의 일부를 노출시키고, 상기 복수의 단자 배선의 상기 노출된 부분을 덮는 도전막을 형성하는 것을 더 포함해도 좋다.

[0008] 본 발명의 다른 실시 형태에 관한 표시 장치의 제조 방법은, 기판 위에 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와, 상기 박막 트랜지스터의 동작을 제어하기 위한 신호가 입력되는 복수의 단자가 배열된 단자부를 갖는 표시 장치의 제조 방법으로서, 상기 기판 위에 제1 절연막을 형성하고, 상기 제1 절연막 위에 상기 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터의 형성 후에 상기 표시부와 상기 단자부에 제2 절연막을 형성하고, 상기 제2 절연막에, 상기 박막 트랜지스터의 적어도 일부를 노출시키는 콘택트 홀을 형성함과 함께, 상기 단자부에 있어서 복수의 개구부를 형성하고, 상기 제2 절연막 위에, 상기 박막 트랜지스터에 상기 콘택트 홀을 통하여 접속되는 복수의 신호선과, 상기 복수의 신호선의 형성과 동시에 상기 개구부를 사이에 두고 복수의 단자 배선을 형성하고, 상기 복수의 신호선 위에 유기 절연막을 포함하는 제3 절연막을 형성하고, 상기 제3 절연막 및 상기 복수의 단자 배선 위에, 무기 절연막을 포함하는 제4 절연막을 형성하고, 상기 단자부에 있어서, 상기 제4 절연막을 일부 제거하여 상기 복수의 단자 배선의 일부를 노출시키고, 상기 복수의 단자 배선의 상기 노출된 부분을 덮는 도전막을 형성하고, 상기 도전막 위에, 유기 절연막을 포함하는 제5 절연막을 형성하는 것을 포함하고, 상기 제5 절연막을 일부 제거하여 상기 도전막의 일부를 노출시키는 것을 포함하는 것을 특징으로 한다.

[0009] 상기 도전막을, 투광성을 갖는 도전막을 사용하여 형성해도 좋다.

- [0010] 또한, 상기 제3 절연막을, 아크릴 또는 폴리이미드를 사용하여 형성해도 좋다.
- [0011] 본 발명의 일 실시 형태에 관한 표시 장치는, 기판 위에, 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와, 상기 박막 트랜지스터의 동작을 제어하기 위한 신호가 입력되는 복수의 단자가 배열된 단자부를 갖는 표시 장치로서, 상기 기판 위에 배치된 제1 절연막과, 상기 제1 절연막 위에 배치된 상기 박막 트랜지스터와, 상기 표시부 및 상기 단자부에 배치되고, 상기 복수의 단자 사이에 배치되는 개구부를 구비하는 제2 절연막과, 상기 제2 절연막 위에 배치되고, 상기 박막 트랜지스터에 접속되는 복수의 신호선과, 상기 단자부에 배치되는 복수의 단자 배선과, 상기 복수의 신호선 및 상기 복수의 단자 배선 위에 배치되는 유기 절연막을 포함하는 제3 절연막을 구비하는 것을 특징으로 한다.
- [0012] 상기 복수의 단자는, 상기 제3 절연막에 형성된 복수의 콘택 홀을 통하여 각각 상기 복수의 단자 배선과 접속되어도 좋다.
- [0013] 본 발명의 다른 실시 형태에 관한 표시 장치는, 기판 위에, 박막 트랜지스터를 구비하는 화소를 복수 배치한 표시부와, 상기 박막 트랜지스터의 동작을 제어하기 위한 신호가 입력되는 복수의 단자가 배열된 단자부를 갖는 표시 장치로서, 상기 기판 위에 배치된 제1 절연막과, 상기 제1 절연막 위에 배치된 상기 박막 트랜지스터와, 상기 표시부 및 상기 단자부에 배치되고, 상기 복수의 단자 사이에 배치되는 개구부를 구비하는 제2 절연막과, 상기 제2 절연막 위에 배치되고, 상기 복수의 박막 트랜지스터에 접속되는 복수의 신호선과, 상기 단자부에 배치되는 복수의 단자 배선과, 상기 복수의 신호선 위에 배치되는 유기 절연막을 포함하는 제3 절연막과, 상기 제3 절연막 및 상기 복수의 단자 배선 위에 배치되는 무기 절연막을 포함하고, 상기 복수의 단자 배선의 일부를 노출시키는 복수의 콘택 홀을 구비하는 제4 절연막과, 상기 제4 절연막 위에 배치되고, 상기 복수의 콘택 홀을 통하여 각각 상기 복수의 단자 배선에 접속되는 상기 복수의 단자와, 상기 복수의 단자 위에 상기 복수의 단자의 일부를 노출시켜 배치되는 제5 절연막을 구비하는 것을 특징으로 한다.
- [0014] 상기 복수의 단자는 투광성을 갖는 도전막으로 구성되는 것이어도 좋다.
- [0015] 또한, 상기 제3 절연막은 아크릴 또는 폴리이미드를 포함해도 좋다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일 실시 형태에 관한 표시 장치의 개략 구성을 도시하는 평면도.
 도 2는 본 발명의 일 실시 형태에 관한 표시 장치의 개략 구성을 도시하는 종단면도.
 도 3a는 본 발명의 일 실시 형태에 관한 표시 장치의 개략 구성을 도시하는 도면이며, (a)는 표시 장치의 평면도이며, (b)는 표시 장치의 단면도.
 도 3b는 본 발명의 일 실시 형태에 관한 표시 장치의 개략 구성을 도시하는 사시도.
 도 4는 본 발명의 제1 실시 형태에 관한 표시 장치의 개략 구성을 도시하는 단면도.
 도 5는 본 발명의 제1 실시 형태에 관한 표시 장치의 단자부의 개략 구성을 도시하는 도면이며, (a)는 단자부의 평면도이며, (b)는 단자부의 단면도.
 도 6은 본 발명의 제1 실시 형태에 관한 표시 장치의 배선부의 개략 구성을 도시하는 단면도.
 도 7은 본 발명의 제2 실시 형태에 관한 표시 장치의 개략 구성을 도시하는 단면도.
 도 8은 본 발명의 제2 실시 형태에 관한 표시 장치의 단자부의 개략 구성을 도시하는 도면이며, (a)는 단자부의 평면도이며, (b)는 단자부의 단면도.
 도 9는 본 발명의 제2 실시 형태에 관한 표시 장치의 배선부의 개략 구성을 도시하는 단면도.
 도 10은 종래의 표시 장치 개략 구성을 도시하는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 도면을 참조하면서, 본 발명의 표시 장치 실시 형태에 대하여 설명한다. 또한, 본 발명의 표시 장치는, 이하의 실시 형태에 한정되지 않고, 다양한 변형을 행하여 실시하는 것이 가능하다.
- [0018] 도 1에 본 발명의 일 실시 형태에 관한 표시 장치(10)의 개략 구성을 도시한다. 본 실시 형태에 관한 표시 장

치(10)는, 기관(7) 위에 복수의 화소(101)를 포함하는 표시부(9), 드라이버 IC(102), 외부 회로(103) 및 주사선 구동 회로(104)를 구비한다. 표시부(9)에는, 도면 중의 가로 방향으로 선을 그어 나타낸 복수의 제어 신호선 g1-1 내지 g1-3과 세로 방향으로 선을 그어 나타낸 복수의 데이터 신호선 d1 내지 d3이 서로 교차하여 배치된다. 제어 신호선 g1-1 내지 g1-3과 데이터 신호선 d1 내지 d3의 교차부에 대응하는 위치에는 복수의 화소(101)가 매트릭스 형상으로 배치된다.

[0019] 도 1에는 일례로서, 1개의 화소(101)당 3개의 제어 신호선 g1-1 내지 g1-3과 1개의 데이터 신호선 d1이 교차하여 배치되는 구성을 나타내고 있지만, 이 구성에 한정되는 것은 아니다. 전원선 등의 일정한 전압을 공급하는 배선이 표시부(9)에 배치되어도 좋다. 각 화소(101)에는 화소 회로가 배치된다. 화소 회로는, 제어 신호선 g1-1 내지 g1-3으로부터 공급되는 제어 신호에 따라 데이터 전압의 기입을 제어하여 화소(101)의 발광을 제어하는 박막 트랜지스터와, 데이터 신호선 d1 내지 d3으로부터 공급되는 데이터 전압을 유지하는 용량 소자 등을 구비한다.

[0020] 기관(7) 위에는, 구동 회로(104)에 대하여 전원 전압이나 구동 신호를 공급함과 함께 그라운드에의 접지를 행하기 위한 다수의 배선 패턴이 형성된다. 또한, 도 1에 도시하는 표시 장치(10)는, 1개의 구동 회로(104)를 구비하는 구성으로서 도시되어 있지만, 표시부(9)의 주변 영역에, 복수의 구동 회로(104)가 배치되어 있어도 좋다. 각 배선 패턴의 단부는, 기관(7) 위에 형성된 복수의 단자에 각각 접속된다. 복수의 단자는, 외부로부터 구동 전력, 구동 신호 및 접지 전위 등을 공급하는 외부 회로(103)에 접속된다. 외부 회로(103)는 플렉시블 프린트 회로(FPC: Flexible printed circuits)이어도 좋다.

[0021] 이하, 도 2, 도 3a 및 도 3b를 참조하여, 본 발명의 일 실시 형태에 관한 표시 장치(10)의 구성을 보다 상세하게 설명한다. 도 2는 본 발명의 일 실시 형태에 관한 표시 장치(10)를 도시하는 종단면도이다. 도 3a의 (a)는 표시 장치(10)의 평면도이며, 도 3a의 (b)는 표시 장치(10)의 단면도이다. 도 3b는 본 발명의 일 실시 형태에 관한 표시 장치(10)의 개략 구성을 도시하는 사시도이다.

[0022] 또한, 이하에서는, 본 발명의 일 실시 형태에 관한 표시 장치의 일례로서, 유기 EL 발광층(1)을 구비하는 유기 EL 표시 장치에 대하여 설명한다. 그러나, 본 실시 형태에 관한 표시 장치(10)는, 액정 표시 장치, 자발광형 표시 장치, 전기 영동 소자 등을 갖는 전자 페이퍼형 표시 장치 등, 각종 플랫 패널형의 표시 장치에 대해서도 마찬가지로 적용 가능하다. 예를 들어, 표시 장치(10)는, 기관(7)과 대향하여 배치되는 대향 기관과의 사이에 화소(101)마다 배치되는 액정층과, 액정층에 광을 공급하는 백라이트를 구비하는 액정 표시 장치이어도 좋다.

[0023] 본 발명의 일 실시 형태에 관한 표시 장치(10)는, 도 2에 도시한 바와 같이 유리 등의 경질의 기관(2) 위에 표시부(9)의 각 화소(101)를 구성하는 유기 EL 발광층(1)을 구비해도 좋다. 도 2에서는 상세한 도시를 생략하고 있지만, 유기 EL 발광층(1)은, 기관(2)측부터 순서대로, 예를 들어 TFT 구동 회로층, 반사 전극, 유기 EL층, 투명 전극이 적층됨으로써 구성된다. 유기 EL층은, 예를 들어 발광층 외에, 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층과 같은 기능층을 적절히 적층하여 구성해도 좋다.

[0024] 유기 EL 발광층(1)은, 수분에 노출되면 급속히 열화되기 때문에, 외기로부터 차단될 필요가 있다. 이로 인해, 유기 EL 발광층(1)의 표면은, 예를 들어 CVD로 성막된 질화 실리콘막 등을 포함하는 투명한 밀봉막(3)에 의해 덮임과 함께, 유리 등의 경질의 투명 부재를 포함하는 기관(6)에 의해 덮인다. 이하, 기관(2) 위에 유기 EL 발광층(1) 및 밀봉막(3)이 형성된 구조체를 「제1 기관(7)」이라고 하고, 이것에 맞추어, 대향하여 배치되는 대향 기관(6)을 「제2 기관(6)」이라고 한다. 제2 기관(6)은, 컬러 필터를 포함해도 좋고, 표시 장치(10)의 사양에 따라 터치 패널 기능을 구비한 박막 디바이스 등을 구비해도 좋다.

[0025] 도 2에 도시한 바와 같이, 표시 장치(10)는, 제1 기관(7)과 제2 기관(6)의 간극에, 예를 들어 에폭시 수지 등의 투명한 수지(4, 5)를 갖는다. 이들 투명한 수지(4, 5)에 의해, 제1 기관(7)과 제2 기관(6) 사이의 거리를 일정하게 유지함으로써 유기 EL 발광층(1)의 표면과 제2 기관(6)의 표면을 평행하게 유지한다. 또한, 유기 EL 발광층(1)의 표면이나 제2 기관(6)의 표면에 있어서의 광의 반사나 굴절을 방지하는 역할도 하고 있다. 또한, 수지(4, 5) 이외에도, 시일재 등의 공지의 재료를 사용하여 제1 기관(7)과 제2 기관(6) 사이의 거리를 유지해도 좋다. 또한, 제1 기관(7)과 제2 기관(6)의 거리가 시일재 등을 사용하여 유지되는 구성이면, 제1 기관(7)과 제2 기관(6) 사이에 공극을 갖는 구성으로 해도 좋다. 이와 같이 제1 기관(7) 위에 제2 기관(6)이 접합됨으로써 표시 장치(10)가 구성된다.

[0026] 이와 같은 구성을 구비하는 표시 장치(10)는, 도 3a 및 도 3b에 도시한 바와 같이, 화상을 표시하기 위한 영역이며 복수의 화소(101)가 배치되는 표시부(9)와, 외부 회로와 전기적인 접속을 행하기 위한 복수의 단자 TM이

배치되는 영역인 단자부(8)를 구비한다.

- [0027] 도 3a 및 도 3b에 도시한 바와 같이, 단자부(8)에 있어서, 복수의 단자 TM은, 도 2에 도시하는 밀봉막(3), 수지(4, 5) 및 제2 기관(6)에 덮이지 않고 노출된다. 복수의 단자 TM의 노출된 단부는, 예를 들어 구동 신호를 공급하는 외부 회로(103)(도 1에 도시)에 접속된다. 또한, 복수의 단자 TM은, 기관(2) 위에 형성된 배선 및 드라이버 회로 DR 등을 통하여 유기 EL 발광층(1)에 포함되는 박막 트랜지스터 등에 접속된다. 또한, 도 3a 및 도 3b에 도시된 드라이버 회로 DR이, 도 1에 도시하는 드라이버 IC(102)에 대응한다.
- [0028] 이러한 표시 장치(10)의 제조 공정에 있어서, 유기 EL 발광층(1)을 덮는 밀봉막(3)을, 패터닝하지 않고 기관(2)의 전체면을 덮어 성막한 경우, 단자부(8)에 있어서는, 복수의 단자 TM을 밀봉막(3)으로부터 노출시키는 처리를 행할 필요가 있다. 복수의 단자 TM을 노출시키는 방법으로서, 단자부(8) 위에 밀봉막(3)을 형성한 후, 테이프 박리나 에칭(건식 에칭 또는 습식 에칭)에 의해 단자부(8) 위의 밀봉막(3)을 제거하는 방법이 알려져 있다.
- [0029] 또한, 단자부(8)의 열화를 방지하기 위하여, 복수의 단자 TM 및 배선 위에 질화 실리콘막 등의 무기 절연막을 사용하여 보호막을 형성하는 경우가 있다. 그러나, 단자부(8)의 보호막에 무기 절연막을 사용하면, 보호막이 밀봉막(3)과 동일한 무기 절연막으로 되어 버리는 점에서, 단자부(8) 위의 밀봉막(3)을 에칭에 의해 제거할 때에 보호막까지 제거되어 버릴 우려가 있다.
- [0030] 따라서, 종래의 표시 장치에는, 복수의 단자 및 배선 위에 보호막을 형성하지 않는 구성으로 하는 것이 있다. 이러한 종래의 표시 장치 단자부의 구성을, 도 10을 참조하여 설명한다.
- [0031] 도 10은 종래의 표시 장치 단자부의 개략 구성을 도시하는 단면도이며, 도 3b에 도시된 A-A'선으로 단자부를 절단한 경우에 2개의 단자 TM의 단면 구성을 도시한 것이다. 단자 TM은, 기관(2) 위에 형성된 제1 절연막(19) 위에 각 단자 TM이 제2 절연막(20)에 의해 절연되도록, 제2 절연막(20) 사이에 형성된다. 제1 절연막(19) 및 제2 절연막(20)은 산화 실리콘막이나 질화 실리콘막 등을 사용하여 형성되어도 좋다. 또한, 제1 절연막(19) 및 제2 절연막(20)은, 각각 각 화소(101)의 박막 트랜지스터를 형성할 때에 형성되는, 언더코팅막 또는 층간 절연막이라고 불리는 절연막을 사용하여 형성되어도 좋다. 또한, 제1 절연막(19) 및 제2 절연막(20)은 적층막이어도 좋다.
- [0032] 단자 TM 및 단자 TM에 접속되는 배선은, 알루미늄 등의 저항률이 낮은 금속을 사용하여 제2 절연막(20)의 높이보다도 높은 볼록부(배선 패턴)(27)를 형성한 후, ITO 등의 투명 도전막(26)에 의해 볼록부(27)를 덮어 형성된다. 밀봉막(3)은, 이와 같이 최표면이 투명 도전막(26)으로 덮인 단자 TM 및 배선 위에 형성된다. 그러나, 이와 같은 종래의 표시 장치 단자 TM 및 배선은, 밀봉막(3)을 제거할 때에 볼록부(27)의 에지 부분 위에 형성된 투명 도전막(26)으로부터 볼록부(27)를 구성하는 알루미늄 등의 금속이 노출되어, 신뢰성을 손상시킬 우려가 있었다.
- [0033] 이로 인해, 복수의 단자 TM의 보호막으로서 유기 절연막을 사용하는 경우가 있다. 유기 절연막은, 예를 들어 아크릴, 폴리이미드 등의 유기 재료를 사용하여 형성된다. 그러나, 이와 같은 유기 절연막은 막 두께를 제어하는 것이 어려워, 단자 TM의 접촉면과 보호막 사이에 단차를 발생시켜 버릴 우려가 있었다. 또한, 유기 절연막을 단자 TM의 보호막으로서 사용하는 경우, 유기 절연막의 두께에 따라서는 외부 회로(103)의 실장 시에 사용되는 이방성 도전막(ACF)의 도전 입자의 형상에 제약이 생겨, 실장 불량을 일으킬 우려가 있었다.
- [0034] 따라서, 본 발명자는, 단자부(8)에 있어서 외부 회로(103) 등의 실장에 영향을 주지 않고, 복수의 단자 TM을 보호 가능한 방법을 검토하여, 본 발명에 이르렀다.
- [0035] (제1 실시 형태)
- [0036] 이하, 도 4 내지 도 6을 참조하여, 본 발명의 제1 실시 형태에 관한 표시 장치(10)의 개략 구성에 대하여 설명한다. 도 4는 본 발명의 제1 실시 형태에 관한 표시 장치(10)의 개략 구성을 도시하는 단면도이다. 도 5는 본 발명의 제1 실시 형태에 관한 표시 장치(10)의 단자부의 개략 구성을 도시하는 도면이며, (a)는 단자부의 평면도이며, (b)는 단자부의 단면도이다. 도 6은 본 발명의 제1 실시 형태에 관한 표시 장치(10)의 배선부의 개략 구성을 도시하는 단면도이다.
- [0037] 또한, 이하에서는 본 실시 형태에 관한 표시 장치(10)의 일례로서, 유기 EL 발광층(1)을 구비하는 유기 EL 표시 장치에 대하여 설명하겠지만, 본 실시 형태에 관한 표시 장치(10)는, 박막 트랜지스터를 사용하여 각 화소의 표시 계조를 제어하는 표시 장치이면 된다. 예를 들어, 상술한 바와 같이, 액정 표시 장치, 자발광형 표시 장치,

전기 영동 소자 등을 갖는 전자 페이퍼형 표시 장치 등, 각종 플랫 패널형의 표시 장치에 대하여 마찬가지로 적용 가능하다. 또한, 이하, 도 1 내지 도 3에 도시하여 상술한 구성과 마찬가지로의 구성에 대해서는 동일한 부호를 부여하고, 그 상세한 설명에 대하여 생략한다.

[0038] 도 4는 본 발명의 제1 실시 형태에 관한 표시 장치(10)의 단자부(8) 중, 1개의 단자에 대응하는 영역과, 표시부(9) 중, 1개의 화소(101)에 대응하는 영역의 단면 구성을 도시한 것이다. 그러나, 실제로는 단자부(8)에는 복수의 단자가 형성되고, 표시부(9)에는 복수의 화소(101)가 형성된다. 도 4에 도시한 바와 같이, 표시부(9)의 1개의 화소(101)에 대응하는 영역은, 박막 트랜지스터를 포함하는 트랜지스터부(30), 신호선(12)으로부터의 전압을 유지하는 용량 소자를 포함하는 용량부(31) 및 각 화소(101)의 발광 영역인 화소부(32)를 포함한다.

[0039] 도 4에 도시한 바와 같이, 기판(2) 위에는 박막 트랜지스터의 아래에 산화 실리콘막이나 질화 실리콘막 등을 사용하여 형성된 2층의 절연막(21, 22)을 포함하는 제1 절연막(19)이 형성된다. 이 제1 절연막(19) 위에는 폴리실리콘층(33), 게이트 절연막(23) 및 게이트 전극층(34)이 형성된다. 폴리실리콘층(33)은 일부에 불순물이 도프되고, 그 도프 영역에 드레인 전극이나 소스 전극이 접속되고, 박막 트랜지스터가 구성되어 있다. 박막 트랜지스터 위에는 층간 절연막으로서 산화 실리콘막이나 질화 실리콘막 등을 사용하여 형성된 2층의 절연막(24, 25)이 형성된다. 단자부(8)나 표시부(9)의 일부에서는 게이트 절연막(23)과 2층의 절연막(24, 25)에 의해 제2 절연막(20)이 형성된다. 또한, 도 4에는 제1 절연막(19) 및 제2 절연막(20)을 2층 또는 3층으로 구성하는 예를 나타내고 있지만, 도시한 구성에 한정되는 것은 아니다. 예를 들어, 제2 절연막(20)은, 박막 트랜지스터 위에 형성된 절연막(24, 25)으로 구성되고, 게이트 절연막(23)을 포함하지 않아도 좋다. 이 경우, 게이트 절연막(23)은 폴리실리콘층(33) 위에만 형성되어 있다.

[0040] 제2 절연막(20)에는 박막 트랜지스터의 적어도 일부를 노출시키는 콘택트 홀이 형성된다. 표시부(9)의 제2 절연막(20) 위에는 신호선(12)이 형성되고, 신호선(12)은 콘택트 홀을 통하여 박막 트랜지스터에 접속된다. 박막 트랜지스터에 접속된 신호선(12)은, 유기 절연막을 포함하는 제3 절연막(13)에 의해 덮인다. 제3 절연막(13) 위에는, 제3 절연막(13)에 형성된 콘택트 홀에 의해 신호선(12)에 접속된 제1 도전막(14), 제1 도전막(14) 위에 형성된 제4 절연막(15), 제4 절연막(15) 위에 형성된 반사 전극(16) 및 제4 절연막(15) 위에 형성된 제2 도전막(17)이 형성된다. 제1 도전막(14), 제4 절연막(15) 및 제2 도전막(17)에 의해, 용량부(31)에 병렬로 접속된 용량 소자가 형성된다. 제1 도전막(14)은 ITO 등의 투광성을 갖는 도전막을 사용하여 형성되고, 제4 절연막(15)은 질화 실리콘 등의 무기막을 사용하여 형성되고, 제2 도전막(17)은 ITO 등의 투광성을 갖는 도전막을 사용하여 형성된다. 제4 절연막(15)은, 적어도 콘택트 홀의 내부에 개구를 구비하고, 그 개구를 통하여 제1 도전막(14)과 제2 도전막(17)이 전기적으로 접속된다.

[0041] 또한, 도 4에 도시하는 화소부(32)에 있어서는, 제2 도전막(17) 아래에 알루미늄 혹은 은 등을 포함하는 반사 전극(16)을 배치하여 유기 EL 발광층(1)의 애노드 전극(양극, 반사 전극)을 구성하는 예를 나타냈지만, 도시한 구성에 한정하는 것은 아니다. 도 4에는 도시하고 있지 않으나, 실제로는, 제2 도전막(17) 위에 유기 EL층 및 투명 전극(음극)이 형성되어 유기 EL 발광층(1)을 구성한다. 또한, 제2 도전막(17) 위에는, 각 화소(101)를 구획하는 बैं크층으로서 유기 절연막을 포함하는 제5 절연막(18)이 형성된다.

[0042] 한편, 도 4에 도시하는 단자부(8)에 있어서, 제2 절연막(20) 위에는 단자 배선(122)이 형성된다. 단자 배선(122)은 제3 절연막(13)에 의해 덮여 있다. 단자 배선(122) 위의 제3 절연막(13)의 일부가 제거되어, 단자 배선(122)의 일부는 제3 절연막(13)으로부터 노출된다. 노출된 단자 배선(122) 위에 제3 절연막(13)의 상면의 일부를 덮도록, ITO 등의 투명 도전막을 포함하는 제1 도전막(14)이 형성된다. 제1 도전막(14)은, 상술한 바와 같이 표시부(9)에 있어서 용량 소자를 구성한다. 이와 같이, 단자부(8)에는 도 3a 및 도 3b에 도시되고 상술한 복수의 단자 TM을 구성하는 제1 도전막(14)이 형성된다.

[0043] 이하, 도 5 및 도 6을 참조하여, 단자부(8)에 형성되는 복수의 단자 TM 및 배선의 제조 공정에 대하여 상세하게 설명한다.

[0044] 도 5의 (b)는, 도 3b에 도시된 A-A'선으로 표시 장치(10)의 단자부(8)를 절단한 경우의 2개의 단자 TM의 단면 구성을 도시하는 도면이며, 도 5의 (a)는 도 5의 (b)에 도시된 2개의 단자 TM의 평면 구성을 도시하는 도면이다. 도 6은 도 3b에 도시된 B-B'선으로 표시 장치(10)의 배선부를 절단한 경우의 2개의 단자 배선(122)의 단면 구성을 도시하는 도면이다.

[0045] 도 5의 (b) 및 도 6에 도시된 기판(11)은, 도 4에 도시하는 기판(2) 위에 제1 절연막(19)이 배치된 구성을 도시한 것이다. 단자부(8)에 있어서, 기판(11) 위에 상술한 바와 같이, 층간 절연막과 동일한 층에 동일한 재료를

사용하여 제2 절연막(20)을 형성한다. 기판(11) 위에 형성된 제2 절연막(20)은, 도 5의 (b)에 점선(20A)으로 둘러싸는 범위로 나타낸 바와 같이 에칭 등의 공지의 방법을 사용하여 제거되어, 단자 배선(122)이 배치되지 않는 개구부가 형성된다. 이러한 단자부(8)에 있어서의 제2 절연막(20)의 에칭 공정은, 표시부(9)에 있어서의 박막 트랜지스터의 층간 절연막(제2 절연막(20))의 에칭 공정과 동시에, 1개의 마스크를 사용하여 실시할 수 있다. 이때, 표시부(9)에 있어서, 복수의 박막 트랜지스터의 전극 위의 제2 절연막(20)이 에칭되어, 제2 절연막(20)에 복수의 콘택트 홀이 형성된다. 제2 절연막(20)에 이러한 복수의 콘택트 홀을 형성함으로써, 후술하는 접속 공정에 있어서 복수의 신호선(12)이 형성되면, 복수의 콘택트 홀을 통하여 복수의 신호선(12)과 복수의 박막 트랜지스터를 각각 접속시킬 수 있다.

[0046] 또한, 제2 절연막(20)을 패터닝하여 제거함으로써 형성되는 개구부의 형상은, 도 5의 (b)에 점선(20A)으로 나타내는 범위에 나타나는 형상에 한정되지 않는다. 예를 들어, 후술하는 제조 공정에 있어서, 제2 절연막(20) 위에 형성되는 제3 절연막(13)을 원하는 막 두께로 하기 위한 용액 도포량에 따라 결정해도 좋다. 따라서, 단자부(8)의 제2 절연막(20)은, 제3 절연막(13)을 형성하는 용액의 도포량에 따라서는, 단자 배선(122)이 배치되지 않는 영역에 제2 절연막(20)을 제거하지 않는 부분이 있어도 되며, 도 5의 (b)에 도시한 구성에 한정되는 것은 아니다.

[0047] 이어서, 제2 절연막(20) 위에 알루미늄 등의 금속 재료를 사용하여 신호선(12) 및 단자 배선(122)을 형성한다. 신호선(12) 및 단자 배선(122)은, 제2 절연막(20) 위에 성막된 금속막을 패터닝함으로써 표시부(9) 및 단자부(8)에 있어서 1개의 마스크를 사용하여 동시에 형성한다. 이에 의해, 표시부(9)에 있어서, 도 4에 도시한 바와 같이, 제2 절연막(20)의 콘택트 홀을 통하여 박막 트랜지스터의 소스/드레인 전극과 접속되는 신호선(12)이 형성되고, 단자부(8)에 있어서, 도 5의 (b) 및 도 6에 도시한 바와 같이, 제2 절연막(20) 위에 단자 배선(122)이 형성된다.

[0048] 이어서, 표시부(9) 및 단자부(8)에 있어서, 신호선(12) 및 단자 배선(122) 위에 신호선(12) 및 단자 배선(122)을 덮는 제3 절연막(13)을 형성한다. 제3 절연막(13)은, 아크릴, 폴리이미드 등의 유기 재료를 사용하여 형성한다. 이때, 단자부(8)에 있어서, 제2 절연막(20)이 제거된 개구부에, 제3 절연막(13)의 유기 재료가 충전된다. 이때, 제2 절연막(20)의 개구부 면적(개구에 의해 기판(11)이 노출된 영역의 면적)을 최소화함으로써, 단자 배선(122) 위에 형성되는 제3 절연막(13)의 막 두께를, 원하는 막 두께로 제어하는 것이 가능해진다.

[0049] 단자 배선(122) 위에 형성되는 제3 절연막(13)의 막 두께를 예를 들어 $1\mu\text{m}$ 이하의 얇은 막 두께로 하는 경우, 제2 절연막(20)의 일부를 제거하지 않고, 제3 절연막(13)의 유기 재료의 도포량을 미세 조정하는 것만으로 막 두께를 제어하는 공정은, 본 실시 형태와 같이 제2 절연막(20)을 원하는 면적으로 제거한 후에 유기 재료를 도포하여 막 두께를 제어하는 공정보다도, 막 두께의 제어에 높은 정밀도가 요구된다. 따라서, 본 실시 형태에 의하면, 미리 제2 절연막(20)을 일부 제거해 둠으로써, 제3 절연막(13)의 막 두께의 제어를 용이하게 할 수 있다. 또한, 제2 절연막(20)을 일부 제거하는 공정은, 표시부(9)에 있어서의 박막 트랜지스터의 층간 절연막(제2 절연막(20))의 패터닝과 동시에 행할 수 있기 때문에, 기존의 제조 프로세스를 대폭 변경시키지 않고, 간이한 제조 방법으로, 단자 배선(122) 위에 원하는 막 두께의 제3 절연막(13)을 형성하는 것이 가능해진다.

[0050] 이러한 제조 공정에 의해, 단자 배선(122)을 덮는 보호막으로서 제3 절연막(13)이 형성된다. 또한, 도 5의 (b)에 도시한 바와 같이, 단자부(8)에 있어서, 제3 절연막(13)을 에칭에 의해 일부 제거하여 단자 배선(122)을 노출시키는 콘택트 홀(관통 구멍)을 형성한다. 콘택트 홀에 의해 단자 배선(122)이 노출된 영역 위에, ITO 등의 투명 도전막을 성막하여 패터닝함으로써, 제1 도전막(14)으로 구성되는 복수의 단자 TM이 형성된다. 이때, 제1 도전막(14)의 단자 배선(122)과의 접촉면으로부터 제3 절연막(13)의 상면 위로 연장된 부분에 단차가 형성된다. 그러나, 본 실시 형태에 따르면, 이러한 제1 도전막(14)에 형성되는 단차를 약 $1\mu\text{m}$ 이하로 형성할 수 있다.

[0051] 이와 같이, 본 실시 형태에 따르면, 단자 TM을 구성하는 제1 도전막(14)에 형성되는 단차를 약 $1\mu\text{m}$ 이하로 작게 할 수 있다. 이에 의해, 단자부(8)에 외부 회로(103)를 실장할 때에 사용되는 이방성 도전막(ACF)에 대하여, 도전 입자 직경이 작은 것을 선택할 수 있어, 단자 TM의 접속 저항을 저감시키는 것이 가능해진다. 즉, 단자 TM에 형성되는 단차가 $1\mu\text{m}$ 이상이면 이방성 도전막(ACF)의 도전 입자를 제대로 찌부러뜨릴 수 없는 상태가 발생하여, 선 결함 등의 문제가 발생할 우려가 있기 때문에, 도전 입자 직경이 큰 것을 선택할 필요가 있었다. 그러나, 도전 입자 직경이 큰 이방성 도전막(ACF)을 선택하면, 배선 피치를 좁힐 수 없게 되는 문제나, 단위 면적당 입자수가 적어짐으로써 접속 면적이 작아져, 접속 저항이 상승하는 문제를 발생시킬 우려가 있었다. 이로 인해, 본 실시 형태와 같이, 제3 절연막(13)의 막 두께를 제어하여 제1 도전막(14)에 형성되는 단차를 약 $1\mu\text{m}$

이하로 함으로써, 도전 입자 직경이 작은 이방성 도전막(ACF)을 선택하는 것이 가능해지기 때문에, 접촉 저항을 저감시키는 것이 가능해져, 실장 불량률의 발생을 방지하는 것이 가능해진다.

[0052] 또한, 본 실시 형태에 의하면, 단자 TM 사이 및 단자 배선(122) 위에 보호막으로서 형성되는 제3 절연막(13)이 유기 재료를 사용하여 형성되기 때문에, 유기 절연막을 포함하는 보호막에 의해 내수성을 향상시켜, 단자 TM 및 단자 배선(122)의 부식을 방지할 수 있다. 따라서, 단자부(8)에 있어서의 접촉의 신뢰성을 향상시키는 것이 가능해진다.

[0053] 이상과 같이, 본 실시 형태에 의하면, 단자부(8)의 각 단자 TM 및 단자 배선(122)을 유기 절연막을 포함하는 제3 절연막(13)에 의해 보호하면서, 제3 절연막(13)을 원하는 막 두께로 형성할 수 있기 때문에, 외부 회로(103)를 실장할 때에 실장 수율을 악화시키지 않고, 표시 장치의 신뢰성을 확보하는 것이 가능해진다. 또한, 이러한 표시 장치를, 제조 프로세스를 대폭 변경시키지 않고, 간이한 제조 공정에 의해 실현할 수 있다.

[0054] (제2 실시 형태)

[0055] 이하, 도 7 내지 도 9를 참조하여, 본 발명의 제2 실시 형태에 관한 표시 장치의 개략 구성에 대하여 설명한다. 도 7은 본 발명의 제2 실시 형태에 관한 표시 장치의 개략 구성을 도시하는 단면도이다. 도 8은 본 발명의 제2 실시 형태에 관한 표시 장치의 단자부의 개략 구성을 도시하는 도면이다. 도 8의 (a)는 단자부의 평면도이며, 도 8의 (b)는 단자부의 단면도이다. 도 9는 본 발명의 제2 실시 형태에 관한 표시 장치의 배선부의 개략 구성을 도시하는 단면도이다.

[0056] 또한, 본 발명의 제2 실시 형태에 관한 표시 장치(40)는, 본 발명의 제1 실시 형태에 관한 표시 장치(10)와는, 보호막으로서 제3 절연막(13)과 같은 유기 절연막뿐만 아니라, 유기 절연막 아래에 무기 절연막을 포함하는 보호막을 배치한 점에 있어서 그 구성이 상이하다. 따라서, 이하, 도 4 내지 도 6에 도시하여 상술한 구성과 마찬가지로의 구성에 대해서는 동일한 부호를 부여하고, 그 상세한 설명을 생략한다.

[0057] 도 7에 도시한 바와 같이, 본 발명의 제2 실시 형태에 관한 표시 장치(40)는, 기판(2) 위에 본 발명의 제1 실시 형태에 관한 표시 장치(10)와 마찬가지로, 제1 절연막(19) 및 제2 절연막(20)이 형성된다. 단자부(8)의 제2 절연막(20)은, 도 8의 (b)에 점선(20B)으로 둘러싸는 범위로 나타낸 바와 같이, 본 발명의 제1 실시 형태에 관한 표시 장치(10)와 마찬가지로, 단자 배선(122)이 배치되지 않는 영역을 에칭 등의 공지의 방법을 사용하여 제거하여 개구부를 형성한다. 이 에칭 공정은, 표시부(9)에 있어서의 박막 트랜지스터의 층간 절연막(제2 절연막(20))의 에칭 공정과 동시에 행할 수 있다.

[0058] 제2 절연막(20) 위에 형성된 금속막을 패터닝하여 신호선(12) 및 단자 배선(122)을 형성한 후, 제2 절연막(20) 및 신호선(12) 및 단자 배선(122)을 덮는, 무기 절연막을 포함하는 제4 절연막(15)을 형성한다. 제4 절연막(15)은 표시부(9)에 있어서 용량부(31)의 용량 소자를 구성하는 층이며, 질화 실리콘 등의 무기 절연막을 사용하여 형성한다.

[0059] 이어서, 단자 배선(122) 위의 제4 절연막(15)을 에칭에 의해 일부 제거하여 단자 배선(122)을 노출시키고, 단자 배선(122)이 노출된 영역 위에, IT0 등의 투명 도전막을 포함하는 제2 도전막(17)을 성막하여 패터닝함으로써, 복수의 단자 TM을 형성한다. 제2 도전막(17)은, 단자 배선(122)이 노출된 영역과 그 주변 영역인 제4 절연막(15)의 상면을 일부 덮어 형성된다. 제2 도전막(17)은, 유기 EL 발광층(1)의 애노드 전극(양극)을 구성하는 층이어도 좋다.

[0060] 이렇게 형성된 제4 절연막(15) 및 제2 도전막(17) 위에 아크릴, 폴리이미드 등의 유기 재료를 사용하여 제5 절연막(18)을 형성한다. 제5 절연막(18)은, 표시부(9)에 있어서는, 각 화소(101)의 영역을 구획하는 बैं크층으로서 기능하는 층이다. 제5 절연막(18)은, 단자부(8)에 있어서, 제2 도전막(17) 중, 단자 TM을 구성하는 부분이 노출되도록 패터닝된다. 이러한 제5 절연막(18)의 패터닝 공정은, 표시부(9)에 있어서 बैं크층을 형성할 때의 패터닝과 동시에 행할 수 있다.

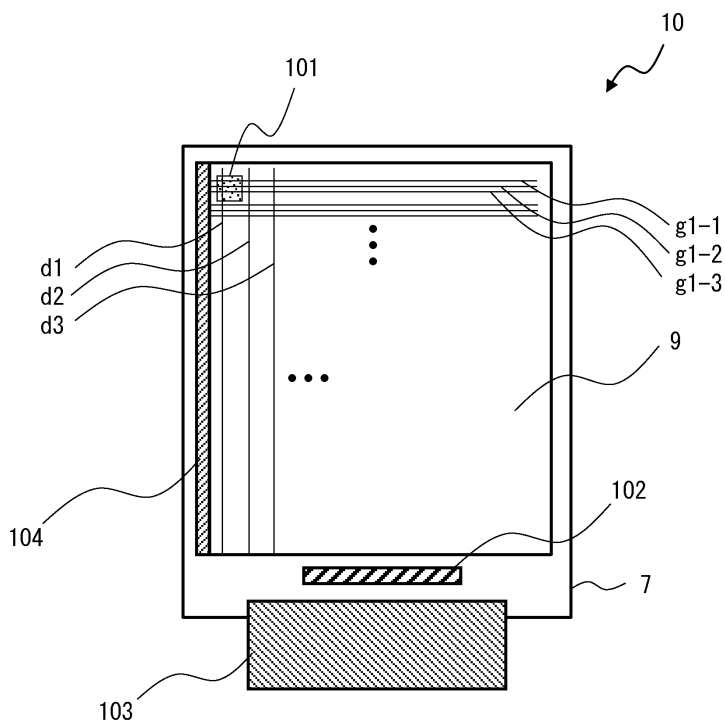
[0061] 또한, 제5 절연막(18)은, 단자부(8)에 있어서 제2 절연막(20)이 제거됨으로써 형성된 개구부(도 8의 (b)에 있어서 점선(20B)으로 둘러싸는 범위)에 충전된다. 따라서, 본 실시 형태에 있어서도, 제1 실시 형태에 관한 표시 장치(10)의 제조 공정과 마찬가지로, 제2 절연막(20)의 개구부 면적을 최적화함으로써, 제2 도전막(17) 위에 형성되는 제5 절연막(18)의 막 두께를, 원하는 막 두께로 제어하는 것이 가능해진다. 따라서, 기존의 제조 프로세스를 대폭 변경시키지 않고, 간이한 제조 방법으로, 단자 TM을 구성하는 제2 도전막(17)과 제2 도전막(17) 위의 제5 절연막(18) 사이에 형성되는 단차를, 외부 회로(103)의 실장에 영향을 주지 않을 정도로 작게 할 수 있다.

[0062] 또한, 본 실시 형태에 의하면, 질화 실리콘 등의 무기 절연막을 포함하는 제4 절연막(15)에 의해 단자 배선(122)을 보호하는 구성을 구비하고 있는 데다가, 이 제4 절연막(15) 위에 유기 절연막인 제5 절연막(18)이 형성되는 구성을 구비하고 있다. 그로 인해, 내수성을 향상시킬 수 있어, 부식을 방지하여, 더 높은 신뢰성을 갖는 표시 장치를 제조하는 것이 가능해진다.

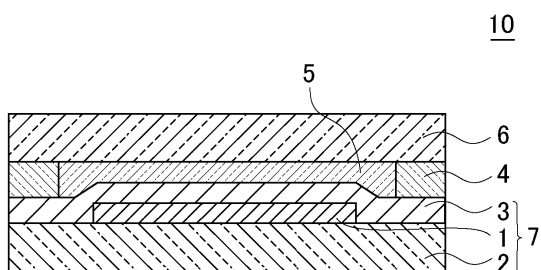
[0063] 이상과 같이, 본 발명의 제1 및 제2 실시 형태에 의하면, 단자부(8)의 각 단자 TM 및 단자 배선(122)을 유기 절연막을 포함하는 제3 절연막(13) 또는 제5 절연막(18)에 의해 보호하면서, 제3 절연막(13) 또는 제5 절연막(18)을 원하는 막 두께로 형성할 수 있기 때문에, 외부 회로(103)를 실장할 때에 실장 수율을 악화시키지 않고, 표시 장치의 높은 신뢰성을 확보하는 것이 가능해진다. 또한, 이러한 표시 장치를, 제조 프로세스를 대폭 변경시키지 않고, 간단한 제조 공정에 의해 실현할 수 있다.

도면

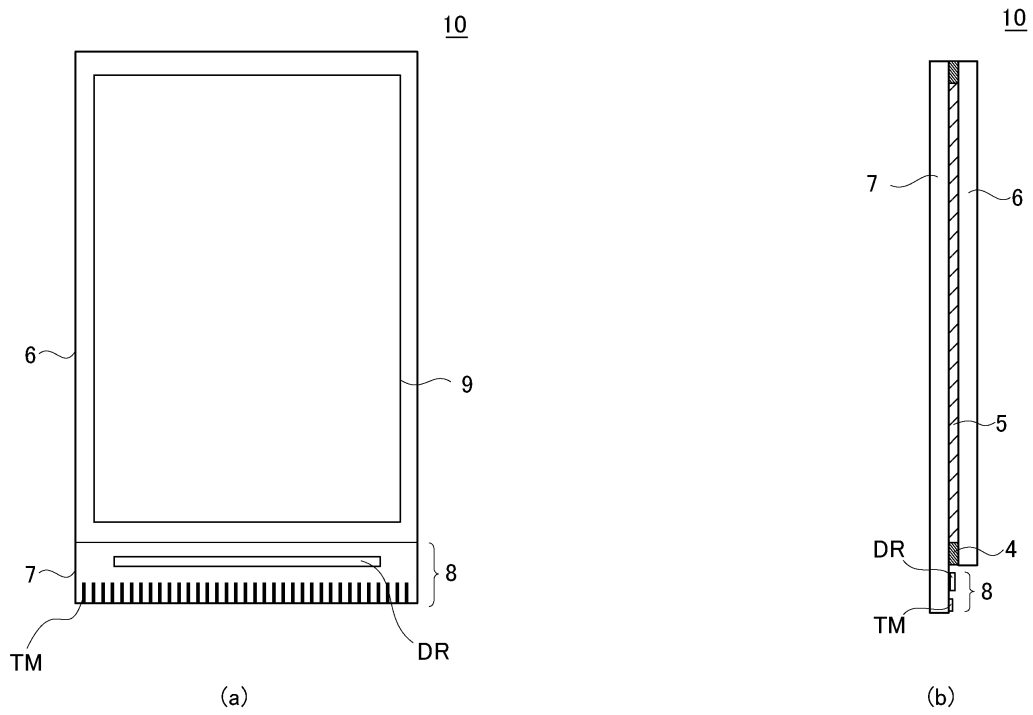
도면1



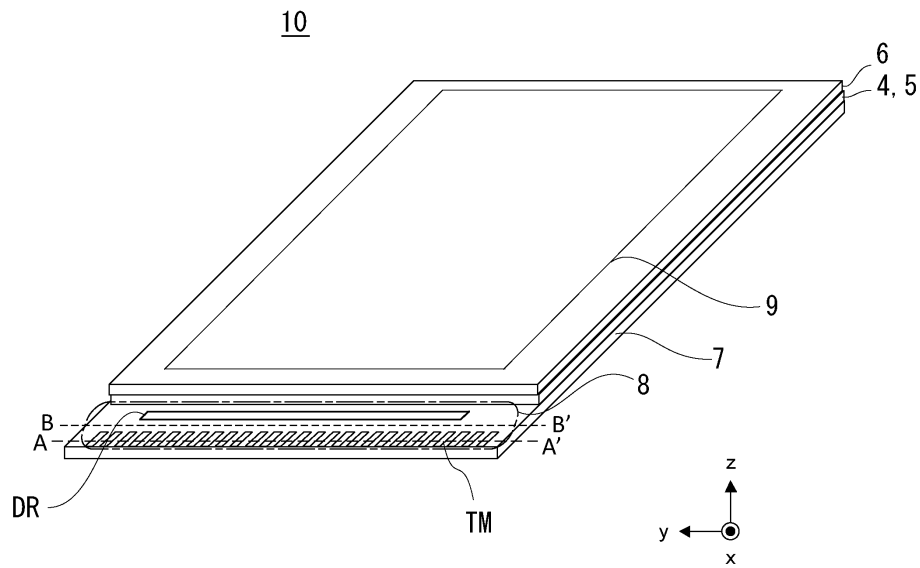
도면2



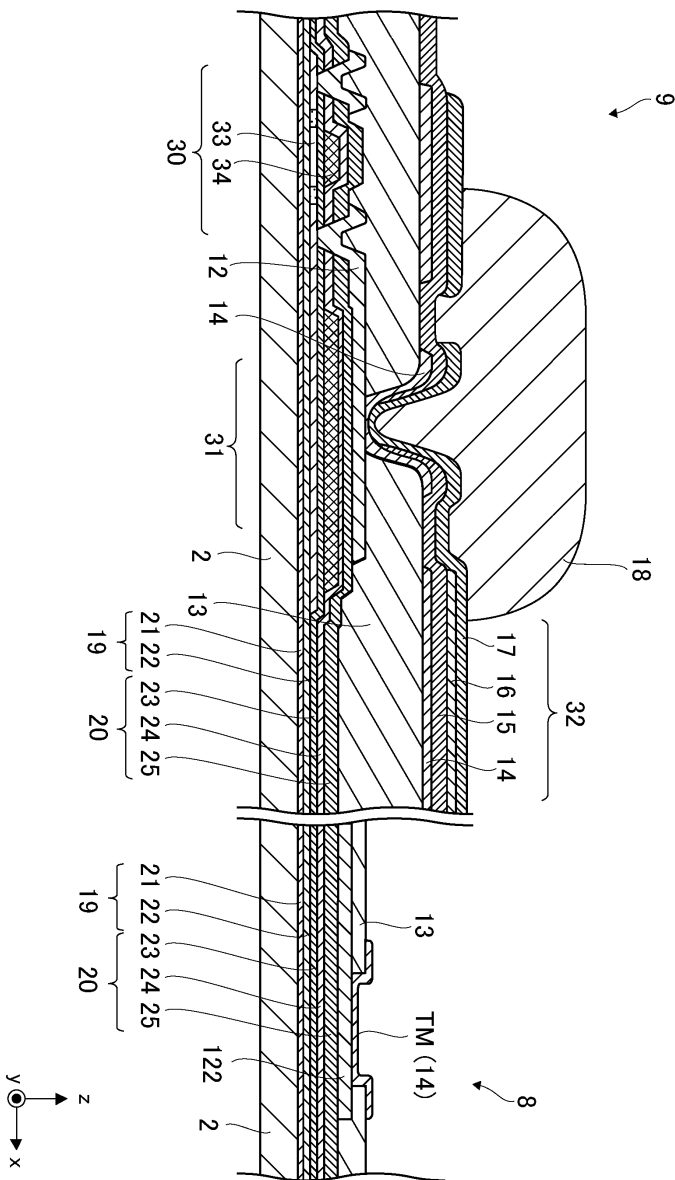
도면3a



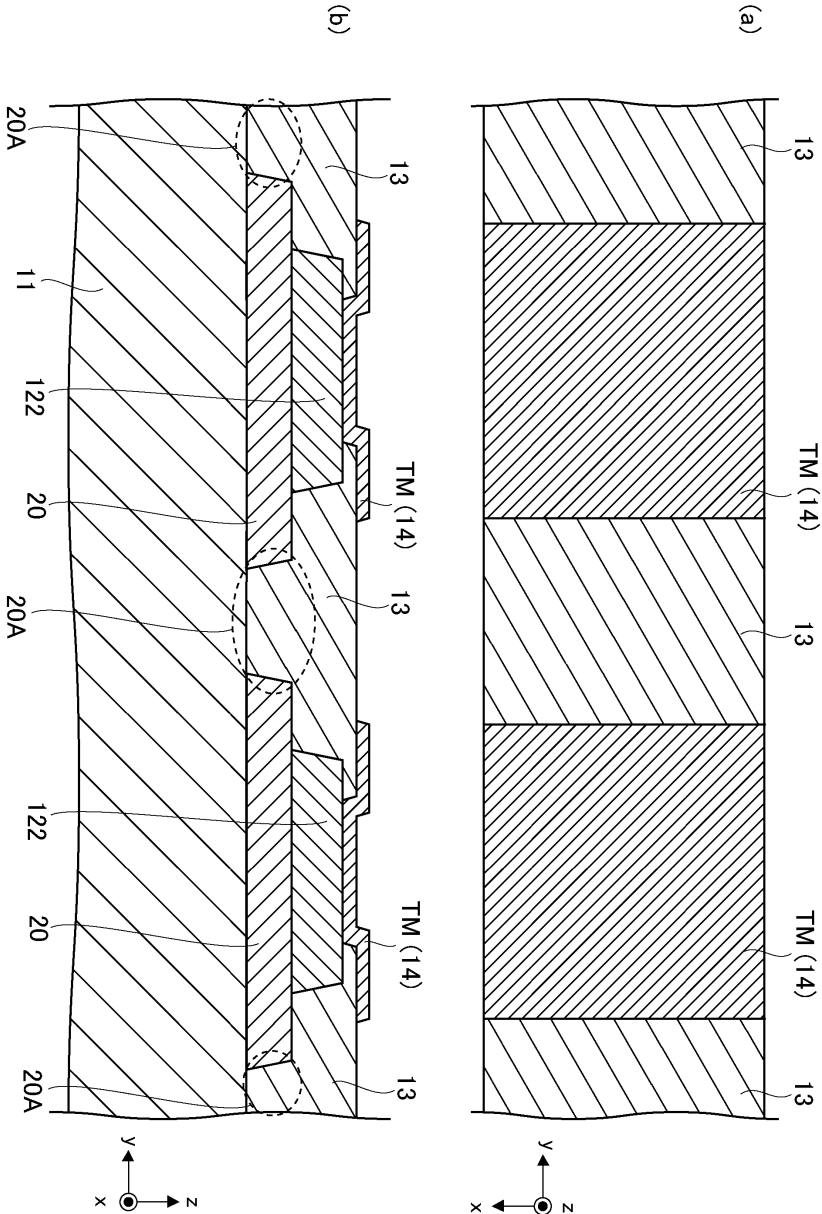
도면3b



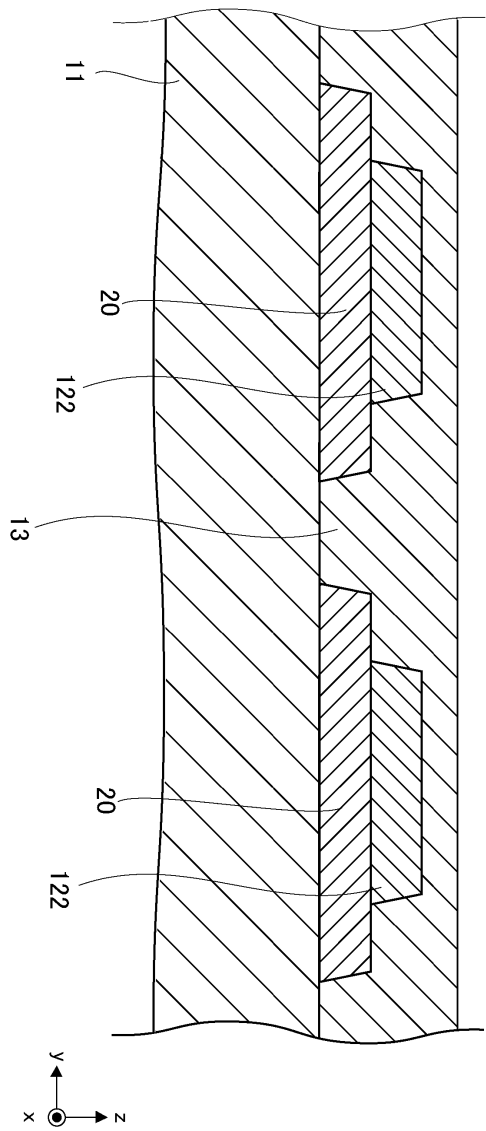
도면4



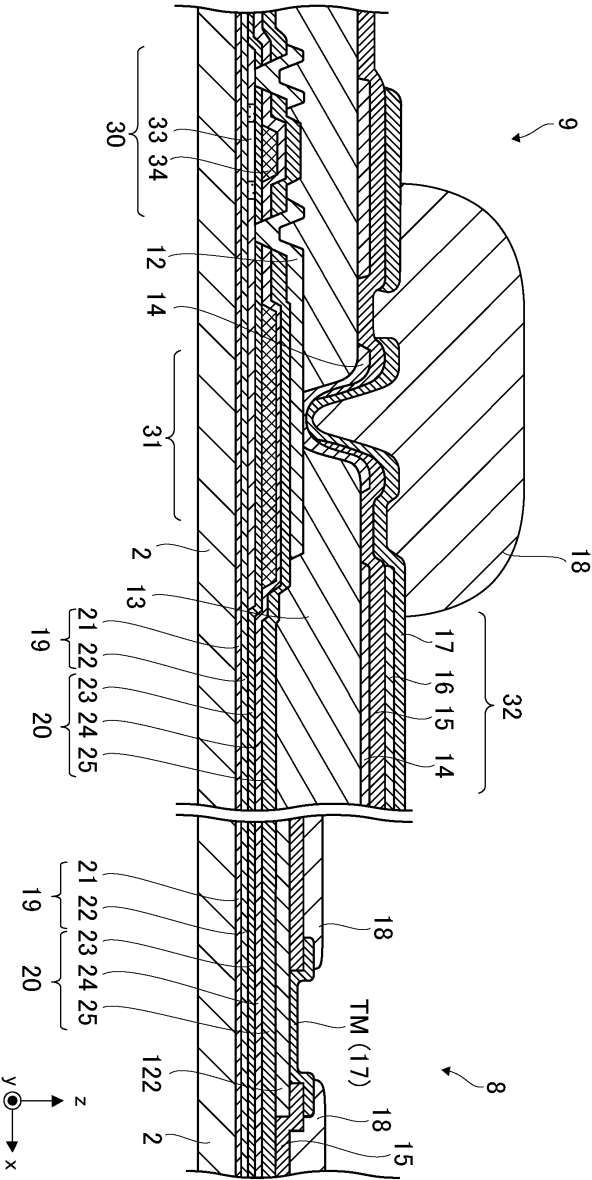
도면5



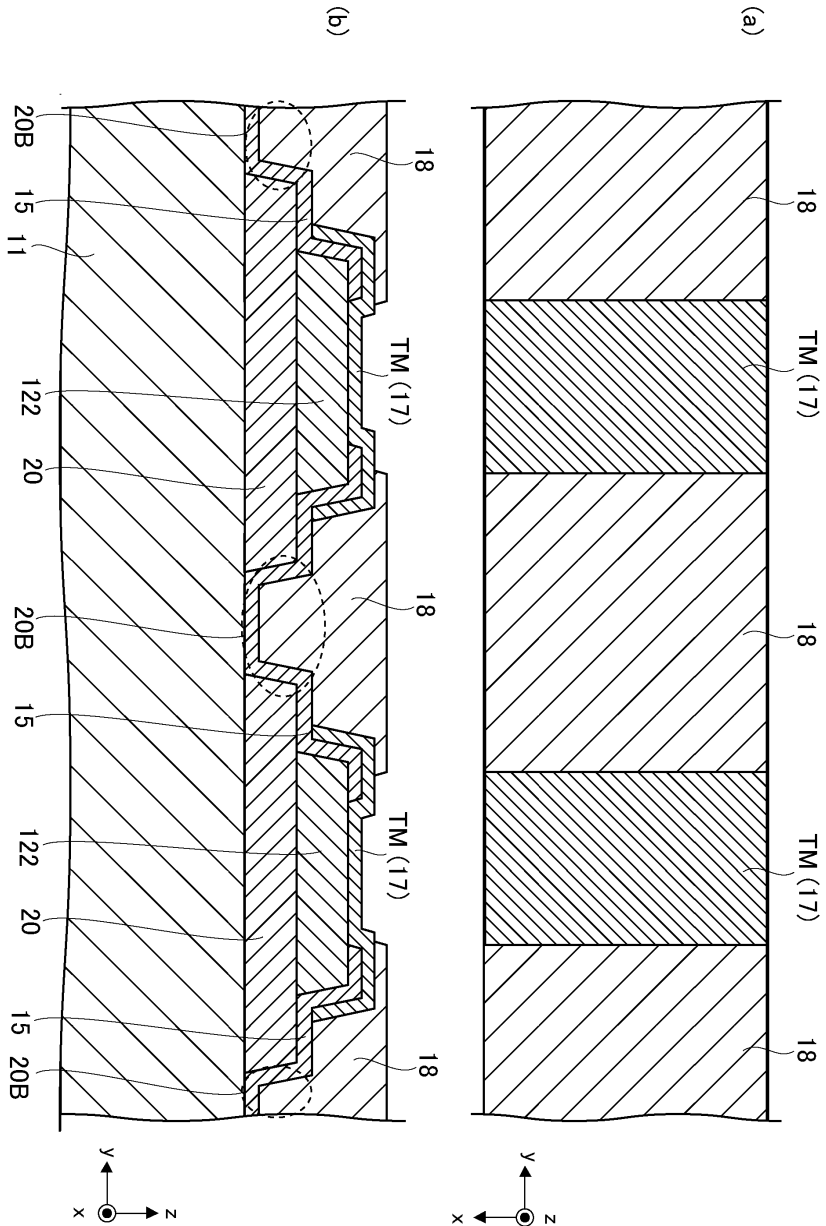
도면6



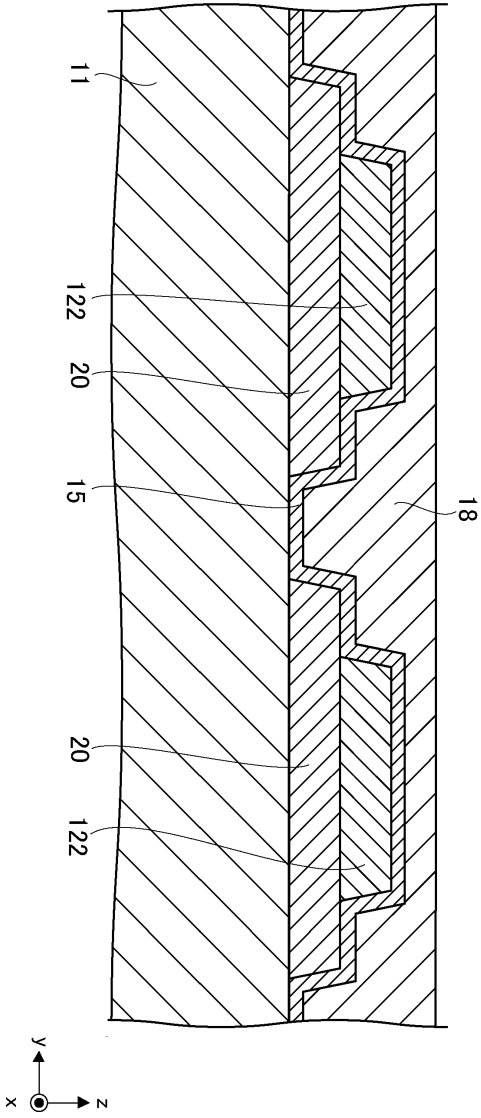
도면7



도면8



도면9



도면10

