

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月31日(31.08.2017)



(10) 国際公開番号

WO 2017/145530 A1

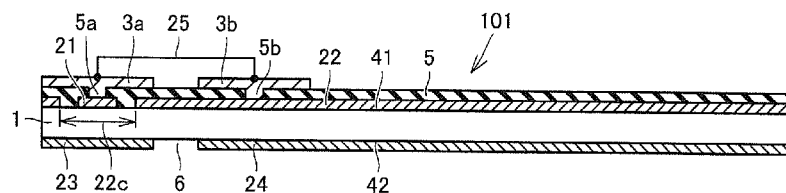
- (51) 国際特許分類:
G01P 15/09 (2006.01) H01L 41/047 (2006.01)
G01P 15/00 (2006.01) H01L 41/113 (2006.01)
G01P 15/08 (2006.01) H01L 41/187 (2006.01)
- (21) 国際出願番号: PCT/JP2017/000421
- (22) 国際出願日: 2017年1月10日(10.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-030983 2016年2月22日(22.02.2016) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 谷 晋輔(TANI, Shinsuke); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: PIEZOELECTRIC DEVICE

(54) 発明の名称: 圧電デバイス

[図2]

FIG.2



(57) Abstract: This piezoelectric device (101) comprises: a ferroelectric layer (1) including a first surface (41) and a second surface (42); a first electrode (21) comprising sintered metal and covering a portion of the first surface (41); a second electrode (22) comprising sintered metal, covering a portion of an area of the first surface (41) not covered with the first electrode (21), and separated from the first electrode (21); a third electrode (23) comprising sintered metal and covering a portion of the second surface (42) so as to include an area of the second surface (42) facing the first electrode (21); and a fourth electrode (24) covering a portion of an area of the second surface (42) not covered with the third electrode (23), and separated from the third electrode (23). The fourth electrode (24) faces at least a portion of the second electrode (22) with the ferroelectric layer (1) interposed therebetween.

(57) 要約: 圧電デバイス (101) は、第1面 (41) および第2面 (42) を有する強誘電体層 (1) と、第1面 (41) の一部を覆い、焼結金属によって形成された第1電極 (21) と、第1電極 (21) から離隔しつつ第1面 (41) の第1電極 (21) に覆われていない領域のうちの一部を覆い、焼結金属によって形成された第2電極 (22) と、第2面 (42) のうち第1電極 (21) に対向する領域を含むように第2面 (42) の一部を覆い、焼結金属によって形成された第3電極 (23) と、第3電極 (23) から離隔しつつ第2面 (42) の第3電極 (23) に覆われていない領域のうちの一部を覆う第4電極 (24) とを備え、第4電極 (24) は、第2電極 (22) の少なくとも一部に対して強誘電体層 (1) を挟んで対向している。

WO 2017/145530 A1

明 細 書

発明の名称：圧電デバイス

技術分野

[0001] 本発明は、圧電デバイスに関し、特に衝撃センサとして使用可能な圧電デバイスに関するものである。

背景技術

[0002] 特開 2 0 1 3 - 9 6 9 3 1 号公報（特許文献 1）には、「衝撃検知・記録装置」と称して、無電源でありながら加わった衝撃を検知し、記録することができる装置が記載されている。特許文献 1 では、この装置を得るために、衝撃センサと強誘電体メモリとをそれぞれ別々に作製し、その後、両者の電極を導電性接着剤により接合することで一体化している。衝撃センサは、一般的に所望の厚さに成形した圧電セラミック板に対して電極を形成するなどして作製される。一方、強誘電体メモリは、S i ウェハ上に薄膜プロセスを用いて成膜、パターニングすることで作製されている。

[0003] したがって、特許文献 1 の装置を実際に作製する際には、焼結した圧電セラミック板の加工を主とする衝撃センサの製造工程と、薄膜プロセスを主とする強誘電体メモリの製造工程と、両者を電氣的にも機械的にも接合させる一体化の工程とを実施する必要がある。

[0004] 特開 2 0 0 7 - 3 2 9 3 9 3 号公報（特許文献 2）には、センサと強誘電体メモリとが混載された半導体装置が記載されている。

先行技術文献

特許文献

[0005] 特許文献 1：特開 2 0 1 3 - 9 6 9 3 1 号公報

特許文献 2：特開 2 0 0 7 - 3 2 9 3 9 3 号公報

特許文献 3：国際公開第 2 0 1 5 / 1 6 6 9 1 4 号

発明の概要

発明が解決しようとする課題

[0006] 特許文献 1 に記載されるような衝撃センサに用いられる圧電体は、強誘電体でもあるので、この圧電体の分極反転を利用した強誘電体メモリを作製すれば、上述の工程を大幅に短縮できる可能性がある。しかし、衝撃センサで用いられている圧電体の厚みは $100\mu\text{m}$ 以上であり、この厚みの圧電体を分極反転させるのに必要な電圧は 100V 以上と見積もられる。強誘電体メモリの両端子間に発生する電極が 100V 、特に 40V を超える高電圧になると、周辺回路を高電圧に耐えられるようにする必要があり、信頼性設計に多大な労力が必要となる。一方で、衝撃センサで用いられる圧電体を加工して 10V 程度で分極反転可能になるまで薄くしようとすると、圧電体の厚みは $20\mu\text{m}$ 以下とする必要がある。こうなると、圧電体を薄くするための処理を含めた素子の製造過程で圧電体自体が破損してしまう可能性が高く、実際上のハンドリングに素子が耐えられない。

[0007] 以上のように、製造工程の簡略化のために、衝撃センサで用いられる圧電体と強誘電体メモリで用いられる強誘電体とを共通化しようとしても、信頼性設計や製造工程が難しくなってしまう、実施が不可能であった。

[0008] 特許文献 2 では、圧力センサと強誘電体メモリを共に薄膜プロセスで作製していることから、特許文献 1 で懸念された製造工程の煩雑さは解消されると期待される。一方で、強誘電体メモリを分極反転させる程度の電荷を発生する圧力センサを作製するには、圧電体の寸法に関する制約条件が発生し、この条件をクリアする厚みの圧力センサを薄膜プロセスで作製しようとすると、多大な労力を必要とすることになる。

[0009] そこで、本発明は、低い電圧で分極反転可能な強誘電体メモリを備え、ハンドリング可能な程度の厚みを有し、簡便に作製可能な圧電デバイスを提供することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するため、本発明の第 1 の局面に基づく圧電デバイスは、互いに逆の側を向く第 1 面および第 2 面を有する強誘電体層と、上記第 1 面の一部を覆い、焼結金属によって形成された第 1 電極と、上記第 1 電極から

離隔しつつ上記第1面の上記第1電極に覆われていない領域のうちの一部を覆い、焼結金属によって形成された第2電極と、上記第2面のうち上記第1電極に対向する領域を含むように上記第2面の一部を覆い、焼結金属によって形成された第3電極と、上記第3電極から離隔しつつ上記第2面の上記第3電極に覆われていない領域のうちの一部を覆い、焼結金属によって形成された第4電極とを備える。上記第4電極は、上記第2電極の少なくとも一部に対して上記強誘電体層を挟んで対向している。

[0011] 上記発明において好ましくは、上記強誘電体層は、厚みが $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である。

[0012] 上記発明において好ましくは、上記第1電極は円形であり、上記第2電極は上記第1電極を取り囲むように配置されている。

[0013] 上記発明において好ましくは、上記第1電極と上記第2電極とは、ダイオードを介して互いに電氣的に接続されている。

[0014] 上記発明において好ましくは、上記第3電極には第1パッド電極が電氣的に接続されており、上記第4電極には第2パッド電極が電氣的に接続されており、上記第1パッド電極と上記第2パッド電極とは互いに電氣的接続の有無が切替え可能である。

[0015] 上記発明において好ましくは、上記第1電極および上記第2電極の少なくとも一部を覆う絶縁膜を備える。

[0016] 上記目的を達成するため、本発明の第2の局面に基づく圧電デバイスは、圧電デバイスであって、 n を2以上の整数とすると、互いに逆の側を向く第1面および第2面を有する強誘電体層を備え、さらに、上記圧電デバイスは、1から n までの整数 k の各々について、上記第1面に焼結金属によって形成された第 k 第1電極と、上記第1面に焼結金属によって形成された第 k 第2電極と、上記第2面に焼結金属によって形成された第 k 第3電極と、上記第2面に焼結金属によって形成された第 k 第4電極とを有し、上記第 k 第3電極は、上記第 k 第1電極に対して上記強誘電体層を挟んで対向する領域を含み、上記第 k 第4電極は、上記第 k 第2電極の少なくとも一部に対して上

記強誘電体層を挟んで対向する領域を含み、上記第1第1電極、上記第2第1電極、上記第3第1電極、…、上記第n第1電極、上記第1第2電極、上記第2第2電極、上記第3第2電極、…、上記第n第2電極は、互いに離隔し、互いに異なる領域に配置されており、上記第1第3電極、上記第2第3電極、上記第3第3電極、…、上記第n第3電極、上記第1第4電極、上記第2第4電極、上記第3第4電極、…、上記第n第4電極は、互いに離隔し、互いに異なる領域に配置されており、1からnまでの整数の中から任意に選択される互いに異なる2つの整数 k_1 、 k_2 について、上記第 k_1 第1電極と上記第 k_2 第1電極とは、面積が異なっている。

[0017] 上記発明において好ましくは、上記強誘電体層は、厚みが $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である。

[0018] 上記発明において好ましくは、1からnまでの整数kの各々について、上記第k第1電極は円形であり、上記第k第2電極は上記第k第1電極を取り囲むように配置されている。

[0019] 上記発明において好ましくは、1からnまでの整数kの各々について、上記第k第1電極と上記第k第2電極とは、ダイオードを介して互いに電氣的に接続されている。

発明の効果

[0020] 本発明によれば、1つの強誘電体層1の異なる部位を以てメモリ部とセンサ部とが形成されるので、組立時にメモリとセンサとを個別に用意する必要がなく、低い電圧で分極反転可能な強誘電体メモリを備え、ハンドリング可能な程度の厚みを有し、簡便に作製可能な圧電デバイスを実現することができる。

図面の簡単な説明

[0021] [図1]本発明に基づく実施の形態1における圧電デバイスの斜視図である。

[図2]図1におけるI-I'-I-I'線に関する矢視断面図である。

[図3]本発明に基づく実施の形態1における圧電デバイスから絶縁膜などを取り去った状態の斜視図である。

[図4]本発明に基づく実施の形態1における圧電デバイスを製造するために用意される圧電セラミックシートの斜視図である。

[図5]本発明に基づく実施の形態1における圧電デバイスを製造するために用意される第1導電性シートの斜視図である。

[図6]本発明に基づく実施の形態1における圧電デバイスを製造するために用意される第2導電性シートの斜視図である。

[図7]本発明に基づく実施の形態1における圧電デバイスを製造するために用意される積層体の斜視図である。

[図8]本発明に基づく実施の形態1における圧電デバイスを製造する途中段階で得られる共焼結体の斜視図である。

[図9]本発明に基づく実施の形態1における圧電デバイスを製造する途中段階で得られる共焼結体の断面図である。

[図10]本発明に基づく実施の形態1における圧電デバイスを製造する途中の第1の状態における斜視図である。

[図11]図10に対応する断面図である。

[図12]本発明に基づく実施の形態1における圧電デバイスを製造する途中の第2の状態における斜視図である。

[図13]図12に対応する断面図である。

[図14]本発明に基づく実施の形態1における圧電デバイスを製造する途中の第3の状態における斜視図である。

[図15]図14に対応する断面図である。

[図16]本発明に基づく実施の形態1における圧電デバイスを製造する途中の第4の状態における斜視図である。

[図17]図16に対応する断面図である。

[図18]本発明に基づく実施の形態2における圧電デバイスの斜視図である。

[図19]本発明に基づく実施の形態2における圧電デバイスの断面図である。

[図20]本発明に基づく実施の形態3における圧電デバイスの斜視図である。

[図21]本発明に基づく実施の形態3における圧電デバイスの断面図である。

[図22]本発明に基づく実施の形態3における圧電デバイスを表す回路図である。

[図23]本発明に基づく実施の形態3における圧電デバイスにおいて、第2電極と第4電極との間に発生した電位差が大きい場合の衝撃印加前後のヒステリシスループを示すグラフである。

[図24]本発明に基づく実施の形態3における圧電デバイスにおいて、第2電極と第4電極との間に発生した電位差が小さい場合の衝撃印加前後のヒステリシスループを示すグラフである。

[図25]本発明に基づく実施の形態4における圧電デバイスの斜視図である。

[図26]本発明に基づく実施の形態4における圧電デバイスから絶縁膜などを取り去った状態での平面図である。

[図27]本発明に基づく実施の形態4における圧電デバイスの下面図である。

[図28]本発明に基づく実施の形態5における圧電デバイスの斜視図である。

[図29]本発明に基づく実施の形態5における圧電デバイスから絶縁膜などを取り去った状態の斜視図である。

発明を実施するための形態

[0022] 図面において示す寸法比は、必ずしも忠実に現実のとおりを表しているとは限らず、説明の便宜のために寸法比を誇張して示している場合がある。以下の説明において、上または下の概念に言及する際には、絶対的な上または下を意味するものではなく、図示された姿勢の中での相対的な上または下を意味するものである。

[0023] (実施の形態1)

図1～図3を参照して、本発明に基づく実施の形態1における圧電デバイスについて説明する。本実施の形態における圧電デバイス101の斜視図を図1に示す。図1における11-11線に関する矢視断面図を図2に示す。

[0024] 本実施の形態における圧電デバイス101は、互いに逆の側を向く第1面41および第2面42を有する強誘電体層1と、第1面41の一部を覆い、焼結金属によって形成された第1電極21と、第1電極21から離隔しつつ

第1面41の第1電極21に覆われていない領域のうちの一部を覆い、焼結金属によって形成された第2電極22と、第2面42のうち第1電極21に対向する領域を含むように第2面42の一部を覆い、焼結金属によって形成された第3電極23と、第3電極23から離隔しつつ第2面42の第3電極23に覆われていない領域のうちの一部を覆い、焼結金属によって形成された第4電極24とを備える。第4電極24は、第2電極22の少なくとも一部に対して強誘電体層1を挟んで対向している。

[0025] 圧電デバイス101は、第1電極21および第2電極22を覆うように絶縁膜5を備えている。圧電デバイス101は、絶縁膜5の一部を覆うように、引出し電極3a、3bを備える。引出し電極3a、3bは、互いに離隔して設けられているが、配線25によって互いに電氣的に接続されている。図1から引出し電極3a、3b、配線25および絶縁膜5を取り去った状態を図3に示す。第2電極22は開口部22cを有する。第1電極21は、開口部22cの内部に配置されている。第1電極21は、円形状であって、開口部22cに対して同心円状に配置されている。第1電極21は、第2電極22から離隔している。第4電極24は、間隙6を介して第3電極23から離隔している。なお、第1電極21は、円形状に限られるものではなく、たとえば楕円形状や多角形状であってもよい。

[0026] 強誘電体層1は、国際公開第2015/166914号（特許文献3）に記載された技術に従って形成することができる。この技術に従えば、厚みが100 μ m以下である強誘電体層1を作製することができる。強誘電体層1は焼成によって得ることができる。

[0027] 第1電極21、第2電極22、第3電極23、第4電極24も焼成によって得ることができる。強誘電体層1、第1電極21、第2電極22、第3電極23、第4電極24は、材料を積層した状態で一括して焼成することによって、これらの各部分を焼結体として同時に作製することができる。

[0028] 本実施の形態における圧電デバイス101では、同一の強誘電体層1が強誘電体メモリと衝撃センサとの両方を兼ねる構造となっている。1つの強誘

電体層 1 のうち第 1 電極 2 1 の投影領域内にある部分が強誘電体メモリとして働いている。この部分を以下「メモリ部」という。一方、強誘電体層 1 のうち第 2 電極 2 2 と第 4 電極 2 4 とによって挟まれている領域にある部分が衝撃センサとして働いている。この部分を以下「センサ部」という。本実施の形態では、このように 1 つの強誘電体層 1 の異なる部位を以てメモリ部とセンサ部とが形成されるので、組立時にメモリとセンサとを個別に用意する必要がない。したがって、本実施の形態における圧電デバイスは、メモリ部とセンサ部とを電氣的、機械的に接続する工程を経ることなく作製することができる。接続する工程が不要であるということは、接続部に関する信頼性の問題も回避することができる。薄い焼結体によってメモリ部分とセンサ部分との両方を実現することができるので、特許文献 1 の技術に比べて圧電デバイスの低背化を図ることができる。本実施の形態によれば、低い電圧で分極反転可能な強誘電体メモリを備え、ハンドリング可能な程度の厚みを有し、簡便に作製可能な、衝撃センサとして使用可能な圧電デバイスを実現することができる。

[0029] 本実施の形態における圧電デバイス 1 0 1 は、強誘電体層 1 の一部がセンサ部となっており、このセンサ部で衝撃時に発生する電荷を以て、メモリ部に情報の書き込みを行なうことができるので、外部から電源を供給する必要がなく、衝撃を自ら検知し、記録することができる。

[0030] 特許文献 2 で本実施の形態と同様の構成を実現するには、塗布工程、乾燥工程、脱脂熱処理工程を何回も繰り返す必要があるが、本実施の形態では、厚み $1\ \mu\text{m}$ 程度のシートを用意し、これらを積層、焼成することで所望厚みの強誘電体を作製することができ、製造方法を大幅に簡略化することができる。

[0031] 本実施の形態では、衝撃センサ部がユニモルフ構造であるものとして説明したが、ユニモルフ構造に限らない。圧電デバイスの総厚みが $100\ \mu\text{m}$ 以下であればよく、マルチモルフ構造であってもよい。

[0032] 強誘電体層 1 は、厚みが $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であることが好ましい

。この構成を採用することにより、強誘電体メモリと衝撃センサとの両方を兼ねる強誘電体層 1 を上述の方法で焼成により作製することができる。

[0033] 本実施の形態で示したように、第 1 電極 2 1 は円形状であり、第 2 電極 2 2 は第 1 電極 2 1 を取り囲むように配置されていることが好ましい。この構成を採用することにより、第 1 電極 2 1 の面積を直径により一義的に決定することができる。また、この構成を採用することにより、強誘電体層 1 のうち第 1 電極 2 1 および第 2 電極 2 2 のいずれにも覆われていない領域を小さくすることが可能となる。強誘電体層 1 がいずれかの電極で覆われているということは、当該領域においては、脆性をもつセラミックが展性をもつ金属で覆われて強誘電体層 1 の機械的強度が補強されているということに他ならないところであるが、第 2 電極 2 2 が第 1 電極 2 1 を取り囲むように配置することとすれば、このように補強されている領域を大きくすることができるので、発生する応力が緩和され、電極加工時に強誘電体層 1 が破損するリスクを低減することができる。

[0034] 第 1 電極 2 1 および第 2 電極 2 2 の少なくとも一部を覆う絶縁膜 5 を備えることが好ましい。この構成を採用することにより、第 1 電極 2 1 および第 2 電極 2 2 の少なくとも一部が絶縁膜 5 によって覆われるので、不所望な短絡が生じる確率を減らすことができる。

[0035] (製造方法)

本実施の形態における圧電デバイスの具体的な製造方法について説明する。

[0036] まず、セラミック素原料を用意する。たとえば、強誘電体層 1 となるべき圧電セラミック基体をニオブ酸アルカリ系化合物で形成する場合、K 化合物、Na 化合物、Li 化合物、Nb 化合物などを用意する。あるいは、強誘電体層 1 となるべき圧電セラミック基体を PZT 系化合物で形成する場合は、Pb 化合物、Ti 化合物、Zr 化合物などを用意し、必要に応じて各種添加物を用意する。

[0037] 次に、所定の配合モル比となるようにセラミック素原料を秤量する。この

秤量物をP S Z ボールなどの粉砕媒体が内部に配置されたポットミルに投入する。溶媒の存在下で所定時間にわたってポットミルを回転させる。こうして、セラミック素原料を湿式で十分に混合粉砕する。さらに粉砕物を乾燥させた後、仮焼処理を行なうことによって、セラミック原料粉末を得る。

[0038] このセラミック原料粉末を解砕した後、有機バインダ、有機溶剤、分散剤、可塑剤を先ほどの粉砕媒体と共に、再びポットミルに投入し、このポットミルを回転させながら十分に湿式で混合粉砕することによって、セラミックスラリーを得る。

[0039] ドクターブレード法によってセラミックスラリーを成形加工し、焼成後の厚みが、好ましくは100 μm 以下となるように、圧電セラミックシートを作製する。圧電セラミックシート10を図4に示す。ここでは、圧電セラミックシート10が正方形であるものとして例示しているが、圧電セラミックシート10の形状はこれに限らない。

[0040] 同様に、Ni、Cuなどの導電性材料を用意する。この導電性材料を有機バインダ、有機溶剤、分散剤、可塑剤と共に、粉砕媒体が内部に配置されたポットミルに投入し、ポットミルを回転させながら湿式で十分に湿式混合する。こうして、導電性スラリーを作製する。次いで、ドクターブレード法により、導電性スラリーを成形加工し、焼成後の厚みが、好ましくは1~40 μm となるように、図5および図6に示すように、2枚の導電性シートを作製する。図5に第1導電性シート11を示す。図6に第2導電性シート12を示す。

[0041] 図7に示すように、圧電セラミックシート10を第1導電性シート11および第2導電性シート12によって挟み込むことによって、これら3層が重なった積層体を得る。この積層体を焼成する。焼成された積層体を所望の形状に切り分ける。こうして図8および図9に示すような共焼結体15を得る。共焼結体15は、たとえば平面的に見て40mm×10mmの長方形となるように作製される。図9は図8に示す共焼結体15の断面図である。共焼結体15においては、強誘電体1の第1面41に第1導体層16が形成され

、第2面42に第2導体層17が形成されている。

[0042] 次に、フォトリソグラフィ技術を使用して第1導体部層16にパターニング処理を施す。このパターニング処理においては、第1導体層16の表面にフォトレジストを塗布した後、プリベークし、その後、所定パターンを有するマスクを上方に配し、紫外線を照射して露光し、マスクパターンをフォトレジストに転写する。次いで、これを現像した後、純水で洗浄する。その後、これを塩化第二鉄溶液などのエッチング液に浸漬してウェットエッチングを行なう。現像されたフォトレジストを剥離溶液を使用して剥離する。このようなパターニング処理を行なった結果、第1導体層16は2つの部分に分かれ、図10に示すように、第1電極21および第2電極22が形成される。この状態の断面図を図11に示す。

[0043] 次に、第1電極21および第2電極22を覆うように絶縁膜5を形成する。第2電極22の開口部22c内において強誘電体層1が露出している部分も絶縁膜5によって覆われる。ただし、第1電極21の一部および第2電極22の一部がそれぞれ露出するように、図12に示すように、絶縁膜5に開口部5a, 5bを形成する。この状態の断面図を図13に示す。

[0044] 絶縁膜5の形成のためには、たとえば、感光性エポキシ樹脂などの感光性絶縁性材料を含有した絶縁性溶液を用意する。スピンコート法などの塗布方法により、この絶縁性溶液を塗布する。その後、プリベークし、所定パターンのマスクを介して露光し、現像する。さらに、これをポストベークすることによって、開口部5a, 5bを有する絶縁膜5を得ることができる。

[0045] 次に、引出し電極3a, 3bを形成する。すなわち、まず、絶縁膜5が形成された積層体の表面にスパッタリング法などの薄膜形成方法を適用して導電層を形成する。その後、この導電層に対して、上述したフォトリソグラフィ技術により、図14に示すように引出し電極3a, 3bを形成する。この状態の断面図を図15に示す。

[0046] 次に、フォトリソグラフィ技術により第2導体層17にパターニング処理を施す。これにより、第2導体層17が2つに分割される。こうして、図1

6 および図 1 7 に示したように、第 3 電極 2 3 と第 4 電極 2 4 とが形成される。

[0047] 次に、引出し電極 3 a, 3 b 間を適当な方法で電氣的に接続する。センサ部から発生する信号を交流のままメモリ部に印加すべきであれば、この接続のためには、引出し電極 3 a, 3 b 間にまたがるように低抵抗の抵抗チップを実装してもよい。こうして、図 1 および図 2 に示すような圧電デバイス 1 0 1 を得ることができる。ここでは、引出し電極 3 a, 3 b 間の接続手段については、配線 2 5 として模式的に示している。

[0048] 信号を交流のままメモリ部に印加してよい場合、引出し電極 3 a, 3 b を配線 2 5 によって接続する代わりに、引出し電極 3 a, 3 b を作製する際に引出し電極 3 a, 3 b を別々の電極として形成するのではなくつながった一体的な電極として形成してもよい。

[0049] なお、ここでは、焼成した積層体を所望の形状に切り分けた後にフォトリソグラフィ技術を用いた各種電極加工を行なっているが、焼成した積層体を切り分けずに大判のままさらに電極加工から接続までを行ない、その後で所望の形状に切り分けることとしてもよい。この場合、製造コストの低減を図ることができる。

[0050] (実施の形態 2)

図 1 8 および図 1 9 を参照して、本発明に基づく実施の形態 2 における圧電デバイスについて説明する。本実施の形態における圧電デバイス 1 0 2 を図 1 8 に示す。圧電デバイス 1 0 2 の断面図を図 1 9 に示す。

[0051] 実施の形態 1 で説明した圧電デバイス 1 0 1 では、引出し電極 3 a, 3 b 間を配線 2 5 によって接続していたが、本実施の形態における圧電デバイス 1 0 2 では、引出し電極 3 a, 3 b 間はダイオード 3 1 で接続されている。ダイオード 3 1 はチップ形状のものである。圧電デバイス 1 0 2 においては、第 1 電極 2 1 と第 2 電極 2 2 とは、ダイオード 3 1 を介して互いに電氣的に接続されている。

[0052] 本実施の形態では、第 1 電極 2 1 と第 2 電極 2 2 とがダイオード 3 1 を介

して接続されているので、センサ部から発生した交流信号はダイオード 31 によって整流された状態で、メモリ部に印加される。

[0053] (実施の形態 3)

図 20～図 22 を参照して、本発明に基づく実施の形態 3 における圧電デバイスについて説明する。本実施の形態における圧電デバイス 103 を図 20 に示す。図 20 における X X I - X X I 線に関する矢視断面図を図 21 に示す。圧電デバイス 103 は、基板 32 を備えている。基板 32 の表面には、第 1 パッド電極 33 と、第 2 パッド電極 34 とが配置されている。圧電デバイス 103 においては、第 3 電極 23 には第 1 パッド電極 33 が電氣的に接続されており、第 4 電極 24 には第 2 パッド電極 34 が電氣的に接続されており、第 1 パッド電極 33 と第 2 パッド電極 34 とは互いに電氣的接続の有無が切替え可能である。

[0054] 図 20 に示すように、第 1 パッド電極 33 と第 2 パッド電極 34 との間にはスイッチ 35 が配置されている。スイッチ 35 を操作することによって、第 1 パッド電極 33 と第 2 パッド電極 34 との間の電氣的接続の有無を切り替えることができる。圧電デバイス 103 において、基板 32 から片持ち梁のように張り出している部分は、圧電デバイス 103 全体に衝撃が加わった際に振動を引き起こす。この部分で発生する振動が、強誘電体層 1 のうちセンサ部によって電気信号に変換される。この電気信号がダイオード 31 によって整流されて、第 1 電極 21 と第 3 電極 23 との間の電位差となって、強誘電体層 1 のうちメモリ部に入力される。

[0055] 本実施の形態における圧電デバイス 103 を回路図で示すと、図 22 のようになる。圧電デバイス 103 は、センサ部 51 と、メモリ部 52 とを備える。

[0056] 発明者が作製した圧電デバイス 103 では、圧電膜の厚さは $15\ \mu\text{m}$ 、第 1 導体層 16 および第 2 導体層 17 の厚みはそれぞれ約 $2\ \mu\text{m}$ であった。圧電デバイス 103 の第 2 電極 22 と第 2 パッド電極 34 との間に一定の電圧を印加し、強誘電体層 1 のうちセンサ部に相当する領域を分極する。その後

で、スイッチ35をONとした状態で、ピンセットの柄の部分で衝撃センサ部を叩くことで衝撃を人為的に印加した。この衝撃により、第1電極21と第3電極23との間に電位差が発生した。いくとおりかの大きさの衝撃を加えたが、その結果、与える衝撃の大きさに応じて1～20V程度の電位差が検出された。

[0057] 発明者が作製した圧電デバイス103を、スイッチ35をOFFとした状態で、ソーヤタワ回路に接続して、第1電極21と第3電極23との間のヒステリシスループを測定した。衝撃印加時に発生した電気信号をダイオード31で負方向に整流しているものとして電圧の正負を定義すると、ヒステリシス測定の際の電圧の掃引は、0→負→正→0の順で行なった。その結果、衝撃を印加した際に第2電極22と第4電極24との間に発生する電位差が大きい場合には、図23に示すように、衝撃印加前後でのヒステリシス形状が大きく異なっていたのに対して、第2電極22と第4電極24との間に発生した電位差が小さい場合は、図24に示すように、衝撃印加前後でのヒステリシス形状に差異が見られなかった。

[0058] この実験からは、強い衝撃をセンサ部に印加することにより、大きな電位差を発生させ、その電位差を以てメモリ部の分極状態を変更できることが確認できた。

[0059] ここではセンサ部がユニモルフ構造である場合について例示したが、必ずしもユニモルフ構造に限定するものではない。強誘電体層1の総厚みが100μm以下であればマルチモルフ構造であってもよい。

[0060] (実施の形態4)

図25～図27を参照して、本発明に基づく実施の形態4における圧電デバイスについて説明する。本実施の形態における圧電デバイス104を図25に示す。圧電デバイス104は、複数のメモリ部を備える。図25に示した例では、圧電デバイス104は、第1から第nの合計n個のメモリ部を備えている。圧電デバイス104は、n個のメモリ部に対応してn個のセンサ部を備える。圧電デバイス104において、強誘電体層1は、n個のメモリ

部および n 個のセンサ部にわたって共通して単一の層であってよい。絶縁膜5についても、同様に単一の膜として一括して形成されていてよい。

[0061] 圧電デバイス104から絶縁膜5などを取り去った状態で図25における上側から見たところを図26に示す。図26では、強誘電体層1の第1面41側が見えている。図26に示すように、強誘電体層1の第1面41には、第1第1電極1021、第1第2電極1022、第2第1電極2021、第2第2電極2022、第3第1電極3021、第3第2電極3022、…、第 n 第1電極 n 021、第 n 第2電極 n 022がそれぞれ離隔した状態で配置されている。第1第1電極1021は、第1第2電極1022に取り囲まれた状態で、アイランド状に形成されている。第2第1電極2021は、第2第2電極2022に取り囲まれた状態で、アイランド状に形成されている。以下同様に続き、第 n 第1電極 n 021は、第 n 第2電極 n 022に取り囲まれた状態で、アイランド状に形成されている。第1第1電極1021、第2第1電極2021、第3第1電極3021、…、第 n 第1電極 n 021は、いずれも円形であり、それぞれ直径が異なっている。第1第1電極1021、第2第1電極2021、第3第1電極3021、…、第 n 第1電極 n 021の中からいずれか任意の2個の電極を取り出して注目すると、常に当該2個の電極は面積が異なっている。

[0062] 圧電デバイス104を図25における下側から見たところを図27に示す。図26に比べて裏返した状態に相当するので、図26における左端は、図27においては右端となっている。図27では、強誘電体層1の第2面42側が見えている。図27に示すように、強誘電体層1の第2面42には、第1第3電極1023、第1第4電極1024、第2第3電極2023、第2第4電極2024、第3第3電極3023、第3第4電極3024、…、第 n 第3電極 n 023、第 n 第4電極 n 024がそれぞれ離隔した状態で配置されている。第1第3電極1023、第2第3電極2023、…、第 n 第3電極 n 023はいずれも同じ形状であってよい。第1第4電極1024、第2第4電極2024、…、第 n 第4電極 n 024はいずれも同じ形状であつ

てよい。

[0063] 以上述べた圧電デバイス 104 の構成を整理すると、以下のように表現することができる。

[0064] 本実施の形態における圧電デバイス 104 は、圧電デバイスであって、 n を 2 以上の整数とすると、互いに逆の側を向く第 1 面 41 および第 2 面 42 を有する強誘電体層 1 を備える。さらに、圧電デバイス 104 は、1 から n までの整数 k の各々について、第 1 面 41 に焼結金属によって形成された第 k 第 1 電極と、第 1 面 41 に焼結金属によって形成された第 k 第 2 電極と、第 2 面 42 に焼結金属によって形成された第 k 第 3 電極と、第 2 面 42 に焼結金属によって形成された第 k 第 4 電極とを有し、前記第 k 第 3 電極は、前記第 k 第 1 電極に対して強誘電体層 1 を挟んで対向する領域を含み、前記第 k 第 4 電極は、前記第 k 第 2 電極の少なくとも一部に対して強誘電体層 1 を挟んで対向する領域を含む。前記第 1 第 1 電極、前記第 2 第 1 電極、前記第 3 第 1 電極、…、前記第 n 第 1 電極、前記第 1 第 2 電極、前記第 2 第 2 電極、前記第 3 第 2 電極、…、前記第 n 第 2 電極は、互いに離隔し、互いに異なる領域に配置されている。前記第 1 第 3 電極、前記第 2 第 3 電極、前記第 3 第 3 電極、…、前記第 n 第 3 電極、前記第 1 第 4 電極、前記第 2 第 4 電極、前記第 3 第 4 電極、…、前記第 n 第 4 電極は、互いに離隔し、互いに異なる領域に配置されている。1 から n までの整数の中から任意に選択される互いに異なる 2 つの整数 k_1 、 k_2 について、前記第 k_1 第 1 電極と前記第 k_2 第 1 電極とは、面積が異なっている。

[0065] 本実施の形態では、1 つの圧電デバイスの中に n 個のメモリ部と n 個のセンサ部が構成されている。1 つの衝撃がこの圧電デバイスに加わったときには n 個のセンサ部の各々で、電荷が発生する。この電荷は、対応するメモリ部における第 1 電極と第 3 電極との間に電位差を生じさせることになる。各センサ部によってそれぞれ同等の電荷が発生している場合であっても、 n 個あるメモリ部は、それぞれ第 1 電極の面積が異なるので、各メモリ部に印加される電圧は異なる。各メモリ部ごとに印加される電圧が異なることにより

、複数あるメモリ部の中には、分極反転が可能な直列回路と、分極反転が不可能な直列回路とが存在しうる。メモリ部ごとの分極反転の有無を後から確認することにより、この圧電デバイスに加わった衝撃の大きさを定量的に確認することができる。

[0066] 本実施の形態では、強誘電体層 1 は、厚みが $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であってもよい。

[0067] 本実施の形態で示したように、1 から n までの整数 k の各々について、前記第 k 第 1 電極は円形であり、前記第 k 第 2 電極は前記第 k 第 1 電極を取り囲むように配置されていてよい。この構成を採用することにより、第 1 電極の面積を調整しやすい。また、この構成を採用することにより、強誘電体層 1 のうち第 k 第 1 電極および第 k 第 2 電極のいずれにも覆われていない領域を小さくすることが可能となる。強誘電体層 1 がいずれかの電極で覆われているということは、当該領域においては、脆性をもつセラミックが展性をもつ金属で覆われて強誘電体層 1 の機械的強度が補強されているということに他ならないところであるが、第 k 第 2 電極が第 k 第 1 電極を取り囲むように配置することとすれば、このように補強されている領域を大きくすることができるので、発生する応力が緩和され、電極加工時に強誘電体層 1 が破損するリスクを低減することができる。

[0068] 図 25 に示すように、1 から n までの整数 k の各々について、前記第 k 第 1 電極と前記第 k 第 2 電極とは、ダイオード 31 を介して互いに電氣的に接続されていてよい。この構成を採用することにより、各センサ部から発生した交流信号はダイオード 31 によって整流された状態で、対応するメモリ部に印加される。

[0069] (実施の形態 5)

図 28～図 29 を参照して、本発明に基づく実施の形態 5 における圧電デバイスについて説明する。本実施の形態における圧電デバイス 105 を図 28 に示す。本実施の形態における圧電デバイス 105 は、実施の形態 4 における圧電デバイス 104 において $n=2$ とし、さらにいくつかの部品を追加

したものに相当する。図28から絶縁膜5などいくつかの要素を取り去った状態を図29に示す。

[0070] 本実施の形態における圧電デバイス105は、圧電デバイスであって、互いに逆の側を向く第1面41および第2面42を有する強誘電体層1を備える。さらに、圧電デバイス105は、第1面41に焼結金属によって形成された第1第1電極1021と、第1面41に焼結金属によって形成された第1第2電極1022と、第2面42に焼結金属によって形成された第1第3電極1023と、第2面42に焼結金属によって形成された第1第4電極とを有し、第1第3電極1023は、第1第1電極1021に対して強誘電体層1を挟んで対向する領域を含み、第1第4電極は、第1第2電極1022の少なくとも一部に対して強誘電体層1を挟んで対向する領域を含む。さらに、圧電デバイス105は、第1面41に焼結金属によって形成された第2第1電極2021と、第1面41に焼結金属によって形成された第2第2電極2022と、第2面42に焼結金属によって形成された第2第3電極2023と、第2面42に焼結金属によって形成された第2第4電極2024とを有する。第2第3電極2023は、第2第1電極2021に対して強誘電体層1を挟んで対向する領域を含む。第2第4電極2024は、第2第2電極2022の少なくとも一部に対して強誘電体層1を挟んで対向する領域を含む。第1第1電極1021、第2第1電極2021、第1第2電極1022、第2第2電極2022は、互いに離隔し、互いに異なる領域に配置されている。第1第3電極1023、第2第3電極2023、前記第1第4電極、第2第4電極2024は、互いに離隔し、互いに異なる領域に配置されている。第1第1電極1021と第2第1電極2021とは、面積が異なっている。

[0071] 図28に示すように、第1第1パッド電極1033が第1第3電極1023に接続されている。第1第2パッド電極1034は、図示されない第1第4電極に接続されている。第2第1パッド電極2033が第2第3電極2023に接続されている。第2第2パッド電極2034が第2第4電極2024に接続されている。

4に接続されている。

[0072] 本実施の形態では、1つの圧電デバイス105の中に2個のメモリ部と2個のセンサ部が構成されている。本実施の形態では、第1第1電極1021と第2第1電極2021とで面積が異なっているので、1つの衝撃がこの圧電デバイスに加わったときには、2個のメモリ部に印加される電圧は異なったものとなる。圧電デバイス105に衝撃が加わったときに、2個のメモリ部とも分極反転が起こるか、1個のメモリ部のみで分極反転が起こるか、2個のメモリ部とも分極反転が起こらないかの3通りの状態がありえ、このいずれであるかを後から調べることにより、圧電デバイス105に加わった衝撃の大きさがどの程度であったかを識別することができる。

[0073] なお、上記実施の形態のうち複数を適宜組み合わせて採用してもよい。

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

符号の説明

[0074] 1 強誘電体層、3a, 3b 引出し電極、5 絶縁膜、5a, 5b (絶縁膜の) 開口部、6 間隙、10 圧電セラミックシート、11 第1導電性シート、12 第2導電性シート、15 共焼結体、16 第1導体層、17 第2導体層、21 第1電極、22 第2電極、22c (第2電極の) 開口部、23 第3電極、24 第4電極、25 配線、31 ダイオード、32 基板、33 第1パッド電極、34 第2パッド電極、35 スイッチ、41 第1面、42 第2面、51 センサ部、52 メモリ部、101, 102, 103, 104, 105 圧電デバイス、1021 第1第1電極、1022 第1第2電極、1023 第1第3電極、1033 第1第1パッド電極、1034 第1第2パッド電極、2021 第2第1電極、2022 第2第2電極、2023 第2第3電極、2024 第2第4電極、2033 第2第1パッド電極、2034 第2第2パッド

電極。

請求の範囲

- [請求項1] 互いに逆の側を向く第1面および第2面を有する強誘電体層と、
前記第1面の一部を覆い、焼結金属によって形成された第1電極と、
、
前記第1電極から離隔しつつ前記第1面の前記第1電極に覆われていない領域のうちの一部を覆い、焼結金属によって形成された第2電極と、
前記第2面のうち前記第1電極に対向する領域を含むように前記第2面の一部を覆い、焼結金属によって形成された第3電極と、
前記第3電極から離隔しつつ前記第2面の前記第3電極に覆われていない領域のうちの一部を覆い、焼結金属によって形成された第4電極とを備え、
前記第4電極は、前記第2電極の少なくとも一部に対して前記強誘電体層を挟んで対向している、圧電デバイス。
- [請求項2] 前記強誘電体層は、厚みが $1\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下である、請求項1に記載の圧電デバイス。
- [請求項3] 前記第1電極は円形であり、前記第2電極は前記第1電極を取り囲むように配置されている、請求項1または2に記載の圧電デバイス。
- [請求項4] 前記第1電極と前記第2電極とは、ダイオードを介して互いに電氣的に接続されている、請求項1から3のいずれかに記載の圧電デバイス。
- [請求項5] 前記第3電極には第1パッド電極が電氣的に接続されており、前記第4電極には第2パッド電極が電氣的に接続されており、前記第1パッド電極と前記第2パッド電極とは互いに電氣的接続の有無が切替え可能である、請求項1から4のいずれかに記載の圧電デバイス。
- [請求項6] 前記第1電極および前記第2電極の少なくとも一部を覆う絶縁膜を備える、請求項1から5のいずれかに記載の圧電デバイス。
- [請求項7] 圧電デバイスであって、

n を 2 以上の整数とすると、
互いに逆の側を向く第 1 面および第 2 面を有する強誘電体層を備え、
さらに、前記圧電デバイスは、1 から n までの整数 k の各々について、

前記第 1 面に焼結金属によって形成された第 k 第 1 電極と、
前記第 1 面に焼結金属によって形成された第 k 第 2 電極と、
前記第 2 面に焼結金属によって形成された第 k 第 3 電極と、
前記第 2 面に焼結金属によって形成された第 k 第 4 電極とを有し、
前記第 k 第 3 電極は、前記第 k 第 1 電極に対して前記強誘電体層を挟んで対向する領域を含み、

前記第 k 第 4 電極は、前記第 k 第 2 電極の少なくとも一部に対して前記強誘電体層を挟んで対向する領域を含み、

前記第 1 第 1 電極、前記第 2 第 1 電極、前記第 3 第 1 電極、…、前記第 n 第 1 電極、前記第 1 第 2 電極、前記第 2 第 2 電極、前記第 3 第 2 電極、…、前記第 n 第 2 電極は、互いに離隔し、互いに異なる領域に配置されており、

前記第 1 第 3 電極、前記第 2 第 3 電極、前記第 3 第 3 電極、…、前記第 n 第 3 電極、前記第 1 第 4 電極、前記第 2 第 4 電極、前記第 3 第 4 電極、…、前記第 n 第 4 電極は、互いに離隔し、互いに異なる領域に配置されており、

1 から n までの整数の中から任意に選択される互いに異なる 2 つの整数 k_1 、 k_2 について、前記第 k_1 第 1 電極と前記第 k_2 第 1 電極とは、面積が異なっている、圧電デバイス。

[請求項 8] 前記強誘電体層は、厚みが $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下である、請求項 7 に記載の圧電デバイス。

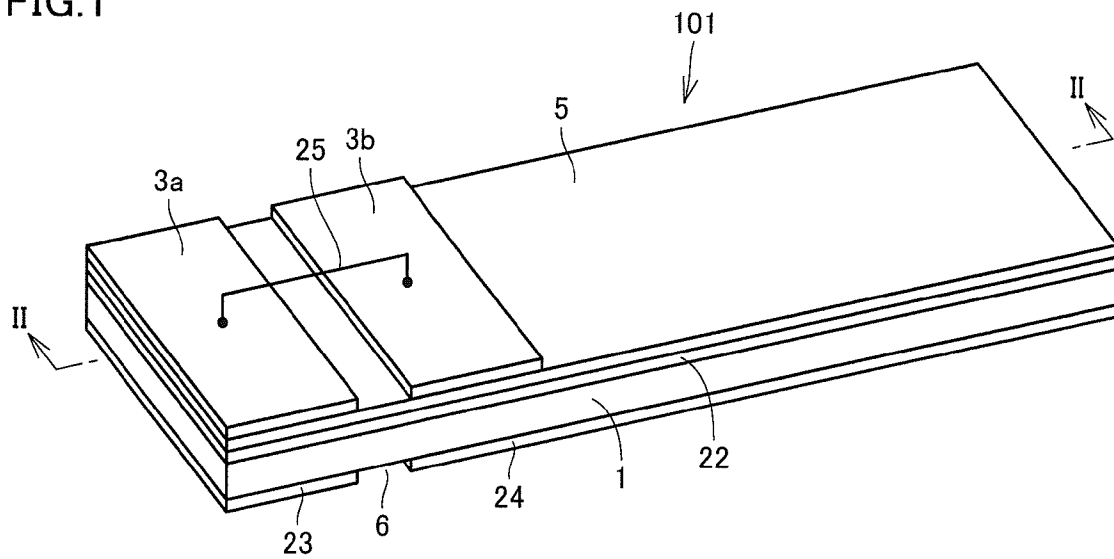
[請求項 9] 1 から n までの整数 k の各々について、前記第 k 第 1 電極は円形であり、前記第 k 第 2 電極は前記第 k 第 1 電極を取り囲むように配置さ

れている、請求項 7 または 8 に記載の圧電デバイス。

[請求項10] 1 から n までの整数 k の各々について、前記第 k 第 1 電極と前記第 k 第 2 電極とは、ダイオードを介して互いに電氣的に接続されている、請求項 7 から 9 のいずれかに記載の圧電デバイス。

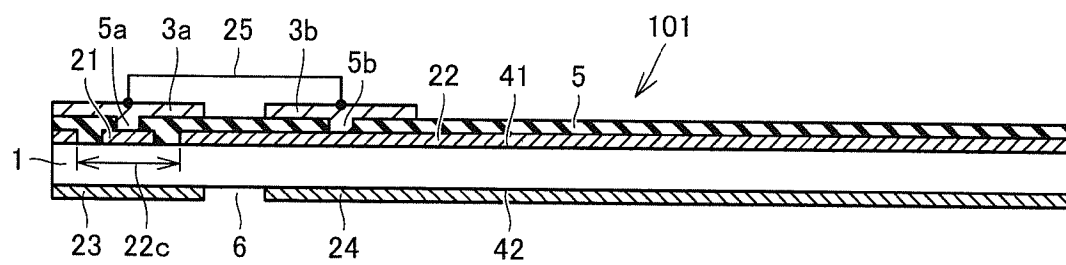
[図1]

FIG.1



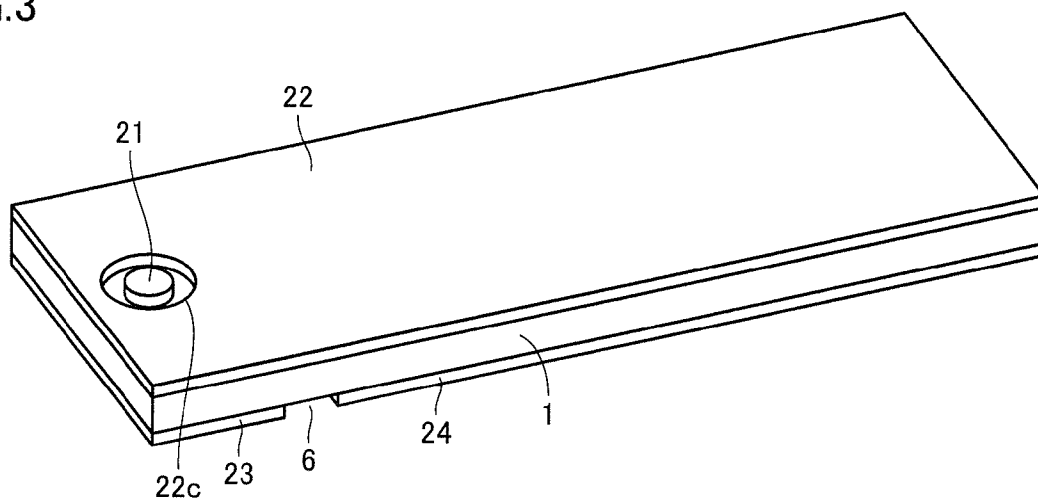
[図2]

FIG.2



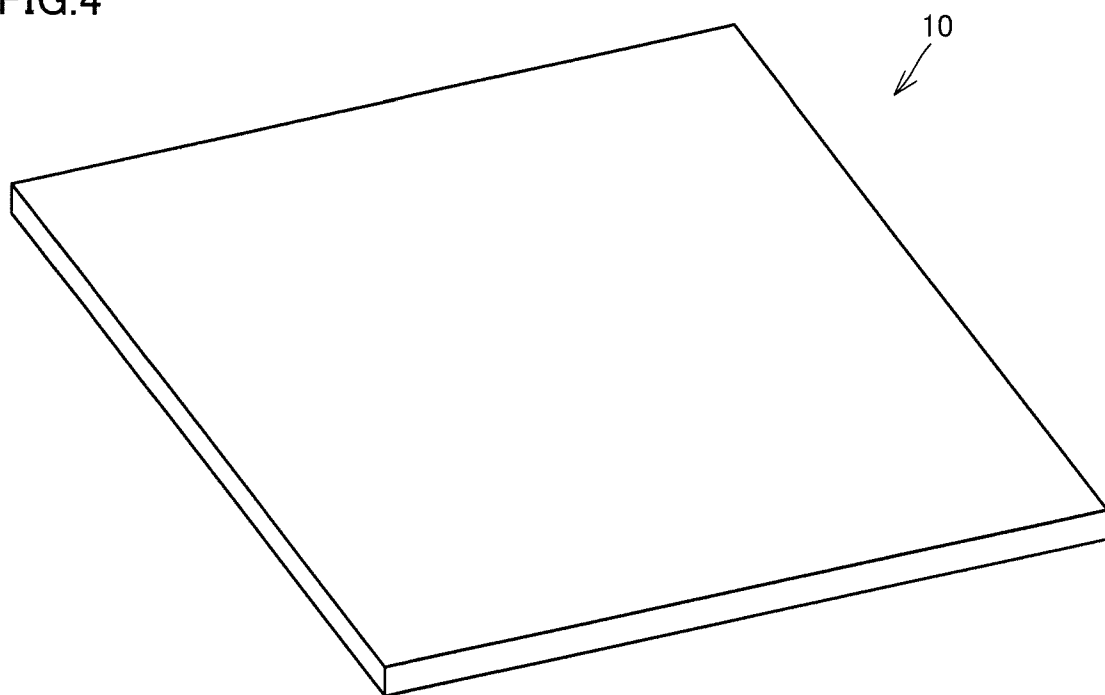
[図3]

FIG.3



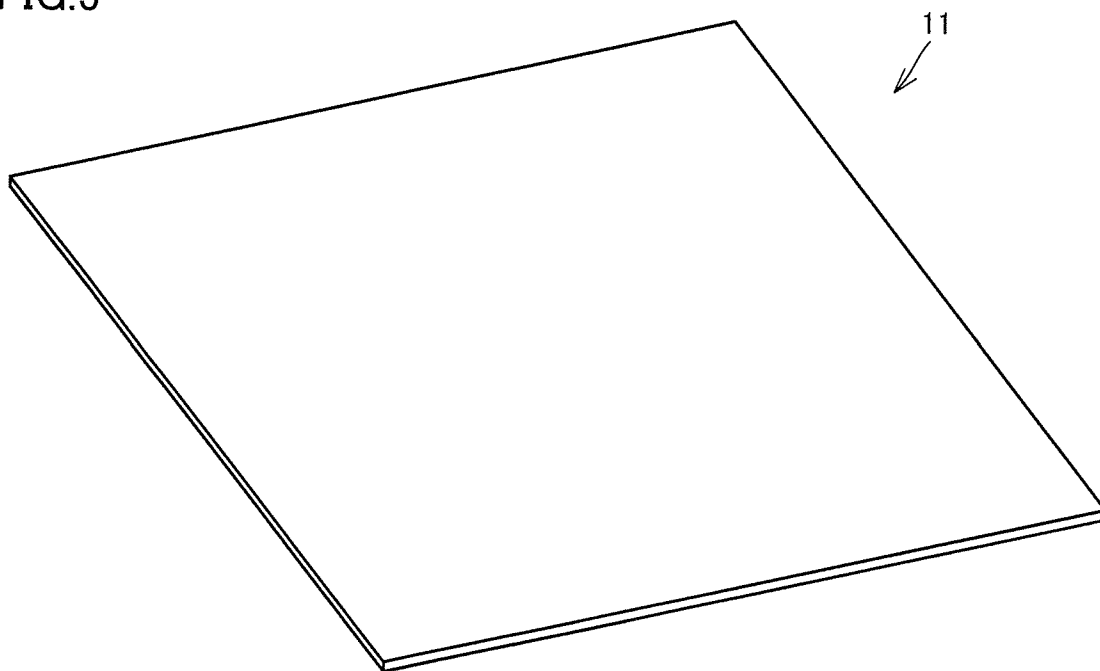
[図4]

FIG.4



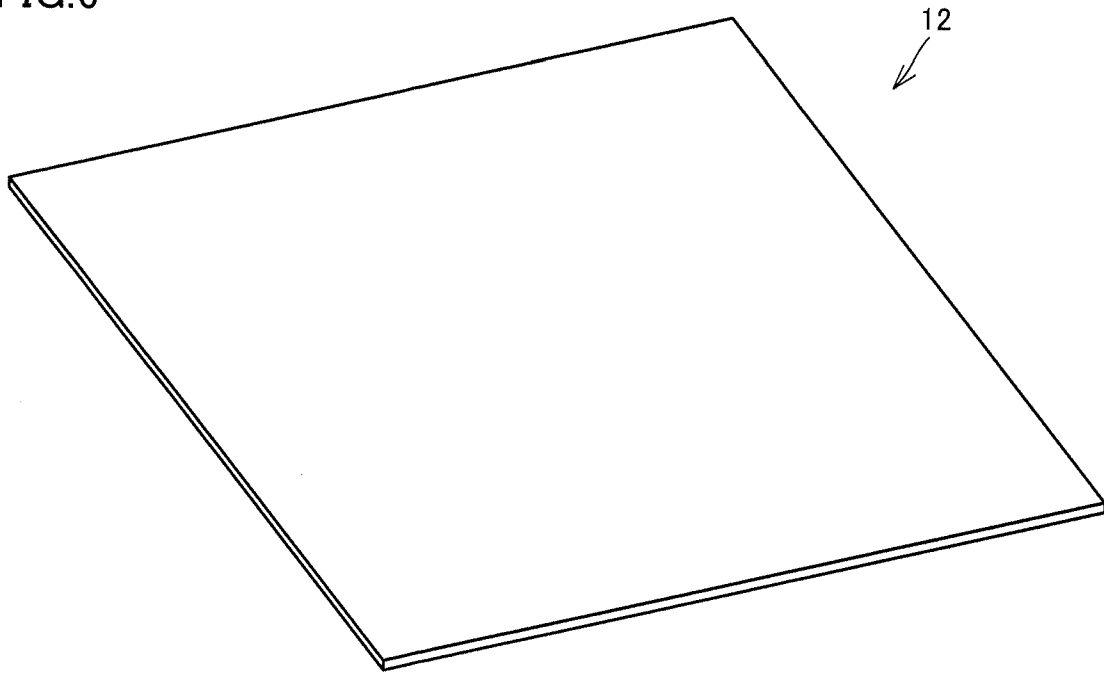
[図5]

FIG.5



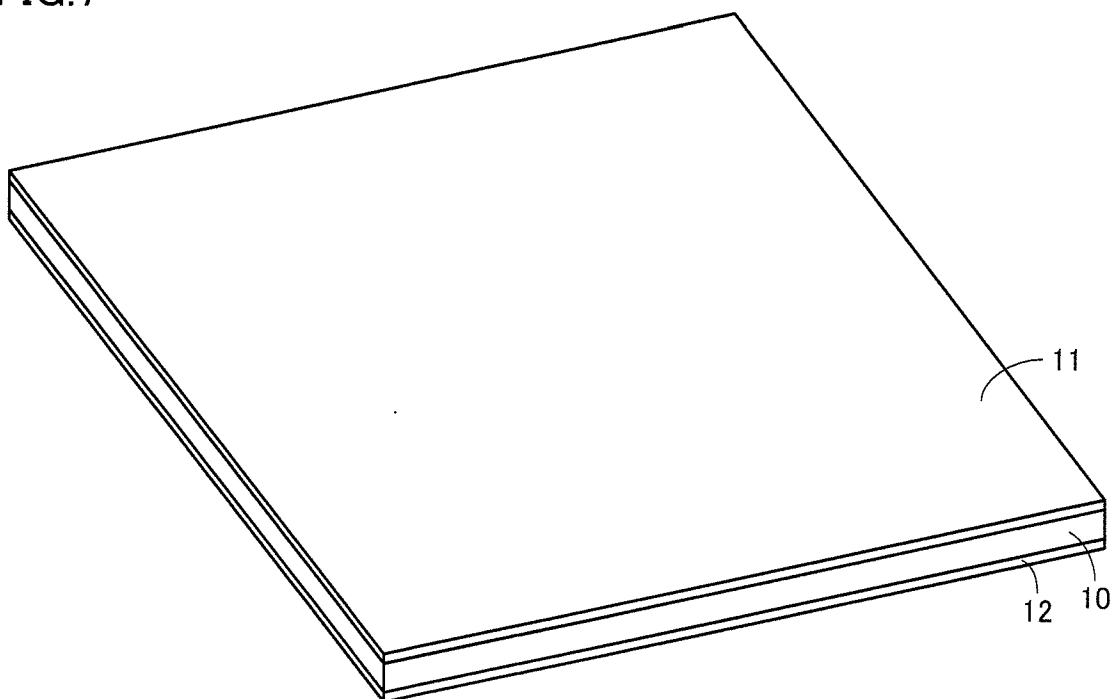
[図6]

FIG.6



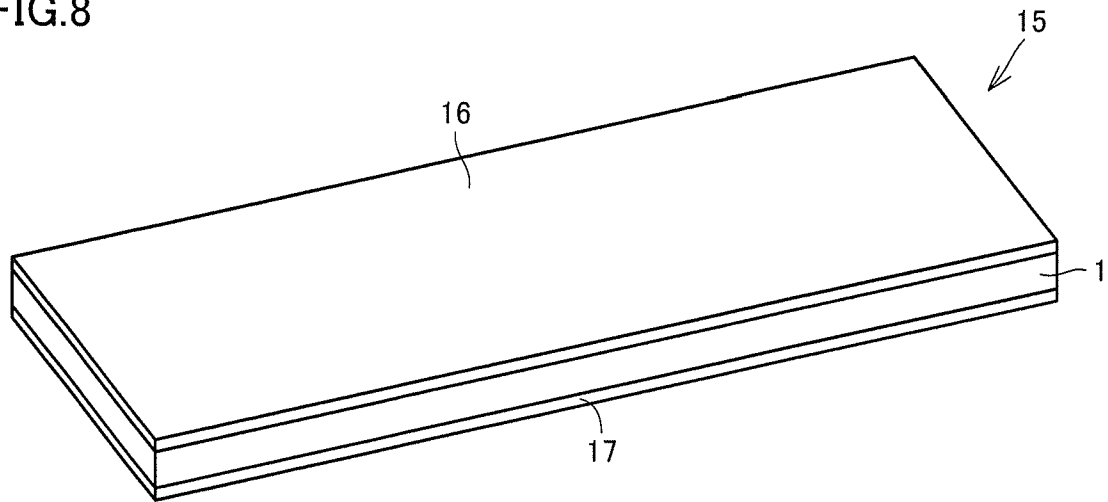
[図7]

FIG.7



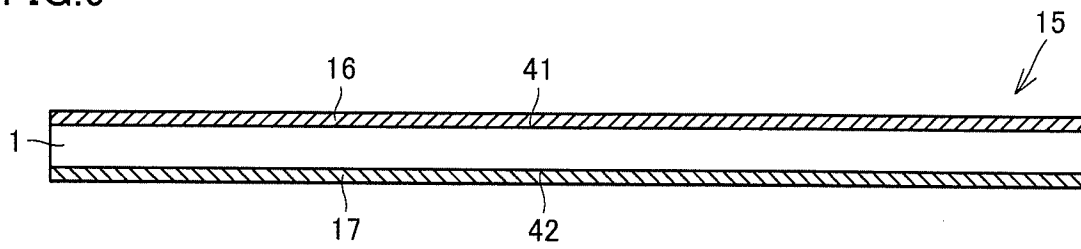
[図8]

FIG.8



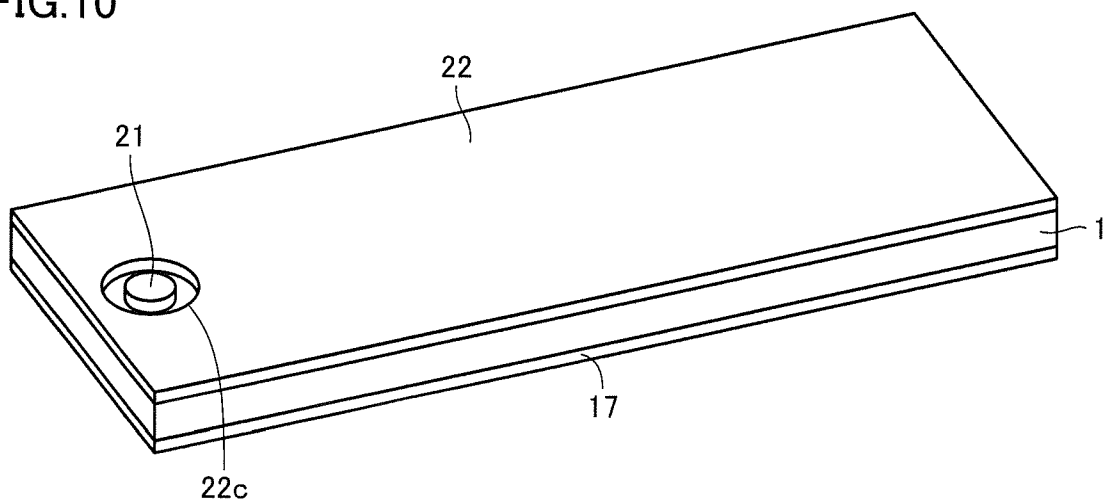
[図9]

FIG.9



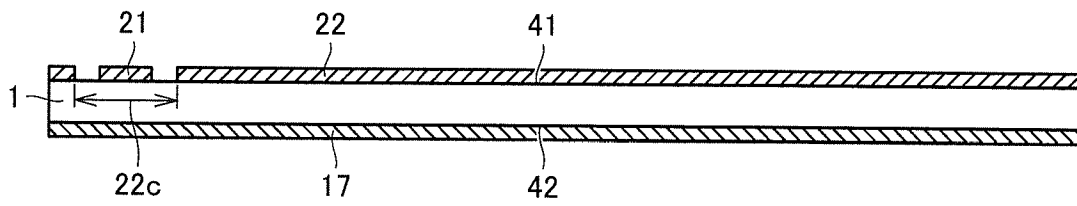
[図10]

FIG.10



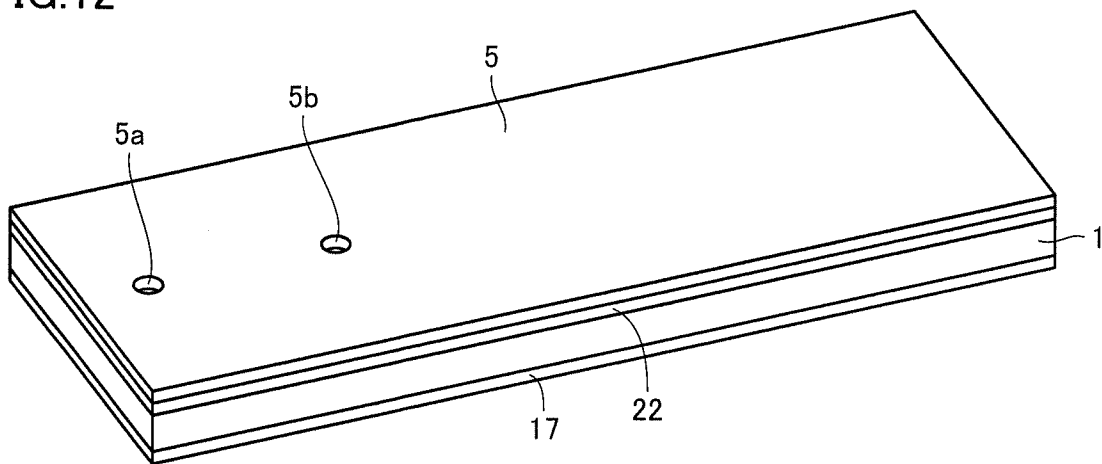
[図11]

FIG.11



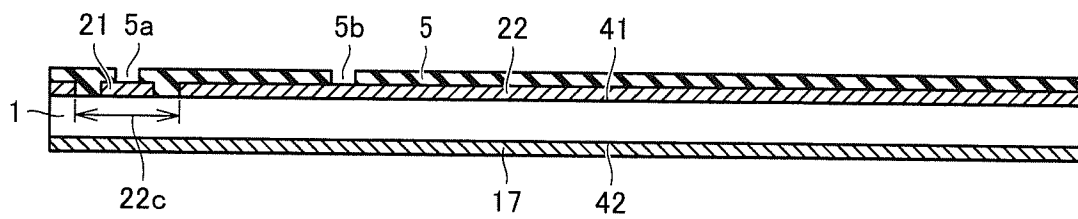
[図12]

FIG.12



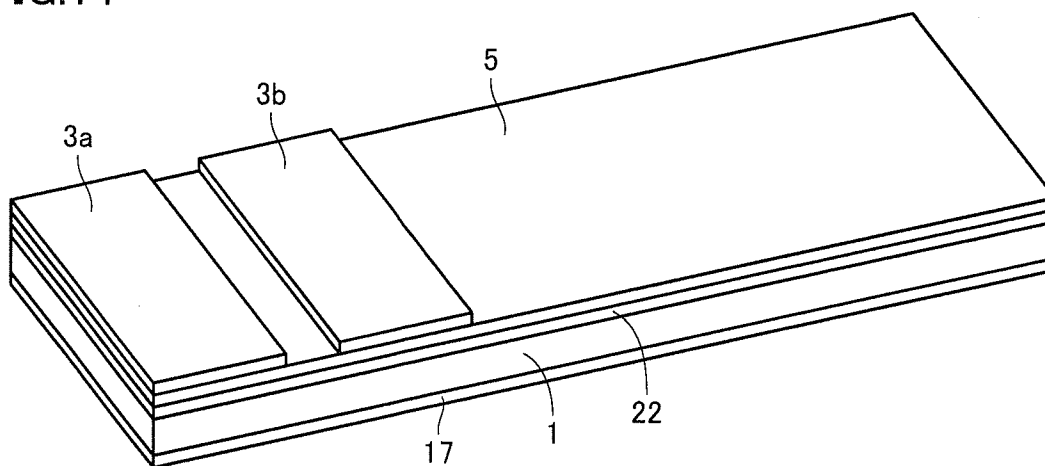
[図13]

FIG.13



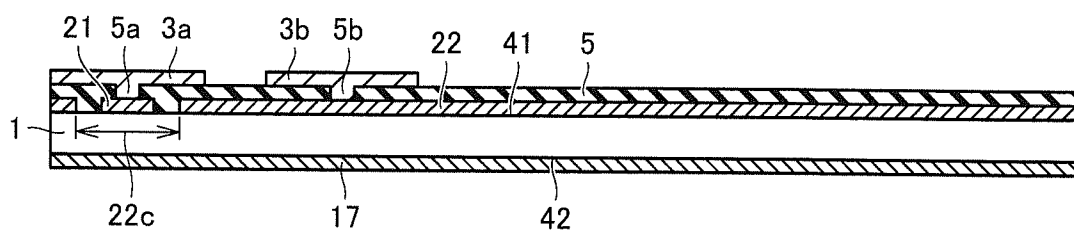
[図14]

FIG.14



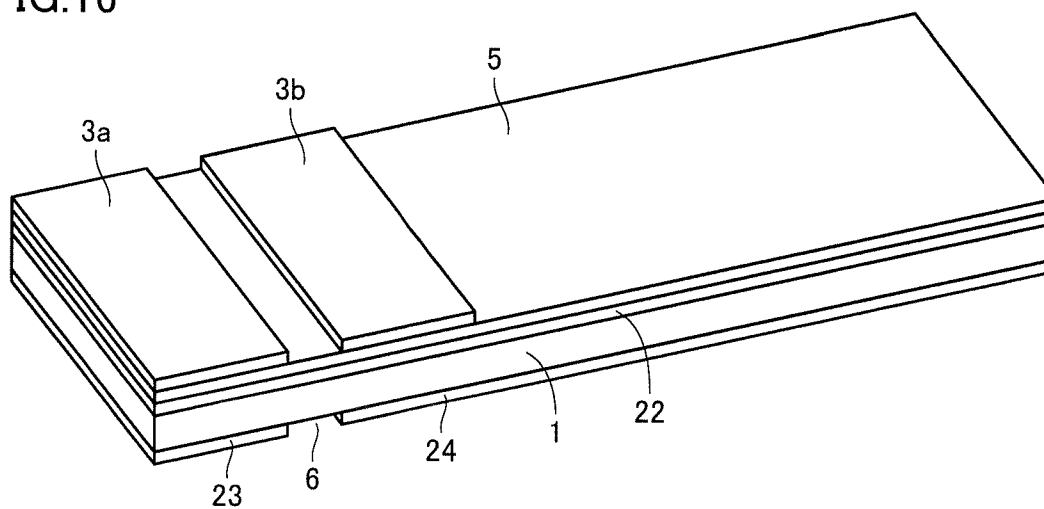
[図15]

FIG.15



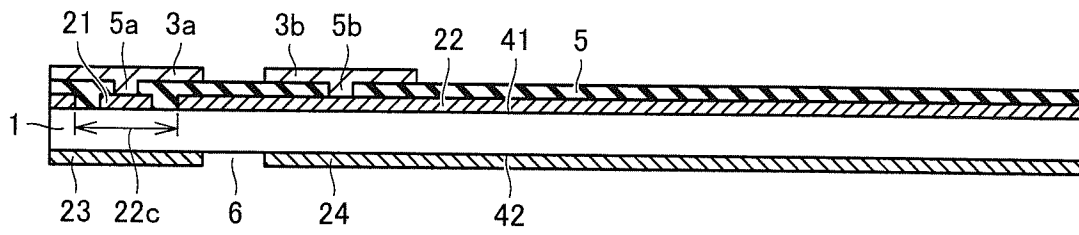
[図16]

FIG.16



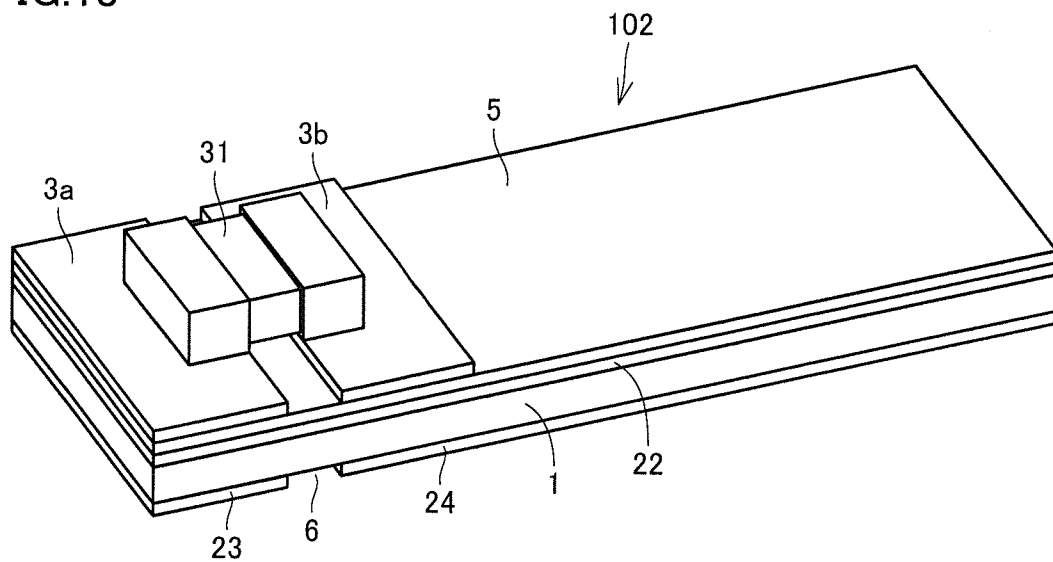
[図17]

FIG.17



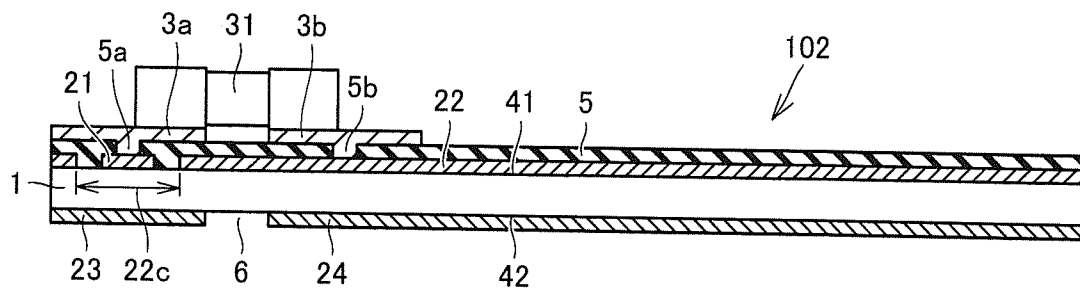
[図18]

FIG.18



[図19]

FIG.19



[図20]

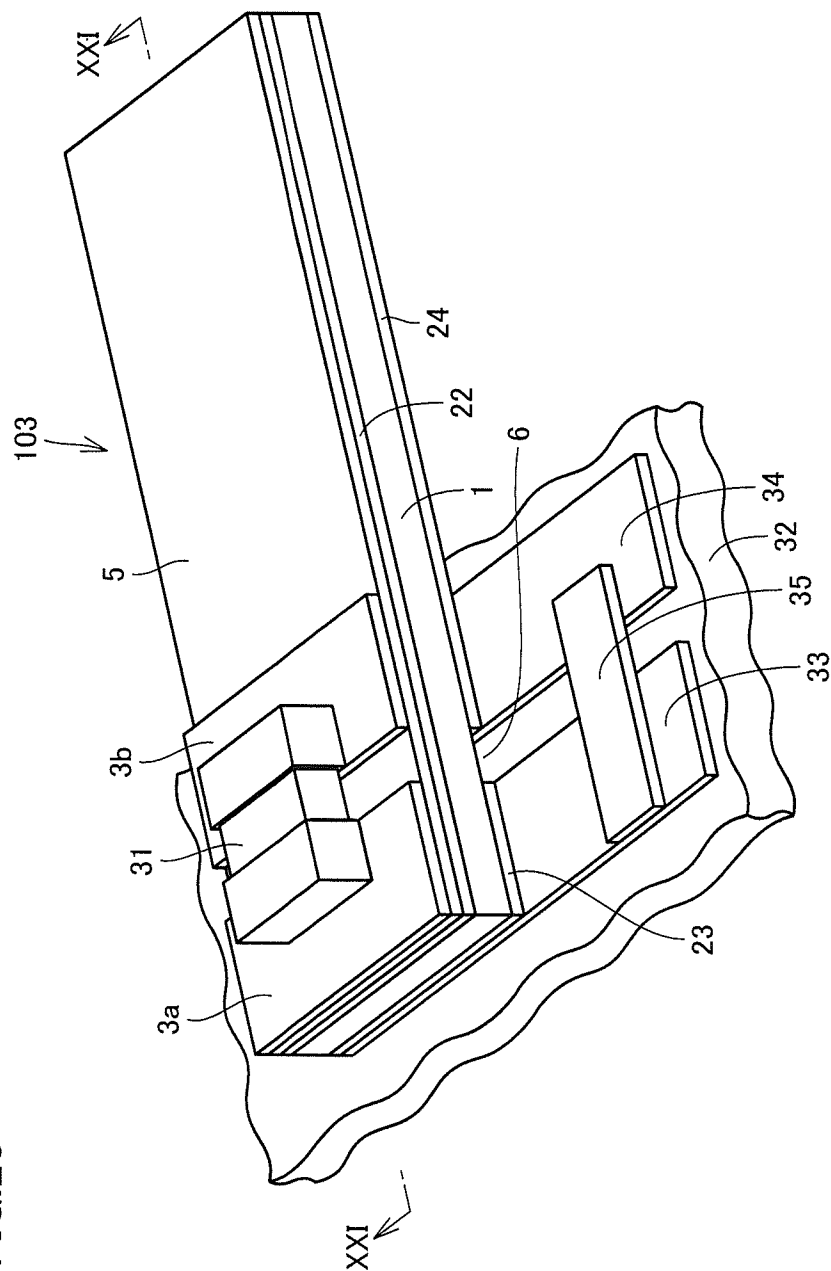
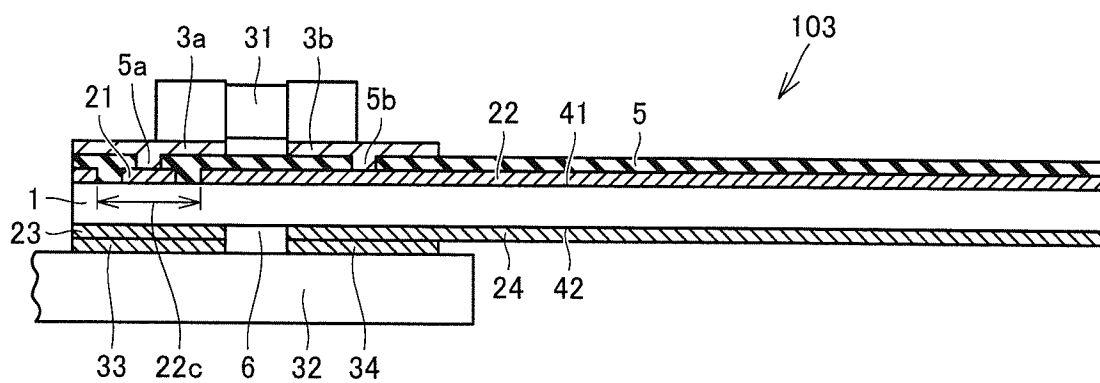


FIG.20

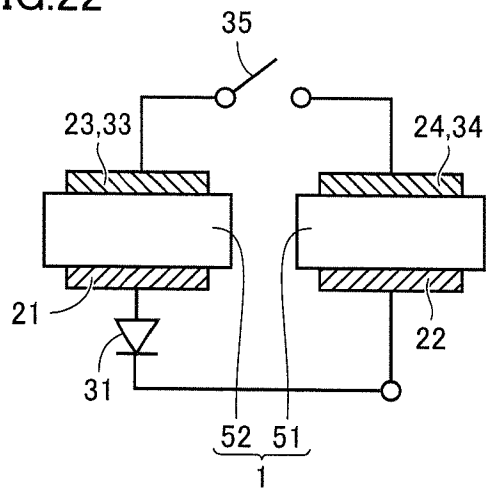
[図21]

FIG.21



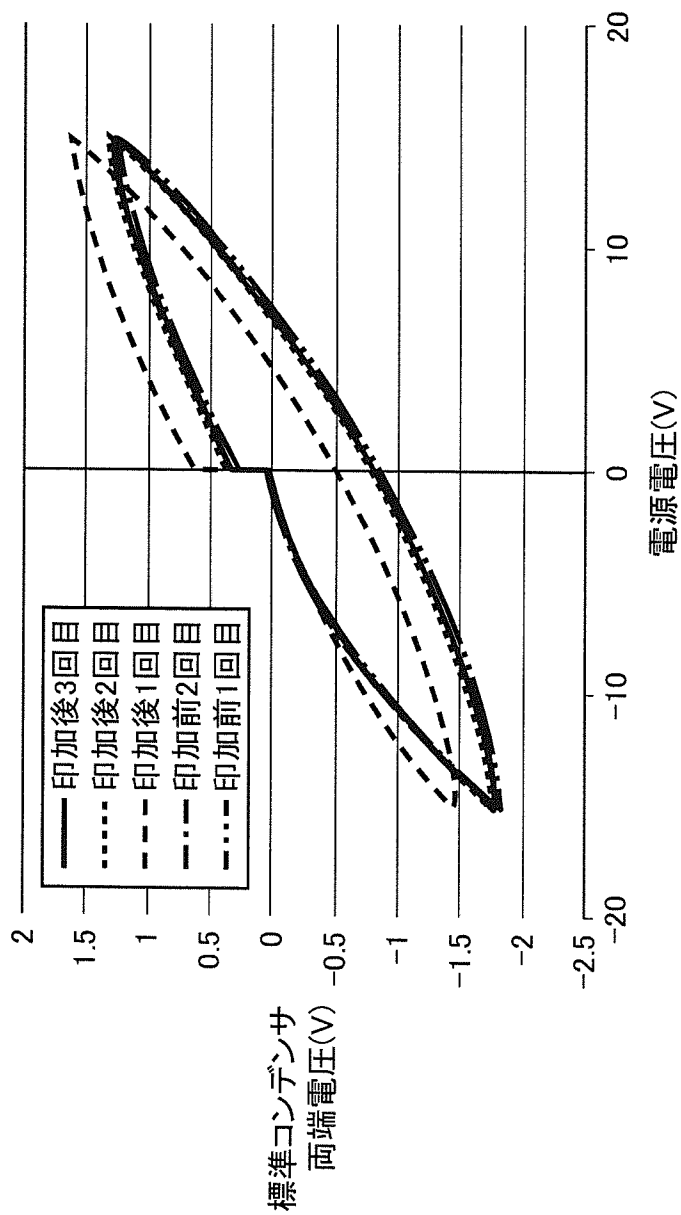
[図22]

FIG.22



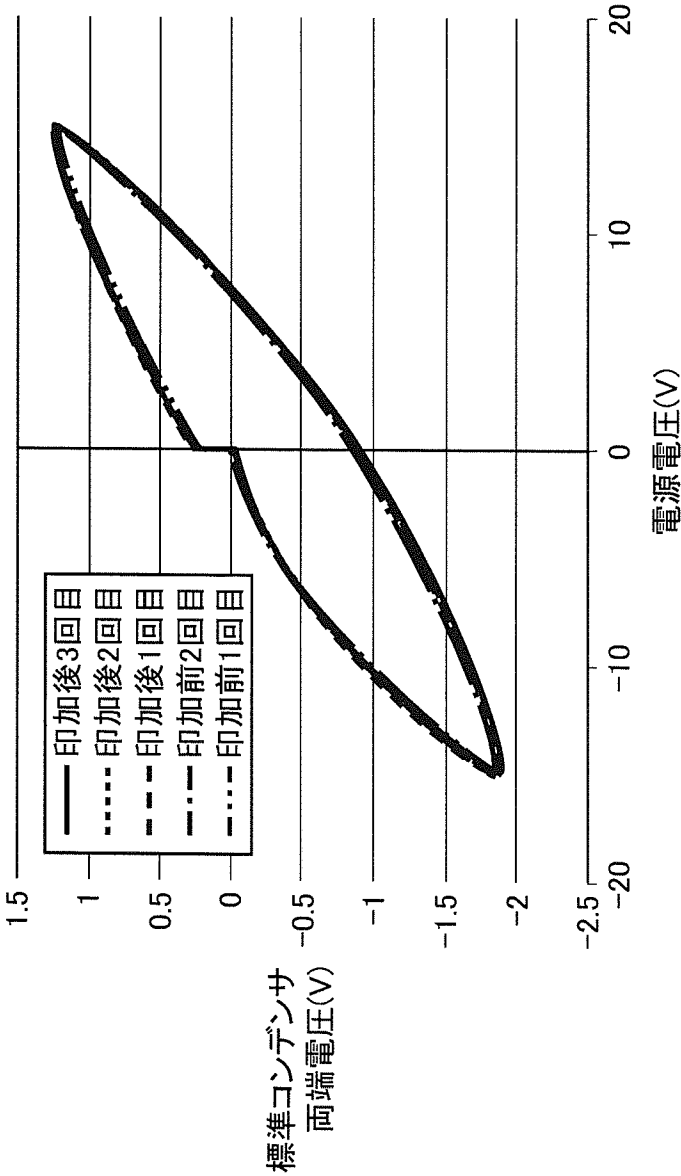
[図23]

FIG.23

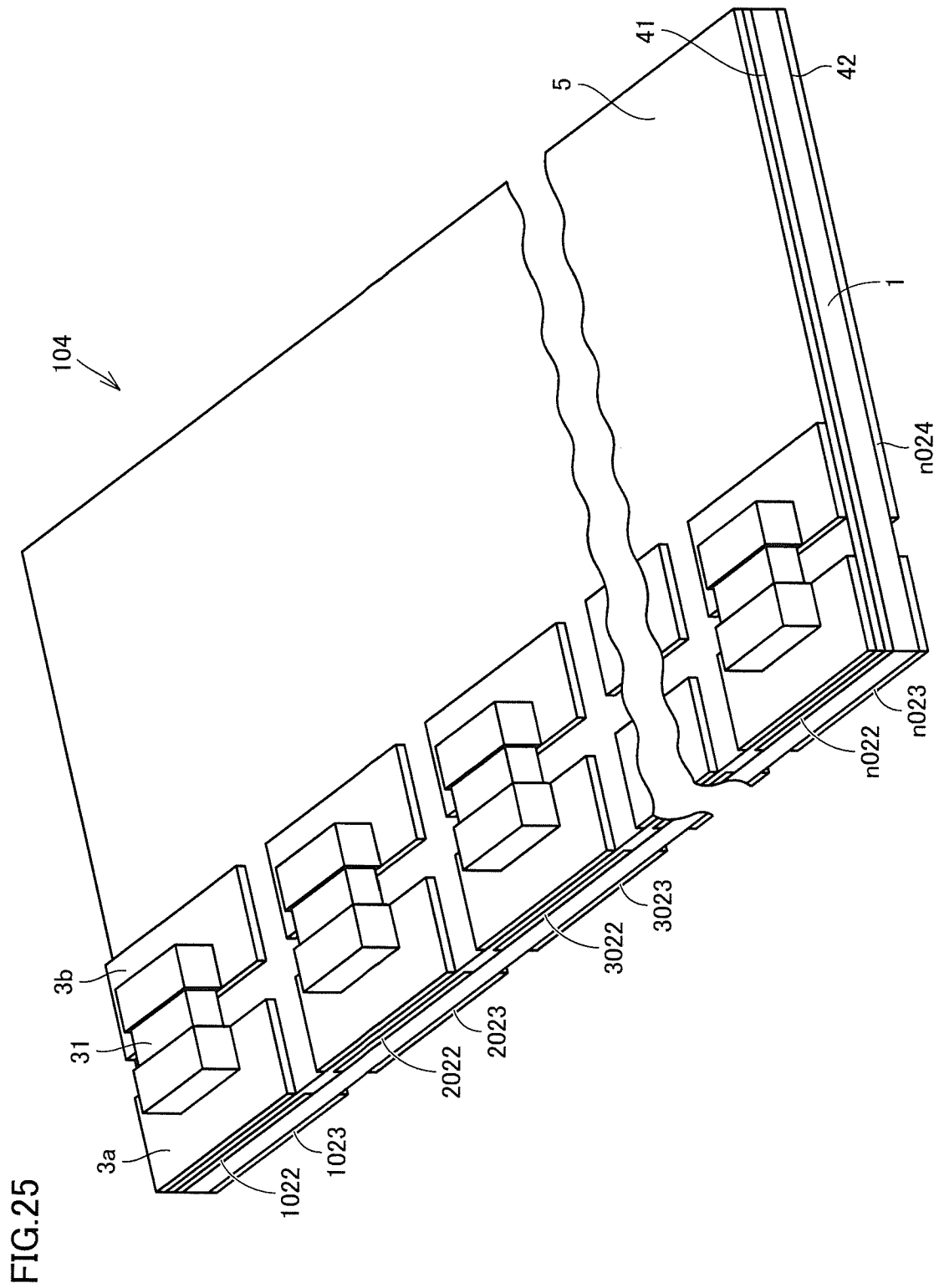


[図24]

FIG.24

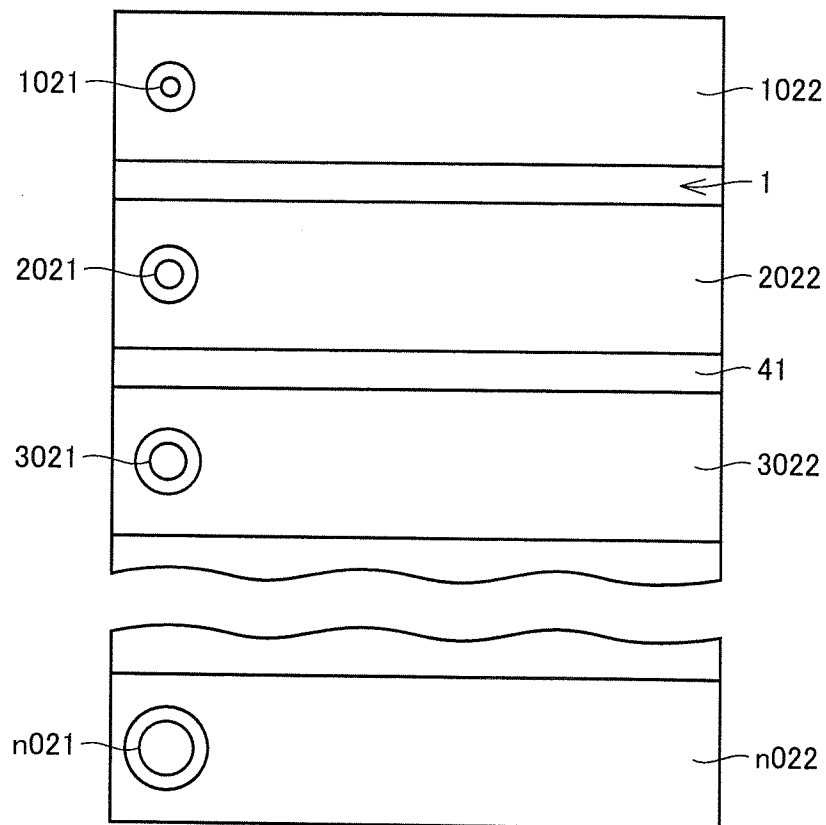


[図25]



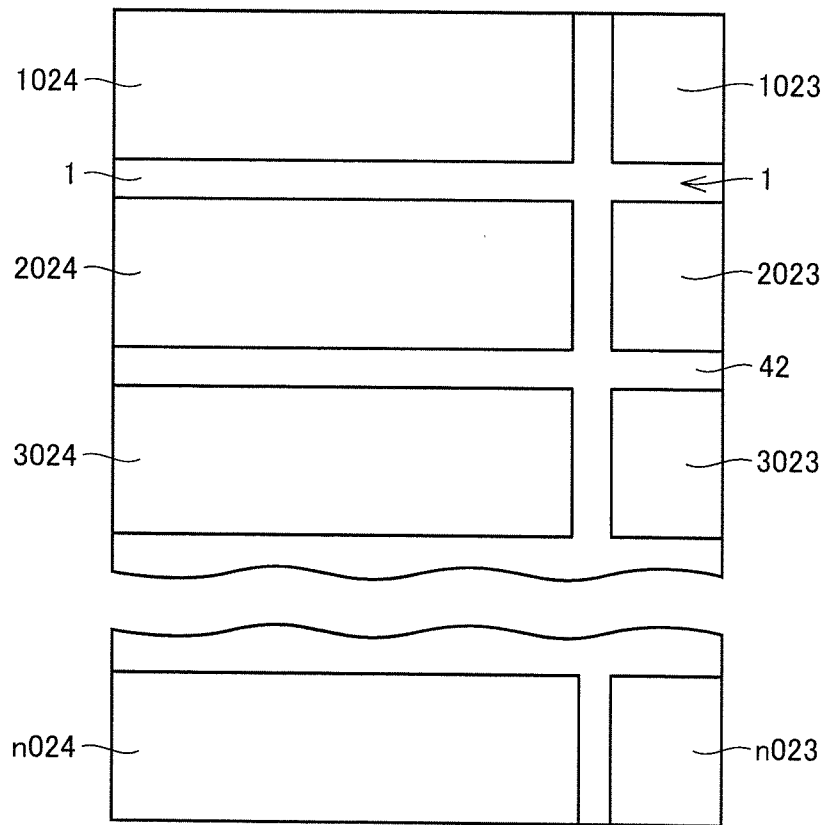
[図26]

FIG.26



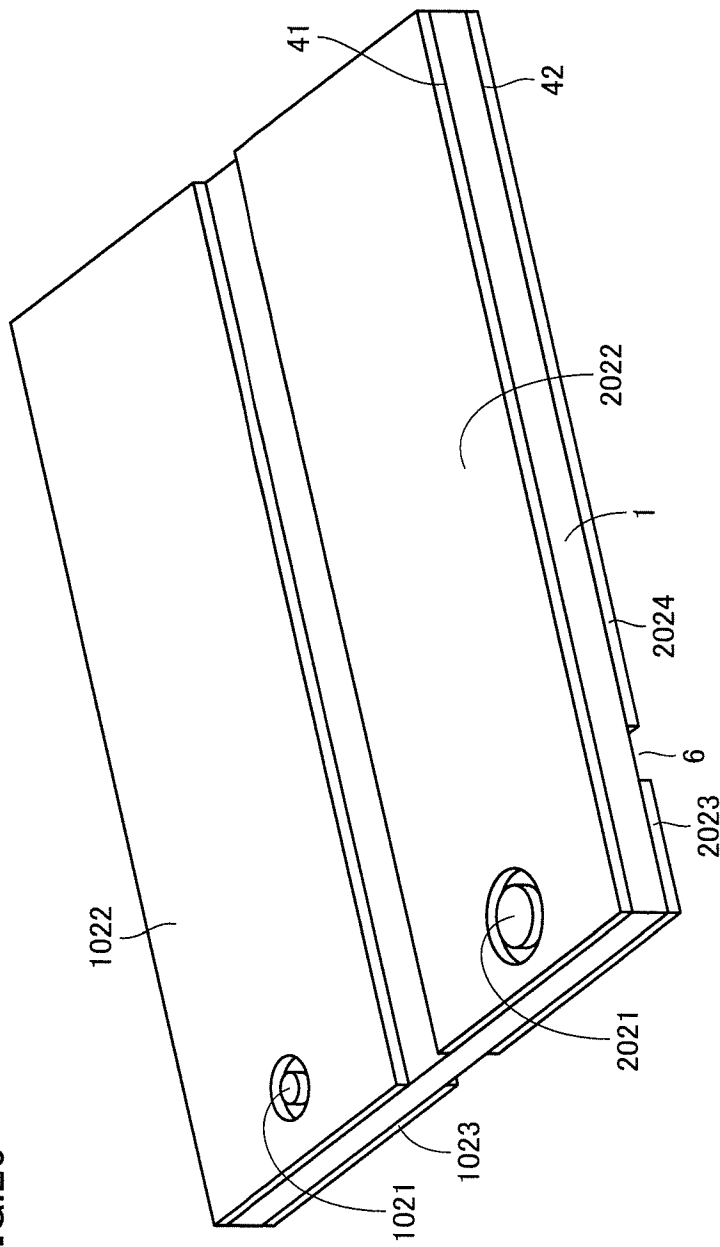
[図27]

FIG.27



[図29]

FIG.29



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000421

A. CLASSIFICATION OF SUBJECT MATTER

G01P15/09(2006.01)i, G01P15/00(2006.01)i, G01P15/08(2006.01)i, H01L41/047(2006.01)i, H01L41/113(2006.01)i, H01L41/187(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01P15/00-15/18, H01L41/00-41/47

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/027736 A1 (NEC Corp.), 28 February 2013 (28.02.2013), paragraphs [0014] to [0020]; fig. 1A to 2B (Family: none)	1-4, 6 5, 7-10
Y	JP 2006-19597 A (NGK Insulators, Ltd.), 19 January 2006 (19.01.2006), paragraphs [0026] to [0032], [0129] (Family: none)	1-4, 6
A	US 3764848 A (VERNITRON CORP.), 09 October 1973 (09.10.1973), entire text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 March 2017 (30.03.17)

Date of mailing of the international search report
11 April 2017 (11.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000421

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 3562792 A (CLEVITE CORP.), 09 February 1971 (09.02.1971), entire text; all drawings & FR 1584011 A & GB 1241221 A & GB 1241222 A & US 3736446 A	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01P15/09(2006.01)i, G01P15/00(2006.01)i, G01P15/08(2006.01)i, H01L41/047(2006.01)i,
H01L41/113(2006.01)i, H01L41/187(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01P15/00-15/18, H01L41/00-41/47

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2013/027736 A1 (日本電気株式会社) 2013.02.28, [0014]-[0020], 図 1A-2B (ファミリーなし)	1-4, 6 5, 7-10
Y	JP 2006-19597 A (日本碍子株式会社) 2006.01.19, [0026]-[0032], [0129] (ファミリーなし)	1-4, 6
A	US 3764848 A (VERNITRON CORPORATION) 1973.10.09, 全文, 全図 (ファミリーなし)	1-10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

30.03.2017

国際調査報告の発送日

11.04.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岡田 卓弥

2 F

9206

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 3562792 A (CLEVITE CORPORATION) 1971.02.09, 全文, 全図 & FR 1584011 A & GB 1241221 A & GB 1241222 A & US 3736446 A	1-10