

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 11 月 20 日 (20.11.2014)



(10) 国际公布号
WO 2014/183299 A1

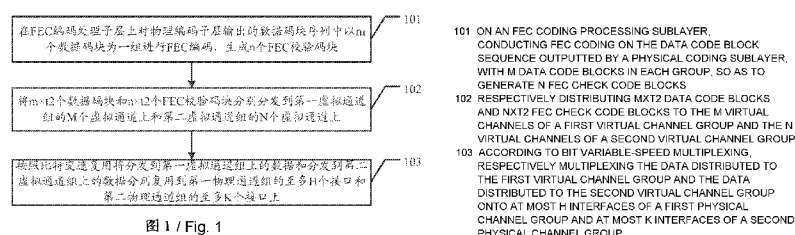
- (51) 国际专利分类号:
H04L 1/00 (2006.01)
- (21) 国际申请号: PCT/CN2013/075810
- (22) 国际申请日: 2013 年 5 月 17 日 (17.05.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 钟其文 (ZHONG, Qiwen); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 深圳市深佳知识产权代理事务所 (普通合伙) (SHENPAT INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市国贸大厦 15 楼西座 1521 室, Guangdong 518014 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: DATA PROCESSING METHOD AND RELATED DEVICE FOR FEC CODING AND DECODING

(54) 发明名称: 一种 FEC 编解码的数据处理方法和相关装置



(57) Abstract: A data processing method and related device for FEC coding and decoding, the method comprising: on an FEC coding processing sublayer, conducting FEC coding on the data code block sequence outputted by a physical coding sublayer, with m data code blocks in each group, so as to generate n FEC check code blocks; respectively distributing $m \times t_2$ data code blocks and $n \times t_2$ FEC check code blocks to the M virtual channels of a first virtual channel group and the N virtual channels of a second virtual channel group, $m \times t_2$ being less than or equal to $m_{\max}$, $m_{\max}$ being t_1 times greater than M , n being less than or equal to $n_{\max}$, $n_{\max}$ being t_1 times greater than N , and m , n , t_1 , and t_2 being positive integers; and by bit variable-speed multiplexing, respectively multiplexing the data distributed to the first virtual channel group and the data distributed to the second virtual channel group onto at most H interfaces of a first physical channel group and at most K interfaces of a second physical channel group, M being integral multiples of H , and N being integral multiples of K .

(57) 摘要: 一种 FEC 编解码的数据处理方法和相关装置, 该方法包括: 在 FEC 编码处理子层上对物理编码子层输出的数据码块序列以 m 个数据码块为一组进行 FEC 编码, 生成 n 个 FEC 校验码块; 将 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上, $m \times t_2$ 小于或等于 $m_{\max}$, $m_{\max}$ 是 M 的 t_1 倍, n 小于或等于 $n_{\max}$, $n_{\max}$ 是 N 的 t_1 倍, m 、 n 、 t_1 、 t_2 为正整数; 按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, M 是 H 的整数倍, N 是 K 的整数倍。

WO 2014/183299 A1

一种 FEC 编解码的数据处理方法和相关装置

技术领域

5 本发明实施例涉及通信领域，尤其涉及一种 FEC 编解码的数据处理方法和相关装置。

背景技术

前向纠错 (FEC, Forward Error Correction) 编解码技术是通信系统中用于提高传输系统性能的一种技术。使用 FEC 需要在传输系统的源端和宿端引入
10 FEC 编解码算法和处理装置，还需要在传输系统中额外传输源端通过 FEC 编码产生的校验开销数据。在典型的单信道通信传输系统中，主要通过提高线路传输速率来实现对原始信息数据和 FEC 校验开销数据的传输。例如典型的 RS(255,239)，原始的 239 字节信息经过 FEC 编码后增加到 255 字节，传输系统传输编码后的数据，相比无编码情况需要提高传输速率。

15 随着网络技术的发展，光通信系统的信息传输接口带宽速率正从 10Gbps、40Gbps 向 100Gbps、400Gbps 甚至 1Tbps、1.6Tbps 发展。单位时间内传输如此巨大的信息量，需要在以下几个可行的维度上提高系统的传输能力：首先是提升单通道传输系统中的符号传输速率，其次是在一个符号传输中承载更大的信息量，最后是采用多通道传输系统。

20 当前美国电气和电子工程师协会 (IEEE, Institute of Electrical and Electronics Engineers) 正在考虑和逐步采用脉冲幅度调制 (PAM, Pulse Amplitude Modulation) 4, PAM8, PAM16, 无载波幅度相位调制 (CAP, Carrierless Amplitude Phase Modulation) 16 等可以进行直接检测接收的高阶编码调制技术来提高符号上的信息承载量，例如设计紧凑的 100 吉比特以太网
25 (GE, Gigabit Ethernet) 及 400GE 等接口传输模块。对未来的 400GE 以及更高信息速率接口，单独提升单通道符号传输能力的方式已经逐渐面临瓶颈，多通道和高阶编码调制技术成为后续发展的另外两个主要维度，并需要就三个维度进行合理的折中考虑。其中高阶编码调制在一个传输符号中引入了更大的信息量，造成了系统信噪比的劣化，使得系统传输误码性能极大的降低，系统
30 更容易受到传输误码的影响。这种背景下，引入 FEC 编码成为了必然考虑，

如何将 FEC 编解码技术与当前的传输系统进行合理结合,对 FEC 校验开销数据进行传输成为了重要的研究课题。

现有技术中存在的一种 FEC 校验开销数据的传输方法为两个进行通信的实体之间采用一个通道传输原始信息数据和 FEC 校验开销数据,只沿用了传统的非归零编码 (NRZ, Non Return to Zero code) 线路传输码型,其增加 FEC 后的 NRZ 线路传输速率为 10.3125 波特 (Baud),与没有使用 FEC 采用相同 NRZ 线路的传输速率相比,由于没有采用高阶编码调制,实际能传输的数据流量降低了,通过占用传输原始信息数据的带宽来传输 FEC 校验开销数据会导致实际能够传输原始信息数据的可用带宽减少。

现有技术中存在的另一种 FEC 校验开销数据的传输方法为基于 64/66b 编码对编码块的同步头冗余开销进行压缩,64/66b 编码块压缩后成为 64/65b 编码块,去掉了 1 比特冗余信息。然后采用 Fire Code FEC (2112, 2080),共产生 2080 比特的原始信息数据和 32 比特的 FEC 校验开销数据,由于增加的 FEC 校验开销数据与 64/66b 编码块到 64/65b 的编码转换过程中的同步头冗余开销压缩相抵消,实际上并没有提高 NRZ 线路传输速率。该方式提供的 FEC 开销承载能力有限,选用的 FEC 纠错能力有限,并不适合更高实际线路误码率的情形,特别是引入高阶调制码型后的系统。另外该种实现方法需要在每一个通道上单独进行压缩,若分发到 4 个通道则会引入 4 倍的编解码延迟,对多通道系统引入比较高的 FEC 编解码延迟,不适合低延迟需求的场合。

发明内容

本发明实施例提供了一种 FEC 编解码的数据处理方法和相关装置,在不减少系统实际可用数据传输带宽的情况下传输 FEC 校验开销数据,也允许全局数据流 FEC 编解码,适用于低延迟需求的场合。

第一方面,本发明实施例提供一种 FEC 编码的数据处理方法,包括:

在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以 m 个数据码块为一组进行 FEC 编码,生成 n 个 FEC 校验码块,其中,所述 m 和所述 n 都是正整数;

将所述 mxt2 个数据码块和所述 nxt2 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上,其中,所

述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和
5 第二物理通道组的至多 K 个接口上, 其中, 所述 M 是所述 H 的整数倍, 所述 N 是所述 K 的整数倍。

结合第一方面, 在第一方面的第一种可能的实现方式中, 所述将所述 m 个数据码块和所述 n 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上, 之后还包括:

10 在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上承载的码块流上周期性的插入对齐标记码块, 其中, 每一个对齐标记码块还标记了该对齐标记码块所在虚拟通道的编号, 所述对齐标记码块用于接收端在获取到所述码块流后对码块流进行对齐重组恢复。

结合第一方面或第一方面的第一种可能的实现方式, 在第一方面的第二种可能的实现方式中, 所述第一物理通道组的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口, 所述第二物理通道组的至多 K 个接口具体形式为 K_1 个电接口和 K_2 个光接口, 所述 H 是 H_1 、 H_2 的最小公倍数, 所述 K 是 K_1 、 K_2 的最小公倍数;

所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到
20 第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 包括:

按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到所述第一物理通道组的 H_1 个电接口上和所述第二物理通道组的 K_1 个电接口上, 其中, 所述 M 是所述 H_1 的整数倍,
25 所述 N 是所述 K_1 的整数倍;

将复用到所述 H_1 个电接口上的全部数据和复用到所述 K_1 个电接口上的全部数据分别复用和映射调制后发送到所述 H_2 个光接口上和所述 K_2 个光接口上, 其中, 所述 M 是所述 H_2 的整数倍, 所述 N 是所述 K_2 的整数倍。

结合第一方面或第一方面的第一种可能或第二种可能的实现方式, 在第一
30 方面的第三种可能的实现方式中, 所述在前向纠错 FEC 编码处理子层上对物

理编码子层输出的 m 个数据码块进行 FEC 编码生成 n 个 FEC 校验码块, 之后还包括:

生成 i 个空闲码块, 所述空闲码块包括空闲信息比特, 所述 i 等于所述 $n_{\max}$ 减去所述 n ;

- 5 将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上, 所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

结合第一方面或第一方面的第一种可能或第二种可能或第三种可能的实现方式, 在第一方面的第四种可能的实现方式中, 所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 之后还包括:

将复用到所述至多 K 个接口上的全部数据丢弃, 将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

- 15 结合第一方面或第一方面的第一种可能或第二种可能或第三种可能或第四种可能的实现方式, 在第一方面的第五种可能的实现方式中, 所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 之后还包括:

- 20 将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

结合第一方面的第三种可能的实现方式, 在第一方面的第六种可能的实现方式中, 所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 之后还包括:

- 25 将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃, 将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。

- 30 结合第一方面或第一方面的第一种可能或第二种可能或第三种可能或第四种可能或第五种可能或第六种可能的实现方式, 在第一方面的第七种可能的

实现方式中, 所述 m 个数据码块和所述 n 个 FEC 校验码块分别采用不同的同步头来区别。

第二方面, 本发明实施例提供一种 FEC 解码的数据处理方法, 包括:

接收发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据,

5 所述 H 为正整数;

判断所述发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据, 所述 K 为正整数;

若所述发送端经过第二物理通道组的至多 K 个接口发送有数据, 接收经过至多 K 个接口发送的数据, 或, 将经过所述至多 K 个接口发送的数据丢弃。

10 结合第二方面, 在第二方面的第一种可能的实现方式中, 所述将经过所述至多 K 个接口发送的数据丢弃之后还包括:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道;

15 搜索所述 M 个虚拟通道上的数据码块流中插入的对齐标记码块;

根据所述对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列, 得到 $m \times t_2$ 个数据码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃;

20 将所述 $m \times t_2$ 个数据码块输入物理编码子层。

结合第二方面, 在第二方面的第二种可能的实现方式中, 所述接收经过至多 K 个接口发送的数据之后还包括:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

25 搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

30 根据所述对齐标记码块对齐重组在 $(M+N)$ 个虚拟通道上进行码块分发

的码块序列,得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块,所述 $m \times t_2$ 小于或等于 $m_{\max}$,所述 $m_{\max}$ 是所述 M 的 t_1 倍,所述 n 小于或等于 $n_{\max}$,所述 $n_{\max}$ 是所述 N 的 t_1 倍,所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃。

- 5 结合第二方面,在第二方面的第三种可能的实现方式中,所述接收经过至多 K 个接口发送的数据之后还包括:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流,按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流,所述 M 是所述 H 的整数倍,所述 M 个数据码块流对应第一
10 虚拟通道组的 M 个虚拟通道,所述 N 是所述 K 的整数倍,所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的码块流中插入的对齐标记码块;

根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流,得到
15 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块,其中,所述 $m \times t_2$ 小于或等于 $m_{\max}$,所述 $m_{\max}$ 是所述 M 的 t_1 倍,所述 $n \times t_2$ 小于 $n_{\max}$,所述 $n_{\max}$ 是所述 N 的 t_1 倍,所述 t_1 、 t_2 为正整数,所述 i 等于所述 $n_{\max}$ 减去所述 n ;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个
20 空闲码块丢弃。

结合第二方面的第二种可能或第三种可能的实现方式,在第二方面的第四种可能的实现方式中,所述使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃,之后还包括:

在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个
25 数据码块中的误码;

完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃掉,将纠正误码后的 $m \times t_2$ 个数据码块输入物理编码子层。

结合第二方面的第二种可能或第三种可能的实现方式,在第二方面的第五种可能的实现方式中,所述使用所述对齐标记码块完成对齐重组之后将所述对
30 齐标记码块丢弃,之后还包括:

通过对齐重组的方式获取到所述 $n \times t_2$ 个 FEC 校验码块后将所述 $n \times t_2$ 个 FEC 校验码块丢弃, 将 $m \times t_2$ 个数据码块输入物理编码子层。

第三方面, 本发明实施例提供的一种 FEC 编码的数据处理装置, 其特征在于, 包括:

5 FEC 编码单元, 用于在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以每 m 个数据码块为一组进行 FEC 编码, 生成 n 个 FEC 校验码块, 其中, 所述 m 和所述 n 都是正整数;

分发单元, 用于将所述 $m \times t_2$ 个数据码块和所述 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 10 所述 $n \times t_2$ 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

复用单元, 用于按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 15 个接口上和第二物理通道组的至多 K 个接口上, 其中, 所述 M 是所述 H 的整数倍, 所述 N 是所述 K 的整数倍。

结合第三方面, 在第三方面的第一种可能的实现方式中, 所述装置还包括:

对齐单元, 用于在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上承载的码块流上周期性的插入对齐标记码块, 其中, 每一个对齐 20 标记码块还标记了该对齐标记码块所在虚拟通道的编号, 所述对齐标记码块用于接收端在获取到所述码块流后进行对齐重组恢复。

结合第三方面或第三方面的第一种可能的实现方式, 在第三方面的第二种可能的实现方式中, 所述第一物理通道组的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口, 所述第二物理通道组的至多 K 个接口具体形式为 K_1 个 25 电接口和 K_2 个光接口, 所述 H 是 H_1 、 H_2 的最小公倍数, 所述 K 是 K_1 、 K_2 的最小公倍数;

所述复用单元, 包括:

复用子单元, 用于按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到所述第一物理通道组的 30 H_1 个电接口上和所述第二物理通道组的 K_1 个电接口上, 其中, 所述 H_1 是所

述 M 的整数倍, 所述 $K1$ 是所述 N 的整数倍;

映射子单元, 用于将复用到所述 $H1$ 个电接口上的全部数据和复用到所述 $K1$ 个电接口上的全部数据分别复用和映射调制后发送到所述 $H2$ 个光接口上和所述 $K2$ 个光接口上, 其中, 所述 M 是所述 $H2$ 的整数倍, 所述 N 是所述 $K2$ 的整数倍。

结合第三方面或第三方面的第一种可能或第二种可能的实现方式, 在第三方面的第三种可能的实现方式中, 所述装置还包括: 生成单元, 用于生成 i 个空闲码块, 所述空闲码块包括空闲信息比特, 所述 i 等于所述 n_max 减去所述 n ;

所述分发单元, 还用于将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上, 所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

结合第三方面或第三方面的第一种可能或第二种可能或第三种可能的实现方式, 在第三方面的第四种可能的实现方式中, 所述装置还包括:

第一丢弃单元, 用于将复用到所述至多 K 个接口上的全部数据丢弃;

第一传输单元, 将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

结合第三方面或第三方面的第一种可能或第二种可能或第三种可能或第四种可能的实现方式, 在第三方面的第五种可能的实现方式中, 所述装置还包括:

第二传输单元, 用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

结合第三方面的第三种可能的实现方式, 在第三方面的第六种可能的实现方式中, 所述装置还包括:

第二丢弃单元, 用于将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃;

第三传输单元, 用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。

第四方面, 本发明实施例提供一种 FEC 解码的数据处理装置, 包括: 第

一接收单元、判断单元以及第二接收单元和第一丢弃单元中的其中一个单元，其中，

第一接收单元，用于接收发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据，所述 H 为正整数；

5 判断单元，用于判断所述发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据；

第二接收单元，用于当所述发送端经过第二物理通道组的至多 K 个接口发送有数据时，接收经过至多 K 个接口发送的数据，所述 K 为正整数；

或，第一丢弃单元，用于当所述发送端经过第二物理通道组的至多 K 个
10 接口发送有数据时，将经过所述至多 K 个接口发送的数据丢弃。

结合第四方面，在第四方面的第一种可能的实现方式中，若所述装置包括第一丢弃单元，所述装置还包括：第一解复用单元、第一查找单元、第一对齐单元和第一传输单元，其中，

所述第一解复用单元，用于按照比特变速解复用从所述至多 H 个接口发
15 送的数据中分离出 M 个数据码块流，所述 M 是所述 H 的整数倍，所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道；

所述第一查找单元，用于搜索所述 M 个虚拟通道上的数据码块流中插入的对齐标记码块；

所述第一对齐单元，用于根据所述对齐标记码块对齐重组在 M 个虚拟通
20 道上进行码块分发的码块序列，得到 $m \times t_2$ 个数据码块，所述 $m \times t_2$ 小于或等于 $m_{\max}$ ，所述 $m_{\max}$ 是所述 M 的 t_1 倍，所述 t_1 、 t_2 为正整数；

所述第一丢弃单元，还用于使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃；

所述第一传输单元，用于将所述 $m \times t_2$ 个数据码块输入物理编码子层。

25 结合第四方面，在第四方面的第二种可能的实现方式中，若所述装置包括第二接收单元，所述装置还包括：第二解复用单元、第二查找单元、第二对齐单元、第二丢弃单元，其中，

所述第二解复用单元，用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流，按照比特变速解复用从所述至多 K 个接
30 口发送的数据中分离出 N 个 FEC 校验码块流，所述 M 是所述 H 的整数倍，

所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

所述第二查找单元, 用于搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记
5 码块;

第二对齐单元, 用于根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流, 得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

10 所述第二丢弃单元, 用于使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃。

结合第四方面, 在第四方面的第三种可能的实现方式中, 若所述装置包括第二接收单元, 所述装置还包括: 第二解复用单元、第二查找单元、第三对齐单元、第三丢弃单元, 其中,

15 所述第二解复用单元, 用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

20 所述第二查找单元, 用于搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

所述第三对齐单元, 用于根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流, 得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲
25 码块, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 $n \times t_2$ 小于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数, 所述 i 等于所述 $n_{\max}$ 减去所述 n ;

所述第三丢弃单元, 用于使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个空闲码块丢弃。

30 结合第四方面的第二种可能或第三种可能的实现方式, 在第四方面的第四

种可能的实现方式中, 所述装置还包括:

校正单元, 用于在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个数据码块中的误码;

第四丢弃单元, 用于完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃;

5 第二传输单元, 用于将纠正误码后的 $m \times t_2$ 个数据码块输入物理编码子层。

结合第四方面的第二种可能或第三种可能的实现方式, 在第四方面的第五种可能的实现方式中, 所述装置还包括:

第五丢弃单元, 用于通过对齐重组的方式获取到所述 $n \times t_2$ 个 FEC 校验码块后将所述 $n \times t_2$ 个 FEC 校验码块丢弃;

10 第三传输单元, 用于将 $m \times t_2$ 个数据码块输入物理编码子层。

第五方面, 本发明实施例提供一种 FEC 编码的数据处理装置, 包括: 输入装置、输出装置、存储器和处理器;

其中, 所述处理器执行以下步骤:

在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以
15 m 个数据码块为一组进行 FEC 编码, 生成 n 个 FEC 校验码块, 其中, 所述 m 和所述 n 都是正整数;

将所述 $m \times t_2$ 个数据码块和所述 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等
20 于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和
第二物理通道组的至多 K 个接口上, 其中, 所述 M 是所述 H 的整数倍, 所述 N 是所述 K 的整数倍。

25 结合第五方面, 在第五方面的第一种可能的实现方式中, 所述处理器还执行如下步骤:

在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上承载的码块流上周期性的插入对齐标记码块, 其中, 每一个对齐标记码块还标记了该对齐标记码块所在虚拟通道的编号, 所述对齐标记码块用于接收端在获
30 取到所述码块流后进行对齐重组恢复。

结合第五方面或第五方面的第一种可能的实现方式,在第五方面的第二种可能的实现方式中,所述第一物理通道组的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口,所述第二物理通道组的至多 K 个接口具体形式为 K_1 个电接口和 K_2 个光接口,所述 H 是 H_1 、 H_2 的最小公倍数,所述 K 是 K_1 、 K_2 的最小公倍数;

所述处理器具体执行如下步骤:

按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到所述第一物理通道组的 H_1 个电接口上和所述第二物理通道组的 K_1 个电接口上,其中,所述 H_1 是所述 M 的整数倍,所述 K_1 是所述 N 的整数倍;

将复用到所述 H_1 个电接口上的全部数据和复用到所述 K_1 个电接口上的全部数据分别复用和映射调制后发送到所述 H_2 个光接口上和所述 K_2 个光接口上,其中,所述 M 是所述 H_2 的整数倍,所述 N 是所述 K_2 的整数倍。

结合第五方面或第五方面的第一种可能或第二种可能的实现方式,在第五方面的第三种可能的实现方式中,所述处理器还执行如下步骤:

生成 i 个空闲码块,所述空闲码块包括空闲信息比特,所述 i 等于所述 $n_{\max}$ 减去所述 n ;

将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上,所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

结合第五方面或第五方面的第一种可能或第二种可能或第三种可能的实现方式,在第五方面的第四种可能的实现方式中,所述处理器还执行如下步骤:将复用到所述至多 K 个接口上的全部数据丢弃;

所述输出装置用于将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

结合第五方面或第五方面的第一种可能或第二种可能或第三种可能或第四种可能的实现方式,在第五方面的第五种可能的实现方式中,所述输出装置用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

结合第五方面的第三种可能的实现方式,在第五方面的第六种可能的实现

方式中,所述处理器还执行如下步骤:将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃;

所述输出装置用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。

第六方面,本发明实施例提供一种 FEC 解码的数据处理装置,包括:输入装置、输出装置、存储器和处理器;

其中,所述处理器执行以下步骤:

从输入装置中获取发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据,所述 H 为正整数;

判断所述发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据,所述 K 为正整数;

若所述发送端经过第二物理通道组的至多 K 个接口发送有数据,接收经过至多 K 个接口发送的数据,或,将经过所述至多 K 个接口发送的数据丢弃。

结合第六方面,在第六方面的第一种可能的实现方式中,所述处理器还执行如下步骤:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流,所述 M 是所述 H 的整数倍,所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流中插入的对齐标记码块;

根据所述对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列,得到 $m \times t_2$ 个数据码块,所述 $m \times t_2$ 小于或等于 $m_{\max}$,所述 $m_{\max}$ 是所述 M 的 t_1 倍,所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃;

将所述 $m \times t_2$ 个数据码块输入物理编码子层。

结合第六方面,在第六方面的第二种可能的实现方式中,所述处理器还执行如下步骤:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流,按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流,所述 M 是所述 H 的整数倍,所述 M 个数据码块流对应第一

虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

- 5 根据所述对齐标记码块对齐重组在 $(M+N)$ 个虚拟通道上进行码块分发的码块序列, 得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃。

- 10 结合第六方面, 在第六方面的第三种可能的实现方式中, 所述处理器还执行如下步骤:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一
15 虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的码块流中插入的对齐标记码块;

- 20 根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流, 得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 $n \times t_2$ 小于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数, 所述 i 等于所述 $n_{\max}$ 减去所述 n ;

- 25 使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个空闲码块丢弃。

结合第六方面的第二种可能或第三种可能的实现方式, 在第六方面的第四种可能的实现方式中, 所述处理器还执行如下步骤:

在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个数据码块中的误码;

- 30 完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃掉, 将纠正误码后的

$m \times t2$ 个数据码块输入物理编码子层。

结合第六方面的第二种可能或第三种可能的实现方式，在第六方面的第五种可能的实现方式中，所述处理器还执行如下步骤：

通过对齐重组的方式获取到所述 $n \times t2$ 个 FEC 校验码块后将所述 $n \times t2$ 个

5 FEC 校验码块丢弃，将 $m \times t2$ 个数据码块输入物理编码子层。

从以上技术方案可以看出，本发明实施例具有以下优点：

本发明实施例中，在 FEC 编码处理子层上对数据码块序列以每 m 个数据码块为一组进行 FEC 编码，生成 n 个 FEC 校验码块，然后将数据码块和 FEC 校验码块分别分发到第一虚拟通道组和第二虚拟通道组上，接下来按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据
10 分别复用第一物理通道组的接口上和第二虚拟通道组的接口上。由于 n 个 FEC 校验码块先被分发到第二虚拟通道组的 N 个虚拟通道上，然后通过 N 个虚拟通道经过比特变速复用输出到额外的第二物理通道组的 K 个接口上，不会减少系统的数据传输带宽。由于数据码块和 FEC 校验码块被分开传输到第一物
15 理通道组和第二物理通道组，因此很好的满足了灵活性和兼容性需求，系统能够兼容不同类型和性能的物理传输接口并保证彼此之间的互联互通能力，系统根据传输接口的性能，可选择传输 FEC 校验码块或者不传输 FEC 校验码块。

附图说明

20 图 1 为本发明实施例提供的一种 FEC 编码的数据处理方法的流程方框示意图；

图 2 为本发明实施例提供的另一种 FEC 解码的数据处理方法的流程方框示意图；

25 图 3 为本发明实施例提供的一种 FEC 编码的数据处理装置的组成结构示意图；

图 4 为本发明实施例提供的另一种 FEC 解码的数据处理装置的组成结构示意图；

图 5 为本发明实施例提供的另一种 FEC 编码的数据处理装置的组成结构示意图；

30 图 6 为本发明实施例提供的另一种 FEC 解码的数据处理装置的组成结构示意图；

示意图。

具体实施方式

本发明实施例提供了一种 FEC 编解码的数据处理方法和相关装置，在不
5 减少系统实际可用数据传输带宽的情况下通过额外通道选择性地传输和接收
FEC 校验开销数据，满足灵活性和兼容性的需求。

为使得本发明的发明目的、特征、优点能够更加的明显和易懂，下面将结
合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描
述，显然，下面所描述的实施例仅仅是本发明一部分实施例，而非全部实施例。
10 基于本发明中的实施例，本领域的技术人员所获得的所有其他实施例，都属于
本发明保护的范围。

请参阅图 1，本发明提供的 FEC 编码的数据处理方法的一个实施例具体可
以包括如下步骤：

101、在前向纠错（FEC，Forward Error Correction）编码处理子层上对物
15 理编码子层输出的数据码块序列以 m 个数据码块为一组进行 FEC 编码，生成
 n 个 FEC 校验码块。

在本发明实施例中，在物理编码子层（PCS，Physical Coding Sub-layer）
经过块编码之后，输出数据码块序列，该数据码块序列中包括有多个数据码块，
其中，数据码块指的是输入到 FEC 编码处理子层上的承载着原始信息数据并
具有一定格式的编码块，其中承载的原始信息是进行 FEC 编码的净荷数据。
20 在 PCS 上进行的块编码具体可以是 64/66b 编码，或者开销更低的 256/(257+p)b
或 512/(513+p)b 等编码方式，其中 P 为自然数，本发明不做限定。编码块具有
块类型指示和（或）同步头信息，例如 64/66b 编码具有 2 比特的同步头信息，
该同步头为 01 或者 10，还用于区分两种不同的块类型，全数据块或者非全数
25 据块。进行块编码输出的数据码块具体可以为满足 $(8 \times c)/[(8 \times c) + d]$ b 格式的数据
流，其中， c 和 d 均为大于或者等于 1 的正整数，当物理通道的接口为高速以
太网接口，例如 400GE 或者更高时， c 和 d 的取值会根据系统需要做设计调整，
例如取更大的 c 以降低开销，提高编码效率。

在本发明实施例中，在 PCS 物理编码处理子层上输出的数据码块有严格
30 且确定的先后顺序，称为数据码块序列。在数据码块序列中选取连续的 m 个

数据码块为一组进行 FEC 编码,通过对这些 m 个数据码块中承载的数据进行 FEC 计算,就可以产生 FEC 校验开销数据,这些 FEC 校验开销数据被冠以特定的类型指示和(或)同步头信息,封装成 n 个 FEC 校验码块,其中, m 和 n 都是正整数,其取值与 FEC 编码处理子层选取的 FEC 编码方式有关,此处对其取值不做限定,另外 FEC 编码的过程详见现有技术的描述,此处不再赘述。

需要说明的是,在本发明实施例中 FEC 编码子层 FEC 编码帧覆盖的数据码块具体可以为多个,其取值不做限定,本发明实施例中以 m 来表示,多个的数据码块都被送到 FEC 编码处理子层进行 FEC 编码,生成了多个的 FEC 校验码块,本发明实施例中以 n 来表示。

需要说明的是,在本发明实施例中, FEC 编码处理子层负责对 m 个编码块的进行 FEC 计算生成 n 个 FEC 校验码块,数据码块和 FEC 校验码块在 FEC 编码处理子层上存在已知的明确区分, FEC 编码处理子层根据其对两种编码块的已知区分,具体可以空间分离的并行或者时间分离的串行传输方式与其他模块进行数据互传,本发明实施例中不做限定。 FEC 编码处理子层和其他模块进行数据互传的时候需要将块类型的不同指示告知目标模块。 FEC 编解码子层与物理媒质连接子层(PMA, Physical Medium Attachment)相对独立,需要在接口处明确指示区分数据码块和 FEC 校验码块。 PMA 根据区分指示,如后所述,将数据块和校验块分别分发到不同的虚拟通道。在空间分离方式时候,实际上是通过不同的分离的接口来区分的,在时间分离的串行方式中,是通过不同的时间片来区分的。无论是空间分离并行或者时间分离串行方式,还可以增加额外的指示信号加以区分指示,例如给 FEC 校验块以不一样的编码块头信息。

另外,数据码块和 FEC 校验码块可以分别采用不同的同步头来区别,例如,数据码块使用的同步头为“0b10”和“0b01”,具体的,同步头为“0b10”表示数据码块包括控制字符,同步头为“0b01”表示数据码块不包括控制字符,此时数据码块中全部为数据字符, FEC 校验码块交替使用的同步头“0b00”和“0b11”,具体的,同步头为“0b00”表示奇数的 FEC 校验码块,块内为 FEC 校验开销数据,同步头为“0b11”表示偶数的 FEC 校验码块,块内为 FEC 校验开销数据。这种工作方式下,在 FEC 编码处理子层上排列的数据码块和 FEC 校验码块的同步头具有 FEC 帧周期规律性,可以用于标记数据码块和 FEC 校验码块,同步头可以向下指导块分发,向上指导识别数据码块和 FEC 校验码

块。

102、将 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上。

其中, $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 $n \times t_2$ 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数。

在本发明实施例中, 将多个虚拟通道分组分为第一虚拟通道组和第二虚拟通道组, 针对数据码块和 FEC 校验码块分别分发到不同的虚拟通道组上。第一虚拟通道组包含 M 个虚拟通道, 第二虚拟通道组包含 N 个虚拟通道, 其中, M 满足如下关系式: $M \times t_1 = m_{\max}$, $m_{\max} \geq m \times t_2$, t_1 、 t_2 为正整数, 即 M 的正整数倍大于等于 m , 物理含义为: 第一虚拟通道组的虚拟通道个数所提供的传输承载能力大于或等于数据码块的传输承载需求, 同样的, N 也满足如下关系式: $N \times t_1 = n_{\max}$, $n_{\max} \geq n \times t_2$, t_1 、 t_2 为正整数, 即 N 的正整数倍大于等于 n , 物理含义为: 第二虚拟通道组的虚拟通道个数所提供的传输承载能力正整数倍大于或等于 FEC 校验码块的传输承载需求。 $n_{\max} > n \times t_2$, $m_{\max} > m \times t_2$ 时, 通过填充空闲码块来保证上述数据分发的整数关系。填充的空闲码块的个数 $i_m = m_{\max} - m \times t_2$, $i_n = n_{\max} - n \times t_2$ 。在实际应用中, 可以令 $i_m = m_{\max} - m \times t_2 = 0$, 通过 $i_n = n_{\max} - n \times t_2$ 来匹配 FEC 码型的 (m, n) 选择。物理意义上讲, 就是尽量只在 FEC 开销传输通道上插入空闲码块。本发明不做限定, 但下文描述中以使用 $i_m = m_{\max} - m \times t_2 = m \times t_2 - m \times t_2 = 0$ 为例进行描述。

本发明实施例中, 步骤 102 同样可以理解为如下两个步骤:

A1、将 m 个数据码块分发到第一虚拟通道组的 M 个虚拟通道上;

A2、将 n 个 FEC 校验码块分发到第二虚拟通道组的 N 个虚拟通道上。

其中, 在执行步骤 A1 和步骤 A2 时并没有时序上的先后顺序之分, 可以先执行步骤 A1 然后执行步骤 A2, 也可以先执行步骤 A2 然后再执行步骤 A1, 还可以同时执行步骤 A1 和 A2, 本发明实施例中不做限定。

需要说明的是, 在本发明实施例中步骤 102 完成之后, 还可以包括如下步骤: 在第一虚拟通道组和第二虚拟通道组的 $(M + N)$ 个虚拟通道上承载的码块流上周期性的插入对齐标记码块, 其中, 每一个对齐标记码块还标记了该对齐标记码块所在虚拟通道的编号, 对齐标记码块用于接收端在获取到的 $(M +$

N) 个虚拟通道的码块流后对 (M+N) 个码块流进行对齐重组恢复。第一虚拟通道组的 M 个虚拟通道和第二虚拟通道组的 N 个虚拟通道组合为 (M+N) 个虚拟通道, 则 (M+N) 个虚拟通道上承载的码块流包括各个 FEC 帧中的 m 个数据码块和 n 个 FEC 校验码块, 在码块流中周期的插入对齐标记码块 (Alignment Marker), 接收端获取到该码块流之后, 根据对齐标记码块能够进行对齐重组恢复。另外, 对齐标记码块还可以用于标记对齐标记码块所在的 M 个虚拟通道的编号信息和对齐标记码块所在的 N 个虚拟通道的编号信息。

本发明实施例中将数据码块分发到第一虚拟通道组、将 FEC 校验码块分发到第二虚拟通道组具体可以在 PMA 子层上进行, 对分发到第一虚拟通道组的数据和分发到第二虚拟通道组的数据按照如下步骤 103 进行处理, 详见如下描述。

103、按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口和第二物理通道组的至多 K 个接口上。

其中, M 是 H 的整数倍, N 是 K 的整数倍。

在此处描述的步骤 103 中分发到第一虚拟通道组上的数据指的是 m 个数据码块, 在本发明的一些实施例还可以包括必要的空闲码块, 分发到第二虚拟通道组上的数据指的是 n 个 FEC 校验码块, 在本发明的一些实施例中还可以包括必要的空闲码块。

本发明实施例中, 步骤 103 同样可以理解为如下两个步骤:

B1、按照比特变速复用将分发到第一虚拟通道组上的 M 个数据比特流复用到第一物理通道组的至多 H 个接口上;

B2、按照比特变速复用将分发到第二虚拟通道组上的 N 个数据比特流分别复用到第二物理通道组的至多 K 个接口上。

其中, 在执行步骤 B1 和步骤 B2 时并没有时序上的先后顺序之分, 可以先执行步骤 B1 然后执行步骤 B2, 也可以先执行步骤 B2 然后再执行步骤 B1, 还可以同时执行步骤 B1 和 B2, 本发明实施例中不做限定。

需要说明的是, 对于步骤 B1 和 B2, 以步骤 B1 为例, M 个数据比特流按照比特变速复用从第一虚拟通道组上复用到第一物理通道组的至多 H 个接口上, 具体的, 对 M 个数据比特流进行比特变速复用可以是同时复用到至多 H

个接口上,另外 M 是 H 的整数倍,将 M 个数据比特流可以复用到第一物理通道组的 H 个接口上,也可以是复用到第一物理通道组的少于 H 的 $H1$ 和 $H2$ 个具体的接口上。对于少于 H 的情况,以具体的 $H1$ 个电接口、 $H2$ 个光接口接口为例进行说明。另外,本发明实施例中,比特变速复用指的是将输入的数据比特流进行复用然后输出复用后的数据比特流的复用方式,例如输入的数据比特流为 4 个,若变速比例为 4:3,就可以输出 3 个数据比特流。

本发明实施例中物理通道组的接口具体形式可以是电接口和光接口,电接口和光接口之间衔接有光模块,光模块用于实现光电转换和电光转换。则具体的,第一物理通道组的至多 H 个接口具体形式可以为 $H1$ 个电接口和 $H2$ 个光接口,第二物理通道组的至多 K 个接口具体形式可以为 $K1$ 个电接口和 $K2$ 个光接口,也就是说,第一物理通道组包括有 $H1$ 个电接口和 $H2$ 个光接口,第二物理通道组包括有 $K1$ 个电接口和 $K2$ 个光接口。这里, H 是 $H1$ 、 $H2$ 的(最小)公倍数, K 是 $K1$ 、 $K2$ 的(最小)公倍数。

具体的,本发明实施例中,步骤 103 按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上,可以包括如下步骤:

C1、按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用到第一物理通道组的 $H1$ 个电接口上和第二物理通道组的 $K1$ 个电接口上, M 是 $H1$ 的整数倍, N 是 $K1$ 的整数倍;

C2、将复用到 $H1$ 个电接口上的全部数据和复用到 $K1$ 个电接口上的全部数据分别复用和映射调制后发送到 $H2$ 个光接口上和 $K2$ 个光接口上,其中, M 是 $H2$ 的整数倍, N 是 $K2$ 的整数倍。

通过步骤 C1 先将数据码块和 FEC 校验码块分别复用到第一物理通道组的电接口和第二物理通道组的电接口上,然后通过步骤 C2 将第一物理通道组的电接口上的全部数据进行复用和映射调制后发送到第一物理通道组的光接口上,将第二物理通道组的电接口上的全部数据进行复用和映射调制后发送到第二物理通道组的光接口上。具体的,步骤 C2 中可以通过电接口和光接口之间衔接的光模块来实现电光转换,电光转换的过程此处不再赘述。

前述步骤 C1 和 C2 先将数据码块和 FEC 校验码块复用到各个物理通道组

的电接口上然后将各个物理通道组的电接口上的数据经过光模块复用和映射调制输入到光接口上，在本发明实施例中随着物理通道传输速率的不断提高，电接口和光接口的传输速率不断提高，通过本发明实施例提供的比特变速复用可以兼容物理通道接口技术的不断演进，例如对于不断提高传输速率的高速以太网接口，则可以按照本发明实施例提供的方法进行比特变速复用。

需要说明的是，在本发明实施例中，步骤 102 中描述的第一虚拟通道组和第二虚拟通道组都指的是划分为两个不同组的多个虚拟通道，只是为了区分第一虚拟通道组和第二虚拟通道组分别是划分为不同组内的多个虚拟通道而采用的命名方式，其中“第一”和“第二”并不具有时序或者逻辑上的任何关系，此处仅作说明，关于第一物理通道组和第二物理通道组的区分也适用于此处关于“第一”和“第二”的说明。本发明实施例中，将数据码块和 FEC 校验码块分别使用的物理通道组的接口进行了空分分割，分成了两个接口子组，使得在发送端设备在传输数据码块和 FEC 校验码块时可以根据物理通道自身的设计需要进行选择，选择是否传送 FEC 校验码块，选择使用有或者无 FEC 传输通道的光模块；接收端设备在收到有或者无 FEC 编码开销伴随的数据的物理信号时，可以选择使用有 FEC 开销接收通道的光模块或者无 FEC 开销信号接收光通道的光模块对信号进行接收和光电转换，还可以选择是否利用获得 FEC 编码开销对可能存在的数据误码进行纠错，提升了系统的设计灵活性，因此无 FEC 编码功能的设备也因此可以和有 FEC 编码功能的设备通过正确的模块进行系统对接互连，提升了设备接口的对接互通能力和兼容性。

需要说明的是，当分发到第一虚拟通道组上的数据复用到第一物理通道组的至多 H 个接口上、分发到第二虚拟通道组上的数据复用到第二物理通道组的至多 K 个接口上之后，本发明实施例还可以包括如下步骤：

将复用到至多 K 个接口上的全部数据丢弃，将复用到至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。具体的，采用无 FEC 编码开销传输通道的光模块，只传输复用映射调制到有效数据传输光通道上数据。

也就是说，本发明实施例中对 FEC 校验码块和数据码块进行了空分分流，分别复用到不同的物理通道组的接口上，只对第一物理通道组的 H 个接口上的数据经过物理传输媒质进行目标距离的传输，而不传送第二物理通道组的 K 个接口上的数据，这能够适用于在传输性能好的情况，在该情况下只传输数据

码块, 由于数据码块的误码很少, 不需要进行 FEC 纠错, 故 FEC 校验码块可以被忽略掉。而且, 这种实现方对于是否传送 FEC 校验码块给接收端, 还可以由设备打开或者关闭 FEC 编码功能、或设备是否具有 FEC 编码功能来决定, 对于关闭 FEC 功能和无 FEC 编码功能的设备不产生 FEC 校验码块, 设备等效于将 FEC 校验码块全数忽略掉, 而只利用第一物理通道组的至多 H 个接口将数据码块发送给接收端, 接收方向上接收端由于没有接收到 FEC 校验码块, 而只接收到了数据码块, 故无需要进行 FEC 解码, 由此本发明实施例能够兼容多种系统的对接互连, 提升了设备接口的对接互通能力和兼容性。而现有技术中用于传输 FEC 校验开销数据的设备只能和采用有 FEC 功能的设备对接, 而无法和不具有 FEC 功能的设备通信, 造成了系统之间无法传递数据, 因此本发明实施例提供的 FEC 编码的数据处理方法可以兼顾有 FEC 功能的设备和无 FEC 功能的设备, 满足了对系统特别是多通道的通信系统中的 FEC 使用的兼容性和灵活性需求。

需要说明的是, 当分发到第一虚拟通道组上的数据复用到第一物理通道组的至多 H 个接口上、分发到第二虚拟通道组上的数据复用到第二物理通道组的至多 K 个接口上之后, 本发明实施例还可以包括如下步骤:

将复用到至多 H 个接口上的全部数据和复用到至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

也就是说, 此处描述的实施例中对 FEC 校验码块和数据码块进行了空分分流, 分别复用到不同的物理通道组的接口上, 然后将数据码块和 FEC 校验码块同时经过物理传输媒质进行目标距离的传输, 对于需要 FEC 编解码功能提升传输性能的设备来说, 需要将 FEC 校验码块和数据码块都传送, 则 FEC 校验码块就可以在接收端中用于纠正可纠的数据码块中被传输后出现的误码, 便于恢复出原始的数据码块。

需要说明的是, 在本发明实施例中, 对 m 个数据码块进行 FEC 编码生成 n 个 FEC 校验码块之后, 为了匹配 FEC 校验开销的比重和第一第二通道组中虚拟通道和实际传输通道的比例关系, 除了生成 FEC 校验码块, 还可以包括如下步骤: 生成 i 个空闲码块, 其中, 空闲码块包括发送端和接收端双方已知的确定的空闲信息比特图案, $N_{xt1} = n_{max}$, $n_{max} \geq n_{xt2}$, $t1$ 、 $t2$ 为正整数并由 m、M、H 确定; i 等于 n_{max} 减去 n_{xt2} ; 将空闲码块和 FEC 校验码块分

发到第二虚拟通道组的 N 个虚拟通道上, 则步骤 103 中描述的分发到第二虚拟通道组上体现为 N 个虚拟通道对应的数据比特流的数据包括了 FEC 校验码块和空闲码块。则 N 个数据比特流按照比特变速复用都将复用到第二物理通道的至多 K 个接口上。例如, 第一虚通道组共有 $M=80$ 个虚拟通道, 第一物理通道组有 8 个物理接口, 第二虚拟通道组共有 10 个虚拟通道, 第二物理通道组有 1 个物理接口, FEC 编码涉及 $m=160$, $n=19$; 则意味着一个 FEC 帧周期内, 需要向 $M=80$ 个虚拟通道分发 160 个数据码块, 向 $N=10$ 个虚拟通道分发 19 个数据码块。按照物理通道的等速率设计, 需要插入一个空闲码块。由 $m_{\max} = M \times t_1$ 得, $t_1=2$; 由 $n_{\max} = 10 \times t_1 = 20$, $i = n_{\max} - n = 20 - 19 = 1$ 。还例如, 第一虚拟通道组共有 $M=80$ 个虚拟通道, 第一物理通道组有 16 个物理接口, 第二虚拟通道组共有 10 个虚拟通道, 第二物理通道组有 2 个物理接口, FEC 编码涉及 $m=160$, $n=10$; 则意味着一个 FEC 帧周期内, 需要向 $M=80$ 个虚拟通道分发 160 个数据码块, 向 $N=10$ 个虚拟通道分发 10 个数据码块。按照物理通道的等速率涉及, 需要插入 10 个空闲码块。由 $m_{\max} = M \times t_1$, $t_1=2$; $n_{\max} = 10 \times t_1 = 20$, $i = n_{\max} - n = 20 - 10 = 10$ 。第二物理通道组的 2 个物理接口其中 1 个接口用来传输 FEC 校验码块, 另外 1 个接口用来传输空闲码块。空闲码块中填充的比特图案是接收端和发送端都公知的确定的比特图案格式, 在空闲码块中不包含有意义的信息, 从信息传输的角度来看, 信息量为 0, 即不包含信息。具体的, 生成的空闲码块中可以填充无意义的序列如:

0b1010...1010。

需要说明的是, FEC 校验码块和空闲码块可以通过使用不同的同步头来指示区分, 例如 FEC 校验码块使用的同步头 “0b01”, 空闲码块中使用的同步头 “0b10”, 同步头为 “0b01” 表示 FEC 校验码块, 块内为 FEC 校验开销数据, 同步头为 “0b10” 表示空闲码块, 块内为空闲信息比特。

当分发到第二虚拟通道组上的数据包括 FEC 校验码块和空闲码块时, 按照比特变速复用将分发到第二虚拟通道上的数据复用到第二物理通道的接口上, 具体可以包括如下步骤:

将复用到至多 K 个接口上的全部数据中的 i 个空闲码块丢弃, 将复用到至多 H 个接口上的全部数据和复用到至多 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。例如, 第一虚拟通道组共有 $M=80$

个虚拟通道，第一物理通道组有 16 个物理接口，第二虚拟通道组共有 10 个虚拟通道，第二物理通道组有 2 个物理接口，FEC 编码涉及 $m=160$ ， $n=10$ ；则意味着一个 FEC 帧周期内，需要向 $M=80$ 个虚拟通道分发 160 个数据码块，向 $N=10$ 个虚拟通道分发 10 个数据码块。按照物理通道的等速率设计，需要
5 插入 10 个空闲码块。由 $m_{\max} = M \times t_1$ ， $t_1=2$ ； $n_{\max} = 10 \times t_1 = 20$ ， $i = n_{\max} - n = 20 - 10 = 10$ 。第二物理通道组的 2 个物理接口其中 1 个接口用来传输 FEC 校验码块，另外 1 个接口用来传输空闲码块，这里将所插入的空闲码块丢弃。

本发明实施例中，在 FEC 编码处理子层上对 m 个数据码块进行 FEC 编码，生成 n 个 FEC 校验码块，然后将数据码块和 FEC 校验码块分别分发到第一虚拟通道组和第二虚拟通道组上，接下来按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用第一物理通道组的接口上和第二虚拟通道组的接口上。由于 n 个校验码块先被分发到第二虚拟通道组的 N 个虚拟通道上，然后通过 N 个虚拟通道经过比特变速复用才输出到第二物理通道组的 K 个接口上，FEC 校验码块使用额外的空间分离的传输通道，与数据实现了隔离和独立传输，且本发明实施例允许在分发前的数据码块
10 流上做 FEC，能够适用于低延迟需求的场合。

以上实施例介绍了本发明实施例提供的 FEC 编码的数据处理方法，接下来以一个实际的应用例来对前述本发明实施例提供的方法进行进一步说明。

对于超 100G 的以太网接口系统大多继续沿用多通道的架构，以太网自早期在 GE 中使用的 8/10b 编码，到 10GE、40GE、100GE 中采用的 64/66b 编码，以及在二代 100GE 中应要兼容 64/66b 编码而采用的 64/66b 编码以其 256/257b、512/514b 转码，其发展方向上的趋势是使用更合理的灵活低开销的以太网物理层块编码方式。例如 512/514b，400/403b，400/404b， $(8 \times c)/[(8 \times c) + d]b$ 等编码， $c \geq 1$ 、 $d \geq 1$ 为合理大小的正整数自然数。本发明实施例中将基于灵活的 $(8 \times c)/[(8 \times c) + d]b$ 块编码为基础描述 FEC 编码的数据处理方法。
25

以下一速率 400GE 以太网接口为例进行说明，媒质不相关接口（MII，Media Independent Interface）信息经过块编码后，输出 $(8 \times c)/[(8 \times c) + d]b$ 的数据码块序列向下送到 FEC 编码处理子层，在 FEC 编码处理子层上取 A 个 $(8 \times c)/[(8 \times c) + d]b$ 数据码块，作为选定的 FEC 编码净荷数据，对所取的 A 个 $(8 \times c)/[(8 \times c) + d]b$ 数据码块中的部分或者全部例如 B 个数据码块进行 FEC 计算后
30

产生 FEC 校验开销数据, 将 FEC 校验开销数据封装成 C 个 $(8 \times c)/[(8 \times c)+d]b$ 格式的 FEC 校验码块, 其中, A 、 B 、 C 均为自然数。在 FEC 编码处理子层中的数据码块和 FEC 校验码块存在周期性的确定区分, 具体的, 可以是并行的两个码流, 也可以是串行的一个码流, 此处不做限定。

5 生成 C 个 FEC 校验码块之后, 首先, 将 A 个 $(8 \times c)/[(8 \times c)+d]b$ 数据码块按码块颗粒为单位分发到第一虚拟通道组的 $X_virtual$ 个虚拟通道上, 将 C 个 $(8 \times c)/[(8 \times c)+d]b$ 格式的 FEC 校验码块按码块颗粒为单位分发到第二虚拟通道组的 $Y_virtual$ 个虚拟通道上, 其中, A 小于或者等于 $X_virtual$ 的整数倍, C 小于或者等于 $Y_virtual$ 的整数倍。

10 其次, 在第一虚拟通道组和第二虚拟通道组的 $(X_virtual+Y_virtual)$ 个虚拟通道承载的码块流上, 周期性的插入 $(X_virtual+Y_virtual)$ 个对齐标记码块, 例如每个虚拟通道中以 65536 或者 16384 个码块为一个周期中插入 1 个对齐标记码块。标记码块还用于标记各个码块所在的虚拟通道的编号信息, 例如用 X_vk 和 Y_vk 分别表示第一虚拟通道组和第二虚拟通道组的编号信息, 15 则 $X_vk=0,1,2,\dots, X_virtual-1$ 和 $Y_vk=0,1,2,\dots, Y_virtual-1$ 。

然后, 对分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别进行比特变速复用, 即 A 个数据码块和 C 个 FEC 校验码块分别按照比特提速复用, 将 A 个数据码块复用到第一物理通道组的 $X_physical$ 个接口上, 将 C 个 FEC 校验码块复用到第二物理通道组的 $Y_physical$ 个接口上, 当生成 20 有空闲码块时, 将 C 个 FEC 校验码块和 D 个空闲码块复用到第二物理通道组的 $Y_physical$ 个接口上, 其中, $X_virtual$ 是 $X_physical$ 的整数倍, $Y_virtual$ 是 $Y_physical$ 的整数倍。

最后, 将物理通道组上的数据通过物理传输媒质向接收端传输, 在具体传输时, 发送端可以采用如下三种实现方式:

25 1、只传输复用到 $X_physical$ 个接口上的全部数据, 即只传输数据码块, 而将 $Y_physical$ 个接口上的全部数据丢弃。

2、对于复用到 $X_physical$ 个接口上的全部数据和复用到 $Y_physical$ 个接口上的全部数据都传输到接收端, 对于复用到 $Y_physical$ 个接口上的全部数据包括有两种情况, 一种是 C 个 FEC 校验码块, 另一种是 C 个 FEC 校验码块和 30 D 个空闲码块。

3、当 D 个空闲码块也复用到 Y_{physical} 个接口上时,将复用到 Y_{physical} 个接口上的全部数据中的 D 个空闲码块丢弃,只传输 Y_{physical} 个接口上的全部数据中的 D 个空闲码块和复用到 X_{physical} 个接口上的全部数据。

对于 400GE 而言,可以采用 25G~28G 的物理通道的电/光接口,则需要 16 个这样的电/光接口。作为举例,这里对 FEC 校验码块的传送通道取为 1~2 个 25G~28G 的电/光接口,以提供 12.5~25%的 FEC 开销承载能力,如下表 1 所示,为采用不同的虚拟通道时所复用的物理通道的接口使用情况,下表 1 中以虚拟通道 16+2 和 80+10 为例。

A	8×n	16×n		32×n		80×n		
B	8×n - j	16×n - j		32×n - j		80×n - j		
C	1×n	2×n		4×n		10×n		
X _{virtual}	8 ch	16 ch		32 ch		80 ch		
	25G	25G		12.5G		5G		
Y _{virtual}	1 ch	2 ch		4 ch		10 ch		
	25G	25G		12.5G		5G		
X _{physical}	8 ch	8 ch	16 ch	8 ch	16 ch	40ch	16 ch	8 ch
	50G	50G	25G	50G	25G	10G	25G	50G
Y _{physical}	1 ch	1 ch	2 ch	1 ch	2 ch	5 ch	2 ch	1 ch
	50G	50G	25G	50G	50G	10G	25G	50G

在实际应用中,物理通道传输速率随着技术的发展而提高,电接口从 2.5G 发展到 10~11G,目前已经演进到了 25~28G,下一速率可能为 50~56G 或者 40~43G。而光接口速率往往比电接口的速率提升要提前,单波长光接口已经在 50G、100G 以上。物理通道的电光接口速率等级必然随技术的发展为升级演进。我们往往希望以一个确定的架构兼容物理接口的演进。

如上表 1 所示,物理通道 16+2 指的是 16 个接口用于传输数据码块,另外 2 个接口可以传输 FEC 校验码块,则物理通道 16+2 可以同时兼容 25~28G 和

50~56G 电光接口，保证平滑的演进，物理通道 80+10 则可以兼容 10~11G，25~28G，50~56G 的电光接口，保证平滑的演进，只需要系统设计合理的虚拟通道数， $X_{\text{virtual}}(Y_{\text{virtual}})$ 是所需要兼容的物理电光接口通道数 $X_{\text{physical}}(Y_{\text{physical}})$ 的最小公倍数或公倍数，工程设计上取最小公倍数最为合理。

- 5 虚拟通道上的数据再进行进一步进行比特提速复用到更高速率的接口，或者更新为比特提速复用演进到的电/光接口的比特复用输出速率。

例如上述表格中，80 为 40、16、8 的最小公倍数，10 是 5、2、1 的最小公倍数。16 是 16、8 的最小公倍数，32 则为 16、8 的公倍数。，80+10 个虚拟通道的架构下，系统芯片可以兼容适配 10~11G 电接口、25~28G 光接口的光模块，首先进行比特变速复用输出 10~11G 电接口，然后对接光模块的电接口，在光模块内部再使用 5: 2 的比特提速复用成 25~28G 电/光接口速率；也可以兼容适配 10~11G 电接口、50~56G 光接口的光模块，在光模块内部再使用 5: 1 的比特提速复用成 50~56G 电/光接口速率。当前也可以兼容适配 25~28G 电接口、50~56G 光接口的光模块，系统经过 25~28G 电接口和光模块对接，
15 在光模块内部再使用 2: 5 的比特降速复用成 10~11G 光接口速率；或者在光模块内部再使用 2: 1 的比特提速复用成 50~56G 光接口速率，在实际应用具体可以分别选用，此处只是举例，不做限定。

特别地，下表 2 所示，为采用虚拟通道 80+10 时，所复用到物理通道需要兼容 40G 电、光接口的时候，通过插入空闲码块，FEC 校验码块只分发到
20 10 个额外通道的 8 个通道的情况，插入的空闲码块的 2 个虚拟通道上的数据被丢弃。最终数据接口为 10 通道的 40G 接口，数据容量为 400G；FEC 校验开销接口为 1 通道的 40G 接口，容量为 40G。数据和 FEC 校验开销容量为 400:40。这样的设计，使得系统可在兼容 10G、25G、50G 电光接口的基础上，进一步兼容 20G、40G 光接口或电接口。

A	$80 \times n$
B	$80 \times n - j$
C	$(8 + 2) \times n$
X_{virtual}	80 ch 5G

-28-

Y_virtual	(8 + 2) ch 5G	
X_physical	20 ch 20G	10 ch 40G
Y_physical	2 ch 20G	1 ch 40G

如上表 2 所示, 如果系统架构设计还希望兼容 40G (20G) 物理接口, 也即使用 10 个 40G (20 个 20G) 光通道传输 400GE 数据, 并在只希望使用 1 个 40G (2 个 20G) 通道传输 FEC 开销数据。物理通道的传输能力确定, 而且数据和 FEC 校验开销容量为 400:40。在保证对源数据块传输通道的兼容基础上, 为了控制和限制开销比重 (400:40), 在架构上需要为 FEC 校验码块在 40G 容量的 FEC 开销传输通道上的承载传输做一些调整。以只用一个物理通道即 40G 速率光接口传输 40G 容量的 FEC 开销为例, 码块流中数据码块和 FEC 校验码块的比例为 $400:40 = 80:8$, 也即前述 80+10 虚拟通道的系统, 在 PMA 子层进行分发的时候, 生成 10 个虚拟通道, 其中两个 FEC 开销虚拟通道上不传输有效的 FEC 编码开销信息, 而是发送空闲码块, 例如填充的 $(8 \times c)/(8 \times c + d)b$ 编码块大小的空闲信息比特, 空闲码块中为无意义的序列如 “0b1010...1010”。

在这种兼容架构下, 如果物理通道为 25~28G, 50~56G 的光接口, 光模块传输承载容量为 $400G:50G = 80:10$ 时候, 光模块传输所有的 FEC 校验码块和空闲码块。对物理通道为 40G 的光接口, 光模块传输承载容量为 $400G:40G = 80:8$ 时候, 光模块只传输 FEC 校验码块, 可以将空闲码块抛弃。

其中, 空闲码块的标记和区分, 可以通过其所分发到的虚拟通道以及虚拟通道上插入的标记了虚拟通道编号的对齐控制码块来区分, 也可通过不同的码块同步头或码块类型来加以区分。例如, 空闲码块分发到的虚拟通道为 80+10 个虚拟通道中的第 89、90 虚拟通道; 在复用过程中, 8:1 复用的时候直接丢弃分发到这两个虚拟通道上的空闲码块。当然还可以使用不同的码块同步头和同一码块同步头指示下不同的码块类型来区分和标记。以便于接收芯片加以区分处理, 另外本发明实施例中还可以增加 1 比特指示信息在 FEC 编码处理子层和 PMA 子层之间指示和区别码块流中的数据码块和 FEC 校验码块。

需要说明的是,在本发明实施例中,对于物理通道的光接口例如使用 NRZ 码型的应用于 10km, 40km 等距离场景中的光接口,并不一定需要 FEC 编解码,在这种情况下,光模块不配备 FEC 校验码块的物理通道,将已经复用到第二物理通道组的接口上的全部数据丢弃,则 FEC 校验码块被全数忽略,而只传送第一物理通道组的接口上的全部数据。因此系统能够兼容不配备 FEC 编码开销传输通道的光模块和允许打开或关闭 FEC 编码功能或者不具备编解码功能的设备,允许彼此间的互联互通对接。

本发明实施例中,在 FEC 编码处理子层上对数据码块进行 FEC 编码,生成 FEC 校验码块,然后将数据码块和 FEC 校验码块分别分发到第一虚拟通道组和第二虚拟通道组上,接下来按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用第一物理通道组的接口上和第二虚拟通道组的接口上。由于 FEC 校验码块先被分发到第二虚拟通道组的 N 个虚拟通道上,然后通过 N 个虚拟通道经过比特变速复用才输出到区别于数据传输通道的额外的第二物理通道组的 K 个接口上,故经 FEC 校验码块不会原数据的传输带宽,且本发明实施例中允许在数据分发前的一个 400G 数据流上进行 FEC 编解码,相比在分发后的虚拟通道上进行的 FEC 编解码,例如上述 80+10 虚拟通道的情形下,延迟降低了 1/80,故能够适用于低延迟需求的场合。

以上实施例介绍了发送端上实现的 FEC 编码的数据处理方法,接下来介绍接收端上实现的 FEC 解码的数据处理方法,请参阅如图 2 所示,具体可以包括如下步骤:

201、接收发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据, H 为正整数。

发送端将经过第一物理通道组的至多 H 个接口发送的数据通过物理传输媒质向接收端进行目标距离的传输,在接收端上可以从发送端一侧接收到第一物理通道组的至多 H 个接口发送的数据。

202、判断发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据。

本发明实施例中,发送端和接收端中都是将物理通道划分为两个组,分别

为第一物理通道组和第二物理通道组,则接收端可以通过物理通道的不同划分而分别从第一物理通道组和第二物理通道组接收数据。

通过对第二物理通道组的至多 K 个接口是否传输有数据的判断,接收端能够获知发送端是否通过至多 K 个接口发送有数据,若接收端获知第二物理通道组的至多 K 个接口没有数据传输,则表示发送端只在第一物理通道组的至多 H 个接口上传输了数据,而第二物理通道组的至多 K 个接口上的数据被丢弃了,并没有传输。若接收端获知第二物理通道组的至多 K 个接口有数据传输,则表示发送端在第一物理通道组的至多 H 个接口上传输了数据,也在第二物理通道组的至多 K 个接口上进行了数据传输,当第二物理通道组的至多 K 个接口传输有数据时,接收端具有灵活性,可以选择是否接收至多 K 个接口发送的数据,即接收端可以执行步骤 203 或者 204,本发明此处不做限定。

203、若发送端经过第二物理通道组的至多 K 个接口发送有数据,接收经过至多 K 个接口发送的数据。

或,204、若发送端经过第二物理通道组的至多 K 个接口发送有数据,将经过至多 K 个接口发送的数据丢弃。

若本发明实施例中执行了步骤步骤 204,则对于接收端来说只接收到了经过第一物理通道组的至多 H 个接口发送的数据,本发明实施例还可以包括如下步骤:

D1、按照比特变速解复用从至多 H 个接口发送的数据中分离出 M 个数据码块流, M 是 H 的整数倍, M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道;

D2、搜索 M 个虚拟通道上的数据码块流中插入的对齐标记码块;

D3、根据对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列,得到 $m \times t_2$ 个数据码块, $m \times t_2$ 小于或等于 $m_{\max} = M \times t_1$, $m_{\max}$ 是 M 的 t_1 倍, t_1 、 t_2 为正整数;

D4、使用对齐标记码块完成对齐重组之后将对齐标记码块丢弃;

D5、将 $m \times t_2$ 个数据码块输入物理编码子层。

在步骤 D1 至 D5 中,由于接收端只接收到了经过第一物理通道组的至多 H 个接口发送的数据,故只需要给出对经过第一物理通道组的至多 H 个接口发送的数据如何做处理即可,步骤 D1 中比特变速解复用的方式与前述实施例

中发送端所进行的比特变速复用是相反的技术手段。搜索出对齐标记码块之后，使用该对齐标记码块对在 M 个虚拟通道上进行码块分发的码块序列进行对齐重组，得到 $m \times t_2$ 个数据码块，然后将对齐标记码块丢弃，直接将 $m \times t_2$ 个数据码块输入物理编码子层。另外，本发明实施例中，比特变速解复用指的是将输入的数据比特流进行分解复用然后输出解复用后的数据比特流的分解复用方式，例如输入的数据比特流为 3 个，若变速比例为 3:4，分解复用后就可以输出 4 个数据比特流。

若本发明实施例中执行了步骤步骤 203，则对于接收端来说接收到了经过第一物理通道组的至多 H 个接口发送的数据和经过第二物理通道组的至多 K 个接口发送的数据，本发明实施例还可以包括如下步骤：

E1、按照比特变速解复用从至多 H 个接口发送的数据中分离出 M 个数据码块流，按照比特变速解复用从至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流， M 是 H 的整数倍， M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道， N 是 K 的整数倍， N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道；

E2、搜索 M 个虚拟通道上的数据码块流和 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块；

E3、根据对齐标记码块对齐重组在 $(M+N)$ 个虚拟通道上进行码块分发的码块序列，得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块， $m \times t_2$ 小于或等于 $m_{\max}$ ， $m_{\max}$ 是 M 的 t_1 倍， $n \times t_2$ 小于或等于 $n_{\max} = N \times t_1$ ， $n_{\max}$ 是 N 的 t_1 倍， t_1 、 t_2 为正整数；

E4、使用对齐标记码块完成对齐重组之后将对齐标记码块丢弃。

步骤 E1 至 E4 与前述的步骤 D1 和 D2 唯一的不同的是所处理的数据是来自两个物理通道组的数据，此处再详细给出说明。

若本发明实施例中执行了步骤步骤 203，则对于接收端来说接收到了经过第一物理通道组的至多 H 个接口发送的数据和经过第二物理通道组的至多 K 个接口发送的数据，本发明实施例还可以包括如下步骤：

E1 ~ E2；

E5、根据对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流，得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块，其中， $m \times t_2$ 小于或

等于 $m_{\max} = M \times t_1$, $m_{\max}$ 是 M 的 t_1 倍, $n_{\max}$ 小于 $n_{\max} = N \times t_1$, $n_{\max}$ 是 N 的 t 倍, t_1 、 t_2 为正整数。一般的, 设计上使 $m_{\max} = M \times t_1$ 。所插入的空闲码块 i 等于 $n_{\max}$ 减去 $n_{\max}$;

5 E6、使用对齐标记码块完成对齐重组之后将对齐标记码块和 i 个空闲码块丢弃。

步骤 E5 至 E6 与前述步骤 E3 至 E4 的不同之处在于发送端经过第二物理通道组的至多 K 个接口发送的数据中是否包括空闲码块, 若包括空闲码块, 需要找出空闲码块, 然后丢弃掉。

需要说明的是, 在本发明实施例中, 步骤 E4 和步骤 E6 执行完成之后,
10 本发明实施例还可以包括如下步骤:

F1、在 FEC 编码处理子层上使用 $n_{\max}$ 个 FEC 校验码块纠正 $m_{\max}$ 个数据码块中的误码;

F2、完成纠正误码之后将 $n_{\max}$ 个 FEC 校验码块丢弃掉, 将纠正误码后的 $m_{\max}$ 个数据码块输入物理编码子层。

15 针对于前述实施例中发送端在 FEC 校验码块和数据码块组成的码块流中周期性的插入有对齐标记码块, 此处需要搜索出周期性可以识别的对齐标记码块, 根据该标记码块将数据码块和 FEC 校验码块对齐, 然后将对齐标记码块删除掉, 组合出完整的码块流, 将码块流送入 FEC 编码处理子层进行解码处理, 纠正可纠的数据码块被传输后导致的误码, 纠正完误码之后, 删除 FEC
20 校验码块, 恢复出的数据码块。

需要说明的是, 在本发明实施例中, 步骤 E4 和步骤 E6 执行完成之后, 本发明实施例还可以包括如下步骤:

F3、通过对齐重组的方式获取到 $n_{\max}$ 个 FEC 校验码块后将 $n_{\max}$ 个 FEC 校验码块丢弃, 将 $m_{\max}$ 个数据码块输入物理编码子层。

25 步骤 F3 与前述的步骤 F1、F2 的不同之处在于, 在步骤 F3 中, 不使用 FEC 校验码块进行纠错, 而是直接将 FEC 校验码块丢弃, 将 $m_{\max}$ 个数据码块传输入物理编码子层中。

本发明实施例中, 针对于发送端一侧的数据发送方法, 接收端一侧做与发送方法相对应的接收处理过程, 接收端接收经过第一物理通道组的至多 H 个
30 接口发送的数据, 判断发送端是否经过第二物理通道组的至多 K 个接口向接

收端发送有数据,当发送端经过至多 K 个接口发送有数据时,接收端可以灵活选择是否接收,接收端的灵活性较强。

以上实施例介绍了本发明实施例提供的 FEC 编码的数据处理方法,接下来介绍与该方法相对应的 FEC 编码的数据处理装置,请参阅如图 3 所示, FEC

5 编码的数据处理装置 300,包括:

FEC 编码单元 301,用于在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以每 m 个数据码块为一组进行 FEC 编码,生成 n 个 FEC 校验码块,其中,所述 m 和所述 n 都是正整数;

10 分发单元 302,用于将所述 $m \times t_2$ 个数据码块和所述 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上,其中,所述 $m \times t_2$ 小于或等于 $m_{\max}$,所述 $m_{\max}$ 是所述 M 的 t_1 倍,所述 $n \times t_2$ 小于或等于 $n_{\max}$,所述 $n_{\max}$ 是所述 N 的 t_1 倍,所述 t_1 、 t_2 为正整数;

15 复用单元 303,用于按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上,其中,所述 M 是所述 H 的整数倍,所述 N 是所述 K 的整数倍。

需要说明的是,对于本发明实施例提供的 FEC 编码的数据处理装置 300,作为其中一种可实现的方式是,还可以包括如下单元模块(未在图 3 中示出):

20 对齐单元,用于在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上承载的码块流上周期性的插入对齐标记码块,其中,每一个对齐标记码块还标记了该对齐标记码块所在虚拟通道的编号,所述对齐标记码块用于接收端在获取到所述码块流后进行对齐重组恢复。

25 需要说明的是,所述第一物理通道组的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口,所述第二物理通道组的至多 K 个接口具体形式为 K_1 个电接口和 K_2 个光接口,所述 H 是 H_1 、 H_2 的最小公倍数,所述 K 是 K_1 、 K_2 的最小公倍数,此时对于本发明实施例提供的复用单元 303,作为其中一种可实现的方式是,还可以包括如下单元模块(未在图 3 中示出):

30 复用子单元,用于按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到所述第一物理通道组的

H1 个电接口上和所述第二物理通道组的 K1 个电接口上, 其中, 所述 H1 是所述 M 的整数倍, 所述 K1 是所述 N 的整数倍;

映射子单元, 用于将复用到所述 H1 个电接口上的全部数据和复用到所述 K1 个电接口上的全部数据分别复用和映射调制后发送到所述 H2 个光接口上和所述 K2 个光接口上, 其中, 所述 M 是所述 H2 的整数倍, 所述 N 是所述 K2 的整数倍。

需要说明的是, 对于本发明实施例提供的 FEC 编码的数据处理装置 300, 作为其中另一种可实现的方式是, 还可以包括如下单元模块 (未在图 3 中示出):

10 生成单元, 用于生成 i 个空闲码块, 所述空闲码块包括空闲信息比特, 所述 i 等于所述 n_max 减去所述 n;

所述分发单元 302, 还用于将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上, 所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

15 需要说明的是, 对于本发明实施例提供的 FEC 编码的数据处理装置 300, 作为其中另一种可实现的方式是, 还可以包括如下单元模块 (未在图 3 中示出):

第一丢弃单元, 用于将复用到所述至多 K 个接口上的全部数据丢弃;

20 第一传输单元, 将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

需要说明的是, 对于本发明实施例提供的 FEC 编码的数据处理装置 300, 作为其中另一种可实现的方式是, 还可以包括如下单元模块 (未在图 3 中示出):

25 第二传输单元, 用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

需要说明的是, 对于本发明实施例提供的 FEC 编码的数据处理装置 300, 作为其中另一种可实现的方式是, 还可以包括如下单元模块 (未在图 3 中示出):

30 第二丢弃单元, 用于将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃;

第三传输单元, 用于将复用到所述至多 H 个接口上的全部数据和复用到所述 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。

需要说明的是, 上述装置各模块/单元之间的信息交互、执行过程等内容, 5 由于与本发明方法实施例基于同一构思, 其带来的技术效果与本发明方法实施例相同, 具体内容可参见本发明如图 1 所示的方法实施例中的叙述, 此处不再赘述。

本发明实施例中, FEC 编码单元在 FEC 编码处理子层上对数据码块序列以每 m 个数据码块为一组进行 FEC 编码, 生成 n 个 FEC 校验码块, 然后分发 10 单元将数据码块和 FEC 校验码块分别分发到第一虚拟通道组和第二虚拟通道组上, 接下来复用单元按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用第一物理通道组的接口上和第二虚拟通道组的接口上。由于 n 个 FEC 校验码块先被分发到第二虚拟通道组的 N 个虚拟通道上, 然后通过 N 个虚拟通道经过比特变速复用输出到额外的第二 15 物理通道组的 K 个接口上, 不会减少系统的数据传输带宽。由于数据码块和 FEC 校验码块被分开传输到第一物理通道组和第二物理通道组, 因此很好的满足了灵活性和兼容性需求, 系统能够兼容不同类型和性能的物理传输接口并保证彼此之间的互联互通能力, 系统根据传输接口的性能, 可选择传输 FEC 校验码块或者不传输 FEC 校验码块。

20 接下来介绍本发明实施例提供的另一种 FEC 解码的数据处理装置, 请参阅如图 4 所示, FEC 解码的数据处理装置 400, 包括: 第一接收单元 401、判断单元 402 以及第二接收单元 403 和第一丢弃单元 404 中的其中一个单元, 其中,

第一接收单元 401, 用于接收发送端经过第一物理通道组的至多 H 个接口 25 发送到接收端的数据, 所述 H 为正整数;

判断单元 402, 用于判断所述发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据;

第二接收单元 403, 用于当所述发送端经过第二物理通道组的至多 K 个接口发送有数据时, 接收经过至多 K 个接口发送的数据, 所述 K 为正整数;

30 或, 第一丢弃单元 404, 用于当所述发送端经过第二物理通道组的至多 K

个接口发送有数据时, 将经过所述至多 K 个接口发送的数据丢弃。

需要说明的是, 对于本发明实施例提供的 FEC 解码的数据处理装置 400, 作为其中一种可实现的方式是, 若所述装置 400 包括第一丢弃单元 404, 所述装置还包括: 第一解复用单元、第一查找单元、第一对齐单元和第一传输单元
5 (未在图 4 中示出), 其中,

所述第一解复用单元, 用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道;

所述第一查找单元, 用于搜索所述 M 个虚拟通道上的数据码块流中插入
10 的对齐标记码块;

所述第一对齐单元, 用于根据所述对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列, 得到 $m \times t_2$ 个数据码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

所述第一丢弃单元, 还用于使用所述对齐标记码块完成对齐重组之后将所
15 述对齐标记码块丢弃;

所述第一传输单元, 用于将所述 $m \times t_2$ 个数据码块输入物理编码子层。

需要说明的是, 对于本发明实施例提供的 FEC 解码的数据处理装置 400, 作为其中另一种可实现的方式是, 若所述装置 400 包括第二接收单元 403, 所述装置 400 还包括: 第二解复用单元、第二查找单元、第二对齐单元、第二丢
20 弃单元 (未在图 4 中示出), 其中,

所述第二解复用单元, 用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K
25 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

所述第二查找单元, 用于搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

第二对齐单元, 用于根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通
30 道上的码块流, 得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块, 所述 $m \times t_2$ 小

于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

所述第二丢弃单元, 用于使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃。

5 需要说明的是, 对于本发明实施例提供的 FEC 解码的数据处理装置 400, 作为其中另一种可实现的方式是, 若所述装置 400 包括第二接收单元 403, 所述装置 400 还包括: 第二解复用单元、第二查找单元、第三对齐单元、第三丢弃单元 (未在图 4 中示出), 其中,

10 所述第二解复用单元, 用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

15 所述第二查找单元, 用于搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

20 所述第三对齐单元, 用于根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流, 得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 $n \times t_2$ 小于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数, 所述 i 等于所述 $n_{\max}$ 减去所述 n ;

所述第三丢弃单元, 用于使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个空闲码块丢弃。

25 需要说明的是, 基于前述的实现方式, 对于本发明实施例提供的 FEC 解码的数据处理装置 400, 作为其中另一种可实现的方式是, 所述装置 400 还可以包括 (未在图 4 中示出):

校正单元, 用于在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个数据码块中的误码;

第四丢弃单元, 用于完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃;

30 第二传输单元, 用于将纠正误码后的 $m \times t_2$ 个数据码块输入物理编码子层。

需要说明的是, 基于前述的实现方式, 对于本发明实施例提供的 FEC 解码的数据处理装置 400, 作为其中另一种可实现的方式是, 所述装置 400 还可以包括 (未在图 4 中示出):

第五丢弃单元, 用于通过对齐重组的方式获取到所述 $n \times t_2$ 个 FEC 校验码块后将所述 $n \times t_2$ 个 FEC 校验码块丢弃;

第三传输单元, 用于将 $m \times t_2$ 个数据码块输入物理编码子层。

本发明实施例中, 第一接收单元 401 接收经过第一物理通道组的至多 H 个接口发送的数据, 判断单元 402 判断发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据, 当发送端经过至多 K 个接口发送有数据时, 接收端可以灵活选择是否接收, 接收端的灵活性较强。

接下来介绍本发明实施例提供的另一种 FEC 编码的数据处理装置, 请参阅图 5 所示, FEC 编码的数据处理装置 500 包括:

输入装置 501、输出装置 502、处理器 503 和存储器 504 (其中 FEC 编码的数据处理装置 500 中的处理器 503 的数量可以一个或多个, 图 5 中以一个处理器为例)。在本发明的一些实施例中, 输入装置 501、输出装置 502、处理器 503 和存储器 504 可通过总线或其它方式连接, 其中, 图 5 中以通过总线连接为例。

其中, 处理器 503, 用于执行如下步骤: 在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以 m 个数据码块为一组进行 FEC 编码, 生成 n 个 FEC 校验码块, 其中, 所述 m 和所述 n 都是正整数; 将所述 $m \times t_2$ 个数据码块和所述 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数; 按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 其中, 所述 M 是所述 H 的整数倍, 所述 N 是所述 K 的整数倍。

在本发明的一些实施例中, 处理器 503 还执行如下步骤: 在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上承载的码块流上周期

性的插入对齐标记码块,其中,每一个对齐标记码块还标记了该对齐标记码块所在虚拟通道的编号,所述对齐标记码块用于接收端在获取到所述码块流后进行对齐重组恢复。

在本发明的一些实施例中,所述第一物理通道组的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口,所述第二物理通道组的至多 K 个接口具体形式为 K_1 个电接口和 K_2 个光接口,所述 H 是 H_1 、 H_2 的最小公倍数,所述 K 是 K_1 、 K_2 的最小公倍数;

处理器 503 具体执行如下步骤:按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到所述第一物理通道组的 H_1 个电接口上和所述第二物理通道组的 K_1 个电接口上,其中,所述 H_1 是所述 M 的整数倍,所述 K_1 是所述 N 的整数倍;将复用到所述 H_1 个电接口上的全部数据和复用到所述 K_1 个电接口上的全部数据分别复用和映射调制后发送到所述 H_2 个光接口上和所述 K_2 个光接口上,其中,所述 M 是所述 H_2 的整数倍,所述 N 是所述 K_2 的整数倍。

在本发明的一些实施例中,处理器 503 还执行如下步骤:生成 i 个空闲码块,所述空闲码块包括空闲信息比特,所述 i 等于所述 $n_{\max}$ 减去所述 n ;将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上,所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

在本发明的一些实施例中,处理器 503 还执行如下步骤:将复用到所述至多 K 个接口上的全部数据丢弃;

所述输出装置用于将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

在本发明的一些实施例中,所述输出装置用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

在本发明的一些实施例中,处理器 503 还执行如下步骤:将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃;

所述输出装置用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接

收端传输。

本发明实施例中,在FEC编码处理子层上对 m 个数据码块进行FEC编码,生成 n 个FEC校验码块,然后将数据码块和FEC校验码块分别分发到第一虚拟通道组和第二虚拟通道组上,接下来按照比特变速复用将分发到第一虚拟通道组上的数据和分发到第二虚拟通道组上的数据分别复用第一物理通道组的接口上和第二虚拟通道组的接口上。由于 n 个校验码块先被分发到第二虚拟通道组的 N 个虚拟通道上,然后通过 N 个虚拟通道经过比特变速复用才输出到第二物理通道组的 K 个接口上,FEC校验码块使用额外的空间分离的传输通道,与数据实现了隔离和独立传输,且本发明实施例允许在分发前的数据码块流上做FEC,能够适用于低延迟需求的场合。

接下来介绍本发明实施例提供的另一种FEC解码的数据处理装置,请参阅图6所示,FEC解码的数据处理装置600包括:

输入装置601、输出装置602、处理器603和存储器604(其中FEC解码的数据处理装置600中的处理器603的数量可以一个或多个,图6中以一个处理器为例)。在本发明的一些实施例中,输入装置601、输出装置602、处理器603和存储器604可通过总线或其它方式连接,其中,图6中以通过总线连接为例。

其中,处理器603,用于执行如下步骤:从输入装置中获取发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据,所述 H 为正整数;

判断所述发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据,所述 K 为正整数;

若所述发送端经过第二物理通道组的至多 K 个接口发送有数据,接收经过至多 K 个接口发送的数据,或,将经过所述至多 K 个接口发送的数据丢弃。

在本发明的一些实施例中,所述处理器603还执行如下步骤:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流,所述 M 是所述 H 的整数倍,所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流中插入的对齐标记码块;

根据所述对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列,得到 $m \times 2$ 个数据码块,所述 $m \times 2$ 小于或等于 $m_{\max}$,所述 $m_{\max}$ 是

所述 M 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃;

将所述 $m \times t_2$ 个数据码块输入物理编码子层。

在本发明的一些实施例中, 所述处理器 603 还执行如下步骤: 按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

10 搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

根据所述对齐标记码块对齐重组在 $(M+N)$ 个虚拟通道上进行码块分发的码块序列, 得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$,

15 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃。

在本发明的一些实施例中, 所述处理器 603 还执行如下步骤: 按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

20 搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的码块流中插入的对齐标记码块;

25 根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流, 得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 $n \times t_2$ 小于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数, 所述 i 等于所述 $n_{\max}$ 减去所述 n ;

30 使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个

空闲码块丢弃。

在本发明的一些实施例中，所述处理器 603 还执行如下步骤：在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个数据码块中的误码；

- 5 完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃掉，将纠正误码后的 $m \times t_2$ 个数据码块输入物理编码子层。

在本发明的一些实施例中，所述处理器 603 还执行如下步骤：通过对齐重组的方式获取到所述 $n \times t_2$ 个 FEC 校验码块后将所述 $n \times t_2$ 个 FEC 校验码块丢弃，将 $m \times t_2$ 个数据码块输入物理编码子层。

- 10 本发明实施例中，接收经过第一物理通道组的至多 H 个接口发送的数据，判断发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据，当发送端经过至多 K 个接口发送有数据时，接收端可以灵活选择是否接收，接收端的灵活性较强。

- 15 本领域普通技术人员可以理解实现上述实施例方法中的全部或部分步骤是可以通程序来指令相关的硬件完成，该程序可以存储于一种计算机可读存储介质中，上述提到的存储介质可以是只读存储器，磁盘或光盘等。

- 20 以上对本发明所提供的一种 FEC 编解码的数据处理方法和相关装置进行了详细介绍，对于本领域的一般技术人员，依据本发明实施例的思想，在具体实施方式及应用范围上均会有改变之处，因此，本说明书内容不应理解为对本发明的限制。

权 利 要 求

1、一种 FEC 编码的数据处理方法，其特征在于，包括：

在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以
m 个数据码块为一组进行 FEC 编码，生成 n 个 FEC 校验码块，其中，所述 m
5 和所述 n 都是正整数；

将所述 $m \times t_2$ 个数据码块和所述 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚
拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上，其中，所
述 $m \times t_2$ 小于或等于 $m_{\max}$ ，所述 $m_{\max}$ 是所述 M 的 t_1 倍，所述 n 小于或等
于 $n_{\max}$ ，所述 $n_{\max}$ 是所述 N 的 t_1 倍，所述 t_1 、 t_2 为正整数；

10 按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述
第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第
二物理通道组的至多 K 个接口上，其中，所述 M 是所述 H 的整数倍，所述 N
是所述 K 的整数倍。

2、根据权利要求 1 所述的方法，其特征在于，所述将所述 m 个数据码块
15 和所述 n 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第
二虚拟通道组的 N 个虚拟通道上，之后还包括：

在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上
承载的码块流上周期性的插入对齐标记码块，其中，每一个对齐标记码块还标
记了该对齐标记码块所在虚拟通道的编号，所述对齐标记码块用于接收端在获
20 取到所述码块流后对码块流进行对齐重组恢复。

3、根据权利要求 1 或 2 所述的方法，其特征在于，所述第一物理通道组
的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口，所述第二物理通道
组的至多 K 个接口具体形式为 K_1 个电接口和 K_2 个光接口，所述 H 是 H_1 、
 H_2 的最小公倍数，所述 K 是 K_1 、 K_2 的最小公倍数；

25 所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到
第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第
二物理通道组的至多 K 个接口上，包括：

按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述
第二虚拟通道组上的数据分别复用到所述第一物理通道组的 H_1 个电接口上和
30 所述第二物理通道组的 K_1 个电接口上，其中，所述 M 是所述 H_1 的整数倍，

所述 N 是所述 K1 的整数倍;

将复用到所述 H1 个电接口上的全部数据和复用到所述 K1 个电接口上的全部数据分别复用和映射调制后发送到所述 H2 个光接口上和所述 K2 个光接口上, 其中, 所述 M 是所述 H2 的整数倍, 所述 N 是所述 K2 的整数倍。

- 5 4、根据权利要求 1 至 3 中任一项所述的方法, 其特征在于, 所述在前向纠错 FEC 编码处理子层上对物理编码子层输出的 m 个数据码块进行 FEC 编码生成 n 个 FEC 校验码块, 之后还包括:

生成 i 个空闲码块, 所述空闲码块包括空闲信息比特, 所述 i 等于所述 n_max 减去所述 n;

- 10 将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上, 所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

- 5 5、根据权利要求 1 至 4 中任一项所述的方法, 其特征在于, 所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 之后还包括:

将复用到所述至多 K 个接口上的全部数据丢弃, 将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

- 20 6、根据权利要求 1 至 4 中任一项所述的方法, 其特征在于, 所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 之后还包括:

将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

- 25 7、根据权利要求 4 所述的方法, 其特征在于, 所述按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 之后还包括:

- 30 将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃, 将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据

中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。

8、根据权利要求 1 至 7 中任一项所述的方法，其特征在于，所述 m 个数据码块和所述 n 个 FEC 校验码块分别采用不同的同步头来区别。

9、一种 FEC 解码的数据处理方法，其特征在于，包括：

5 接收发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据，所述 H 为正整数；

判断所述发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据，所述 K 为正整数；

10 若所述发送端经过第二物理通道组的至多 K 个接口发送有数据，接收经过至多 K 个接口发送的数据，或，将经过所述至多 K 个接口发送的数据丢弃。

10、根据权利要求 9 所述的方法，其特征在于，所述将经过所述至多 K 个接口发送的数据丢弃之后还包括：

15 按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流，所述 M 是所述 H 的整数倍，所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道；

搜索所述 M 个虚拟通道上的数据码块流中插入的对齐标记码块；

根据所述对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列，得到 $m \times t_2$ 个数据码块，所述 $m \times t_2$ 小于或等于 $m_{\max}$ ，所述 $m_{\max}$ 是所述 M 的 t_1 倍，所述 t_1 、 t_2 为正整数；

20 使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃；

将所述 $m \times t_2$ 个数据码块输入物理编码子层。

11、根据权利要求 9 所述的方法，其特征在于，所述接收经过至多 K 个接口发送的数据之后还包括：

25 按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流，按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流，所述 M 是所述 H 的整数倍，所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道，所述 N 是所述 K 的整数倍，所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道；

30 搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块；

根据所述对齐标记码块对齐重组在 $(M+N)$ 个虚拟通道上进行码块分发的码块序列, 得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

5 使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃。

12、根据权利要求 9 所述的方法, 其特征在于, 所述接收经过至多 K 个接口发送的数据之后还包括:

按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个
10 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的码块流中插入的对齐标记码块;

15 根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流, 得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 $n \times t_2$ 小于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数, 所述 i 等于所述 $n_{\max}$ 减去所述 n ;

20 使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个空闲码块丢弃。

13、根据权利要求 11 或 12 所述的方法, 其特征在于, 所述使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃, 之后还包括:

25 在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个数据码块中的误码;

完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃掉, 将纠正误码后的 $m \times t_2$ 个数据码块输入物理编码子层。

14、根据权利要求 11 或 12 所述的方法, 其特征在于, 所述使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃, 之后还包括:

30 通过对齐重组的方式获取到所述 $n \times t_2$ 个 FEC 校验码块后将所述 $n \times t_2$ 个

FEC 校验码块丢弃, 将 $m \times t_2$ 个数据码块输入物理编码子层。

15、一种 FEC 编码的数据处理装置, 其特征在于, 包括:

FEC 编码单元, 用于在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以每 m 个数据码块为一组进行 FEC 编码, 生成 n 个 FEC 校验码块, 其中, 所述 m 和所述 n 都是正整数;

5 分发单元, 用于将所述 $m \times t_2$ 个数据码块和所述 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 $n \times t_2$ 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

复用单元, 用于按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 其中, 所述 M 是所述 H 的整数倍, 所述 N 是所述 K 的整数倍。

15 16、根据权利要求 15 所述的装置, 其特征在于, 所述装置还包括:

对齐单元, 用于在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上承载的码块流上周期性的插入对齐标记码块, 其中, 每一个对齐标记码块还标记了该对齐标记码块所在虚拟通道的编号, 所述对齐标记码块用于接收端在获取到所述码块流后进行对齐重组恢复。

20 17、根据权利要求 15 或 16 所述的装置, 其特征在于, 所述第一物理通道组的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口, 所述第二物理通道组的至多 K 个接口具体形式为 K_1 个电接口和 K_2 个光接口, 所述 H 是 H_1 、 H_2 的最小公倍数, 所述 K 是 K_1 、 K_2 的最小公倍数;

所述复用单元, 包括:

25 复用子单元, 用于按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到所述第一物理通道组的 H_1 个电接口上和所述第二物理通道组的 K_1 个电接口上, 其中, 所述 H_1 是所述 M 的整数倍, 所述 K_1 是所述 N 的整数倍;

30 映射子单元, 用于将复用到所述 H_1 个电接口上的全部数据和复用到所述 K_1 个电接口上的全部数据分别复用和映射调制后发送到所述 H_2 个光接口上

和所述 $K2$ 个光接口上, 其中, 所述 M 是所述 $H2$ 的整数倍, 所述 N 是所述 $K2$ 的整数倍。

18、根据权利要求 15 至 17 中任一项所述的装置, 其特征在于, 所述装置还包括: 生成单元, 用于生成 i 个空闲码块, 所述空闲码块包括空闲信息比特,

5 所述 i 等于所述 $n_{\max}$ 减去所述 n ;

所述分发单元, 还用于将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上, 所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

19、根据权利要求 15 至 17 中任一项所述的装置, 其特征在于, 所述装置
10 还包括:

第一丢弃单元, 用于将复用到所述至多 K 个接口上的全部数据丢弃;

第一传输单元, 将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

20、根据权利要求 15 至 17 中任一项所述的装置, 其特征在于, 所述装置
15 还包括:

第二传输单元, 用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

21、根据权利要求 18 中任一项所述的装置, 其特征在于, 所述装置还包括:

20 第二丢弃单元, 用于将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃;

第三传输单元, 用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。

25 22、一种 FEC 解码的数据处理装置, 其特征在于, 包括: 第一接收单元、判断单元以及第二接收单元和第一丢弃单元中的其中一个单元, 其中,

第一接收单元, 用于接收发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据, 所述 H 为正整数;

判断单元, 用于判断所述发送端是否经过第二物理通道组的至多 K 个接
30 口向接收端发送有数据;

第二接收单元,用于当所述发送端经过第二物理通道组的至多 K 个接口发送有数据时,接收经过至多 K 个接口发送的数据,所述 K 为正整数;

或,第一丢弃单元,用于当所述发送端经过第二物理通道组的至多 K 个接口发送有数据时,将经过所述至多 K 个接口发送的数据丢弃。

- 5 23、根据权利要求 22 所述的装置,其特征在于,若所述装置包括第一丢弃单元,所述装置还包括:第一解复用单元、第一查找单元、第一对齐单元和第一传输单元,其中,

所述第一解复用单元,用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流,所述 M 是所述 H 的整数倍,所述 M 个
10 数据码块流对应第一虚拟通道组的 M 个虚拟通道;

所述第一查找单元,用于搜索所述 M 个虚拟通道上的数据码块流中插入的对齐标记码块;

所述第一对齐单元,用于根据所述对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列,得到 $m \times t_2$ 个数据码块,所述 $m \times t_2$ 小于或等
15 于 $m_{\max}$,所述 $m_{\max}$ 是所述 M 的 t_1 倍,所述 t_1 、 t_2 为正整数;

所述第一丢弃单元,还用于使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃;

所述第一传输单元,用于将所述 $m \times t_2$ 个数据码块输入物理编码子层。

- 20 24、根据权利要求 22 所述的装置,其特征在于,若所述装置包括第二接收单元,所述装置还包括:第二解复用单元、第二查找单元、第二对齐单元、第二丢弃单元,其中,

所述第二解复用单元,用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流,按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流,所述 M 是所述 H 的整数倍,
25 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道,所述 N 是所述 K 的整数倍,所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

所述第二查找单元,用于搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

- 30 第二对齐单元,用于根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通

道上的码块流,得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块,所述 $m \times t_2$ 小于或等于 $m_{\max}$,所述 $m_{\max}$ 是所述 M 的 t_1 倍,所述 n 小于或等于 $n_{\max}$,所述 $n_{\max}$ 是所述 N 的 t_1 倍,所述 t_1 、 t_2 为正整数;

所述第二丢弃单元,用于使用所述对齐标记码块完成对齐重组之后将所述
5 对齐标记码块丢弃。

25、根据权利要求 22 所述的装置,其特征在于,若所述装置包括第二接收单元,所述装置还包括:第二解复用单元、第二查找单元、第三对齐单元、第三丢弃单元,其中,

所述第二解复用单元,用于按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流,按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流,所述 M 是所述 H 的整数倍,所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道,所述 N 是所述 K 的整数倍,所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

所述第二查找单元,用于搜索所述 M 个虚拟通道上的数据码块流和所述
15 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

所述第三对齐单元,用于根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流,得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块,其中,所述 $m \times t_2$ 小于或等于 $m_{\max}$,所述 $m_{\max}$ 是所述 M 的 t_1 倍,所述 $n \times t_2$ 小于 $n_{\max}$,所述 $n_{\max}$ 是所述 N 的 t_1 倍,所述 t_1 、 t_2 为正整数,所述 i 等于所述 $n_{\max}$ 减去所述 n ;

所述第三丢弃单元,用于使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个空闲码块丢弃。

26、根据权利要求 24 或 25 所述的装置,其特征在于,所述装置还包括:
25 校正单元,用于在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个数据码块中的误码;

第四丢弃单元,用于完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃;
第二传输单元,用于将纠正误码后的 $m \times t_2$ 个数据码块输入物理编码子层。

27、根据权利要求 24 或 25 所述的装置,其特征在于,所述装置还包括:
30 第五丢弃单元,用于通过对齐重组的方式获取到所述 $n \times t_2$ 个 FEC 校验码

块后将所述 $n \times t_2$ 个 FEC 校验码块丢弃;

第三传输单元, 用于将 $m \times t_2$ 个数据码块输入物理编码子层。

28、一种 FEC 编码的数据处理装置, 其特征在于, 包括: 输入装置、输出装置、存储器和处理器;

5 其中, 所述处理器执行以下步骤:

在前向纠错 FEC 编码处理子层上对物理编码子层输出的数据码块序列以 m 个数据码块为一组进行 FEC 编码, 生成 n 个 FEC 校验码块, 其中, 所述 m 和所述 n 都是正整数;

10 将所述 $m \times t_2$ 个数据码块和所述 $n \times t_2$ 个 FEC 校验码块分别分发到第一虚拟通道组的 M 个虚拟通道上和第二虚拟通道组的 N 个虚拟通道上, 其中, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

15 按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到第一物理通道组的至多 H 个接口上和第二物理通道组的至多 K 个接口上, 其中, 所述 M 是所述 H 的整数倍, 所述 N 是所述 K 的整数倍。

29、根据权利要求 28 所述的装置, 其特征在于, 所述处理器还执行如下步骤:

20 在所述第一虚拟通道组和所述第二虚拟通道组的 $(M+N)$ 个虚拟通道上承载的码块流上周期性的插入对齐标记码块, 其中, 每一个对齐标记码块还标记了该对齐标记码块所在虚拟通道的编号, 所述对齐标记码块用于接收端在获取到所述码块流后进行对齐重组恢复。

30、根据权利要求 28 或 29 所述的装置, 其特征在于, 所述第一物理通道组的至多 H 个接口具体形式为 H_1 个电接口和 H_2 个光接口, 所述第二物理通道组的至多 K 个接口具体形式为 K_1 个电接口和 K_2 个光接口, 所述 H 是 H_1 、 H_2 的最小公倍数, 所述 K 是 K_1 、 K_2 的最小公倍数;

所述处理器具体执行如下步骤:

25 按照比特变速复用将分发到所述第一虚拟通道组上的数据和分发到所述第二虚拟通道组上的数据分别复用到所述第一物理通道组的 H_1 个电接口上和
30 所述第二物理通道组的 K_1 个电接口上, 其中, 所述 H_1 是所述 M 的整数倍,

所述 K1 是所述 N 的整数倍;

将复用到所述 H1 个电接口上的全部数据和复用到所述 K1 个电接口上的全部数据分别复用和映射调制后发送到所述 H2 个光接口上和所述 K2 个光接口上, 其中, 所述 M 是所述 H2 的整数倍, 所述 N 是所述 K2 的整数倍。

5 31、根据权利要求 28 至 30 中任一项所述的装置, 其特征在于, 所述处理器还执行如下步骤:

生成 i 个空闲码块, 所述空闲码块包括空闲信息比特, 所述 i 等于所述 n_max 减去所述 n;

10 将所述 i 个空闲码块分发到所述第一虚拟通道组的 N 个虚拟通道上, 所述分发到所述第一虚拟通道组上的数据包括所述 n 个 FEC 校验码块和所述 i 个空闲码块。

32、根据权利要求 28 至 31 中任一项所述的装置, 其特征在于, 所述处理器还执行如下步骤: 将复用到所述至多 K 个接口上的全部数据丢弃;

15 所述输出装置用于将复用到所述至多 H 个接口上的全部数据通过物理传输媒质向接收端传输。

33、根据权利要求 28 至 32 中任一项所述的装置, 其特征在于, 所述输出装置用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据通过物理传输媒质向接收端传输。

20 34、根据权利要求 31 所述的装置, 其特征在于, 所述处理器还执行如下步骤: 将复用到所述至多 K 个接口上的全部数据中的 i 个空闲码块丢弃;

所述输出装置用于将复用到所述至多 H 个接口上的全部数据和复用到所述至多 K 个接口上的全部数据中的 n 个 FEC 校验码块通过物理传输媒质向接收端传输。

25 35、一种 FEC 解码的数据处理装置, 其特征在于, 包括: 输入装置、输出装置、存储器和处理器;

其中, 所述处理器执行以下步骤:

从输入装置中获取发送端经过第一物理通道组的至多 H 个接口发送到接收端的数据, 所述 H 为正整数;

30 判断所述发送端是否经过第二物理通道组的至多 K 个接口向接收端发送有数据, 所述 K 为正整数;

若所述发送端经过第二物理通道组的至多 K 个接口发送有数据, 接收经过至多 K 个接口发送的数据, 或, 将经过所述至多 K 个接口发送的数据丢弃。

36、根据权利要求 35 所述的装置, 其特征在于, 所述处理器还执行如下步骤:

- 5 按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流中插入的对齐标记码块;

- 10 根据所述对齐标记码块对齐重组在 M 个虚拟通道上进行码块分发的码块序列, 得到 $m \times t_2$ 个数据码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃;

将所述 $m \times t_2$ 个数据码块输入物理编码子层。

- 15 37、根据权利要求 35 所述的装置, 其特征在于, 所述处理器还执行如下步骤:

- 20 按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据码块流, 按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流, 所述 M 是所述 H 的整数倍, 所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道, 所述 N 是所述 K 的整数倍, 所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道;

搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的 $(M+N)$ 个码块流中插入的对齐标记码块;

- 25 根据所述对齐标记码块对齐重组在 $(M+N)$ 个虚拟通道上进行码块分发的码块序列, 得到 $m \times t_2$ 个数据码块和 $n \times t_2$ 个 FEC 校验码块, 所述 $m \times t_2$ 小于或等于 $m_{\max}$, 所述 $m_{\max}$ 是所述 M 的 t_1 倍, 所述 n 小于或等于 $n_{\max}$, 所述 $n_{\max}$ 是所述 N 的 t_1 倍, 所述 t_1 、 t_2 为正整数;

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块丢弃。

38、根据权利要求 35 所述的装置, 其特征在于, 所述处理器还执行如下步骤:

- 30 按照比特变速解复用从所述至多 H 个接口发送的数据中分离出 M 个数据

码块流，按照比特变速解复用从所述至多 K 个接口发送的数据中分离出 N 个 FEC 校验码块流，所述 M 是所述 H 的整数倍，所述 M 个数据码块流对应第一虚拟通道组的 M 个虚拟通道，所述 N 是所述 K 的整数倍，所述 N 个数据码块流对应第二虚拟通道组的 N 个虚拟通道；

- 5 搜索所述 M 个虚拟通道上的数据码块流和所述 N 个虚拟通道上的 FEC 校验码块组成的码块流中插入的对齐标记码块；

根据所述对齐标记码块对齐重组 $(M+N)$ 个虚拟通道上的码块流，得到 $m \times t_2$ 个数据码块、 $n \times t_2$ 个 FEC 校验码块和 i 个空闲码块，其中，所述 $m \times t_2$ 小于或等于 $m_{\max}$ ，所述 $m_{\max}$ 是所述 M 的 t_1 倍，所述 $n \times t_2$ 小于 $n_{\max}$ ，
10 所述 $n_{\max}$ 是所述 N 的 t_1 倍，所述 t_1 、 t_2 为正整数，所述 i 等于所述 $n_{\max}$ 减去所述 n ；

使用所述对齐标记码块完成对齐重组之后将所述对齐标记码块和所述 i 个空闲码块丢弃。

- 39、根据权利要求 37 或 38 所述的装置，其特征在于，所述处理器还执行
15 如下步骤：

在 FEC 编码处理子层上使用所述 $n \times t_2$ 个 FEC 校验码块纠正所述 $m \times t_2$ 个数据码块中的误码；

完成纠正误码之后将所述 $n \times t_2$ 个 FEC 校验码块丢弃掉，将纠正误码后的 $m \times t_2$ 个数据码块输入物理编码子层。

- 20 40、根据权利要求 37 或 38 所述的装置，其特征在于，所述处理器还执行如下步骤：

通过对齐重组的方式获取到所述 $n \times t_2$ 个 FEC 校验码块后将所述 $n \times t_2$ 个 FEC 校验码块丢弃，将 $m \times t_2$ 个数据码块输入物理编码子层。

--- 1/2 ---

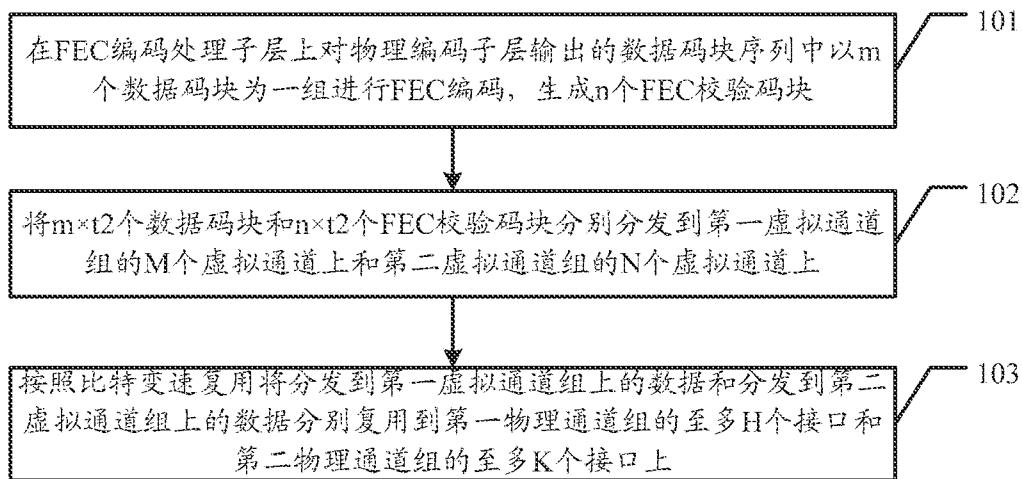


图 1

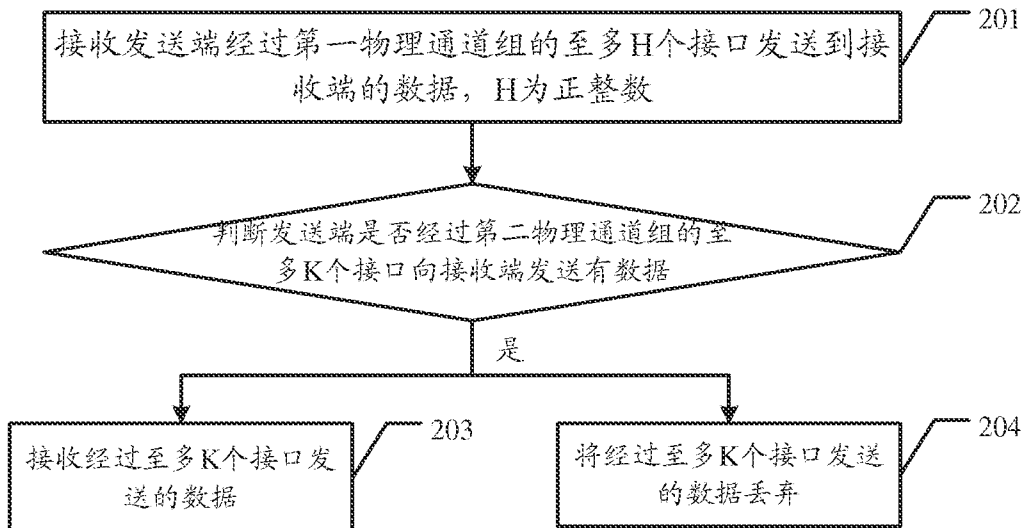


图 2

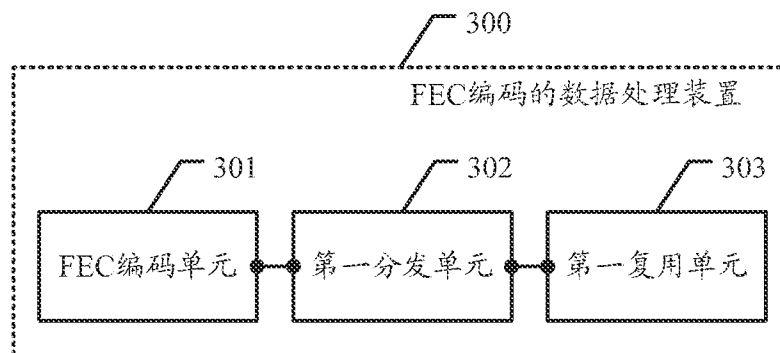


图 3

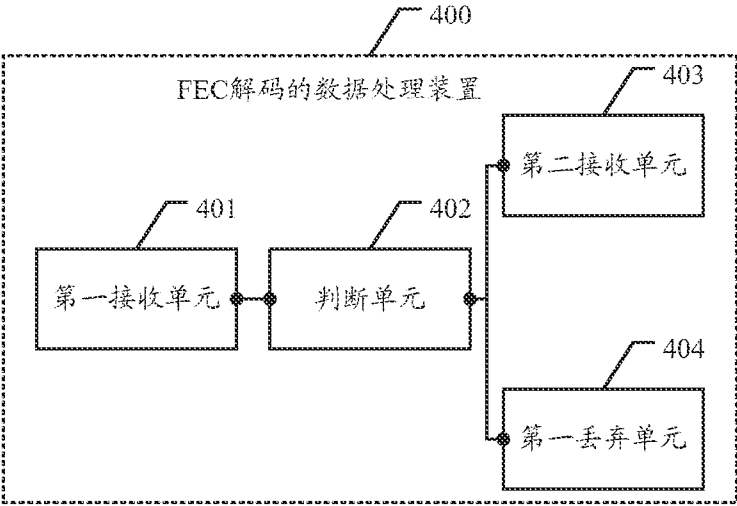


图 4

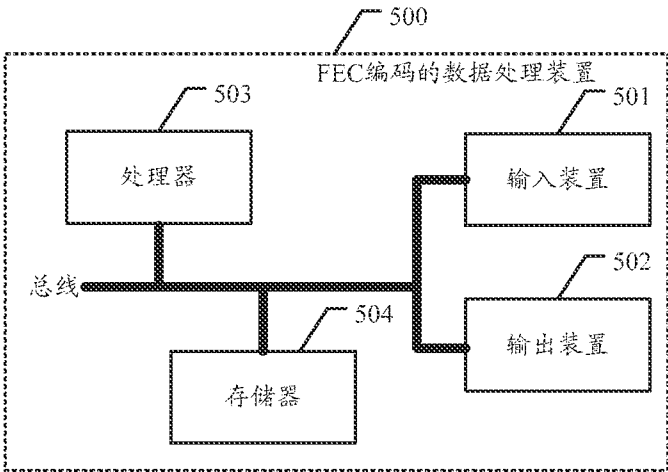


图 5

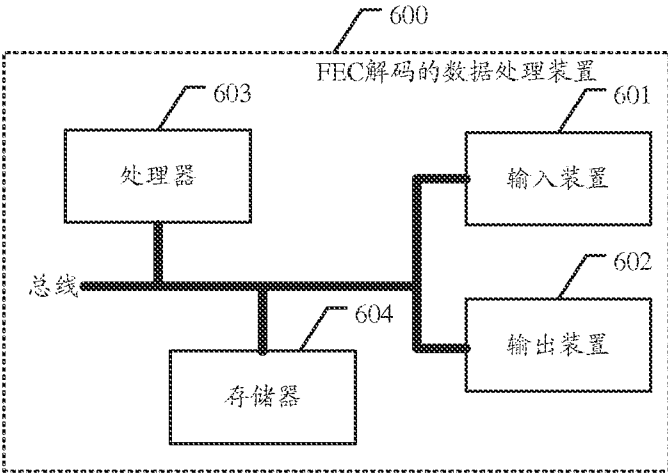


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/075810

A. CLASSIFICATION OF SUBJECT MATTER

H04L 1/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04L; H04Q; H04W

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS, CNABS, VEN, CNTXT, USTXT, WOTXT, EPTXT, CATXT: forward w error w correction, integer?, positive integer, integral multiple, data w block?, virtual w channel?, physical w channel?, FEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102693194 A (INTEL CORP.) 26 September 2012 (26.09.2012) claim 1	9, 22, 35
A	CN 101455019 A (HUAWEI TECHNOLOGIES CO LTD) 10 June 2009 (10.06.2009) the whole document	1-40
A	CN 101610326 A (GUANGZHOU GUANGHA COMMUNICATION CO LTD) 23 December 2009 (23.12.2009) the whole document	1-40
A	CN 102577490 A (HUAWEI TECHNOLOGIES CO LTD) 11 July 2012 (11.07.2012) the whole document	1-40

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 August 2013 (31.08.2013)	Date of mailing of the international search report 20 February 2014 (20.02.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer XU, Chan Telephone No. (86-10) 62412007

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/075810

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

This International Searching Authority found two inventions in this international application, as follows:

No. I: independent claim 1 relates to a data processing method for FEC encoding, independent claims 15 and 28 relate to a data processing device for FEC encoding.

No. II: independent claim 9 relates to a data processing method for FEC encoding, independent claims 22 and 35 relate to a data processing device for FEC encoding.

The common or corresponding technical features of the two groups of claims are "the first physical channel group" and "at most K interfaces of the second physical channel group". The common or corresponding technical features of independent claims 28 and 35 are "input device", "output device", "memory" and "processor". The common or corresponding technical features above are normal technical means for the person skilled in the art, therefore the common or corresponding technical features are the common knowledge in the art. There has no common or corresponding special technical features reflecting the contribution the invention makes to the existing technology among the two groups of claims, therefore unity of invention is lacking and the invention does not satisfy the criteria set out in PCT Rule 13.1 and 13.2.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/075810

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102693194 A	26.09.2012	WO 0010095 A1	24.02.2000
		US 6081848 A	27.06.2000
		AU 5481399 A	06.03.2000
		CN 1323420 A	21.11.2001
		TW 453078 A	01.09.2001
		CN 1323420 B	27.06.2012
		EP 1125211 A1	22.08.2001
CN 101455019 A	10.06.2009	WO 2008019611 A1	21.02.2008
		JP 5253393 B2	31.07.2013
		US 2008040643 A1	14.02.2008
		CN 102891731 A	23.01.2013
		US 8122325 B2	21.02.2012
		CN 101455019 B	19.09.2012
CN 101610326 A	23.12.2009	CN 101610326 B	04.07.2012
CN 102577490 A	11.07.2012	EP 2461623 A1	06.06.2012
		WO 2011022886 A1	03.03.2011

国际检索报告

国际申请号
PCT/CN2013/075810

A. 主题的分类

H04L 1/00 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04L, H04Q, H04W

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRSABS, CNABS, VEN, CNTXT, USTXT, WOTXT, EPTXT, CATXT: 前向纠错, 正整数, 整数倍, 数据块, 虚拟通道, 虚通道, 物理通道, FEC, forward w error w correction, integer?, data w block?, virtual w channel?, physical w channel?

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102693194 A (英特尔公司) 26.9 月 2012 (26.09.2012) 权利要求 1	9, 22, 35
A	CN101455019 A (华为技术有限公司) 10.6 月 2009 (10.06.2009) 全文	1-40
A	CN 101610326 A (广州广哈通信有限公司) 23.12 月 2009 (23.12.2009)全文	1-40
A	CN 102577490 A (华为技术有限公司) 11.7 月 2012 (11.07.2012) 全文	1-40

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
31.8 月 2013 (31.08.2013)

国际检索报告邮寄日期
20.2 月 2014 (20.02.2014)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

授权官员

许婵
电话号码: (86-10) **62412007**

第II栏 某些权利要求被认为是不能检索的意见(续第1页第2项)

根据条约第17条(2)(a)，对某些权利要求未做国际检索报告的理由如下：

1. ☐ 权利要求：
因为它们涉及不要求本单位进行检索的主题，即：
2. ☐ 权利要求：
因为它们涉及国际申请中不符合规定的要求的部分，以致不能进行任何有意义的国际检索，具体地说：
3. ☐ 权利要求：
因为它们是从属权利要求，并且没有按照细则6.4(a)第2句和第3句的要求撰写。

第III栏 缺乏发明单一性的意见(续第1页第3项)

本国际检索单位在该国际申请中发现多项发明，即：

本国际检索单位在该国际申请中发现2项发明，即：

第I组：独立权利要求1涉及一种FEC编码的数据处理方法，独立权利要求15、28涉及一种FEC编码的数据处理装置；

第II组：独立权利要求9涉及一种FEC编码的数据处理方法，独立权利要求22、35涉及一种FEC编码的数据处理装置。

上述2组权利要求仅仅存在如下相同或相应的技术特征：“第一物理通道组”和“第二物理通道组的至多K个接口”。对于独立权利要求28和独立权利要求35，还存在相同或相应的技术特征“输入装置”、“输出装置”、“存储器”和“处理器”。然而，上述相同或相应的技术特征是本领域惯用的技术手段，进而这些相同的或相应的技术特征属于本领域的公知常识。也就是说，上述2组权利要求中不存在体现发明对现有技术作出贡献的相同或相应的特定技术特征，因而不满足发明单一性的要求，不符合PCT实施细则13.1和13.2的规定。

1. ☐ 由于申请人按时缴纳了被要求缴纳的全部附加检索费，本国际检索报告涉及全部可作检索的权利要求。
2. ☒ 由于无需付出有理由要求附加费的劳动即能对全部可检索的权利要求进行检索，本单位未通知缴纳任何附加费。
3. ☐ 由于申请人仅按时缴纳了部分被要求缴纳的附加检索费，本国际检索报告仅涉及已缴费的那些权利要求。具体地说，是权利要求：
4. ☐ 申请人未按时缴纳被要求缴纳的附加检索费。因此，本国际检索报告仅涉及权利要求书中首先提及的发明；包含该发明的权利要求是：

关于异议的说明：☐ 申请人缴纳了附加检索费，同时提交了异议书，适用时，缴纳了异议费。
☐ 申请人缴纳了附加检索费，同时提交了异议书，但未在通知书规定的时间期限内缴纳异议费。
☐ 缴纳附加检索费时未提交异议书。

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/075810

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102693194 A	26.09.2012	WO 0010095 A1	24.02.2000
		US 6081848 A	27.06.2000
		AU 5481399 A	06.03.2000
		CN 1323420 A	21.11.2001
		TW 453078 B	01.09.2001
		CN 1323420 B	27.06.2012
		EP 1125211 A1	22.08.2001
CN 101455019 A	10.06.2009	WO 2008019611 A1	21.02.2008
		JP 5253393 B2	31.07.2013
		US 2008040643 A1	14.02.2008
		CN 102891731 A	23.01.2013
		US 8122325 B2	21.02.2012
		CN 101455019 B	19.09.2012
CN 101610326 A	23.12.2009	CN 101610326 B	04.07.2012
CN 102577490 A	11.07.2012	EP 2461623 A1	06.06.2012
		WO 2011022886 A1	03.03.2011