

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年10月6日(2011.10.6)

【公開番号】特開2008-131030(P2008-131030A)

【公開日】平成20年6月5日(2008.6.5)

【年通号数】公開・登録公報2008-022

【出願番号】特願2007-217239(P2007-217239)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

【F I】

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

【誤訳訂正書】

【提出日】平成23年8月24日(2011.8.24)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

ソース領域及びドレイン領域を有する表面を有し、前記ソース領域及び前記ドレイン領域がチャネル領域によって分離された半導体基板と、

前記チャネル領域の上の前記基板の表面上に配置された3nmを超えるゲート絶縁膜厚を有するトンネル障壁絶縁体構造、前記トンネル障壁絶縁体構造及び前記チャネル領域の上に配置された導電層、前記導電層及び前記チャネル領域の上に配置された電荷捕獲構造、並びに前記電荷捕獲構造及び前記チャネル領域の上に配置された上側絶縁体構造を有する、前記チャネル上の多層スタックと、

前記上側絶縁体構造及び前記チャネル領域の上に配置された上側導電層とを具え、

前記チャネル領域が、ソース-ドレイン間ににおける長さを有し、該チャネル領域が該長さに垂直な45nm未満の幅を有し、

電荷は、ただ前記電荷捕獲構造中にのみ捕獲されるメモリセル。

【請求項2】

請求項1記載のメモリセルにおいて、前記多層スタックがゲート絶縁膜厚を有し、前記チャネル領域が、ソース-ドレイン間の長さ及び前記多層スタックのゲート絶縁膜厚の1.5倍未満の長さに垂直な幅を有することを特徴とするメモリセル。

【請求項3】

請求項1記載のメモリセルにおいて、前記チャネル領域が、アクティブ領域を有し、該アクティブ領域がソース-ドレイン間ににおける長さを有し、該チャネル領域が該長さに垂直な幅を有し、前記導電層が、前記チャネル領域のアクティブ領域の幅にほぼ等しい幅を有することを特徴とするメモリセル。

【請求項4】

請求項1記載のメモリセルにおいて、前記トンネル障壁絶縁体構造が酸化シリコンを含むことを特徴とするメモリセル。

【請求項5】

請求項 1 記載のメモリセルにおいて、前記トンネル障壁絶縁体構造が窒化シリコンを含むことを特徴とするメモリセル。

【請求項 6】

請求項 1 記載のメモリセルにおいて、前記トンネル障壁絶縁体構造が、バンドギャップが調整されたトンネル障壁構造を具えることを特徴とするメモリセル。

【請求項 7】

請求項 1 記載のメモリセルにおいて、前記導電層が、ドープされた半導体材料を含むことを特徴とするメモリセル。

【請求項 8】

請求項 1 記載のメモリセルにおいて、前記導電層が、6 nm 未満の厚さを有するドープされたポリシリコンを含むことを特徴とするメモリセル。

【請求項 9】

請求項 1 記載のメモリセルにおいて、前記導電層が金属を含むことを特徴とするメモリセル。

【請求項 10】

請求項 1 記載のメモリセルにおいて、前記電荷捕獲構造が窒化シリコンを含むことを特徴とするメモリセル。

【請求項 11】

請求項 1 記載のメモリセルにおいて、前記電荷捕獲構造が、酸化シリコン層と、前記酸化シリコン層の上に配置された窒化シリコン層とを具えることを特徴とするメモリセル。

【請求項 12】

半導体基板上のメモリセルのアレイと、

前記基板においてチャネル領域によって分離されるソース領域及びドレイン領域と、前記チャネル領域の上に配置された 3 nm を超えるゲート酸化膜厚を有するトンネル障壁絶縁体構造と、前記トンネル障壁絶縁体構造及び前記チャネル領域の上に配置された導電層と、前記導電層及び前記チャネル領域の上に配置された電荷捕獲構造と、前記電荷捕獲構造の上に配置された上側絶縁体構造と、前記上側絶縁体構造及び前記チャネル領域の上に配置された上側導電層とを具え、前記チャネル領域が、ソース - ドレイン間ににおける長さを有し、該チャネル領域が該長さに垂直な 45 nm 未満の幅を有し、電荷は、ただ前記電荷捕獲構造中にのみ捕獲されるメモリセルと、

行デコーダと、

列デコーダと、

センス増幅器と、

少なくとも一つの入力ポートと、

少なくとも一つの出力ポートと、

データイン構造と、

バイアス配置状態マシンとを具える記憶装置。

【請求項 13】

半導体基板の表面上に 3 nm を超える実質的なゲート酸化膜厚を有するトンネル障壁絶縁体構造を形成し、前記トンネル障壁絶縁体構造の上に導電層を形成し、前記導電層の上に電荷捕獲構造を形成し、前記電荷捕獲構造の上に上側絶縁体構造を形成し、前記上側絶縁体構造の上に上側導電層を形成するステップと、

前記半導体基板の表面にドーパントを注入してソース領域及びドレイン領域を形成するステップであって、前記ソース領域及びドレイン領域は、チャネル領域によって分離されるとともに、前記チャネル領域を前記トンネル障壁絶縁体構造より下にする、ステップと、を有し、

前記チャネル領域が、ソース - ドレイン間ににおける長さを有し、該チャネル領域が該長さに垂直な 45 nm 未満の幅を有し、電荷は、ただ前記電荷捕獲構造中にのみ捕獲されるメモリセルの製造方法。

【請求項 14】

請求項 1_3 記載の方法において、複数のメモリセルを具えるメモリアレイを形成することを特徴とするメモリセルの製造方法。

【請求項 1_5】

請求項 1_3 記載の方法において、前記トンネル障壁絶縁体構造が、3~6 nm の範囲の厚さを有する酸化シリコンを含むことを特徴とするメモリセルの製造方法。

【請求項 1_6】

請求項 1_3 記載の方法において、前記トンネル障壁絶縁体構造の形成が、複数の絶縁体層を形成することによるバンドギャップが調整されたトンネル障壁構造の形成をえることを特徴とするメモリセルの製造方法。

【請求項 1_7】

請求項 1_3 記載の方法において、前記導電層が、6 nm 未満の厚さを有するポリシリコンを含むことを特徴とするメモリセルの製造方法。

【請求項 1_8】

請求項 1_3 記載の方法において、前記電子捕獲構造が、4~8 nm の範囲の厚さを有する窒化シリコンを含むことを特徴とするメモリセルの製造方法。

【請求項 1_9】

請求項 1_3 記載の方法において、前記トンネル絶縁体構造の形成が、絶縁体層の形成及び前記絶縁体層上の電子捕獲層の形成をえることを特徴とするメモリセルの製造方法。

【請求項 2_0】

請求項 1_3 記載の方法において、前記上側絶縁体構造が、5~9 nm の範囲の厚さを有する酸化シリコンを含むことを特徴とするメモリセルの製造方法。

【請求項 2_1】

請求項 1_3 記載の方法において、前記上側導電層が、約 50 nm の厚さを有するポリシリコンを含むことを特徴とするメモリセルの製造方法。

【請求項 2_2】

3 nm を超える大きさのゲート酸化膜厚を有するトンネル障壁絶縁体構造を半導体基板の表面上に形成し、前記トンネル障壁絶縁体構造の上に導電層を形成し、前記導電層の上に電荷捕獲構造を形成し、前記電子捕獲構造の上に上側絶縁体構造を形成し、前記上側絶縁体構造の上に上側導電層を形成し、前記上側導電層の上にハードマスク層を形成するステップと、

全ての層及び全ての構造を貫く複数のメモリセル間並びに基板に絶縁材料の複数の絶縁構造を形成するステップと、

前記ハードマスク層を剥離するステップと、

前記トンネル障壁絶縁体構造並びに前記トンネル障壁絶縁体構造の上に配置された全ての層及び全ての構造をエッチングすることによってメモリセルの複数の行を形成するステップと、

前記半導体基板の表面にドーパントを注入することによってソース領域及びドレイン領域を形成するステップであって、前記ソース領域及び前記ドレイン領域の対をメモリセルチャネル領域によって分離するとともに、前記チャネル領域を前記トンネル障壁絶縁体構造より下にするステップと、を有し、

前記チャネル領域が、ソース - ドレイン間ににおける長さを有し、該チャネル領域が該長さに垂直な 45 nm 未満の幅を有し、電荷は、ただ前記電荷捕獲構造中にのみ捕獲される、メモリセルのアレイの製造方法。

【請求項 2_3】

請求項 2_2 記載のメモリセルのアレイの製造方法において、前記ハードマスク層が、約 100 nm の厚さを有する窒化シリコンを含むことを特徴とするメモリセルのアレイの製造方法。

【請求項 2_4】

請求項 2_2 記載のメモリセルのアレイの製造方法において、絶縁材料の分離構造が酸化シリコンを含むことを特徴とするメモリセルのアレイの製造方法。

【請求項 2 5】

請求項 2_2 記載のメモリセルのアレイの製造方法において、複数の絶縁材料の分離構造の形成による余分な酸化物の除去が化学機械研磨を含むことを特徴とするメモリセルのアレイの製造方法。

【請求項 2 6】

請求項 2_2 記載のメモリセルのアレイの製造方法において、前記ハードマスク層の剥離後の前記上側導電層からの酸化物の除去が、湿式のフッ化水素溶液の浸漬エッチングを具えることを特徴とするメモリセルのアレイの製造方法。