

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫② Date de dépôt : 31.08.12.

③⑦ Priorité :

⑫③ Date de mise à la disposition du public de la
demande : 07.03.14 Bulletin 14/10.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥⑦ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : STMICROELECTRONICS (CROLLES
2) SAS Société par actions simplifiée — FR.

⑦② Inventeur(s) : EUVRARD CHRISTOPHE, GAY
LAURENT, GUYADER FRANCOIS et GOURVEST
EMMANUEL.

⑦③ Titulaire(s) : STMICROELECTRONICS (CROLLES 2)
SAS Société par actions simplifiée.

⑦④ Mandataire(s) : CABINET BEAUMONT.

⑤④ PROCÉDE D'AMINCISSEMENT D'UNE TRANCHE SEMICONDUCTRICE.

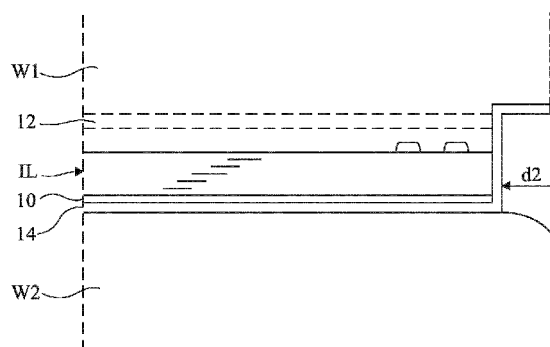
⑤⑦ L'invention concerne un procédé d'amincissement
d'une tranche semiconductrice (W1) comprenant les étapes
suivantes :

former des composants et des niveaux d'interconnexion
(IL) sur la face avant de la tranche ;

creuser une rainure à partir de la face avant à la périphé-
rie de la tranche et déposer une couche de protection (14)
au moins sur les flancs de la rainure ;

coller la tranche (W1) sur un support (W2) de mêmes
dimensions ; et

amincir la tranche (W1) à partir de sa face arrière au
moins jusqu'à atteindre le fond de ladite rainure.



PROCÉDÉ D'AMINCISSEMENT D'UNE TRANCHE SEMICONDUCTRICEDomaine de l'invention

La présente invention concerne un procédé d'amincissement d'une tranche semiconductrice.

Exposé de l'art antérieur

5 Les figures 1A à 1C illustrent des étapes successives de fabrication de composants semiconducteurs impliquant une étape d'amincissement d'une tranche semiconductrice.

De façon classique, pour réaliser des composants semiconducteurs, on forme sur une tranche, pouvant avoir un diamètre
10 supérieur à 200, voire 300 millimètres, un grand nombre de composants identiques. Pour augmenter le nombre de composants sur la tranche, certains composants sont situés aussi près que possible de la périphérie de la tranche et ont au moins un coin proche de cette périphérie.

15 La figure 1A représente une portion centrale d'une tranche semiconductrice W1. Au-dessus de la tranche W1 sont formés des niveaux d'interconnexion IL réalisés de façon classique par une succession de dépôts de couches isolantes et de couches conductrices, par exemple du cuivre déposé par des procédés
20 damascènes. Il y a par exemple quatre niveaux de métallisation M1, M2, M3, M4, le nombre de niveaux pouvant être nettement supérieur. Dans la tranche semiconductrice W1, on a représenté

symboliquement un transistor MOS T1 comprenant des régions de drain D1 et de source S1, la région intermédiaire étant surmontée d'une grille conductrice G1.

5 Dans certains cas, par exemple lors de la réalisation de photodétecteurs éclairés par la face arrière, mais également dans de nombreux autres cas, on souhaite amincir la tranche semiconductrice W1, à partir de sa face arrière, c'est-à-dire la face qui ne porte pas les interconnexions (la face inférieure en figure 1A).

10 Pour cela, on colle la face avant de la tranche à un support ou poignée, généralement constitué d'une tranche semiconductrice W2 identique à la tranche W1.

Après quoi, comme l'illustre la figure 1C, on amincit la tranche W1 portée par la tranche W2.

15 En fait, comme on le verra ci-après, divers problèmes se posent pour réaliser le collage des tranches W1 et W2 d'une façon qui n'entraîne pas la création d'une zone morte trop importante à la périphérie de la tranche W1, ce qui limite le nombre de composants qu'il est possible de réaliser sur chaque tranche. Or, la réduction du coût des composants semiconducteurs
20 passe par la réalisation du plus grand nombre possible de composants sur une tranche donnée.

Ainsi, il existe un besoin d'optimisation des procédés d'assemblage d'une tranche sur un support et d'amincissement de
25 cette tranche.

Résumé

Pour satisfaire à ce besoin, un mode de réalisation de la présente invention prévoit un procédé d'amincissement d'une tranche semiconductrice comprenant les étapes suivantes :

30 former des composants et des niveaux d'interconnexion sur la face avant de la tranche ;

creuser une rainure à partir de la face avant à la périphérie de la tranche et déposer une couche de protection au moins sur les flancs de la rainure ;

coller la tranche sur un support de mêmes dimensions ;
et

amincir la tranche à partir de sa face arrière au moins jusqu'à atteindre le fond de ladite rainure.

5 Selon un mode de réalisation de la présente invention, la tranche semiconductrice est de type SOI, la rainure traversant la couche isolante de la structure SOI.

 Selon un mode de réalisation de la présente invention, la rainure est formée jusqu'au bord de la tranche et pénètre à
10 l'intérieur de la tranche sur une largeur de 1 à 3 mm.

 Selon un mode de réalisation de la présente invention, la rainure ne s'étend pas jusqu'au bord de la tranche, et a une largeur de l'ordre de 500 μm à 1 mm, son flanc externe étant à environ 1 à 2 mm du bord de la tranche.

15 Selon un mode de réalisation de la présente invention, les niveaux d'interconnexion comprennent des couches de cuivre.

 Selon un mode de réalisation de la présente invention, le support est constitué du même matériau semiconducteur que la tranche semiconductrice.

20 Un mode de réalisation de la présente invention prévoit une tranche semiconductrice comprenant des composants et revêtue de niveaux d'interconnexion sur sa face avant, comprenant une rainure formée sur sa face avant, les surfaces de la tranche et de la rainure étant recouvertes d'une couche de
25 protection au moins sur les flancs de la rainure, la face avant étant adaptée à être collée sur une tranche support.

 Selon un mode de réalisation de la présente invention, la tranche semiconductrice est collée sur un support de mêmes dimensions et amincie à partir de sa face arrière au moins
30 jusqu'au fond de la rainure.

Brève description des dessins

 Ces caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en rela-
35 tion avec les figures jointes parmi lesquelles :

les figures 1A à 1C sont des vues en coupe illustrant trois étapes classiques de formation de composants semiconducteurs sur une première tranche, de collage de la première tranche sur une deuxième tranche, et d'amincissement de la
5 tranche comportant les composants ;

les figures 2A et 2B sont des vues en coupe représentant la périphérie d'une tranche assemblée sur un support à deux étapes de fabrication ;

les figures 3A à 3C sont des vues en coupe représentant la périphérie d'une tranche et illustrant un mode de réalisation d'étapes successives de formation de composants sur une première tranche et d'assemblage de cette première tranche sur un support ; et
10

les figures 4A et 4B représentent une variante du mode de réalisation illustré en figures 3A à 3C.
15

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation des circuits intégrés, les diverses figures ne sont pas tracées à l'échelle.
20

Description détaillée

Les figures 2A et 2B illustrent des étapes d'assemblage d'une tranche semiconductrice sur un support et d'amincissement de cette tranche.

Comme l'illustre la figure 2A, une tranche W1 comprenant des composants T1 est revêtue sur sa face avant de niveaux d'interconnexion IL et est collée par sa face avant, de préférence par collage moléculaire, sur une tranche support W2 de mêmes dimensions. Pour réaliser ce collage, il faut prévoir de déposer au dessus de la dernière couche des niveaux d'interconnexion IL une "couche d'adhérence" convenablement aplanie en un matériau adapté, couramment de l'oxyde de silicium.
25
30

La figure 2A est plus particulièrement une vue en coupe d'une partie périphérique de la tranche W1 et de la tranche support W2. Les angles de chacune des tranches au niveau
35

de leurs périphéries sont arrondis, par exemple par meulage. Il en résulte que la zone limite de collage entre les tranches n'est pas définie avec précision. Ce collage peut être peu satisfaisant sur une couronne périphérique de largeur d1, et, dans cette zone, peut se dégrader par suite des contraintes imposées par le processus d'amincissement ultérieur.

En figure 2B, on a représenté la structure après amincissement de la tranche W1. Après le processus d'amincissement, on a éliminé, par exemple par meulage, la partie périphérique de la tranche W1 sur la largeur d1 selon le contour marqué par les pointillés. La distance d1 est couramment de plusieurs millimètres, par exemple 4 millimètres, ce qui diminue la surface utile de la tranche W1.

Pour pallier ces inconvénients, on propose ici un procédé dont un mode de réalisation est décrit en relation avec les figures 3A à 3C.

La figure 3A est une vue en coupe d'une partie périphérique d'une tranche semiconductrice W1, par exemple en silicium, dans laquelle on a formé des composants T1 et qui est revêtue de niveaux d'interconnexion IL. On a indiqué la présence d'une couche isolante finale 10 constituant la couche externe des niveaux d'interconnexion IL. Dans ce mode de réalisation, à titre d'exemple, on a représenté que l'ensemble de couches constituant les niveaux d'interconnexion IL est interrompu un peu avant la périphérie de la tranche, par exemple à une distance d'un millimètre de cette périphérie.

A une étape ultérieure, dont le résultat est illustré en figure 3B, on a meulé la périphérie de la tranche W1, c'est-à-dire que l'on a creusé une tranchée périphérique 20 traversant l'ensemble de couches constituant les niveaux d'interconnexion IL et pénétrant dans la tranche W1 au-delà du niveau auquel on veut l'amincir, par exemple sur une profondeur de 10 à 300 µm.

Après le meulage de la périphérie de la tranche W1, on dépose une couche isolante de protection/passivation 14 de façon conforme, par exemple une couche d'oxyde déposée à partir de

tétraéthyl-orthosilicate (TEOS). Un avantage de la prévision de la couche de protection 14 est que, lors de la formation de la tranchée périphérique, par exemple par meulage, il est possible que des couches de cuivre ou autre métal des niveaux d'inter-
5 connexion soient exposées sur la surface latérale de la rainure. La présence de ce cuivre ou autre métal des niveaux d'inter-connexion exposé peut provoquer au moins deux inconvénients. D'une part, lors des traitements ultérieurs, ce métal pourrait être oxydé et l'oxydation résultante pourrait cheminer le long
10 de pistes d'interconnexion et détériorer certains composants à la périphérie de la structure. D'autre part, le cuivre exposé pourrait entraîner une pollution d'autres éléments de la structure. La couche 14 pourra être soumise à un polissage mécano-chimique (CMP) superficiel pour améliorer sa planéité. On notera
15 en outre que le dépôt de la couche 14 ne constitue pas une étape de fabrication supplémentaire par rapport aux étapes classiques car cette couche 14 correspond à la "couche d'adhérence" susmentionnée.

En figures 3A et 3B, on a représenté par des
20 pointillés à l'intérieur de la tranche W1 une couche isolante optionnelle 12. Ceci correspond au cas où la structure est une structure de type SOI et comprend une telle région isolante 12 sous une couche semiconductrice monocristalline qui peut avoir une épaisseur comprise par exemple entre 1 et 20 μm . Ceci ne
25 constitue qu'une option, le procédé décrit ici s'appliquant que les composants soient formés sur un substrat massif ou sur un substrat de type SOI. Dans le cas d'une structure de type SOI, la rainure périphérique se prolonge jusqu'à traverser la couche isolante 12.

30 A l'étape illustrée en figure 3C, la tranche W1 de la figure 3B est collée, par exemple par collage moléculaire, sur une tranche support W2. Après quoi, on procède de façon classique à l'amincissement de la tranche W1, généralement par une première étape mécanique ou mécano-chimique, puis par une étape
35 de gravure chimique. Dans le cas où la tranche W1 est de type

SOI, cet amincissement est réalisé jusqu'à atteindre la couche isolante 12 qui est ensuite éliminée par gravure ou partiellement laissée en place selon la destination des composants formés sur la tranche W1.

5 Etant donnée la structure de la tranche W1, qui en raison de la rainure périphérique 20 s'arrête à une distance d2 de la périphérie de la tranche support, le collage entre les tranches reste satisfaisant jusqu'à la limite externe de la tranche. On peut alors prévoir que la distance d2 est nettement
10 inférieure à la distance d1 mentionnée en relation avec les figures 2A et 2B. Par exemple, cette distance peut être seulement de l'ordre de 1 à 3 mm, par exemple 2 mm. Des essais ont montré, dans plus de 90 % des cas, une disparition des perturbations à l'interface entre les tranches en-deçà de la distance
15 d2, nettement inférieure à la distance d1 susmentionnée.

Les figures 4A et 4B illustrent une variante de réalisation. On part d'une tranche telle que celle représentée en figure 3A. Toutefois, comme l'illustre la figure 4A, au lieu de former une rainure périphérique s'étendant jusqu'à la périphérie
20 de la tranche W1, on forme une rainure 30 disposée au voisinage de la périphérie mais ne s'étendant pas jusqu'à celle-ci. La rainure a par exemple une largeur de l'ordre de 500 µm à 1 mm, sa face externe étant à environ 1 à 2 mm du bord de la tranche.

Comme précédemment, la rainure 30 après sa formation
25 est revêtue d'une couche de protection/passivation 14 qui peut être soumise à un polissage mécano-chimique (CMP) après son dépôt. Comme précédemment, cette rainure s'enfonce dans la tranche W1 sur une profondeur légèrement supérieure à l'épaisseur que l'on veut maintenir en place après amincissement. Dans le
30 cas où la tranche W1 est de type SOI et comprend dans sa partie supérieure une couche isolante 12, la rainure 30 traverse la couche isolante 12.

Ensuite, l'assemblage des tranches W1 et W2 est réalisé comme cela est illustré en figure 4B puis on procède
35 comme précédemment à l'amincissement de la tranche W1. L'expé-

rience montre que cette réalisation est encore plus efficace que celle illustrée en figure 3A et 3C pour éviter que des perturbations ne se produisent à l'intérieur de la tranche en-deçà de la rainure. En pratique, des tests ont montré une absence totale de défaut en-deçà de cette rainure.

Bien entendu, la présente invention est susceptible de nombreuses variantes et modifications qui apparaîtront à l'homme de l'art, notamment en ce qui concerne les matériaux utilisés pour les niveaux d'interconnexion et les couches de passivation. En particulier, bien que cela n'ait pas été décrit, la tranche support pourra être revêtue d'une fine couche isolante de même nature que la couche isolante 14 pour améliorer le collage moléculaire entre les deux tranches. De même, divers procédés connus d'amincissement et de formation de rainure pourront être utilisés. Après l'assemblage et l'amincissement décrits ici, l'ensemble des tranches W1 et W2 sera découpé en puces élémentaires, des contacts ayant été pris avec des plots de connexion prévus au niveau supérieur du réseau d'interconnexion. Enfin, la tranche support pourra elle-même être porteuse des dispositifs électroniques et la présente invention s'applique alors à l'assemblage tridimensionnel de circuits intégrés.

REVENDICATIONS

1. Procédé d'amincissement d'une tranche semiconductrice (W1) comprenant les étapes suivantes :

former des composants (T1) et des niveaux d'interconnexion (IL) sur la face avant de la tranche ;

5 creuser une rainure (20 ; 30) à partir de la face avant à la périphérie de la tranche et déposer une couche de protection (14) au moins sur les flancs de la rainure ;

coller la tranche (W1) sur un support (W2) de mêmes dimensions ; et

10 amincir la tranche (W1) à partir de sa face arrière au moins jusqu'à atteindre le fond de ladite rainure.

2. Procédé selon la revendication 1, dans lequel la tranche semiconductrice (W1) est de type SOI, la rainure traversant la couche isolante (12) de la structure SOI.

15 3. Procédé selon la revendication 1 ou 2, dans lequel la rainure (20) est formée jusqu'au bord de la tranche et pénètre à l'intérieur de la tranche sur une largeur de 1 à 3 mm.

4. Procédé selon la revendication 1 ou 2, dans lequel la rainure (30) ne s'étend pas jusqu'au bord de la tranche, et a
20 une largeur de l'ordre de 500 µm à 1 mm, son flanc externe étant à environ 1 à 2 mm du bord de la tranche.

5. Procédé selon l'une quelconque des revendications 1 à 4, dans lequel les niveaux d'interconnexion comprennent des couches de cuivre.

25 6. Procédé selon l'une quelconque des revendications 1 à 5, dans lequel le support (W2) est constitué du même matériau semiconducteur que la tranche semiconductrice (W1).

7. Tranche semiconductrice (W1) comprenant des composants (T1) et revêtue de niveaux d'interconnexion (IL) sur sa
30 face avant, comprenant une rainure (20 ; 30) formée sur sa face avant, les surfaces de la tranche et de la rainure étant recouvertes d'une couche de protection (14) au moins sur les flancs de la rainure, la face avant étant adaptée à être collée sur une tranche support.

B11901 - 12-GR3-0203FR01

10

8. Tranche semiconductrice selon la revendication 7 collée sur un support (W2) de mêmes dimensions et amincie à partir de sa face arrière au moins jusqu'au fond de la rainure.

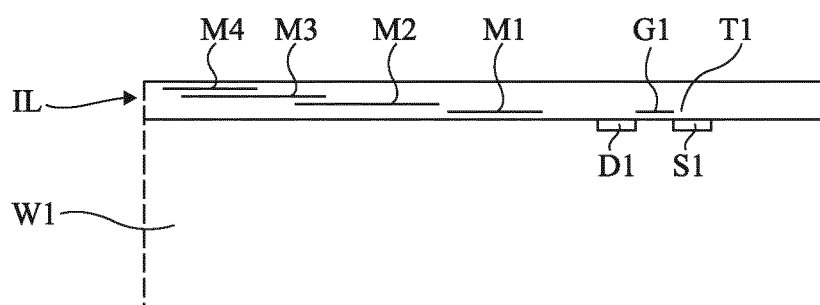


Fig 1A

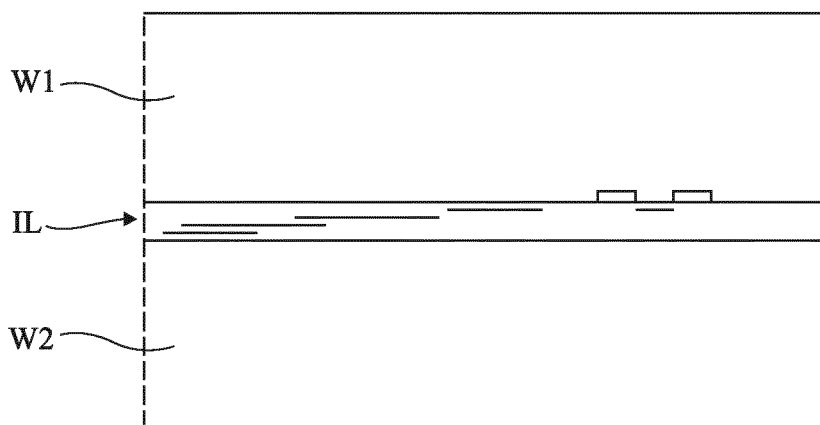


Fig 1B

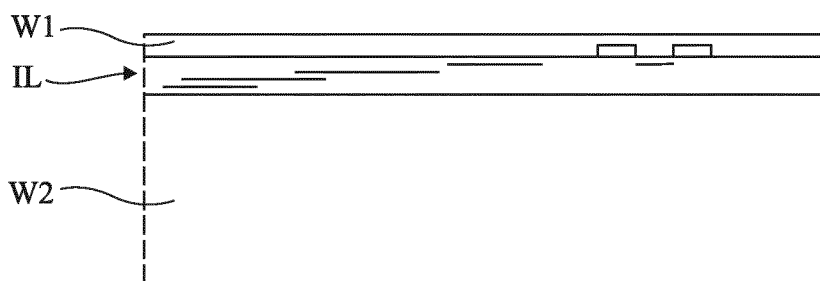


Fig 1C

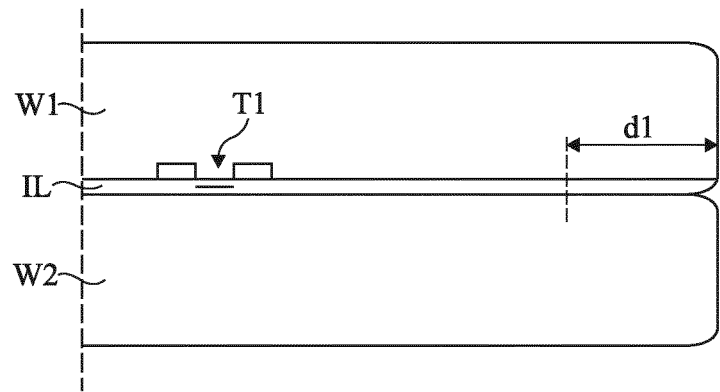


Fig 2A

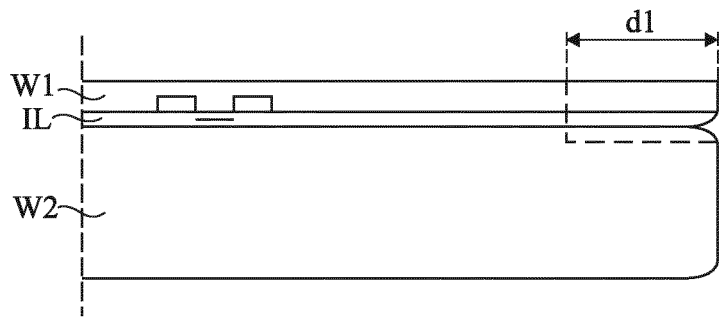


Fig 2B

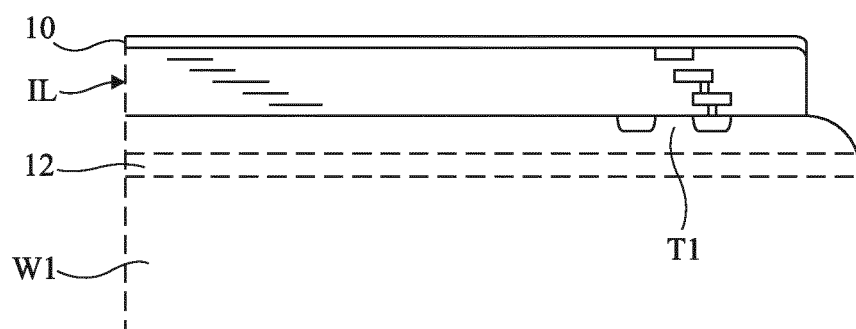


Fig 3A

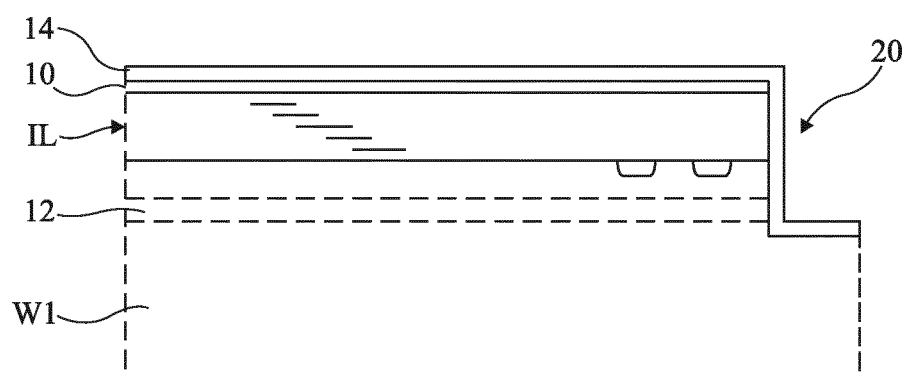


Fig 3B

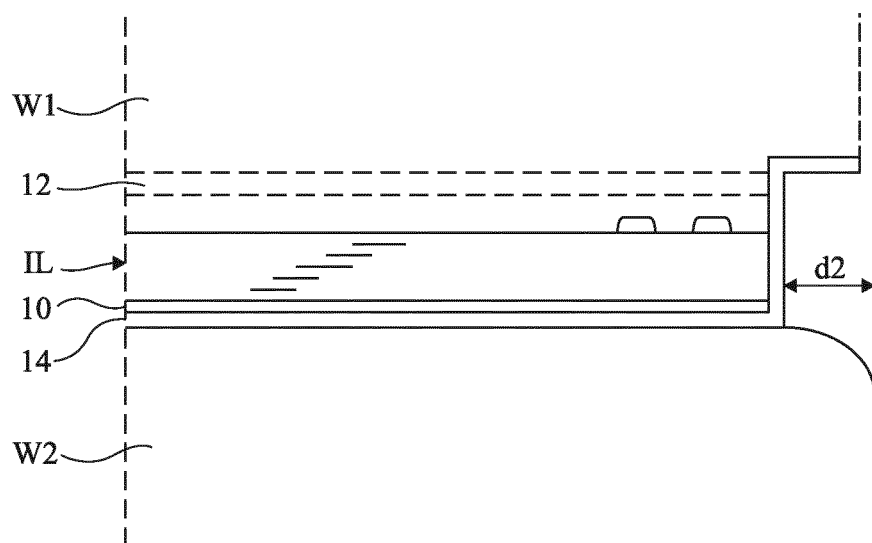


Fig 3C

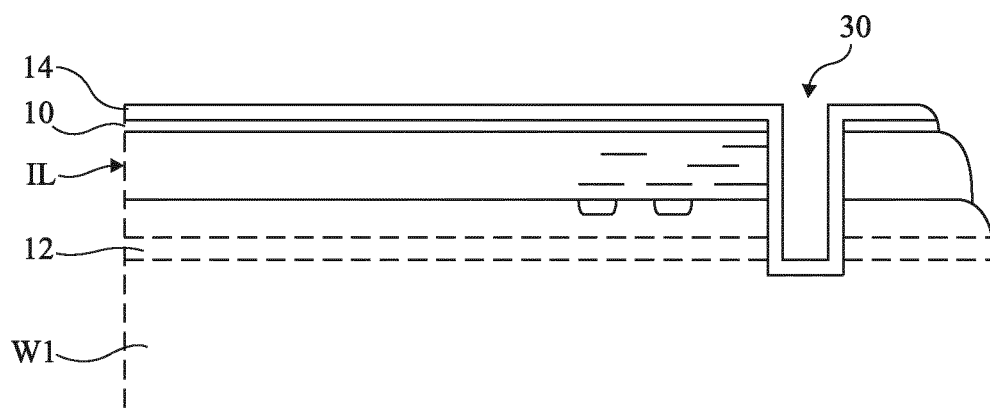


Fig 4A

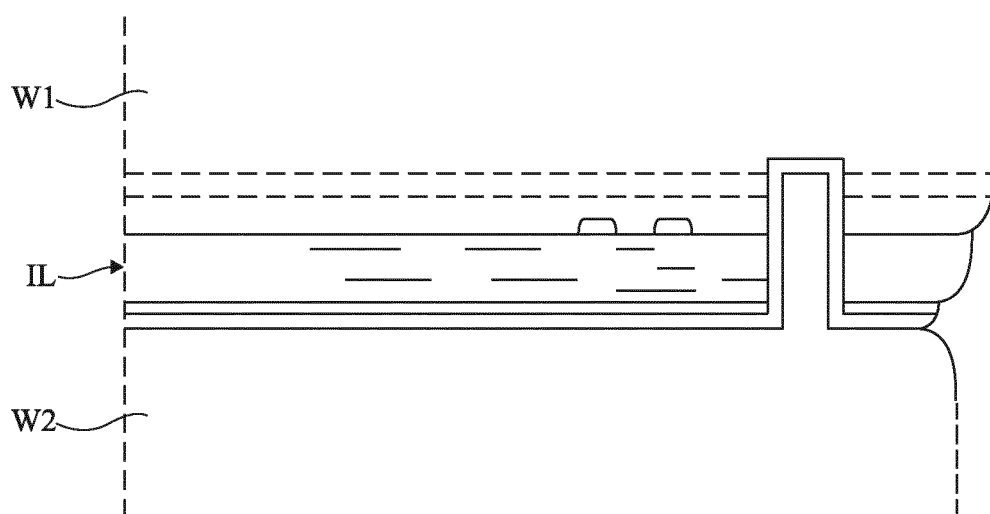


Fig 4B



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 768840
FR 1258149

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2008/044984 A1 (HSIEH YUAN-CHIH [TW] ET AL) 21 février 2008 (2008-02-21)	1,3,5-8	H01L21/302
Y	* alinéas [0018], [0030], [0032], [0027], [0033], [0031], [0018], [0041], [0047]; figure 4 *	2,4	
X	EP 2 228 826 A2 (SONY CORP [JP]) 15 septembre 2010 (2010-09-15) * alinéas [0047], [0107], [0108]; figures 1,9 *	6,7	
Y	CASTEX A ET AL: "Edge bonding void free low temperature oxide-oxide direct bonding process", ECS TRANSACTIONS - SILICON COMPATIBLE MATERIALS, PROCESSES, AND TECHNOLOGIES FOR ADVANCED INTEGRATED CIRCUITS AND EMERGING APPLICATIONS 2011 ELECTROCHEMICAL SOCIETY INC. USA, vol. 35, no. 2, 2011, pages 145-151, XP002697236, DOI: 10.1149/1.3568856 * figure 1 *	2	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Y	EP 1 962 325 A1 (SHINETSU HANDOTAI KK [JP]) 27 août 2008 (2008-08-27) * alinéa [0013]; figure 1 *	4	
Y	JP 2005 123263 A (SHINKO ELECTRIC IND CO) 12 mai 2005 (2005-05-12) * abrégé; figures 8,9 *	4	
A	FR 2 860 842 A1 (TRACIT TECHNOLOGIES [FR]) 15 avril 2005 (2005-04-15) * figures 2,3 *	1	
A	JP H04 85827 A (FUJITSU LTD) 18 mars 1992 (1992-03-18) * abrégé *	1	
Date d'achèvement de la recherche		Examineur	
16 mai 2013		Gélébart, Jacques	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1258149 FA 768840

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **16-05-2013**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2008044984	A1	21-02-2008	CN 101127311 A	20-02-2008
			TW 200811938 A	01-03-2008
			US 2008044984 A1	21-02-2008

EP 2228826	A2	15-09-2010	CN 101834192 A	15-09-2010
			EP 2228826 A2	15-09-2010
			JP 2010212471 A	24-09-2010
			KR 20100102533 A	24-09-2010
			TW 201112409 A	01-04-2011
			US 2010230773 A1	16-09-2010
			US 2012313211 A1	13-12-2012

EP 1962325	A1	27-08-2008	CN 101331585 A	24-12-2008
			EP 1962325 A1	27-08-2008
			JP 4839818 B2	21-12-2011
			JP 2007165769 A	28-06-2007
			KR 20080097390 A	05-11-2008
			US 2009203167 A1	13-08-2009
			WO 2007069442 A1	21-06-2007

JP 2005123263	A	12-05-2005	AUCUN	

FR 2860842	A1	15-04-2005	CN 1868054 A	22-11-2006
			CN 101494169 A	29-07-2009
			EP 1676310 A1	05-07-2006
			EP 2259301 A2	08-12-2010
			EP 2375443 A1	12-10-2011
			FR 2860842 A1	15-04-2005
			JP 5032119 B2	26-09-2012
			JP 2007508704 A	05-04-2007
			KR 20070015497 A	05-02-2007
			US 2007072393 A1	29-03-2007
			WO 2005038903 A1	28-04-2005

JP H0485827	A	18-03-1992	AUCUN	
