



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I867580 B

(45)公告日：中華民國 113 (2024) 年 12 月 21 日

(21)申請案號：112122193

(22)申請日：中華民國 112 (2023) 年 06 月 14 日

(51)Int. Cl. : H01L21/50 (2006.01)

H01L23/544 (2006.01)

H01L21/02 (2006.01)

H01L29/165 (2006.01)

(30)優先權：2022/08/04 中國大陸

2022109333086

(71)申請人：大陸商長鑫存儲技術有限公司(中國大陸) CHANGXIN MEMORY TECHNOLOGIES, INC. (CN)

中國大陸

(72)發明人：肖德元 XIAO, DEYUAN (CN)；曹堪宇 CAO, KANYU (CN)；朱一明 ZHU, YIMING (CN)

(74)代理人：許世正

(56)參考文獻：

CN 114695353A

審查人員：董柏昌

申請專利範圍項數：8 項 圖式數：29 共 42 頁

(54)名稱

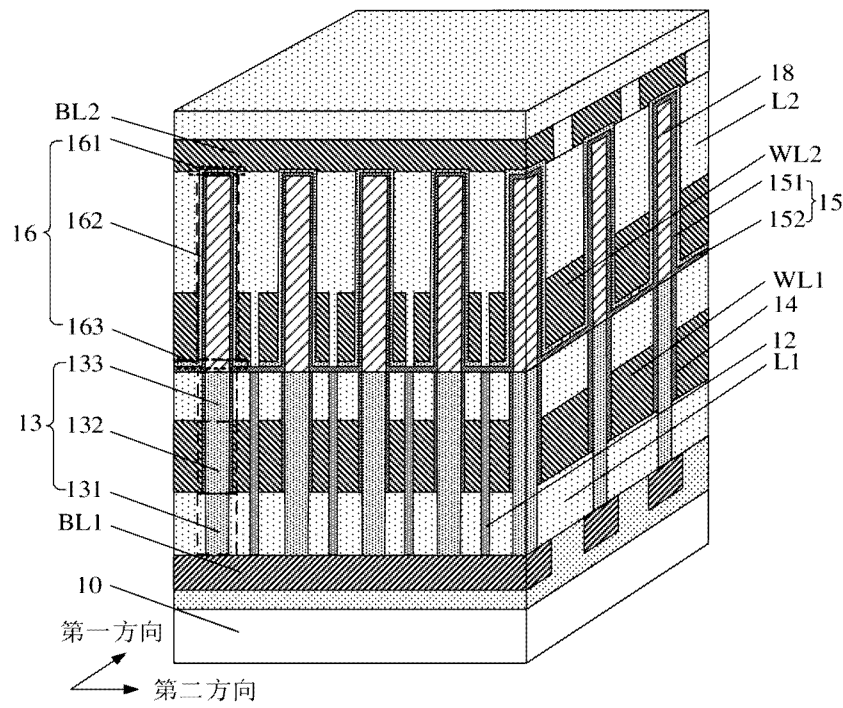
一種半導體結構及其製備方法

(57)摘要

本公開實施例提供了一種半導體結構及其製備方法，其中，所述結構包括：基板；位於所述基板上的半導體柱和位於所述半導體柱上方的閘極柱，所述半導體柱與所述閘極柱均沿垂直於基板平面的方向延伸；沿第一方向延伸的第一字線，所述第一字線圍繞所述半導體柱，所述第一方向平行於基板平面；位於所述半導體柱上方的半導體層，所述半導體層至少圍繞所述閘極柱的側壁。

Embodiments of the disclosure provide a semiconductor structure and a method for manufacturing the same. The semiconductor structure includes: a substrate; a semiconductor pillar located on the substrate and a gate pillar located on the semiconductor pillar, in which the semiconductor pillar and the gate pillar both extend in a direction perpendicular to a plane of the substrate; a first word line extending in a first direction parallel to the plane of the substrate and surrounding the semiconductor pillar; and a semiconductor layer located above the semiconductor pillar and at least surrounding a sidewall of the gate pillar.

指定代表圖：



【圖1】

符號簡單說明：

- 10:基板
- 12:字線隔離結構
- 13:半導體柱
- 131:第一極
- 132:第一通道區
- 133:第二極
- 14:第一閘介質層
- 15:第二閘介質層
- 151:第一子層
- 152:第二子層
- 16:半導體層
- 161:第一子部
- 162:第二子部
- 163:第三子部
- 18:閘極柱
- BL1:第一位元線
- BL2:第二位元線
- L1:第一介質層
- L2:第二介質層
- WL1:第一字線
- WL2:第二字線



I867580

【發明摘要】**【中文發明名稱】** 一種半導體結構及其製備方法**【英文發明名稱】** SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING SAME**【中文】**

本公開實施例提供了一種半導體結構及其製備方法，其中，所述結構包括：基板；位於所述基板上的半導體柱和位於所述半導體柱上方的閘極柱，所述半導體柱與所述閘極柱均沿垂直於基板平面的方向延伸；沿第一方向延伸的第一字線，所述第一字線圍繞所述半導體柱，所述第一方向平行於基板平面；位於所述半導體柱上方的半導體層，所述半導體層至少圍繞所述閘極柱的側壁。

【英文】

Embodiments of the disclosure provide a semiconductor structure and a method for manufacturing the same. The semiconductor structure includes: a substrate; a semiconductor pillar located on the substrate and a gate pillar located on the semiconductor pillar, in which the semiconductor pillar and the gate pillar both extend in a direction perpendicular to a plane of the substrate; a first word line extending in a first direction parallel to the plane of the substrate and surrounding the semiconductor pillar; and a semiconductor layer located above the semiconductor pillar and at least surrounding a sidewall of the gate pillar.

【指定代表圖】 圖 1。**【代表圖之符號簡單說明】**

- 10:基板
- 12:字線隔離結構
- 13:半導體柱
- 131:第一極
- 132:第一通道區
- 133:第二極
- 14:第一閘介質層
- 15:第二閘介質層
- 151:第一子層
- 152:第二子層
- 16:半導體層
- 161:第一子部
- 162:第二子部
- 163:第三子部

2305333-I-TW-CXMT(2023TWP4717)

第 1 頁，共 2 頁（發明摘要）

18:閘極柱

BL1:第一位元線

BL2:第二位元線

L1:第一介質層

L2:第二介質層

WL1:第一字線

WL2:第二字線

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】 一種半導體結構及其製備方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING SAME

【技術領域】

【0001】 本公開涉及半導體製造領域，尤其涉及一種半導體結構及其製備方法。

【先前技術】

【0002】 隨著技術的發展和進步，半導體裝置的尺寸變得越來越小，半導體裝置不斷朝著小型化、高集成度的方向發展。動態隨機存取記憶體(dynamic random access memory，簡稱 DRAM)作為一種高速地、隨機地寫入和讀取資料的半導體裝置，常被廣泛地應用到資料儲存設備或裝置中。然而，動態隨機存取記憶體的結構還存在很多問題亟待改善。

【發明內容】

【0003】 本公開實施例提供了一種半導體結構，包括：
基板；

位於所述基板上的半導體柱和位於所述半導體柱上方的閘極柱，所述半導體柱與所述閘極柱均沿垂直於基板平面的方向延伸；

沿第一方向延伸的第一字線，所述第一字線圍繞所述半導體柱，所述第一方向平行於基板平面；

位於所述半導體柱上方的半導體層，所述半導體層至少圍繞所述閘極柱的側壁。

【0004】 在一些實施例中，所述閘極柱和所述半導體柱一一對應。

【0005】 在一些實施例中，所述半導體柱的頂部與所述閘極柱的底部電連接。

【0006】 在一些實施例中，所述半導體柱與所述閘極柱在所述基板平面上的正投影至少部分重疊，且所述閘極柱和所述半導體柱的材料相同。

【0007】 在一些實施例中，所述半導體柱包括自下而上分布的第一極、第一通道區和第二極，且所述第一極、所述第一通道區和所述第二極的導電類型相同。

【0008】 在一些實施例中，所述半導體層包括相連的第一子部、第二子部和第三子部，所述第一子部覆蓋所述閘極柱的頂表面，所述第二子部覆蓋所述閘極柱的側壁，所述第三子部部分覆蓋相鄰所述閘極柱之間的所述基板的上表面。

【0009】 在一些實施例中，所述半導體結構更包括：

2305333-I-TW-CXMT(2023TWP4717)

第 1 頁，共 23 頁（發明說明書）

沿所述第一方向延伸的第二字線，所述第二字線環繞所述第二子部鄰近所述半導體柱的一端，且覆蓋所述第三子部的上表面；

沿第二方向延伸的第一位元線和第二位元線，所述第二方向平行於所述基板平面且與所述第一方向垂直，所述第一位元線位於所述半導體柱的下方，且與所述半導體柱的下部電連接，所述第二位元線位於所述半導體層的上方，且與所述第一子部電連接。

【0010】 在一些實施例中，所述半導體結構更包括：

第一閘介質層，所述第一閘介質層位於所述第一字線和所述半導體柱之間，且所述第一閘介質層環繞所述第一通道區和所述第二極；

第二閘介質層，所述第二閘介質層包括相連的第一子層和第二子層，所述第一子層位於所述閘極柱和所述半導體層之間，覆蓋所述閘極柱的側壁和頂部，所述第二子層覆蓋相鄰的所述閘極柱之間的所述基板的上表面。

【0011】 在一些實施例中，所述半導體結構更包括：

第一閘介質層，所述第一閘介質層位於所述第一字線和所述半導體柱之間，且所述第一閘介質層環繞所述第一通道區和所述第二極；

第二閘介質層，所述第二閘介質層覆蓋所述閘極柱的側壁和頂部；

第四介質層，所述第四介質層覆蓋相鄰的所述閘極柱之間的所述基板的上表面。

【0012】 在一些實施例中，所述半導體柱和所述半導體層包括氧化銻、氧化錫、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物中的至少一種或其組合。

【0013】 在一些實施例中，所述半導體結構更包括沿第一方向延伸的字線隔離結構，所述字線隔離結構位於任意相鄰的兩條所述第一字線之間以將相鄰的所述第一字線隔離。

【0014】 在一些實施例中，所述半導體結構更包括：位於所述基板上方的第一介質層和位於所述第一介質層上方的第二介質層，所述半導體柱和所述第一字線位於所述第一介質層中，所述閘極柱、所述半導體層以及第二字線位於所述第二介質層中。

【0015】 本公開實施例還提供了一種半導體結構的製備方法，包括：

提供基板；

在所述基板上形成立柱，所述立柱包括半導體柱，所述立柱沿垂直於基板平面的方向延伸；

形成沿第一方向延伸的第一字線，所述第一字線圍繞部分所述立柱，所述第一方向平行於基板平面。

【0016】 在一些實施例中，在形成所述第一字線之後，所述製備

方法更包括：

在所述半導體柱的正上方形成閘極柱，所述閘極柱沿垂直於基板平面的方向延伸；

形成半導體層，所述半導體層至少圍繞所述閘極柱的側壁。

【0017】 在一些實施例中，在所述基板上形成立柱之前，所述製備方法更包括：

在所述基板上形成絕緣層；

對所述絕緣層執行蝕刻製程，以在所述絕緣層上形成多個沿第二方向延伸的第一溝槽，所述第二方向平行於所述基板平面且與所述第一方向垂直；

在多個所述第一溝槽內填充導電材料，以形成多條沿第二方向延伸的第一位元線。

【0018】 在一些實施例中，在多個所述第一溝槽內填充導電材料，以形成多條沿第二方向延伸的第一位元線之後，所述製備方法更包括：

形成第一介質層；

蝕刻所述第一介質層，以在所述第一介質層內形成多個沿第一方向延伸的第二溝槽；

在多個所述第二溝槽內填充絕緣材料，以形成多條沿第一方向延伸的字線隔離結構。

【0019】 在一些實施例中，在所述基板上形成立柱，包括：

蝕刻所述第一介質層，以形成多個第一通道孔，所述第一通道孔曝露出所述第一位元線；

在所述第一通道孔內填充半導體材料，以形成所述立柱，所述立柱包括半導體柱；

形成沿第一方向延伸的第一字線，所述第一字線圍繞所述半導體柱，所述第一方向平行於基板平面，包括：

形成多個沿第一方向延伸且位於相鄰的兩條字線隔離結構之間的第三溝槽；

在所述第三溝槽內形成第一閘介質層，所述第一閘介質層環繞部分所述半導體柱；

在所述第三溝槽內形成第一字線，所述第一字線環繞部分所述第一閘介質層。

【0020】 在一些實施例中，在所述半導體柱的正上方形成閘極柱，包括：

形成第二介質層，蝕刻所述第二介質層，以在所述第二介質層內形成多個曝露出所述半導體柱頂部的第二通道孔；

在所述第二通道孔內形成所述閘極柱；

在形成所述閘極柱之後，所述製備方法更包括：

2305333-I-TW-CXMT(2023TWP4717)

曝露出所述閘極柱的頂表面與側壁；

沉積第二閘介質層，所述第二閘介質層包括圍繞所述閘極柱的側壁和頂部的部分，及覆蓋第一介質層上表面的部分；

在所述第二閘介質層上依次形成半導體材料層和字線材料層，所述半導體材料層與所述第二閘介質層共形，所述字線材料層填充相鄰所述半導體材料層之間的空隙；

蝕刻所述半導體材料層和所述字線材料層，以分別形成半導體層及多條沿第一方向延伸的第二字線。

【0021】 在一些實施例中，在形成所述半導體層之後，所述製備方法更包括：

形成第三介質層；

蝕刻所述第三介質層，形成沿第二方向延伸第四溝槽，所述半導體層的上表面曝露於所述第四溝槽；

於所述第四溝槽內形成第二位元線。

【0022】 在一些實施例中，在所述基板上形成立柱，包括：

在所述基板上形成立柱，所述立柱高於基板表面，且沿垂直於基板平面的方向延伸；所述立柱包括半導體柱以及閘極柱，所述閘極柱位於所述半導體柱的正上方；

在形成所述第一字線之後，所述製備方法更包括：形成半導體層，所述半導體層至少圍繞所述閘極柱的側壁。

【0023】 在一些實施例中，在所述基板上形成立柱之前，所述製備方法更包括：

所述基板上形成多條沿第二方向延伸的第一位元線；

形成第一介質層；

在所述第一介質層內形成多條沿第一方向延伸的字線隔離結構。

【0024】 在一些實施例中，在所述基板上形成立柱，包括：

蝕刻所述第一介質層，以形成多個第一通道孔，所述第一通道孔曝露出所述第一位元線；

形成半導體材料層，所述半導體材料層覆蓋所述第一介質層的上表面並填充所述第一通道孔；

蝕刻所述半導體材料層以形成所述立柱，所述立柱位於所述第一通道孔內的部分定義為半導體柱，所述立柱位於第一通道孔正上方的部分定義為閘極柱。

【0025】 在一些實施例中，形成沿第一方向延伸的第一字線，包括：

形成多個沿第一方向延伸且位於相鄰的兩條字線隔離結構之間的第三溝槽；

形成閘介質層，所述閘介質層包括圍繞部分所述半導體柱的第一閘介質層，以及圍繞所述閘極柱的側壁和頂部的第二閘介質層；

2305333-I-TW-CXMT(2023TWP4717)

在所述第三溝槽內形成第一字線，所述第一字線環繞部分所述第一閘介質層。

【0026】 在一些實施例中，形成第一字線之後，所述製備方法更包括：

在所述第二閘介質層上依次形成半導體材料層和字線材料層，所述半導體材料層至少覆蓋所述第二閘介質層，所述字線材料層填充相鄰所述半導體材料層之間的空隙；

蝕刻所述半導體材料層和所述字線材料層，去除位於所述字線隔離結構上方的部分所述半導體材料層和所述字線材料層，以分別形成半導體層及多條沿第一方向延伸的第二字線。

【0027】 本公開實施例所提供的半導體結構及其製備方法，其中，所述結構包括：基板；位於所述基板上的半導體柱和位於所述半導體柱上方的閘極柱，所述半導體柱與所述閘極柱均沿垂直於基板平面的方向延伸；沿第一方向延伸的第一字線，所述第一字線圍繞所述半導體柱，所述第一方向平行於基板平面；位於所述半導體柱上方的半導體層，所述半導體層至少圍繞所述閘極柱的側壁。如此，位於底部的半導體柱和位於其上方的半導體層呈縱向分布的方式，當後續在半導體柱和半導體層的基礎上形成電晶體結構時，可顯著減少兩個電晶體的投影在基板上占用的面積，與兩個電晶體平鋪設置在基板上的方式相比，本公開實施例可有效的提高半導體結構的集成度。

【0028】 本公開的一個或多個實施例的細節將在下面的附圖和描述中提出。本公開的其它特徵和優點將從說明書、附圖以及申請專利範圍變得明顯。

【圖式簡單說明】

【0029】 為了更清楚地說明本公開實施例的技術方案，下面將對實施例中所需使用的附圖作簡單地介紹，顯而易見地，下面描述中的附圖僅僅是本公開的一些實施例，對於本領域具有通常知識者來講，在不付出創造性勞動的前提下，還可以根據這些附圖獲得其他的附圖。

【0030】 圖 1 為本公開實施例提供的半導體結構的一種結構的結構示意圖；

【0031】 圖 2 為本公開實施例提供的半導體結構的另一種結構的結構示意圖；

【0032】 圖 3 為本公開實施例提供的半導體結構的又一種結構的結構示意圖；

【0033】 圖 4 為本公開實施例提供的半導體結構的製備方法的流程方塊圖；

【0034】 圖 5 至圖 22 為本公開一個實施例提供的半導體結構的製備方法的製程流程圖；

【0035】 圖 23 為本公開實施例提供的半導體結構的另一種結構

的結構示意圖；

【0036】 圖 24 至圖 29 為本公開另一實施例提供的半導體結構的製備方法的製程流程圖。

【實施方式】

【0037】 下面將參照附圖更詳細地描述本公開公開的示例性實施方式。雖然附圖中顯示了本公開的示例性實施方式，然而應當理解，可以以各種形式實現本公開，而不應被這裡闡述的具體實施方式所限制。相反，提供這些實施方式是為了能夠更透徹地理解本公開，並且能夠將本公開公開的範圍完整的傳達給本領域具有通常知識者。

【0038】 在下文的描述中，給出了大量具體的細節以便提供對本公開更為徹底的理解。然而，對於本領域具有通常知識者而言顯而易見的是，本公開可以無需一個或多個這些細節而得以實施。在其他的例子中，為了避免與本公開發生混淆，對於本領域公知的一些技術特徵未進行描述；即，這裡不描述實際實施例的全部特徵，不詳細描述公知的功能和結構。

【0039】 在附圖中，為了清楚，層、區、元件的尺寸以及其相對尺寸可能被誇大。自始至終相同符號表示相同的元件。

【0040】 應當明白，當元件或層被稱為「在……上」、「與……相鄰」、「連接到」或「耦合到」其它元件或層時，其可以直接地在其它元件或層上、與之相鄰、連接或耦合到其它元件或層，或者可以存在居間的元件或層。相反，當元件被稱為「直接在……上」、「與……直接相鄰」、「直接連接到」或「直接耦合到」其它元件或層時，則不存在居間的元件或層。應當明白，儘管可使用術語第一、第二、第三等描述各種元件、部件、區、層和/或部分，這些元件、部件、區、層和/或部分不應當被這些術語限制。這些術語僅僅用來區分一個元件、部件、區、層或部分與另一個元件、部件、區、層或部分。因此，在不脫離本公開教導之下，下面討論的第一元件、部件、區、層或部分可表示為第二元件、部件、區、層或部分。而當討論的第二元件、部件、區、層或部分時，並不表明本公開必然存在第一元件、部件、區、層或部分。

【0041】 空間關係術語例如「在……下」、「在……下面」、「下面的」、「在……之下」、「在……之上」、「上面的」等，在這裡可為了方便描述而被使用從而描述圖中所示的一個元件或特徵與其它元件或特徵的關係。應當明白，除了圖中所示的取向以外，空間關係術語意圖還包括使用和操作中的裝置的不同取向。例如，如果附圖中的裝置翻轉，然後，描述為「在其它元件下面」或「在其之下」或「在其下」元件或特徵將取向為在其它元件或特徵「上」。因此，示例性術語「在……下面」和「在……下」可包括上和下兩個取向。裝置可以另外地取向（旋轉 90 度或其它取向）並且在此使用的空間描述語相應

2305333-I-TW-CXMT(2023TWP4717)

地被解釋。

【0042】 在此使用的術語的目的僅在於描述具體實施例並且不作為本公開的限制。在此使用時，單數形式的「一」、「一個」和「所述/該」也意圖包括複數形式，除非上下文清楚指出另外的方式。還應明白術語「組成」和/或「包括」，當在該說明書中使用時，確定所述特徵、整數、步驟、操作、元件和/或部件的存在，但不排除一個或更多其它的特徵、整數、步驟、操作、元件、部件和/或組的存在或添加。在此使用時，術語「和/或」包括相關所列項目的任何及所有組合。

【0043】 目前常見的動態隨機記憶體，通常由一個電晶體和一個電容（1T1C）構成一個儲存單元，電容用於儲存資料。然而，1T1C動態隨機記憶體對電容能夠儲存的電荷量的要求較高，且對電容的讀取是破壞性的，在讀取操作之後還需要進行重寫，增加功耗。同時，由於電容的製造製程複雜、占用體積較高，尺寸微縮成為問題。

【0044】 因此，具有通常知識者開發了雙電晶體無電容（2T0C）動態隨機記憶體，其通常由一個讀取電晶體和一個寫入電晶體構成一個儲存結構。然而，雙電晶體無電容（2T0C）動態隨機記憶體的結構也存在很多問題亟待解決。

【0045】 基於此，提出了本公開實施例的以下技術方案：

【0046】 本公開實施例提供了一種半導體結構，半導體結構包括：

基板；

位於基板上的半導體柱和位於半導體柱上方的閘極柱，半導體柱與閘極柱均沿垂直於基板平面的方向延伸；

沿第一方向延伸的第一字線，第一字線圍繞半導體柱，第一方向平行於基板平面；

位於半導體柱上方的半導體層，半導體層至少圍繞閘極柱的側壁。

【0047】 在本公開實施例中，位於底部的半導體柱和位於其上方的半導體層呈縱向分布的方式，當後續在半導體柱和半導體層的基礎上形成電晶體結構時，可顯著減少兩個電晶體的投影在基板上占用的面積，與兩個電晶體平鋪設置在基板上的方式相比，本公開實施例可有效的提高半導體結構的集成度。

【0048】 為使本公開的上述目的、特徵和優點能夠更加明顯易懂，下面結合附圖對本公開的具體實施方式做詳細的說明。在詳述本公開實施例時，為便於說明，示意圖會不依一般比例作局部放大，而且示意圖只是示例，其在此不應限制本公開的保護範圍。

【0049】 圖 1 為本公開實施例提供的半導體結構的一種結構的結構示意圖；圖 2 為本公開實施例提供的半導體結構的另一種結構的結構示意圖；圖 3 為本公開實施例提供的半導體結構的又一種結構的結構示意圖。

2305333-I-TW-CXMT(2023TWP4717)

第 7 頁，共 23 頁（發明說明書）

【0050】 下面結合附圖對本公開實施例提供的半導體結構再作進一步詳細的說明。

【0051】 如圖 1、圖 2 和圖 3 所示，半導體結構包括：

基板 10；

位於基板 10 上的半導體柱 13 和位於半導體柱 13 上方的閘極柱 18，半導體柱 13 與閘極柱 18 均沿垂直於基板 10 平面的方向延伸；

沿第一方向延伸的第一字線 WL1，第一字線 WL1 圍繞半導體柱 13，第一方向平行於基板 10 平面；

位於半導體柱 13 上方的半導體層 16，半導體層 16 至少圍繞閘極柱 18 的側壁。

【0052】 在一些實施例中，閘極柱 18 和半導體柱 13 一一對應。

【0053】 這裡，基板可以為半導體基板；具體包括至少一個單質半導體材料（例如為矽（Si）基板、鍺（Ge）基板等）、至少一個 III-V 族化合物半導體材料（例如為氮化鎵（GaN）基板、砷化鎵（GaAs）基板、磷化銦（InP）基板等）、至少一個 II-VI 族化合物半導體材料、至少一個有機半導體材料或者在本領域已知的其他半導體材料。在一具體實施例中，基板為矽基板。

【0054】 在一些實施例中，半導體柱 13 和半導體層 16 包括氧化銦、氧化錫、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物中的至少一種或其組合。

【0055】 但不限於此，半導體柱和半導體層的材料還可以包括 In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物等。

【0056】 在一些實施例中，作為半導體柱和半導體層的材料，可選擇至少包含銦（In）或鋅（Zn）的材料。尤其是優選包含銦（In）及鋅（Zn）的材料。除了上述元素以外，可選擇還包含穩定劑鎵（Ga）元素的材料，穩定劑可以降低最終形成的電晶體的電特性偏差。

【0057】 可選的，半導體柱和半導體層的材料包括但不限於銦鎵鋅氧化物（IGZO），比如化學式為 InGaZnO_4 的材料。

【0058】 在一具體的實施例中，半導體柱和半導體層的材料包括 $\text{In}_x\text{Ga}_y\text{Zn}_{1-x-y}\text{O}$ ，其中， x 大於等於 0 或小於等於 1， y 大於等於 0 或小於等於 1。

2305333-I-TW-CXMT(2023TWP4717)

第 8 頁，共 23 頁（發明說明書）

【0059】 可以理解的，在實際操作中，可以將半導體柱的一部分作為通道區，以及將半導體層作為通道區，並在此基礎上分別形成用於寫入操作的電晶體結構及用於讀取操作的電晶體結構。

【0060】 在一些實施例中，當採用氧化物半導體材料作為半導體柱和半導體層的材料時，即採用氧化物半導體材料作為寫入用途的電晶體結構的通道區及讀取用途的電晶體結構的通道區時，由於氧化物半導體材料具有更高的載流子遷移率和更低的漏電流，可有效降低兩種電晶體結構的漏電流，提高兩種電晶體結構的通斷電流比和電流可驅動性，提升半導體結構的存取速度，並降低功耗。

【0061】 可以理解的，在雙電晶體無電容（2T0C）動態隨機記憶體結構中，以半導體柱為基礎形成的電晶體結構可以作為半導體結構的寫入電晶體使用，而以半導體層為基礎形成的電晶體結構可以作為半導體結構的讀取電晶體使用，一個寫入電晶體和一個讀取電晶體組成一個儲存單元，用於實現訊息的讀取操作。

【0062】 與設置有電容結構的半導體結構相比，本公開實施例提供的結構不需要額外製造電容，製程簡單，且在讀取後不需要進行重寫操作，降低功耗。

【0063】 在一些實施例中，半導體柱 13 包括自下而上分布的第一極 131、第一通道區 132 和第二極 133，且第一極 131、第一通道區 132 和第二極 132 的導電類型相同。

【0064】 當半導體柱的材料為銦鎵鋅氧化物（IGZO）時，不僅可以有效降低寫入電晶體結構的漏電流，且由於第一極、第一通道區和第二極的導電類型相同，還可有效防止寫入電晶體結構中浮體效應的發生。

【0065】 這裡，第一極 131、第一通道區 132 和第二極 133 可分別作為寫入電晶體的第一源/汲區、通道區和第二源/汲區使用。

【0066】 在一些實施例中，半導體層 16 包括相連的第一子部 161、第二子部 162 和第三子部 163，第一子部 161 覆蓋閘極柱 18 的頂表面，第二子部 162 覆蓋閘極柱 18 的側壁，第三子部 163 部分覆蓋相鄰閘極柱 18 之間的基板 10 的上表面。

【0067】 這裡，半導體層可作為讀取電晶體的通道區使用，且因半導體層的第二子部覆蓋（環繞）閘極柱的側壁，使得讀取電晶體的通道區具有較大的通道尺寸，與通道區僅設置在閘極一個側邊的結構相比，本公開實施例提供的結構可有效防止短通道效應的發生。

【0068】 繼續參考圖 1 和圖 2，可以看出，在一些實施例中，半導體結構更包括：

第一閘介質層 14，第一閘介質層 14 位於第一字線 WL1 和半導體柱 13 之間，且第一閘介質層 14 環繞第一通道區 132 和第二極 133；

第二閘介質層 15，第二閘介質層 15 包括相連的第一子層 151 和第二子層 152，第一子層 151 位於閘極柱 18 和半導體層 16 之間，覆蓋閘極柱 18 的側壁和頂部，第二子層 152 覆蓋相鄰的閘極柱 18 之間的基板 10 的上表面。

【0069】 繼續參考圖 3，可以看出，在另一些實施例中，半導體結構更包括：

第一閘介質層 14，第一閘介質層 14 位於第一字線 WL1 和半導體柱 13 之間，且第一閘介質層 14 環繞第一通道區 132 和第二極 133；

第二閘介質層 15，第二閘介質層 15 覆蓋閘極柱 18 的側壁和頂部；

第四介質層 L4，第四介質層 L4 覆蓋相鄰的閘極柱 18 之間的基板 10 的上表面。

【0070】 在實際操作中，第一閘極介質層和第二閘極介質層的材料包括但不限於氧化物、氮化物、氮氧化物、其他絕緣材料等，在一些具體的實施例中，第一閘極介質層和第二閘極介質層的材料可以為氧化鋁、氧化矽、氮化矽等中的一種或其組合。

【0071】 第一閘極介質層和第二閘極介質層的形成製程包括但不限於原子層沉積製程等。

【0072】 由於第二閘介質層包括覆蓋相鄰的閘極柱之間的基板的上表面的部分，使得位於下部且位於半導體柱周圍的結構與位於上部且位於閘極柱周圍的結構之間可以形成電隔離的效果，防止上述結構之間的相互干擾。

【0073】 在一些實施例中，半導體結構更包括：

沿第一方向延伸的第二字線 WL2，第二字線 WL2 環繞第二子部 162 鄰近半導體柱 13 的一端，且覆蓋第三子部 163 的上表面；

沿第二方向延伸的第一位元線 BL1 和第二位元線 BL2，第二方向平行於基板 10 平面且與第一方向垂直，第一位元線 BL1 位於半導體柱 13 的下方，且與半導體柱 13 的下部電連接，第二位元線 BL2 位於半導體層 16 的上方，且與第一子部 161 電連接。

【0074】 這裡，第二字線可以作為讀取電晶體的源區或者汲區使用，第二位元線可以作為讀取電晶體的汲區或者源區使用。在一些實施例中，第二字線作為讀取電晶體的源區使用，第二位元線作為讀取電晶體的汲區使用。但不限於此，在一些其他的實施例中，第二字線可以作為讀取電晶體的汲區使用，而第二位元線作為讀取電晶體的源區使用，在此不做具體限制。

【0075】 在該實施例中，由於第二字線環繞作為通道區的半導體層的第二子部，從而增加了第二字線和通道區之間的接觸面積，有利於降低第二字線和通道區之間的接觸電阻，從而降低讀取電晶體的功耗。

2305333-I-TW-CXMT(2023TWP4717)

【0076】 在實際操作中，第一位元線可以與半導體柱的第一極電連接。當向第一字線施加合適的電壓時，寫入電晶體導通，此時，通過向第一位元線施加合適的電壓，可使得電荷通過半導體柱注入到讀取電晶體的閘極（即閘極柱），而閘極（即閘極柱）所包含的電荷量的變化，可以影響讀取電晶體的阻抗，從而在實際操作中，實現「0」和「1」的區分。

【0077】 這裡，將讀取電晶體的閘極用作訊息儲存的節點，從而無需單獨形成電容結構的製程。

【0078】 由於在該過程中，寫入電晶體中的電荷需要通過半導體柱注入到讀取電晶體的閘極柱中，因此，半導體柱和閘極柱之間的相對位置、連接關係、所包含的材料特性等因素會影響到電荷的傳輸速度、效率等情況。

【0079】 在本公開的一個實施例中，如圖 1 所示，半導體柱 13 的頂部與閘極柱 18 的底部電連接。

【0080】 這裡，半導體柱的材料可以為氧化物半導體材料，閘極柱的材料可以包括但不限於鎢（W）、銅（Cu）、鈦（Ti）、鉭（Ta）、氮化鈦（TiN）、氮化鉭（TaN）、金屬矽化物、金屬合金中的一種或多種。

【0081】 在該實施例中，半導體柱的第二極的頂部與閘極柱的底部直接進行電連接，即寫入電晶體的一個源/汲區與讀取電晶體的閘極在不借助其他導電線的情況下直接進行電連接。與常規結構中，寫入電晶體的一個源/汲區的和讀取電晶體的閘極之間通過互連線實現電連接的方式相比，本公開實施例可有效縮短寫入電晶體向讀取電晶體的閘極注入電荷時的電荷流通路徑，從而可有效提高半導體結構的訊息傳輸速度和傳輸效率。

【0082】 在本公開的另一個實施例中，如圖 2 所示，半導體柱與閘極柱在基板平面上的正投影至少部分重疊，且閘極柱和半導體柱的材料相同。

【0083】 在該實施例中，半導體柱與閘極柱在基板平面上的正投影至少部分重疊，即寫入電晶體和讀取電晶體在基板平面上的正投影至少部分重疊，從而使得一個寫入電晶體和一個讀取電晶體組成的儲存單元結構占據了更少的基板表面面積，意味著，在同樣平面尺寸的基板上，本公開實施例提供的半導體結構可以形成更多數量的儲存單元，亦即，本公開實施例的半導體結構可以具有更高的集成度。

【0084】 可以理解的，當半導體柱與閘極柱在基板平面上的正投影達到全部重疊時，即寫入電晶體和讀取電晶體在基板平面上的正投影全部重疊，此時，本公開實施例提供的半導體結構可以形成較佳數量的儲存單元，亦即，本公開實施例的半導體結構可以具有較佳的集成度。

2305333-I-TW-CXMT(2023TWP4717)

第 11 頁，共 23 頁（發明說明書）

【0085】 另外，與常規結構中，寫入電晶體的一個源/汲區使用半導體材料，讀取電晶體的閘極使用金屬材料相比，在本公開實施例中，閘極柱和半導體柱的材料相同，即寫入電晶體的一個源/汲區與讀取電晶體的閘極具有相同的材料，使得寫入電晶體的一個源/汲區與讀取電晶體的閘極電連接時，無需擔心金屬材料和半導體材料之間存在的金屬誘導間隙態（Metal-induced gap states, MIGS）效應導致的接觸電阻變大的情況，從而可有效降低半導體結構整體的功耗。

【0086】 可以理解的，半導體柱和閘極柱的材料可以包括氧化銻、氧化錫、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物中的至少一種或其組合。

【0087】 在一些實施例中，半導體柱和閘極柱的材料可以均為氧化物半導體材料，比如 InGaZnO_4 的材料。

【0088】 在一具體的實施例中，半導體柱和閘極柱的材料包括 $\text{In}_x\text{Ga}_y\text{Zn}_{1-x-y}\text{O}$ ，其中， x 大於等於 0 或小於等於 1， y 大於等於 0 或小於等於 1。

【0089】 在本公開的又一實施例中，如圖 3 所示，閘極柱 18 和半導體柱 13 直接電連接。

【0090】 在該實施例中，閘極柱和半導體柱為直接進行電連接的一體結構，即寫入電晶體的通道區、源/汲區與讀取電晶體的閘極為一體結構，即寫入電晶體的一個源/汲區與讀取電晶體的閘極可以在不借助其他導電線的情況下直接進行電連接。與常規結構中兩者通過互連線實現電連接的方式相比，本公開實施例可有效縮短寫入電晶體向讀取電晶體的閘極注入電荷時的電荷流通路徑，從而可有效提高半導體結構的訊息傳輸速度和傳輸效率。且當寫入電晶體需要通過源/汲區向讀取電晶體的閘極注入電荷時，由於兩者之間為一體結構不存在接觸電阻，可有效避免半導體結構在使用過程中產生較多的熱量，從而可有效提高半導體結構的性能。

【0091】 另外，在實際製程中，閘極柱和半導體柱組成的結構可以在同一製程步驟中形成，顯著降低了製程過程的複雜程度，有利於生產效率的提高。

【0092】 在一些實施例中，如圖 1 和圖 2 所示，可以看出，半導體結構更包括：位於基板 10 上方的第一介質層 L1 和位於第一介質層 L1 上方的第二介質層 L2，半導體柱 13 和第一字線 WL1 位於第一介質層 L1 中，閘極柱 18、半導體層 16 以及第二字線 WL2 位於第二介質層 L2 中。

【0093】 可選的，半導體結構更包括沿第一方向延伸的字線隔離結構 12，字線隔離結構 12 位於任意相鄰的兩條第一字線 WL1 之間以

2305333-I-TW-CXMT(2023TWP4717)

將相鄰的第一字線 WL1 隔離。

【0094】 在該實施例中，字線隔離結構位於第一介質層內。字線隔離結構的材料可以包括但不限於氧化物、氮化物、氮氧化物等，具體的，比如，氧化矽、氮化矽、氮氧化矽等中的至少一種或其組合。

【0095】 本公開實施例還提供了一種半導體結構的製備方法，如圖 4 所示，製備方法包括了如下步驟：

步驟 S101：提供基板；

步驟 S102：在基板上形成立柱，立柱包括半導體柱，立柱沿垂直於基板平面的方向延伸；

步驟 S103：形成沿第一方向延伸的第一字線，第一字線圍繞部分立柱，第一方向平行於基板平面。

【0096】 下面，結合附圖對本公開實施例提供的半導體結構的製備方法再做進一步的說明。

【0097】 圖 5 至圖 22 為本公開一個實施例提供的半導體結構的製備方法的製程流程圖；圖 23 為本公開實施例提供的半導體結構的另一種結構的結構示意圖。

【0098】 首先，執行步驟 S101，如圖 5 所示，提供基板。

【0099】 這裡，基板可以為半導體基板；具體包括至少一個單質半導體材料（例如為矽（Si）基板、鍺（Ge）基板等）、至少一個 III-V 族化合物半導體材料（例如為氮化鎵（GaN）基板、砷化鎵（GaAs）基板、磷化銦（InP）基板等）、至少一個 II-VI 族化合物半導體材料、至少一個有機半導體材料或者在本領域已知的其他半導體材料。在一具體實施例中，基板為矽基板。

【0100】 接著，執行步驟 S102，如圖 10 所示，在基板上形成立柱，立柱包括半導體柱，立柱沿垂直於基板平面的方向延伸。

【0101】 在一些實施例中，如圖 6 所示，在基板 10 上形成半導體柱 13 之前，製備方法更包括：

在基板 10 上形成絕緣層 11；

對絕緣層 11 執行蝕刻製程，以在絕緣層 11 上形成多個沿第二方向延伸的第一溝槽 T1，第二方向平行於基板 10 平面且與第一方向垂直；

在多個第一溝槽 T1 內填充導電材料，以形成多條沿第二方向延伸的第一位元線 BL1。

【0102】 這裡，絕緣層的材料包括但不限於氧化物、氮化物、氮氧化物等，在一些具體的實施例中，絕緣層的材料可以包括但不限於氧化矽等。

【0103】 在實際操作中，絕緣層和導電材料的形成可以使用一種或多種薄膜沉積製程形成；具體地，薄膜沉積製程包括但不限於化學氣相沉積（CVD）製程、電漿增強化學氣相沉積（PECVD）製程、原

子層沉積 (ALD) 製程或其組合。

【0104】 在一些實施例中，如圖 7 和圖 8 所示，在多個第一溝槽 T1 內填充導電材料，以形成多條沿第二方向延伸的第一位元線 BL1 之後，製備方法更包括：

形成第一介質層 L1；

蝕刻第一介質層 L1，以在第一介質層 L1 內形成多個沿第一方向延伸的第二溝槽 T2；

在多個第二溝槽 T2 內填充絕緣材料，以形成多條沿第一方向延伸的字線隔離結構 12。

【0105】 這裡，第一介質層的材料包括但不限於氧化物、氮化物、氮氧化物、其他絕緣材料等中的一種或其組合。具體的，第一介質層的材料可以包括但不限於氧化矽、氮化矽等。

【0106】 此外，第一介質層的形成製程可以與絕緣層的形成製程相同，也可以不同，在此不做具體限定。

【0107】 在一些實施例中，如圖 9 至圖 10 所示，在基板上形成立柱 P，包括：

蝕刻第一介質層 L1，以形成多個第一通道孔 H1，第一通道孔 H1 曝露出第一位元線 BL1；

在第一通道孔 H1 內填充半導體材料，以形成立柱 P，立柱包括半導體柱 13。

【0108】 在實際製程中，可以採用自上而下蝕刻第一介質層 L1 的方式來形成多個第一通道孔 H1，多個第一通道孔 H1 位於相鄰的兩條字線隔離結構 12 之間的第一介質層內 L1。

【0109】 在一些實施例中，半導體柱 13 可以包括自下而上分布的第一極 131、第一通道區 132 和第二極 133，且第一極 131、第一通道區 132 和第二極 133 的導電類型相同。可以理解的，第一極 131、第一通道區 132 和第二極 133 可分別作為電晶體的第一源/汲區、通道區和第二源/汲區使用。

【0110】 在該實施例中，半導體柱的材料包括氧化銻、氧化錫、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物中的至少一種或其組合。

【0111】 可選的，半導體柱的材料包括但不限於銻鎵鋅氧化物 (IGZO)，比如化學式為 InGaZnO_4 的材料。

【0112】 在一具體的實施例中，半導體柱的材料包括 $\text{In}_x\text{Ga}_y\text{Zn}_{1-x-y}\text{O}$ ，其中，x 大於等於 0 或小於等於 1，y 大於等於 0 或小於等於 1。

【0113】 可以理解的，在實際操作中，後續可通過在半導體柱的部分側壁上形成控制通道區導通或者關閉的控制閘線，比如字線結構，

來形成以半導體柱為基礎的電晶體結構。當半導體柱的材料為銦鎵鋅氧化物 (IGZO) 時，即電晶體結構的通道區的材料為銦鎵鋅氧化物 (IGZO) 時，不僅可以有效降低電晶體結構的漏電流，且由於第一極、第一通道區和第二極的導電類型相同，還可有效防止電晶體結構中浮體效應的發生。

【0114】 可以理解的，該實施例中，以半導體柱為基礎形成的電晶體結構可以作為記憶體的寫入電晶體使用。

【0115】 最後，執行步驟 S103，如圖 11 和圖 12 所示，形成沿第一方向延伸的第一字線 WL1，第一字線 WL1 圍繞部分立柱 P，第一方向平行於基板平面。

【0116】 在一些實施例中，形成沿第一方向延伸的第一字線 WL1，第一字線 WL1 圍繞半導體柱 13，第一方向平行於基板 10 平面，包括：

形成多個沿第一方向延伸且位於相鄰的兩條字線隔離結構 12 之間的第三溝槽 T3；

在第三溝槽 T3 內形成第一閘介質層 14，第一閘介質層 14 環繞部分半導體柱 13；

在第三溝槽 T3 內形成第一字線 WL1，第一字線 WL1 環繞部分第一閘介質層 14。

【0117】 在一些具體的實施例中，形成第三溝槽 T3，包括：

去除部分第一介質層 L1，以形成多個沿第一方向延伸且位於相鄰的兩條字線隔離結構 12 之間的第三溝槽 T3，第三溝槽 T3 的底部與第一極 131 的上表面齊平。

【0118】 可以理解的，在實際操作中，第一閘介質層 14 環繞半導體柱 13 中的第一通道區 132 和第二極 133 的側壁，第一字線 WL1 的上表面與第一通道區 132 的上表面齊平。

【0119】 在一些實施例中，如圖 13 所示，在形成第一字線 WL1 之後，製備方法更包括：

在第一字線 WL1 上方及半導體柱 13 之間的空隙處繼續填充第一介質層 L1，以使第一介質層 L1 的頂表面與半導體柱的第二極 133 的上表面齊平。

【0120】 至此，在第一介質層內形成了多個電晶體結構。可以理解的，該多個電晶體結構可以作為記憶體的寫入電晶體使用。

【0121】 在一些實施例中，如圖 16 至圖 20 所示，在形成所述第一字線 WL1 之後，所述製備方法更包括：在所述半導體柱 13 的正上方形成閘極柱 18，所述閘極柱 18 沿垂直於基板 10 平面的方向延伸；

【0122】 形成半導體層 16，所述半導體層 16 至少圍繞所述閘極柱 18 的側壁。

【0123】 在一些實施例中，如圖 14 至圖 20 所示，在半導體柱 13

的正上方形成閘極柱 18，包括：

形成第二介質層 L2，蝕刻第二介質層 L2，以在第二介質層 L2 內形成多個曝露出半導體柱 13 頂部的第二通道孔 H2；

在第二通道孔 H2 內形成閘極柱 18；

在形成閘極柱 18 之後，製備方法更包括：

曝露出閘極柱 18 的頂表面與側壁；

沉積第二閘介質層 15，第二閘介質層 15 包括圍繞閘極柱 18 的側壁和頂部的部分，及覆蓋第一介質層 L1 上表面的部分；

在第二閘介質層 15 上依次形成半導體材料層 16a 和字線材料層 WL2a，半導體材料層 16a 與第二閘介質層 15 共形，字線材料層 WL2a 填充相鄰半導體材料層 16a 之間的空隙；

蝕刻半導體材料層 16a 和字線材料層 WL2a，以分別形成半導體層 16 及多條沿第一方向延伸的第二字線 WL2。

【0124】 在實際操作中，在第二通道孔 H2 內形成閘極柱 18 之後，可通過去除第二介質層 L2 的方式來將閘極柱 18 的頂表面與側壁曝露出來。而在後續的製程中，在第二閘介質層 15 上依次形成半導體材料層 16a 和字線材料層 WL2a 之後，可通過去除位於字線隔離結構 12 上方的部分半導體材料層 16a 和字線材料層 WL2a 的方式，來分別形成半導體層 16 及多條沿第一方向延伸的第二字線 WL2。

【0125】 這裡，閘極柱的材料可以包括但不限於鎢(W)、銅(Cu)、鈦(Ti)、鉭(Ta)、氮化鈦(TiN)、氮化鉭(TaN)、金屬矽化物、金屬合金等中的一種或多種。

【0126】 在實際操作中，第一閘介質層和第二閘介質層的材料可以相同，也可以不同。可選的，第一閘極介質層和第二閘極介質層的材料包括但不限於氧化物、氮化物、氮氧化物、其他絕緣材料等，在一些具體的實施例中，第一閘極介質層和第二閘極介質層的材料可以為氧化鋁、氧化矽、氮化矽等中的一種或其組合。

【0127】 第一閘極介質層和第二閘極介質層的形成製程包括但不限於原子層沉積製程等。

【0128】 在該實施例中，由於第二閘介質層包括覆蓋相鄰的閘極柱之間的第一介質層和字線隔離結構的上表面的部分，使得位於下部且位於半導體柱周圍的結構與位於上部且位於閘極柱周圍的結構之間可以形成電隔離的效果，防止上述結構之間的相互干擾。

【0129】 可選的，在一些實施例中，如圖 19 所示，在沉積半導體材料層 16a 之後，在形成字線材料層 WL2a 之前，製備方法更可以包括：

【0130】 沿第二方向蝕刻半導體材料層 16a，將位於閘極柱 18 之間的部分半導體材料層 16a 去除，以在閘極柱 18 之間形成多條沿第二方向延伸的空隙；

2305333-I-TW-CXMT(2023TWP4717)

第 16 頁，共 23 頁（發明說明書）

【0131】 在空隙中填充第五介質層 L5。

【0132】 如此，通過對半導體材料層執行兩次蝕刻製程，可以使位於每個閘極柱周圍的半導體層之間相互獨立，即使後續需要在半導體層的基礎上形成其他用來組成電晶體結構的材料層時，最終形成的電晶體結構之間也可以保持自己的獨立性。

【0133】 在一些實施例中，如圖 20 和圖 21 所示，在形成半導體層 16 之後，製備方法更包括：

形成第三介質層 L3；

蝕刻第三介質層 L3，形成沿第二方向延伸第四溝槽 T4，半導體層 16 的上表面曝露於第四溝槽 T4；

於第四溝槽 T4 內形成第二位元線 BL2。

【0134】 至此，在第二介質層內形成了多個電晶體結構。其中，閘極柱可以作為電晶體結構的閘極使用，半導體層可以作為電晶體結構的通道區使用，而第二字線可以作為讀取電晶體的源區或者汲區使用，第二位元線可以作為電晶體結構的汲區或者源區使用。

【0135】 需要說明的是，當第二字線作為電晶體結構的源區使用時，第二位元線作為電晶體結構的汲區使用。但不限於此，在一些其他的實施例中，第二字線還可以作為讀取電晶體的汲區使用，而第二位元線作為讀取電晶體的源區使用，實際操作中，可靈活調整，在此不做具體限制。

【0136】 在該實施例中，由於第二字線環繞作為通道區的部分半導體層，從而增加了第二字線和通道區之間的接觸面積，有利於降低第二字線和通道區之間的接觸電阻，從而降低電晶體結構的功耗。

【0137】 可以理解的，該多個電晶體結構可以作為記憶體的讀取電晶體使用。

【0138】 可以理解的，在該實施例中，半導體柱的第二極的頂部與閘極柱的底部直接進行電連接，即寫入電晶體的一個源/汲區與讀取電晶體的閘極在不借助其他導電線的情況下直接進行電連接。與常規結構中，寫入電晶體的一個源/汲區的和讀取電晶體的閘極之間通過互連線實現電連接的方式相比，本公開實施例可有效縮短寫入電晶體向讀取電晶體的閘極注入電荷時的電荷流通路徑，從而可有效提高半導體結構的訊息傳輸速度和傳輸效率。

【0139】 可選的，如圖 22 所示，在形成第二位元線 BL2 之後，製備方法更包括：在第二位元線 BL2 上形成絕緣層 17，絕緣層 17 可用於保護第二位元線 BL2。

【0140】 如圖 23 所示，本公開還提供了另一種半導體結構，該半導體結構的製備流程與圖 5 至圖 22 中提供的半導體結構的製備流程基本相同。區別在於，閘極柱的與半導體柱的之間的材料設置與上一實施例不同。

2305333-I-TW-CXMT(2023TWP4717)

【0141】 在該實施例中，半導體柱和閘極柱的材料包括氧化銻、氧化錫、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物中的至少一種或其組合。

【0142】 可選的，閘極柱與半導體柱的材料可以相同。在一些實施例中，半導體柱和閘極柱的材料可以均為氧化物半導體材料，比如 InGaZnO₄ 的材料。

【0143】 可以理解的，在該實施例中，以半導體柱為基礎形成的電晶體結構可以作為半導體結構的寫入電晶體使用，而以半導體層為基礎形成的電晶體結構可以作為半導體結構的讀取電晶體使用，一個寫入電晶體和一個讀取電晶體組成一個儲存單元，用於實現訊息的讀取操作。

【0144】 與設置有電容結構的半導體結構相比，本公開實施例提供的結構不需要額外製造電容，製程簡單，且在讀取後不需要進行重寫操作，降低功耗。

【0145】 另外，在該實施例中，半導體柱與閘極柱在基板平面上的正投影至少部分重疊，即寫入電晶體和讀取電晶體在基板平面上的正投影至少部分重疊，從而使得一個寫入電晶體和一個讀取電晶體組成的儲存單元結構占據了更少的基板表面面積，意味著，在同樣平面尺寸的基板上，本公開實施例提供的半導體結構可以形成更多數量的儲存單元，亦即，本公開實施例的半導體結構可以具有更高的集成度。

【0146】 可以理解的，當半導體柱與閘極柱在基板平面上的正投影達到全部重疊時，即寫入電晶體和讀取電晶體在基板平面上的正投影全部重疊，此時，本公開實施例提供的半導體結構可以形成較佳數量的儲存單元，亦即，本公開實施例的半導體結構可以具有較佳的集成度。

【0147】 另外，與常規結構中，寫入電晶體的一個源/汲區使用半導體材料，讀取電晶體的閘極使用金屬材料相比，在本公開實施例中，閘極柱和半導體柱的材料相同，即寫入電晶體的一個源/汲區與讀取電晶體的閘極具有相同的材料，使得寫入電晶體的一個源/汲區與讀取電晶體的閘極電連接時，無需擔心金屬材料和半導體材料之間存在的閘極誘導間隙態效應導致的接觸電阻變大的情況，從而可有效降低半導體結構整體的功耗。

【0148】 除了上述實施例的方法外，在本公開另一實施例中，還可以採用其他方式來獲得用作訊息處理用途的半導體結構。與上一實施例不相同的是，在該實施例中，立柱包括半導體柱和閘極柱兩個部分，且兩個部分在同一製程步驟中形成。

【0149】 圖 24 至圖 29 為本公開另一實施例提供的半導體結構的
2305333-I-TW-CXMT(2023TWP4717)

製備方法的製程流程圖。

【0150】 下面將參考附圖來對本公開另一實施例提供的半導體結構的製備方法做詳細的說明。

【0151】 在該實施例中，基板材料可以跟上一實施例相同，也可以不同，具體不做具體限制。

【0152】 首先，如圖 24 至圖 25 所示，在基板 10 上形成立柱 P，包括：

在基板 10 上形成立柱 P，立柱 P 高於基板 10 表面，且沿垂直於基板 10 平面的方向延伸；立柱 P 包括半導體柱 13 以及閘極柱 18，閘極柱 18 位於半導體柱 13 的正上方。

【0153】 在實際製程中，如圖 6 至圖 8 所示，在基板 10 上形成立柱 P 之前，製備方法更包括：

基板 10 上形成多條沿第二方向延伸的第一位元線 BL1；

形成第一介質層 L1；

在第一介質層 L1 內形成多條沿第一方向延伸的字線隔離結構 12。

【0154】 在一些實施例中，如圖 9、圖 24 至圖 25 所示，在基板 10 上形成立柱 P，包括：

蝕刻第一介質層 L1，以形成多個第一通道孔 H1，第一通道孔 H1 曝露出第一位元線 BL1；

形成半導體材料層 16a，半導體材料層 16a 覆蓋第一介質層 L1 的上表面並填充第一通道孔 H1；

蝕刻半導體材料層 16a 以形成立柱 P，立柱 p 位於第一通道孔 H1 內的部分定義為半導體柱 13，立柱 P 位於第一通道孔 H1 正上方的部分定義為閘極柱 18。

【0155】 在實際製程中，可以採用自上而下蝕刻第一介質層 L1 的方式來形成多個第一通道孔 H1，多個第一通道孔 H1 位於相鄰的兩條字線隔離結構 12 之間的第一介質層內 L1。

【0156】 可選的，在一些實施例中，蝕刻半導體材料層 16a，以形成立柱 P，包括：

蝕刻半導體材料層 16a，將第一通道孔 H1 在基板 10 上的正投影限定的區域外的半導體材料層 16a 去除，保留在第一通道孔 H1 中的半導體材料層 16a 及位於第一通道孔 H1 正上方的半導體材料層 16a 構成立柱 P。

【0157】 在該實施例中，半導體材料層的材料包括氧化銻、氧化錫、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物中的至少一種或其組合。

【0158】 可選的，半導體材料層的材料包括但不限於銻鎳鋅氧化

2305333-I-TW-CXMT(2023TWP4717)

物 (IGZO)，比如化學式為 InGaZnO_4 的材料。

【0159】 在一具體的實施例中，半導體材料層的材料包括 $\text{In}_x\text{Ga}_y\text{Zn}_{1-x-y}\text{O}$ ，其中， x 大於等於 0 或小於等於 1， y 大於等於 0 或小於等於 1。

【0160】 在該實施例中，位於第一通道孔 H1 中的半導體柱 13 可以包括自下而上分布的第一極 131、第一通道區 132 和第二極 133，且第一極 131、第一通道區 132 和第二極 133 的導電類型相同。

【0161】 可以理解的，在實際操作中，半導體柱 13 中的第一極 131、第一通道區 132 和第二極 133 可分別作為電晶體的第一源/汲區、通道區和第二源/汲區使用。

【0162】 在實際操作中，後續可通過在半導體柱的部分側壁上形成控制通道區導通或者關閉的控制閘線，比如字線結構，來形成以半導體柱為基礎的電晶體結構。當半導體柱的材料為銦鎵鋅氧化物 (IGZO) 時，即電晶體結構的通道區的材料為銦鎵鋅氧化物 (IGZO) 時，不僅可以有效降低電晶體結構的漏電流，且由於第一極、第一通道區和第二極的導電類型相同，還可有效防止電晶體結構中浮體效應的發生。

【0163】 可選的，該實施例中，以半導體柱為基礎形成的電晶體結構可以作為記憶體的寫入電晶體使用。

【0164】 接著，如圖 26 所示，形成沿第一方向延伸的第一字線 WL1，包括：

形成多個沿第一方向延伸且位於相鄰的兩條字線隔離結構 12 之間的第三溝槽 T3；

形成閘介質層，閘介質層包括圍繞部分半導體柱 13 的第一閘介質層 14，以及圍繞閘極柱 18 側壁和頂部的第二閘介質層 15；

在第三溝槽 T3 內形成第一字線 WL1，第一字線 WL1 環繞部分第一閘介質層 14。

【0165】 在一些具體的實施例中，形成第三溝槽 T3，包括：

去除部分第一介質層 L1，以形成多個沿第一方向延伸且位於相鄰的兩條字線隔離結構 12 之間的第三溝槽 T3，第三溝槽 T3 的底部與第一極 131 的上表面齊平。

【0166】 可以理解的，在實際操作中，第一閘介質層 14 環繞半導體柱 13 中的第一通道區 132 和第二極 133 的側壁，第一字線 WL1 的上表面與第一通道區 132 的上表面齊平。

【0167】 至此，在第一介質層內形成了多個電晶體結構。可以理解的，該多個電晶體結構可以作為記憶體的寫入電晶體使用。

【0168】 可選的，在一些實施例中，如圖 27 所示，在形成第一字線 WL1 之後，製備方法更包括：

在第一字線 WL1 上方及半導體柱 13 之間的空隙處繼續填充第一介質層 L1，以使第一介質層 L1 的頂表面與半導體柱的第二極 133 的上表面齊平；以及，

形成第四介質層 L4，第四介質層 L4 覆蓋相鄰的閘極柱 18 之間的基板 10 的上表面。

【0169】 可以理解的，由於第四介質層覆蓋相鄰的閘極柱之間的基板的上表面，使得位於下部且位於半導體柱周圍的結構與位於上部且位於閘極柱周圍的結構之間可以形成電隔離的效果，防止上述結構之間的相互干擾。

【0170】 然後，如圖 29 所示，形成半導體層 16，半導體層 16 至少圍繞閘極柱 18 的側壁。

【0171】 在一些實施例中，如圖 27 和圖 29 所示，形成第一字線之後，製備方法更包括：

在第二閘介質層 15 上依次形成半導體材料層 16a 和字線材料層 WL2a，半導體材料層 16a 至少覆蓋第二閘介質層 15，字線材料層 WL2a 填充相鄰半導體材料層 16a 之間的空隙；

蝕刻半導體材料層 16a 和字線材料層 WL2a，去除位於字線隔離結構 12 上方的部分半導體材料層 16a 和字線材料層 WL2a，以分別形成半導體層 16 及多條沿第一方向延伸的第二字線 WL2。

【0172】 這裡，半導體層 16 包括相連的第一子部 161、第二子部 162 和第三子部 163，第一子部 161 覆蓋閘極柱 18 的頂表面，第二子部 162 覆蓋閘極柱 18 的側壁，第三子部 163 部分覆蓋相鄰閘極柱 18 之間的基板 10 的上表面。

【0173】 可以理解的，半導體層可作為電晶體的通道區使用，且因半導體層的第二子部覆蓋（環繞）閘極柱的側壁，使得電晶體的通道區具有較大的通道尺寸，與通道區僅設置在閘極一個側邊的結構相比，本公開實施例提供的結構可有效防止短通道效應的發生。

【0174】 可選的，在一些實施例中，在形成半導體層 16 之後，製備方法更包括：

形成第三介質層 L3；

蝕刻第三介質層 L3，形成沿第二方向延伸第四溝槽 T4，半導體層 16 的上表面曝露於第四溝槽 T4；

於第四溝槽 T4 內形成第二位元線 BL2。

【0175】 至此，在第二介質層內形成了多個電晶體結構。其中，閘極柱可作為電晶體結構的閘極使用，半導體層可以作為電晶體結構的通道區使用，而第二字線可以作為讀取電晶體的源區或者汲區使用，第二位元線可以作為電晶體結構的汲區或者源區使用。

【0176】 需要說明的是，當第二字線作為電晶體結構的源區使用時，第二位元線作為電晶體結構的汲區使用。但不限於此，在一些其

他的實施例中，第二字線還可以作為讀取電晶體的汲區使用，而第二位元線作為讀取電晶體的源區使用，實際操作中，可靈活調整，在此不做具體限制。

【0177】 在該實施例中，由於第二字線環繞作為通道區的半導體層的第二子部，從而增加了第二字線和通道區之間的接觸面積，有利於降低第二字線和通道區之間的接觸電阻，從而降低電晶體結構的功耗。

【0178】 可以理解的，該多個電晶體結構可以作為記憶體讀取電晶體使用。

【0179】 在該實施例中，閘極柱和半導體柱為直接進行電連接的一體結構，即寫入電晶體的通道區、源/汲區與讀取電晶體的閘極為一體結構，即寫入電晶體的一個源/汲區與讀取電晶體的閘極可以在不借助其他導電線的情況下直接進行電連接。與常規結構中兩者通過互連線實現電連接的方式相比，本公開實施例可有效縮短寫入電晶體向讀取電晶體的閘極注入電荷時的電荷流通路徑，從而可有效提高半導體結構的訊息傳輸速度和傳輸效率。且當寫入電晶體需要通過源/汲區向讀取電晶體的閘極注入電荷時，由於兩者之間為一體結構不存在接觸電阻，可有效避免半導體結構在使用過程中產生較多的熱量，從而可有效提高半導體結構的性能。

【0180】 另外，在實際製程中，閘極柱和半導體柱組成的結構可以在同一製程步驟中形成，顯著降低了製程過程的複雜程度，有利於生產效率的提高。

【0181】 此外，與設置有電容結構的半導體結構相比，本公開實施例提供的結構不需要額外製造電容，製程簡單，且在讀取後不需要進行重寫操作，降低功耗。

【0182】 本公開實施例提供的半導體結構可適用於，記憶體結構，包括但不限於三維動態隨機存取記憶體(3D Dynamic Random Access Memory，簡稱 3D DRAM)等。

【0183】 需要說明的是，本公開實施例提供的半導體裝置的製備方法可應用於 DRAM 結構或其他半導體裝置中，在此不做過多限定。本公開提供的半導體裝置製備方法的實施例與半導體裝置的實施例屬於同一構思；各實施例所記載的技術方案中各技術特徵之間，在不衝突的情況下，可以任意組合。

【0184】 以上，僅為本公開的較佳實施例而已，並非用於限定本公開的保護範圍，凡在本公開的精神和原則之內所作的任何修改、等同替換和改進等，均應包含在本公開的保護範圍之內。

【符號說明】

【0185】

10:基板

2305333-I-TW-CXMT(2023TWP4717)

11:絕緣層
12:字線隔離結構
13:半導體柱
131:第一極
132:第一通道區
133:第二極
14:第一閘介質層
15:第二閘介質層
151:第一子層
152:第二子層
16:半導體層
16a:半導體材料層
161:第一子部
162:第二子部
163:第三子部
17:絕緣層
18:閘極柱
BL1:第一位元線
BL2:第二位元線
H1:第一通道孔
H2:第二通道孔
L1:第一介質層
L2:第二介質層
L3:第三介質層
L4:第四介質層
L5:第五介質層
P:立柱
S101,S102,S103:步驟
T1:第一溝槽
T2:第二溝槽
T3:第三溝槽
T4:第四溝槽
WL1:第一字線
WL2:第二字線
WL2a:字線材料層

【發明申請專利範圍】

【請求項1】 一種半導體結構，其特徵在於，包括：

基板；

位於所述基板上的半導體柱和位於所述半導體柱上方的閘極柱，所述半導體柱與所述閘極柱均沿垂直於所述基板的平面的方向延伸；

沿第一方向延伸的第一字線，所述第一字線圍繞所述半導體柱，所述第一方向平行於所述基板的平面；

位於所述半導體柱上方的半導體層，所述半導體層至少圍繞所述閘極柱的側壁；

所述閘極柱和所述半導體柱一一對應；或者，

所述半導體柱的頂部與所述閘極柱的底部電連接；或者

所述半導體柱與所述閘極柱在所述基板的平面上的正投影至少部分重疊，且所述閘極柱和所述半導體柱的材料相同；或者

所述半導體柱和所述半導體層包括氧化銻、氧化錫、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物中的至少一種或其組合；或者

所述半導體結構更包括沿所述第一方向延伸的字線隔離結構，所述字線隔離結構位於任意相鄰的兩條所述第一字線之間以將相鄰的所述第一字線隔離；或者

所述半導體結構更包括：位於所述基板上方的第一介質層和位於所述第一介質層上方的第二介質層，所述半導體柱和所述第一字線位於所述第一介質層中，所述閘極柱、所述半導體層以及第二字線位於所述第二介質層中。

【請求項2】 根據請求項 1 所述的半導體結構，其特徵在於，所述半導體層包括相連的第一子部、第二子部和第三子部，所述第一子部覆蓋所述閘極柱的頂表面，所述第二子部覆蓋所述閘極柱的側壁，所述第三子部部分覆蓋相鄰所述閘極柱之間的所述基板的上表面；並且

所述半導體結構更包括：

沿所述第一方向延伸的第二字線，所述第二字線環繞所述第二子部鄰近所述半導體柱的一端，且覆蓋所述第三子部的上表面；

沿第二方向延伸的第一位元線和第二位元線，所述第二方向平行於所述基板的平面且與所述第一方向垂直，所述第一位元線位於所述半導體柱的下方，且與所述半導體柱的下部電連接，所述第二位元線位於所述半導體層的上方，且與所述第一子部電連接。

【請求項3】 根據請求項 1 所述的半導體結構，其特徵在於，所述半導體柱包括自下而上分布的第一極、第一通道區和第二極，且所

2305333-I-TW-CXMT(2023TWP4717)

第 1 頁，共 4 頁（發明申請專利範圍）

述第一極、所述第一通道區和所述第二極的導電類型相同，所述半導體結構更包括：

第一閘介質層，所述第一閘介質層位於所述第一字線和所述半導體柱之間，且所述第一閘介質層環繞所述第一通道區和所述第二極；

第二閘介質層，所述第二閘介質層包括相連的第一子層和第二子層，所述第一子層位於所述閘極柱和所述半導體層之間，覆蓋所述閘極柱的側壁和頂部，所述第二子層覆蓋相鄰的所述閘極柱之間的所述基板的上表面；或者

所述半導體結構更包括：

第一閘介質層，所述第一閘介質層位於所述第一字線和所述半導體柱之間，且所述第一閘介質層環繞所述第一通道區和所述第二極；

第二閘介質層，所述第二閘介質層覆蓋所述閘極柱的側壁和頂部；

第四介質層，所述第四介質層覆蓋相鄰的所述閘極柱之間的所述基板的上表面。

【請求項4】 一種半導體結構的製備方法，其特徵在於，包括：提供基板；

在所述基板上形成立柱，所述立柱包括半導體柱，所述立柱沿垂直於所述基板的平面的方向延伸；

形成沿第一方向延伸的第一字線，所述第一字線圍繞部分所述立柱，所述第一方向平行於所述基板的平面；

在所述半導體柱的正上方形成閘極柱，所述閘極柱沿垂直於所述基板的平面的方向延伸；以及

形成半導體層，所述半導體層至少圍繞所述閘極柱的側壁；在所述基板上形成所述立柱之前，所述製備方法更包括：

在所述基板上形成絕緣層；

對所述絕緣層執行蝕刻製程，以在所述絕緣層上形成多個沿第二方向延伸的第一溝槽，所述第二方向平行於所述基板的平面且與所述第一方向垂直；

在多個所述第一溝槽內填充導電材料，以形成多條沿所述第二方向延伸的第一位元線；

形成第一介質層；

蝕刻所述第一介質層，以在所述第一介質層內形成多個沿所述第一方向延伸的第二溝槽；

在多個所述第二溝槽內填充絕緣材料，以形成多條沿所述第一方向延伸的字線隔離結構。

【請求項5】 根據請求項4所述的製備方法，其特徵在於，在所述基板上形成所述立柱，包括：

蝕刻所述第一介質層，以形成多個第一通道孔，所述第一通道孔曝露出所述第一位元線；

2305333-I-TW-CXMT(2023TWP4717)

第2頁，共4頁（發明申請專利範圍）

在所述第一通道孔內填充半導體材料，以形成所述立柱，所述立柱包括半導體柱；

形成沿所述第一方向延伸的第一字線，所述第一字線圍繞所述半導體柱，所述第一方向平行於基板平面，包括：

形成多個沿所述第一方向延伸且位於相鄰的兩條所述字線隔離結構之間的第三溝槽；

在所述第三溝槽內形成第一閘介質層，所述第一閘介質層環繞部分所述半導體柱；

在所述第三溝槽內形成所述第一字線，所述第一字線環繞部分所述第一閘介質層。

【請求項6】 根據請求項 4 所述的製備方法，其特徵在於，

在所述半導體柱的正上方形成所述閘極柱，包括：

形成第二介質層，蝕刻所述第二介質層，以在所述第二介質層內形成多個曝露出所述半導體柱頂部的第二通道孔；

在所述第二通道孔內形成所述閘極柱；

在形成所述閘極柱之後，所述製備方法更包括：

曝露出所述閘極柱的頂表面與側壁；

沉積第二閘介質層，所述第二閘介質層包括圍繞所述閘極柱的側壁和頂部的部分，及覆蓋所述第一介質層上表面的部分；

在所述第二閘介質層上依次形成半導體材料層和字線材料層，所述半導體材料層與所述第二閘介質層共形，所述字線材料層填充相鄰所述半導體材料層之間的空隙；

蝕刻所述半導體材料層和所述字線材料層，以分別形成所述半導體層及多條沿所述第一方向延伸的第二字線；

在形成所述半導體層之後，所述製備方法更包括：

形成第三介質層；

蝕刻所述第三介質層，形成沿第二方向延伸的第四溝槽，所述半導體層的上表面曝露於所述第四溝槽；

於所述第四溝槽內形成第二位元線。

【請求項7】 根據請求項 4 所述的製備方法，其特徵在於，

在所述基板上形成所述立柱，包括：

在所述基板上形成所述立柱，所述立柱高於所述基板的表面，且沿垂直於所述基板的平面的方向延伸；所述立柱包括所述半導體柱以及所述閘極柱，所述閘極柱位於所述半導體柱的正上方；

在形成所述第一字線之後，所述製備方法更包括：形成所述半導體層，所述半導體層至少圍繞所述閘極柱的側壁；

在所述基板上形成所述立柱之前，所述製備方法更包括：

所述基板上形成多條沿第二方向延伸的第一位元線；

形成第一介質層；

2305333-I-TW-CXMT(2023TWP4717)

第 3 頁，共 4 頁（發明申請專利範圍）

在所述第一介質層內形成多條沿所述第一方向延伸的字線隔離結構；

蝕刻所述第一介質層，以形成多個第一通道孔，所述第一通道孔曝露出所述第一位元線；

形成半導體材料層，所述半導體材料層覆蓋所述第一介質層的上表面並填充所述第一通道孔；

蝕刻所述半導體材料層以形成所述立柱，所述立柱位於所述第一通道孔內的部分定義為半導體柱，所述立柱位於所述第一通道孔正上方的部分定義為所述閘極柱。

【請求項8】 根據請求項7所述的製備方法，其特徵在於，

形成沿所述第一方向延伸的所述第一字線，包括：

形成多個沿所述第一方向延伸且位於相鄰的兩條所述第一字線隔離結構之間的第三溝槽；

形成閘介質層，所述閘介質層包括圍繞部分所述半導體柱的第一閘介質層，以及圍繞所述閘極柱的側壁和頂部的第二閘介質層；

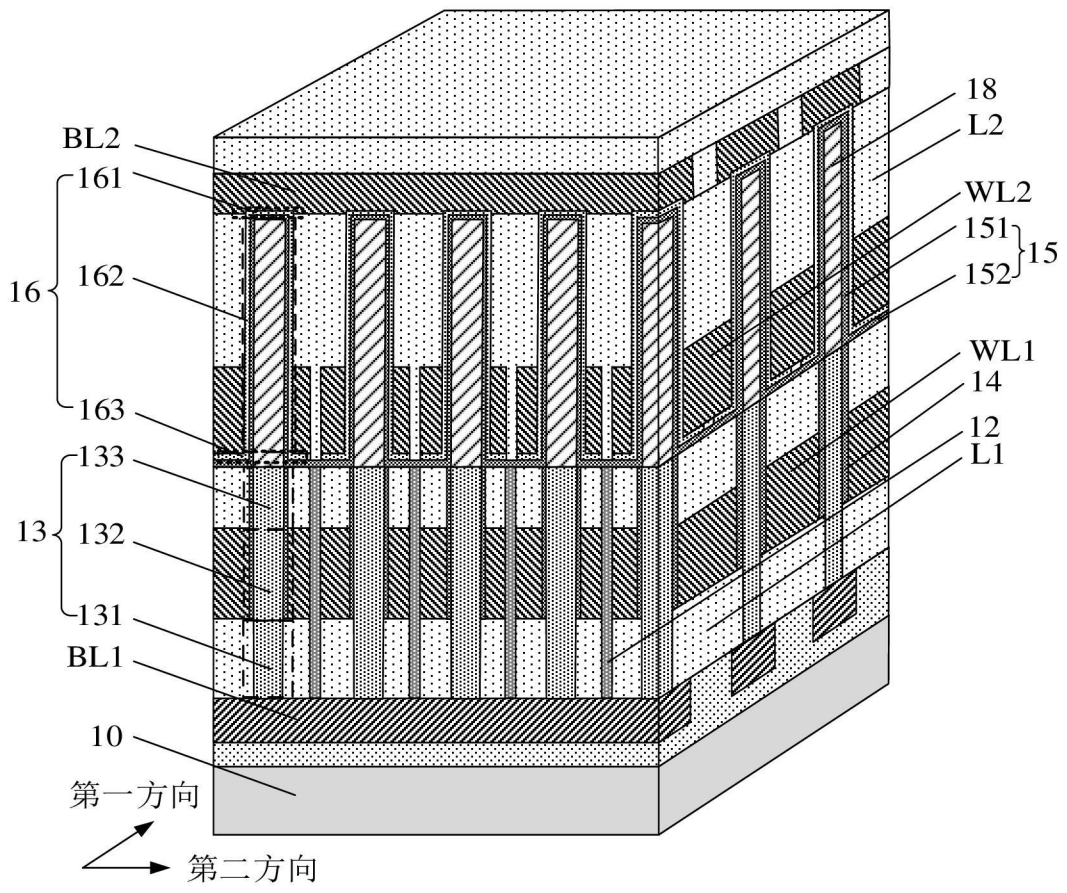
在所述第三溝槽內形成所述第一字線，所述第一字線環繞部分所述第一閘介質層；

形成所述第一字線之後，所述製備方法更包括：

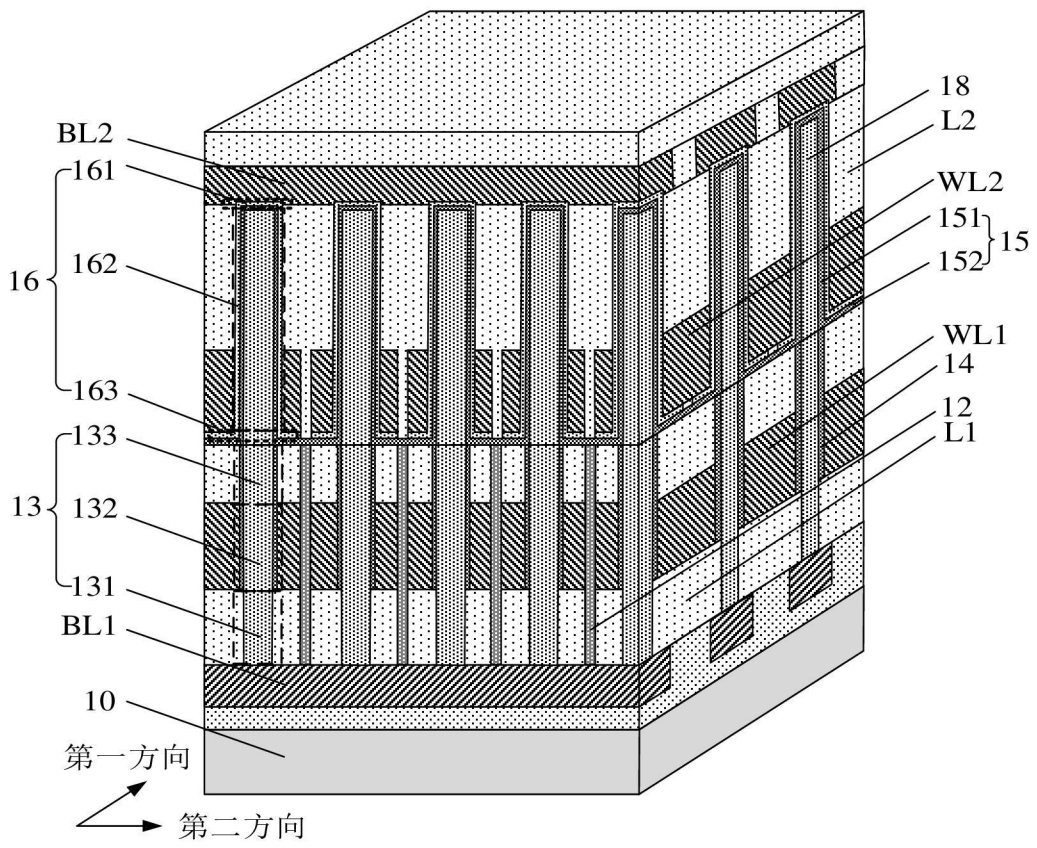
在所述第二閘介質層上依次形成所述半導體材料層和所述字線材料層，所述半導體材料層至少覆蓋所述第二閘介質層，所述字線材料層填充相鄰所述半導體材料層之間的空隙；

蝕刻所述半導體材料層和所述字線材料層，去除位於所述字線隔離結構上方的部分所述半導體材料層和所述字線材料層，以分別形成所述半導體層及多條沿所述第一方向延伸的第二字線。

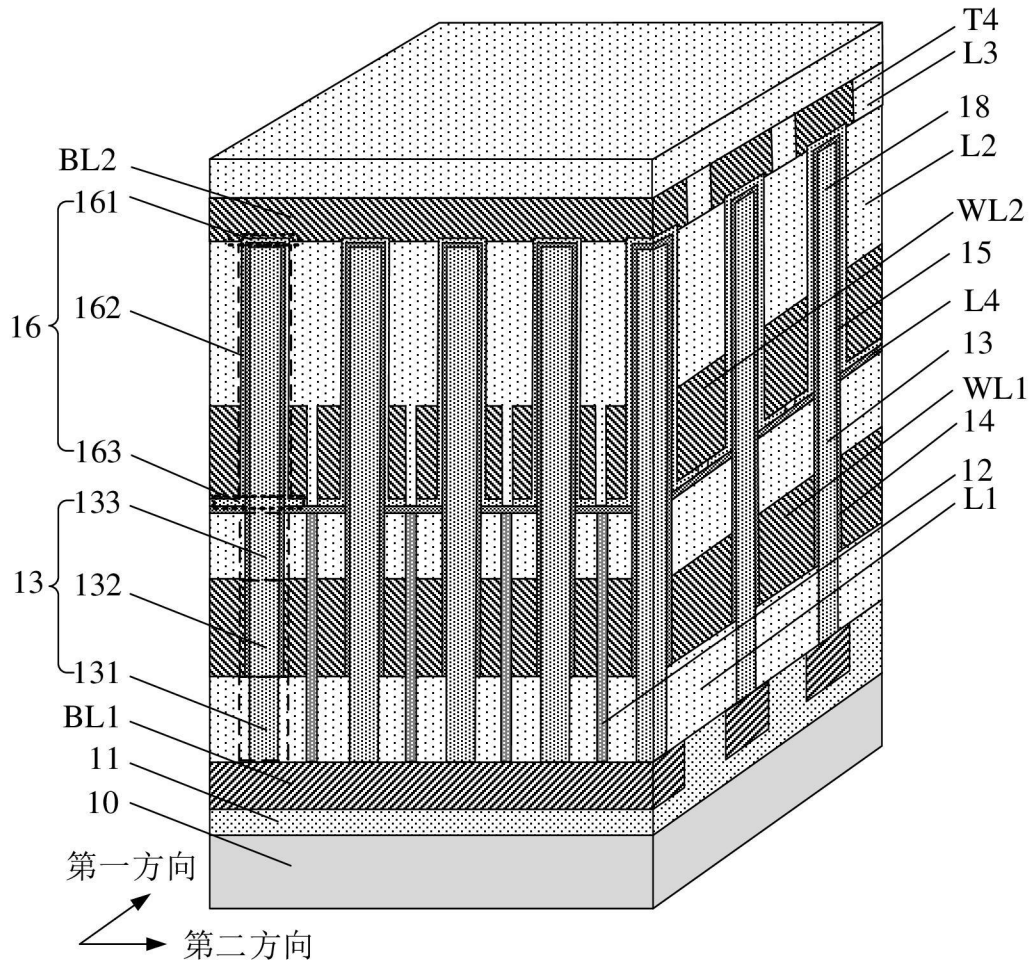
【發明圖式】



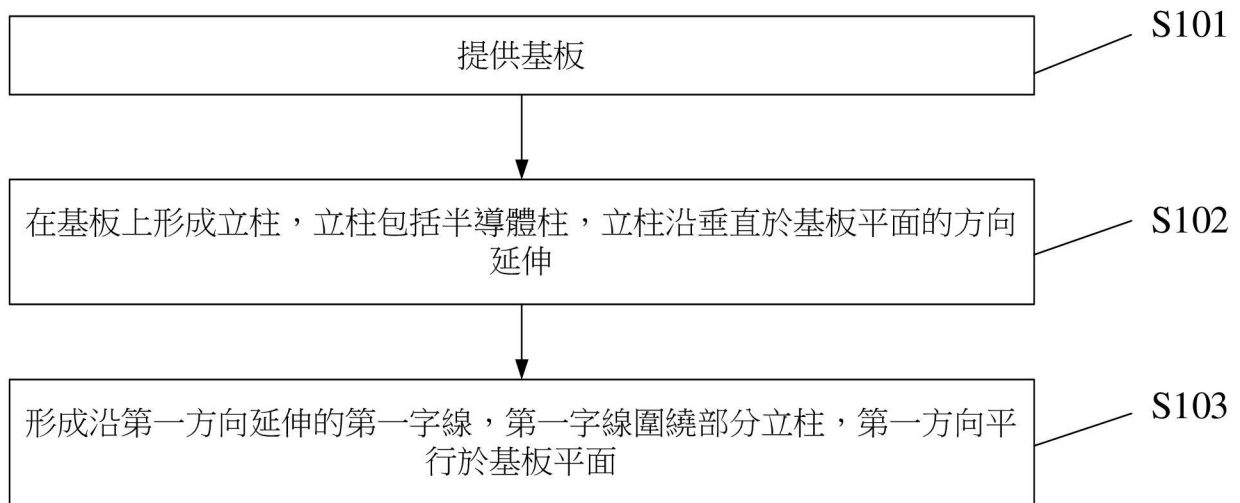
【圖1】



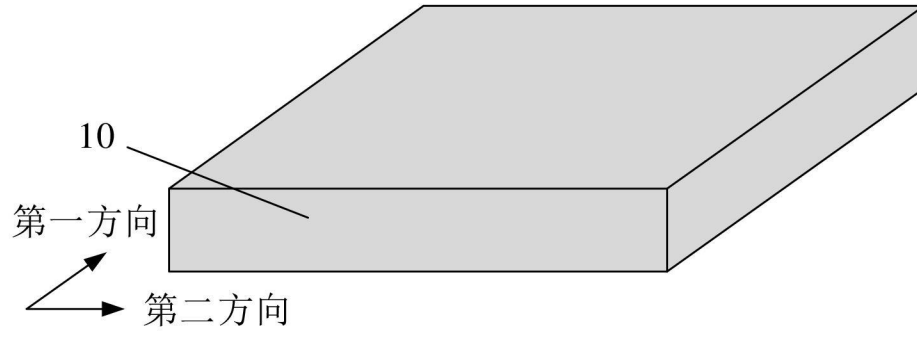
【圖2】



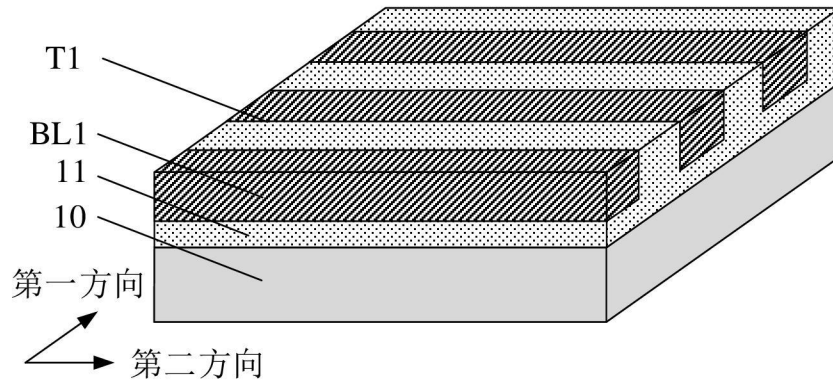
【圖3】



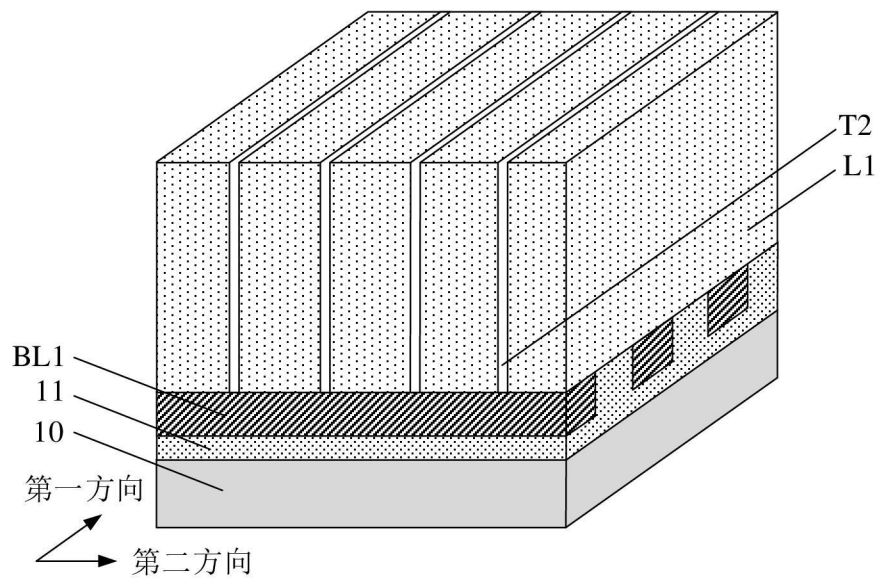
【圖4】



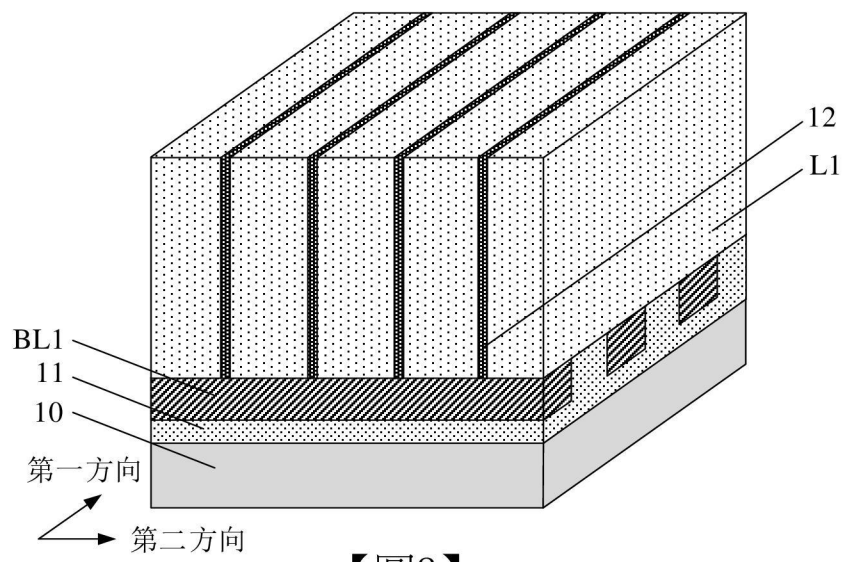
【圖5】



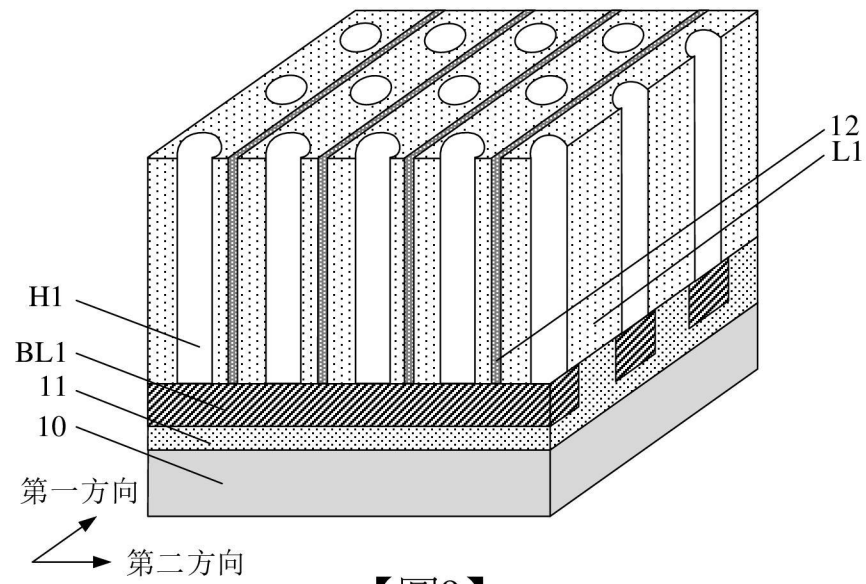
【圖6】



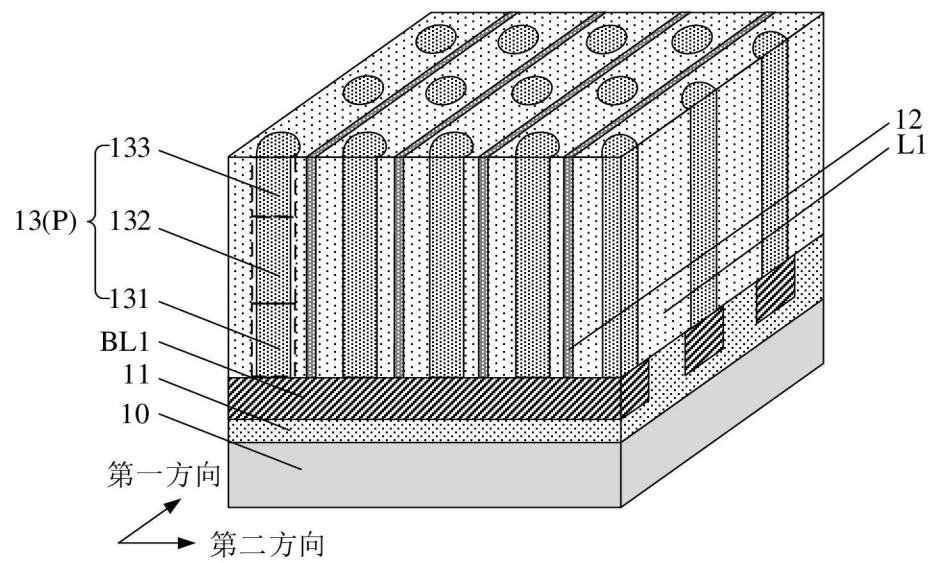
【圖7】



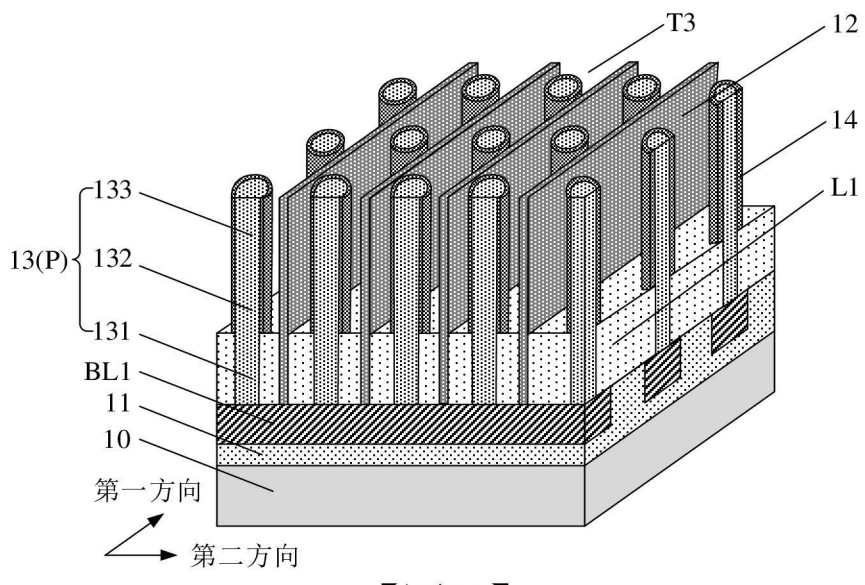
【圖8】



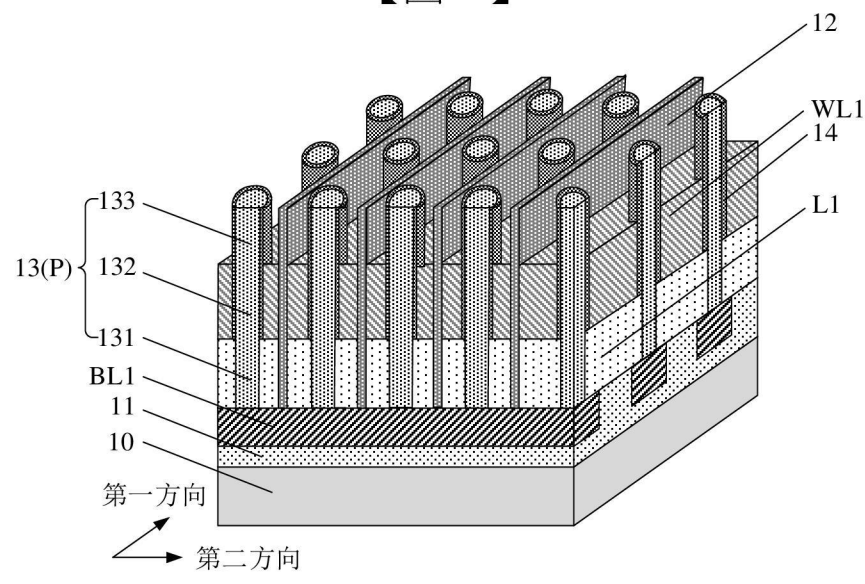
【圖9】



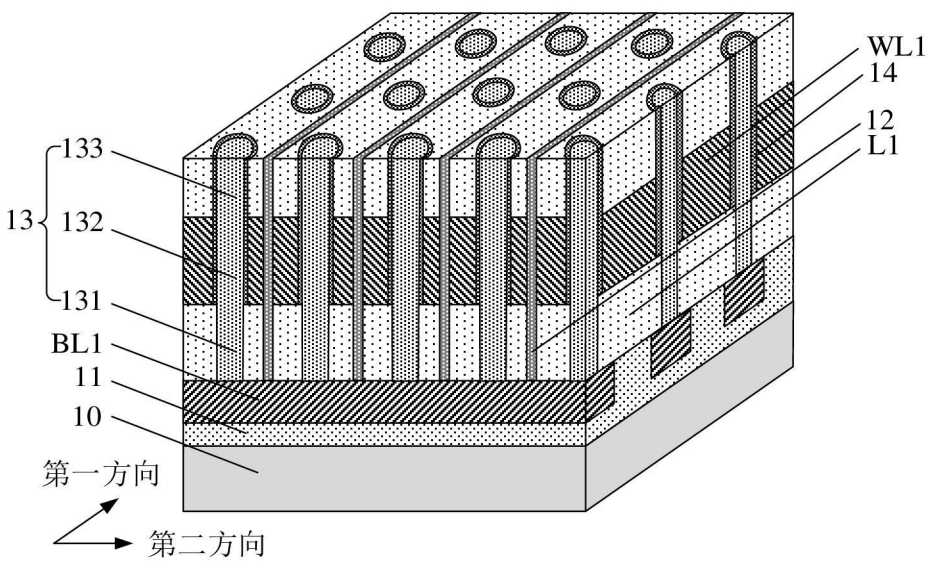
【圖10】



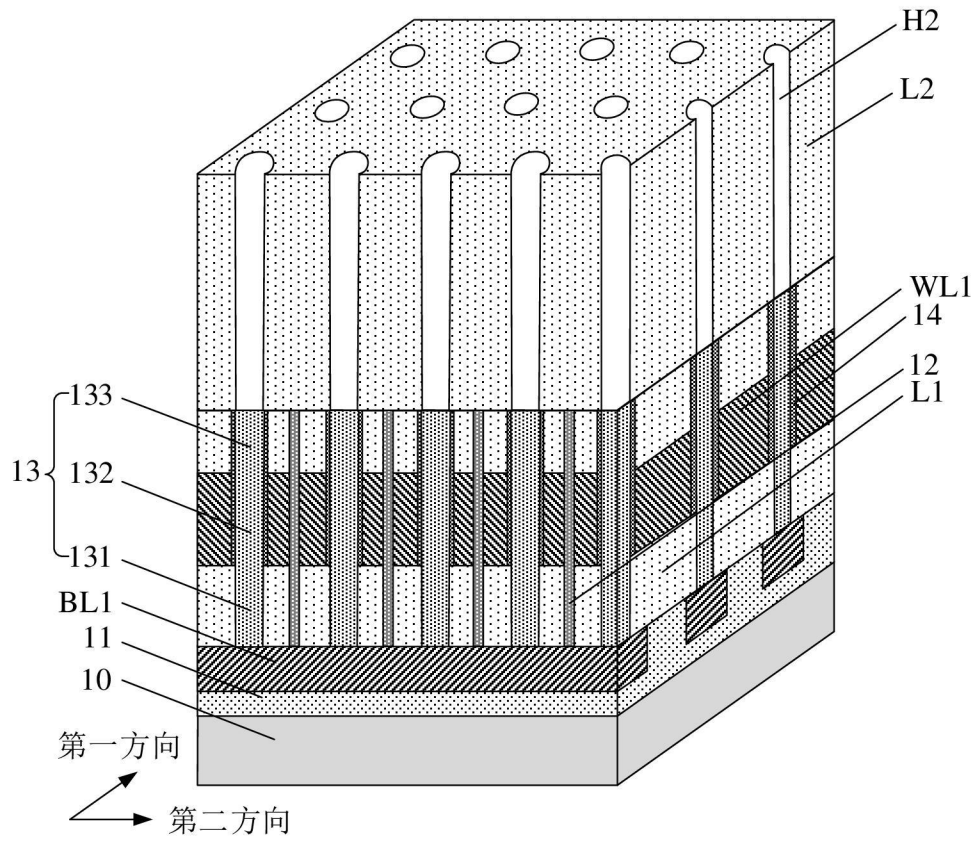
【圖11】



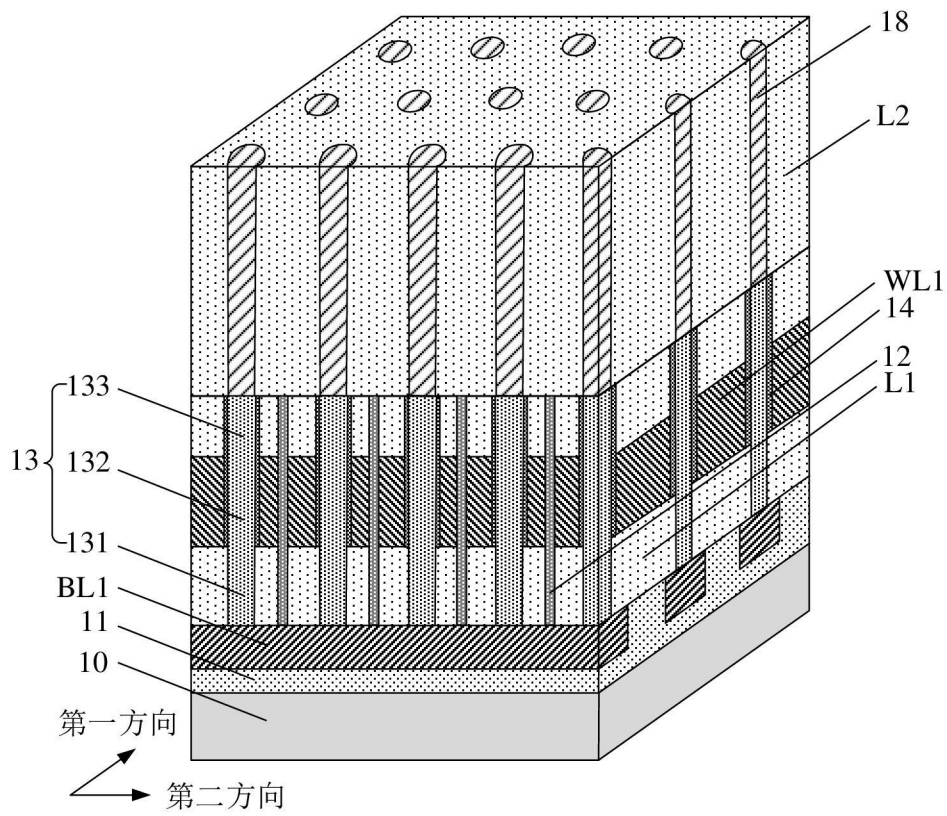
【圖12】



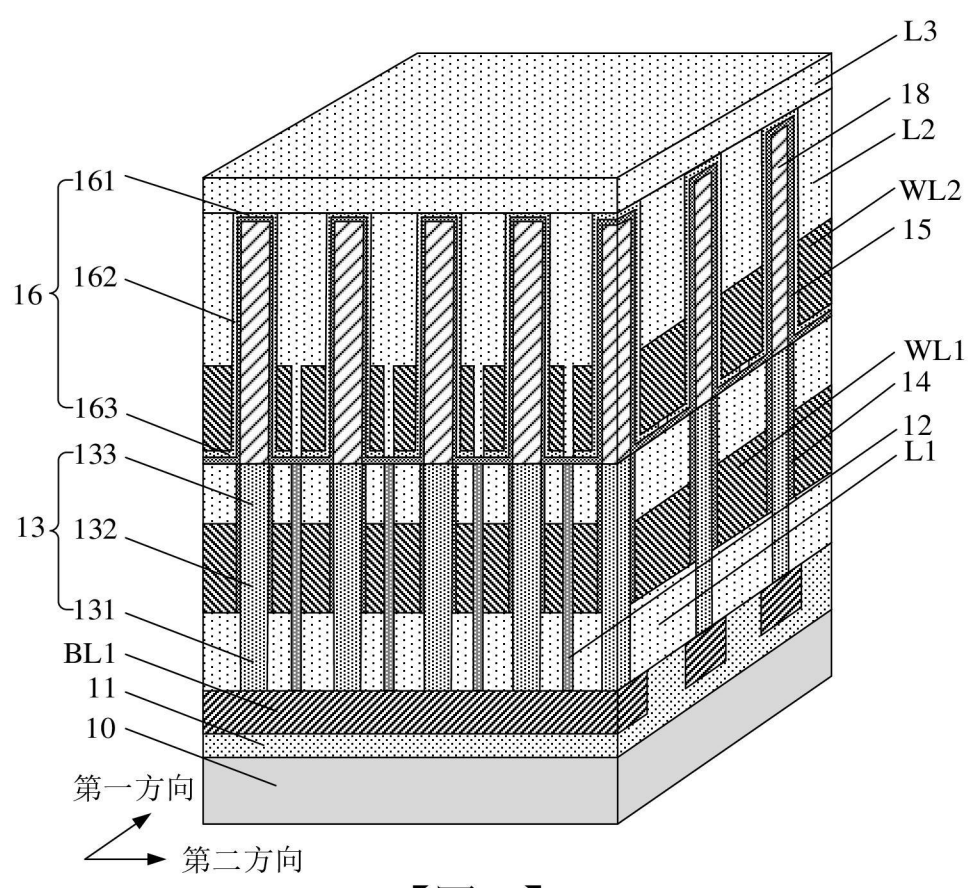
【圖13】



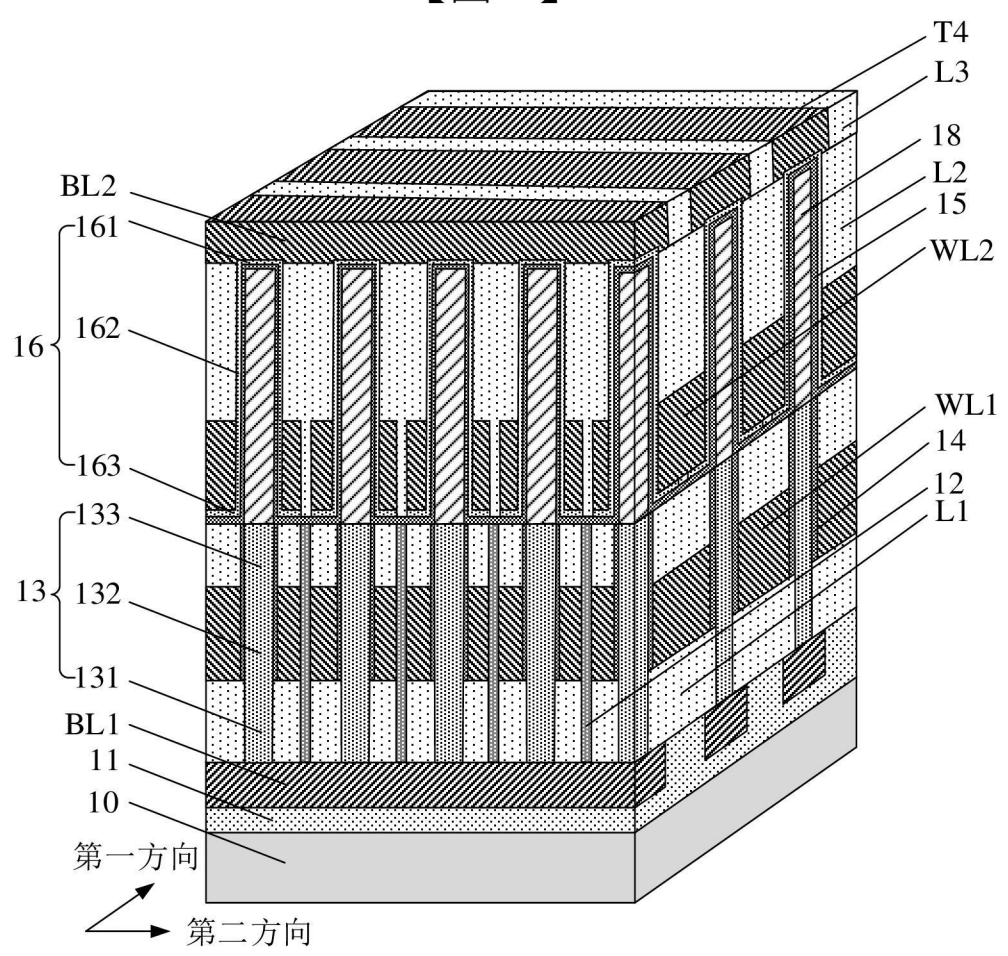
【圖14】



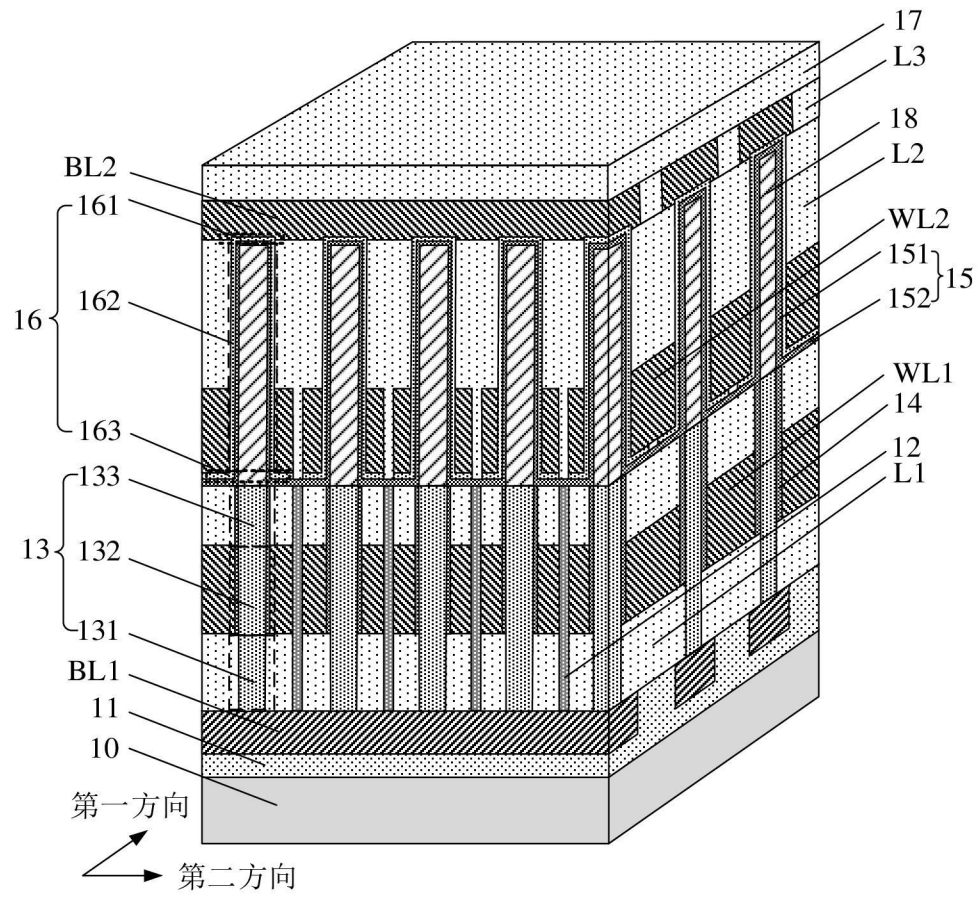
【圖15】



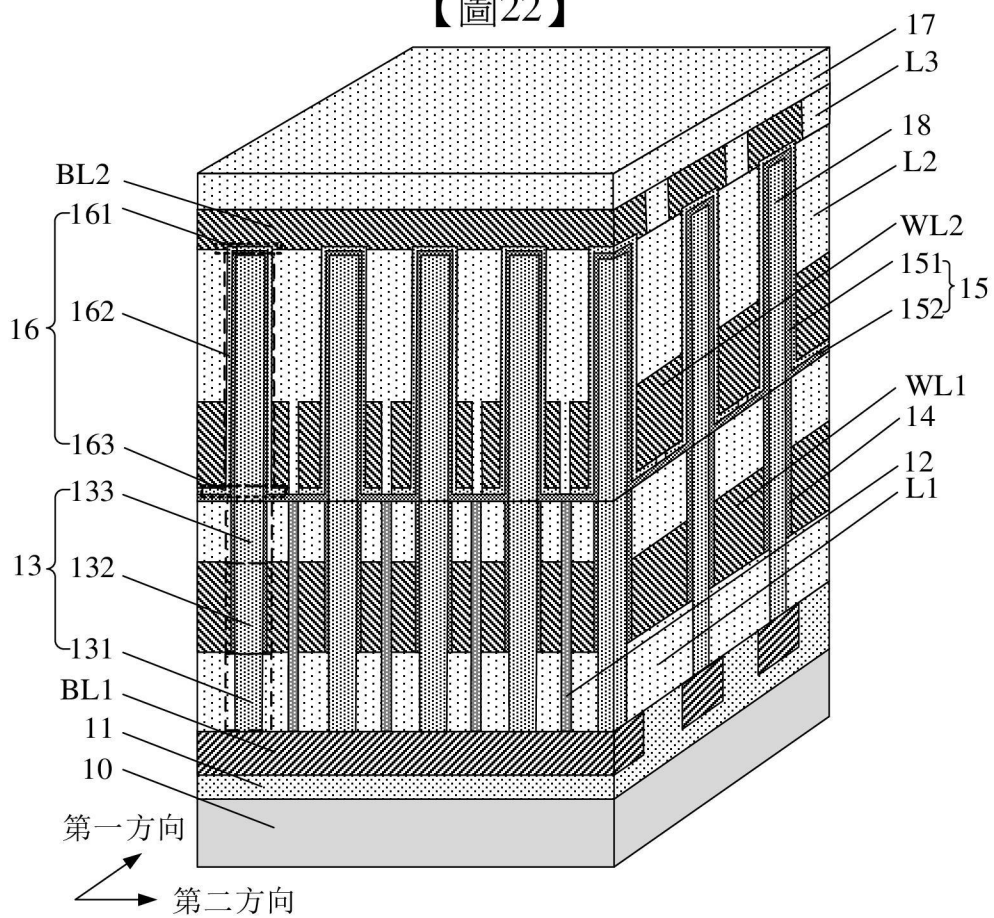
【圖20】



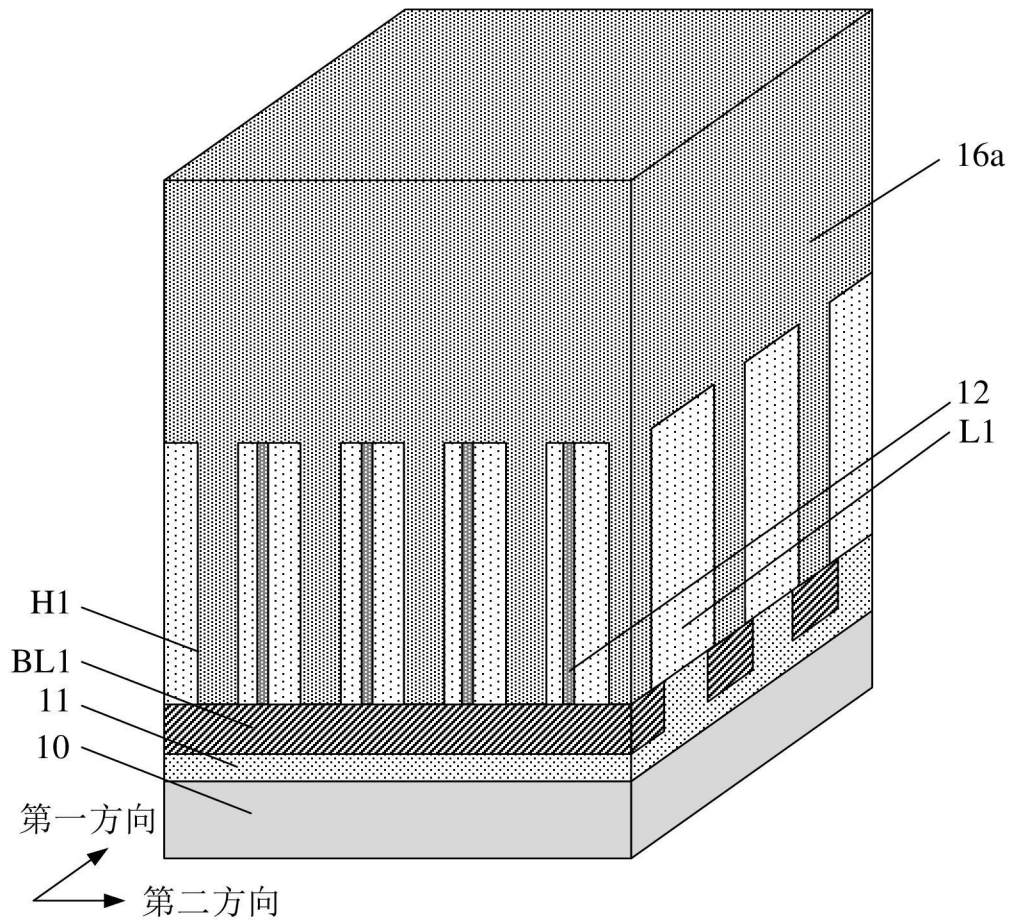
【圖21】



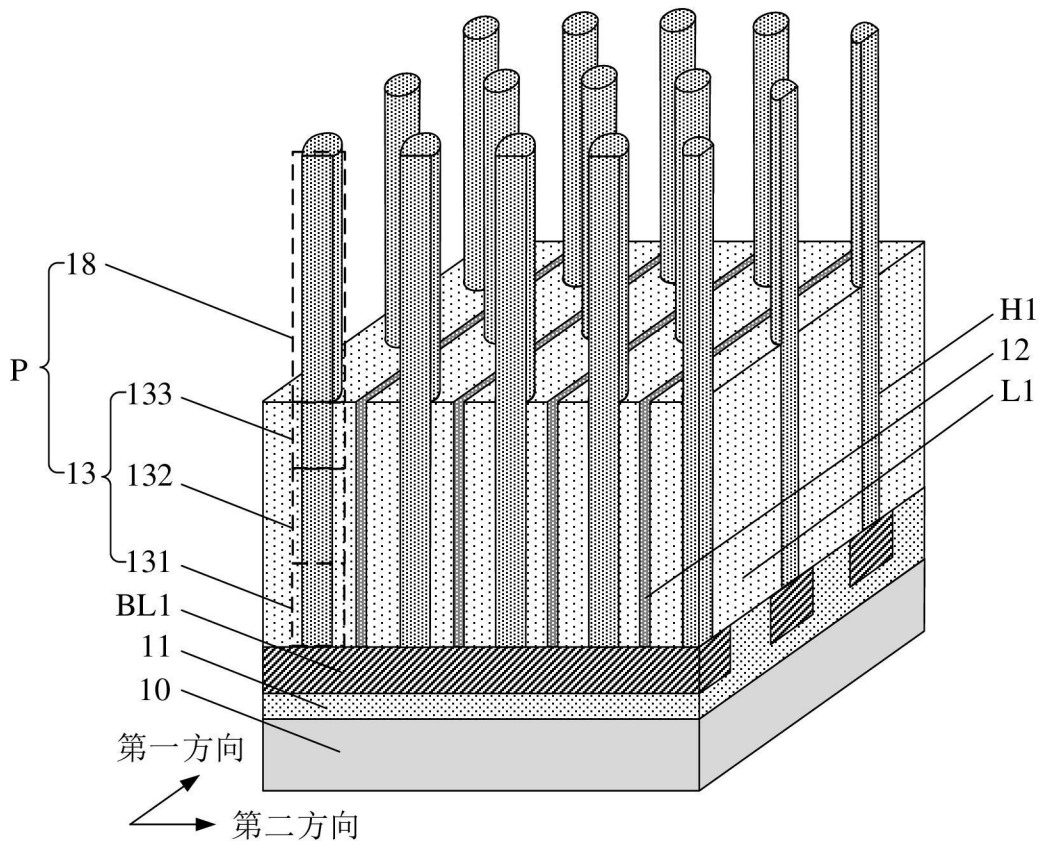
【圖22】



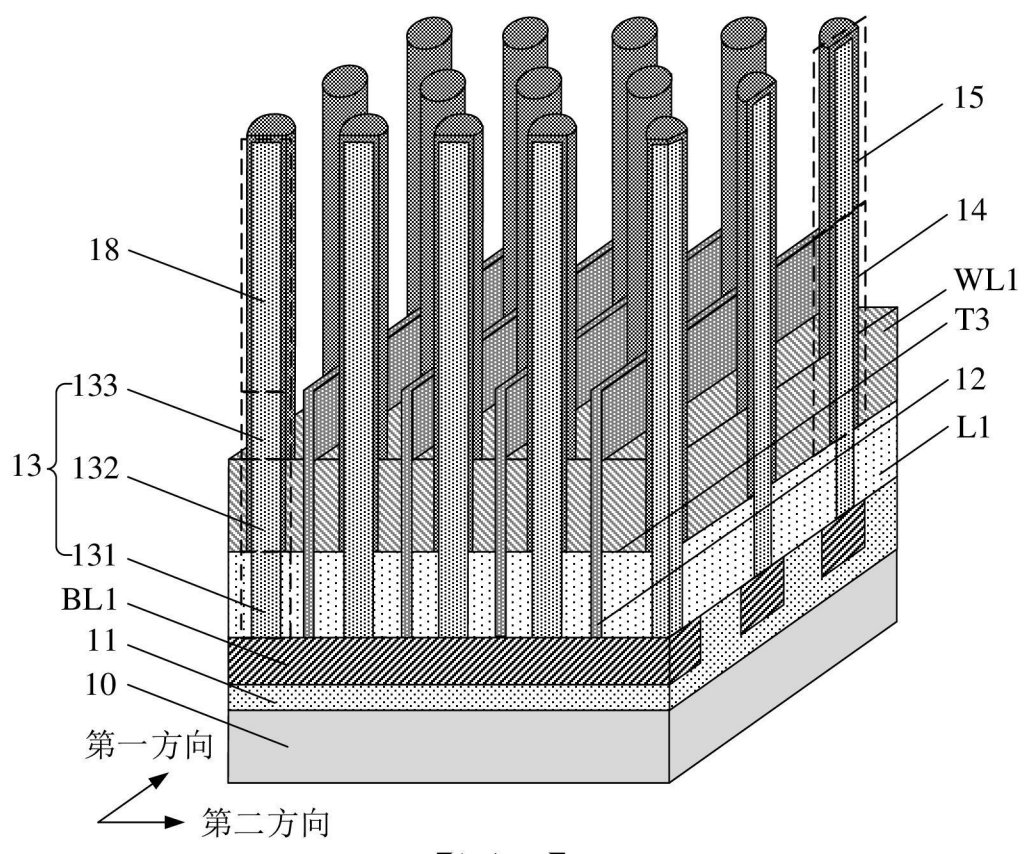
【圖23】



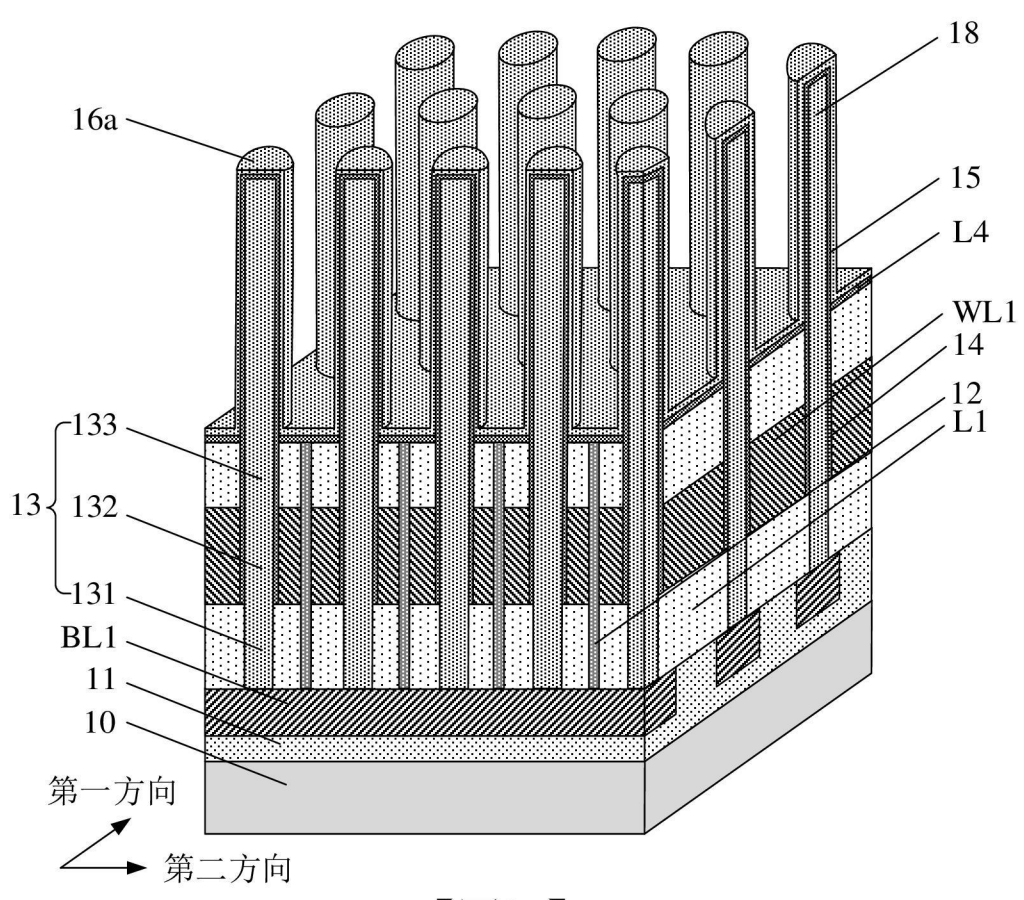
【圖24】



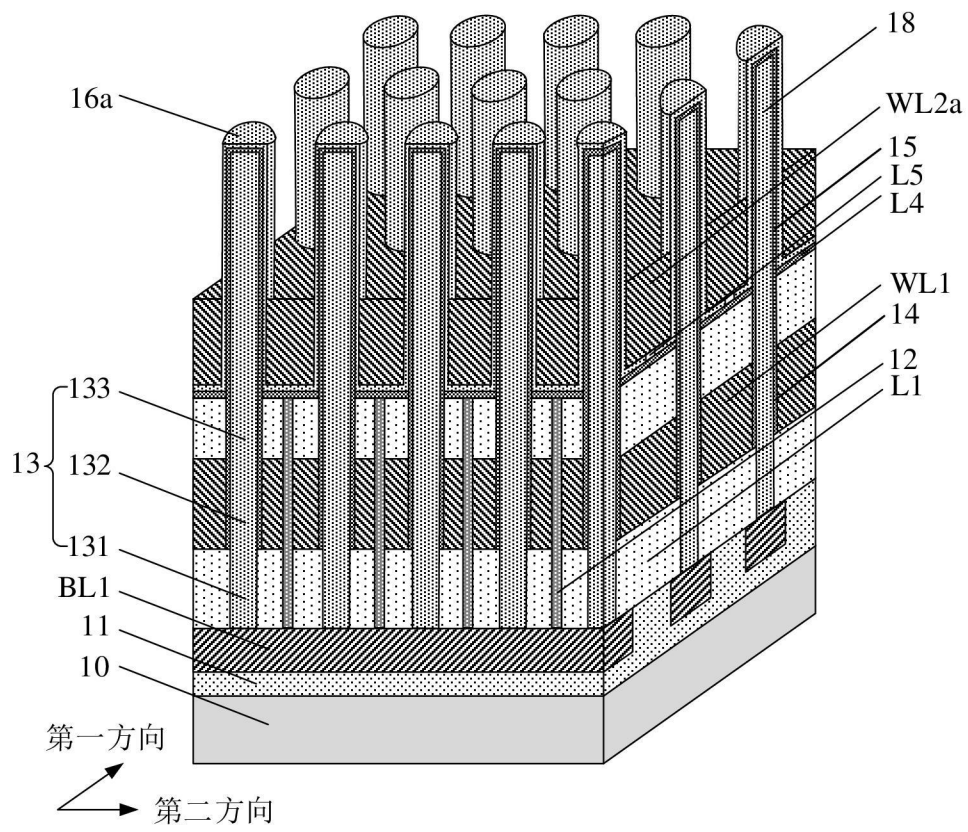
【圖25】



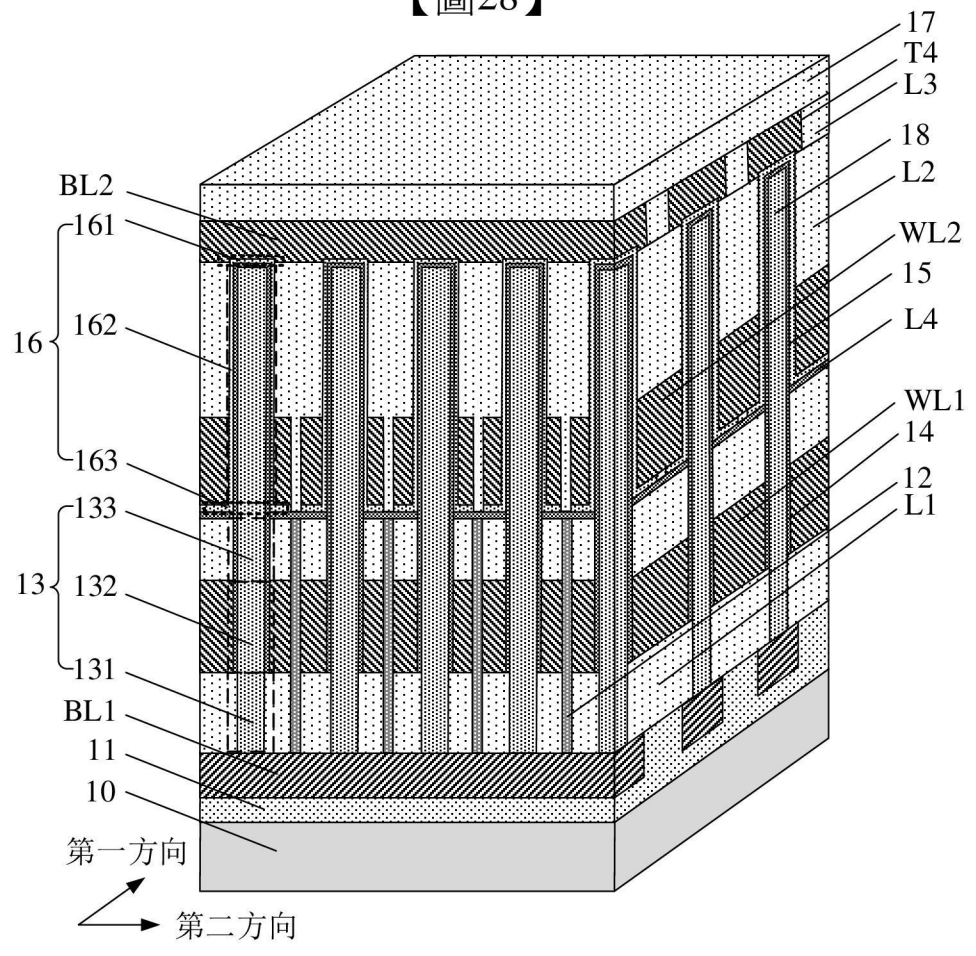
【圖26】



【圖27】



【圖28】



【圖29】