

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 本発明のビームフォーマ集積回路は、複数のパワーアンプに対応して設けられた複数の電力検出器と、電力検出器の検出結果をデジタル信号に変換するADCと、カウンタと、ADCに接続させる電力検出器を、カウンタのカウント値に応じて選択するセレクタと、カウンタのカウント値を制御するカウンタ制御回路と、を備える。

明 細 書

発明の名称：

ビームフォーマ集積回路及びフェーズドアレイアンテナモジュール

技術分野

[0001] 本発明は、ビームフォーマ集積回路及びフェーズドアレイアンテナモジュールに関する。

本願は、2023年6月22日に日本に出願された特願2023-102632号について優先権を主張し、その内容をここに援用する。

背景技術

[0002] フェーズドアレイアンテナは、複数のアンテナ素子に供給する信号（送信信号）又は複数のアンテナ素子から供給される信号（受信信号）の強度及び位相の少なくとも一方を調整することによって、ビームパターン（アンテナ指向性）を自在に変化させることができるアンテナである。このようなフェーズドアレイアンテナは、近年では、自動車分野、通信分野、その他の様々な分野で用いられている。

[0003] フェーズドアレイアンテナモジュールは、複数のアンテナ素子とビームフォーマ集積回路とを備えるモジュールである。ビームフォーマ集積回路は、複数のアンテナ素子に対応する複数の位相制御器と、複数の位相制御器に対して位相の設定値を設定するための回路とを備えている。これに加えて、複数のアンテナ素子に対応する強度制御器を有する場合もある。適切な設定値を位相制御器及び強度制御器に設定し、複数のアンテナ素子から（又は、複数のアンテナ素子へ）供給される複数の信号の位相及び強度を調整することにより、必要なビームパターンを形成するようにしている。

[0004] 以下の特許文献1、2には、アンテナ素子の各々に供給する信号の電力を検出する電力検出器を備えるフェーズドアレイアンテナモジュールが開示されている。以下の特許文献1に開示されたフェーズドアレイアンテナモジュールでは、自己診断のために電力検出器を用いており、以下の特許文献2に

開示されたフェーズドアレイアンテナモジュールでは、キャリブレーションのために電力検出器（Power Detector：PD）を用いている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第11525888号明細書

特許文献2：米国特許第11115136号明細書

発明の概要

発明が解決しようとする課題

[0006] ところで、上述した電力検出器は、アンテナ素子の各々に対応して複数設けられる。電力検出器の検出信号はアナログ信号であるため、ビームフォーマ集積回路には、電力検出器の検出信号をデジタル信号に変換するアナログ・デジタル変換器（Analog-to-Digital Converter：ADC）が設けられる。アナログ・デジタル変換器は、複雑な回路であるため、面積が比較的大きい。このため、上述した特許文献2に開示されたフェーズドアレイアンテナモジュールでは、1つのアナログ・デジタル変換器に複数の電力検出器を対応させ、アナログ・デジタル変換器に接続する電力検出器を切り替えるようにしている。

[0007] しかしながら、1つのアナログ・デジタル変換器に複数の電力検出器が対応している場合には、フェーズドアレイアンテナモジュールを制御する上位の制御装置は、アンテナ素子の数（電力検出器の数）だけ、以下の（1）～（3）の処理を繰り返す必要がある。

（1）アナログ・デジタル変換器に接続する電力検出器を指定する。

（2）アナログ・デジタル変換器の変換処理が完了するまで待機する。

（3）アナログ・デジタル変換器の変換結果を取得する。

このため、従来は、上位の制御装置とフェーズドアレイアンテナモジュールとの間で行われる制御通信の負荷（制御通信コスト）が大きく、制御通信の簡略化及び時間短縮が求められていた。

[0008] 本発明は、上記事情に鑑みてなされたものであり、従来よりも制御通信コストを低減することができるビームフォーマ集積回路及びフェーズドアレイアンテナモジュールを提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明の第1の態様は、複数のパワーアンプに対応して設けられた複数の電力検出器と、前記電力検出器の検出結果をデジタル信号に変換する変換器と、カウンタと、前記変換器に接続させる前記電力検出器を、前記カウンタのカウンタ値に応じて選択するセレクタと、前記カウンタの前記カウンタ値を制御するカウンタ制御回路と、を備える、ビームフォーマ集積回路である。

[0010] 本発明の第1の態様によるビームフォーマ集積回路では、変換器に接続させる電力検出器を、カウンタのカウンタ値に応じて選択するセレクタを設け、カウンタのカウンタ値をカウンタ制御回路によって制御するようにしている。このため、上位の制御装置からの指示がなくとも、変換器に接続させる電力検出器を、カウンタのカウンタ値を制御することによって切り替えることができる。これにより、従来よりも制御通信コストを低減することができる。

[0011] 本発明の第2の態様は、前記カウンタ制御回路が、前記変換器から前記デジタル信号への変換完了を示す信号が出力された場合に、前記カウンタ値をインクリメントし、又は前記カウンタ値をゼロに設定する、前記第1の態様によるビームフォーマ集積回路である。

[0012] 本発明の第3の態様は、前記カウンタ制御回路が、上位の制御装置から前記変換器で変換された前記デジタル信号の取得要求があった場合に、前記カウンタ値をインクリメントし、又は前記カウンタ値をゼロに設定する、前記第1の態様によるビームフォーマ集積回路である。

[0013] 本発明の第4の態様は、前記カウンタ制御回路が、前記取得要求があった場合に、前記変換器によって変換された前記デジタル信号と前記変換器に接続された前記電力検出器に応じた前記カウンタ値とを前記上位の制御装置に

送信する、前記第3の態様によるビームフォーマ集積回路である。

[0014] 本発明の第5の態様は、複数のアンテナ素子と、前記複数のアンテナ素子に接続された前記第1の態様から前記第4の態様の何れか1つのビームフォーマ集積回路と、を備える、フェーズドアレイアンテナモジュールである。

発明の効果

[0015] 本発明によれば、従来よりも制御通信コストを低減することができるという効果がある。

図面の簡単な説明

[0016] [図1]本発明の一実施形態によるフェーズドアレイアンテナモジュールの構成を示すシステム構成図である。

[図2]本発明の一実施形態によるビームフォーマ集積回路の要部構成を示すブロック図である。

[図3]ビームフォーマICのRFフロントエンドに設けられるアナログ回路部の要部構成を示すブロック図である。

[図4]本発明の一実施形態において、制御装置がフェーズドアレイアンテナモジュールで検出された電力の検出信号を取得する手順を示すフローチャートである。

発明を実施するための形態

[0017] 以下、図面を参照して、本発明の一実施形態によるビームフォーマ集積回路及びフェーズドアレイアンテナモジュールについて詳細に説明する。

[0018] 本発明の一実施形態によるフェーズドアレイアンテナモジュールは、例えば、ミリ波帯を使用し、ビームパターンを自在に変化させることができるビームフォーミングが可能な無線通信装置に設けられる。フェーズドアレイアンテナモジュールは、例えば、公知のプリント基板等の基板のうち、一方の面に実装された複数のIC (Integrated Circuit) と、他方の面に実装されたアンテナアレイとを有する。

[0019] フェーズドアレイアンテナモジュールを構成する複数のIC及びアンテナアレイは、公知の材料を用いることによって、及び、公知の方法を用いるこ

とによって、形成されている。また、複数の IC の間の電気接続構造、及び、IC とアンテナアレイとの間の電気接続構造は、特に限定されない。電気接続構造として、公知の接続構造が採用される。

[0020] 〈フェーズドアレイアンテナモジュール〉

図 1 は、本発明の一実施形態によるフェーズドアレイアンテナモジュールの構成を示すシステム構成図である。図 1 に示す通り、フェーズドアレイアンテナモジュール 1 は、8 個のビームフォーマ IC 10A, 10B, 10C, 10D, 10E, 10F, 10G, 10H (以下、ビームフォーマ IC 10A~10H と称する)、アンテナアレイ 20、周波数変換 IC 30、及び RF 信号カップラ/スプリッタ 40 を備える。

[0021] フェーズドアレイアンテナモジュール 1 は、信号線 51、制御線 52、及び電力線 53 を介して、制御装置 50 に接続されている。制御装置 50 とフェーズドアレイアンテナモジュール 1 との間では、信号線 51 を介して、IF (中間周波数) 信号周波数の RF 信号の送受信が行われる。制御装置 50 とフェーズドアレイアンテナモジュール 1 との間では、制御線 52 を介して、制御に係る通信電文の送受信が行われる。電力線 53 を介して、制御装置 50 からフェーズドアレイアンテナモジュール 1 に電力が供給される。

[0022] ビームフォーマ IC 10A~10H (ビームフォーマ集積回路) は、アンテナアレイ 20 のビームパターンを制御する IC である。ビームフォーマ IC 10A~10H の各々には、アンテナアレイ 20 を構成する複数のアンテナ素子 21 が接続されている。例えば、ビームフォーマ IC 10A~10H の各々には、水平偏波用の 8 個のアンテナ素子 21 と垂直偏波用の 8 個のアンテナ素子 21 とが接続されている。つまり、アンテナアレイ 20 は、水平偏波用の 64 個のアンテナ素子 21 と、垂直偏波用の 64 個のアンテナ素子 21 との計 128 個のアンテナ素子 21 から構成される。尚、ビームフォーマ IC 10A~10H の詳細については、後述する。

[0023] 周波数変換 IC 30 は、IF 信号周波数の RF 信号と、ビームフォーマ IC 10A~10H 及びアンテナアレイ 20 が送受信する周波数の RF 信号と

の周波数変換を行う IC である。

[0024] RF 信号カプラ／スプリッタ 40 は、周波数変換 IC 30 から出力された RF 信号をビームフォーマ IC 10A～10H の各々に分配する。また、RF 信号カプラ／スプリッタ 40 は、ビームフォーマ IC 10A～10H の各々が受信した RF 信号を結合して周波数変換 IC 30 に入力する。

[0025] 〈ビームフォーマ IC〉

図 2 は、本発明の一実施形態によるビームフォーマ集積回路の要部構成を示すブロック図である。8 個のビームフォーマ IC 10A～10H は、互いに同じ構成を有する。このため、以下の説明では、ビームフォーマ IC 10A～10H のうちの 1 つについて、即ち、ビームフォーマ IC 10 について説明する場合がある。他の 7 個のビームフォーマ IC については、説明を省略する場合がある。

[0026] ビームフォーマ IC 10 は、16 個の RF フロントエンド 5A～5P と、デジタル回路 6 とを備える。16 個の RF フロントエンド 5A～5P は、互いに同じ構成を有する。このため、以下の説明では、16 個の RF フロントエンド 5A～5P のうちの 1 つについて、即ち、RF フロントエンド 5 について説明する場合がある。他の 15 個の RF フロントエンドについては、説明を省略する場合がある。

[0027] 図 2 に示す 1 つのビームフォーマ IC 10 においては、1 つのアンテナ素子 21 と 1 つの RF フロントエンド 5 とが一對一で対応するように、16 個の RF フロントエンド 5A～5P の各々が 16 個のアンテナ素子 21A～21P の各々に接続されている。16 個のアンテナ素子 21A～21P のうち、8 個のアンテナ素子（例えば、アンテナ素子 21A～21H）が水平偏波用のアンテナ素子であり、残りの 8 個のアンテナ素子（例えば、アンテナ素子 21I～21P）が垂直偏波用のアンテナ素子である。

[0028] 16 個のアンテナ素子 21A～21P は、互いに同じ構成、又は、類似した構成を有する。このため、以下の説明では、16 個のアンテナ素子 21A～21P のうちの 1 つについて、即ち、アンテナ素子 21 について説明する

場合がある。他の15個のアンテナ素子については、説明を省略する場合がある。アンテナ素子21A~21Pは、互いに同じ構成を有してもよい。アンテナ素子21A~21Pの各々の構成について、水平偏波用のアンテナ素子の構成と、垂直偏波用のアンテナ素子の構成とが互いに僅かに異なってもよい。

[0029] このように、1つのビームフォーマIC10においては、16個のRFフロントエンド5A~5Pの各々が、16個のアンテナ素子21A~21Pの各々に一対一で対応するように接続されている。このため、8個のビームフォーマIC10A~10Hを有するフェーズドアレイアンテナモジュール1の全体では、アンテナアレイ20を構成する128個のアンテナ素子21の各々が、8個のビームフォーマIC10A~10Hの各々における16個のRFフロントエンド5A~5Pの各々に接続されている。

[0030] アンテナアレイ20を構成する128個のアンテナ素子21は、水平偏波の電波を送信及び受信する64個のアンテナ素子21と、垂直偏波の電波を送信及び受信する64個のアンテナ素子21とに分けられる。8個のビームフォーマIC10A~10Hは、64個のアンテナ素子21における水平偏波の電波の送信及び受信を制御し、且つ、64個のアンテナ素子21における垂直偏波の電波の送信及び受信を制御する。水平偏波の電波及び垂直偏波の電波の各々について、64個のアンテナ素子21から送信又は受信される合成電波の方向が所定の方向となるように、ビームフォーマIC10A~10Hは、64個のアンテナ素子の各々のゲイン及び位相を設定している。

[0031] 図2に示す通り、RFフロントエンド5は、デジタル回路部11及びアナログ回路部12を備える。デジタル回路部11は、図1に示す制御線52を介して、制御装置50との間で制御に係る通信電文の送受信を行う。デジタル回路部11は、制御装置50から送信されてきた通信電文に基づき、RFフロントエンド5を制御する。

[0032] 本実施形態では、フェーズドアレイアンテナモジュール1と制御装置50との間でパラレル通信により制御に係る通信電文の送受信が行われる。つま

り、デジタル回路部11は、制御装置50との間で平行通信により制御に係る通信電文の送受信を行う。尚、フェーズドアレイアンテナモジュール1と制御装置50との間で行われる通信は、平行通信に限定されない。SPI (Serial Peripheral Interface) 又はI2C (Inter-Integrated Circuit) 等のシリアル通信であってもよい。

[0033] デジタル回路部11は、ビームフォーマIC10の内部の配線によって、デジタル回路6と接続されている。デジタル回路6は、デジタル回路部11と制御装置50との間で行われる通信を中継する。或いは、デジタル回路6は、制御装置50から送信されてきた通信電文の内容に基づいて、デジタル回路部11と通信する。

[0034] 制御装置50からフェーズドアレイアンテナモジュール1に送信される1回の通信トランザクションには、付加情報、コマンド、及びデータが含まれる。通信トランザクションは、固定ビット長である。コマンドは、レジスタへの書き込みやレジスタからの読み出しを指示する場合にはレジスタアドレスである。或いは、コマンドは、ビームフォーマIC10やRFフロントエンド5への動作指示を意味する数値である。コマンドやデータは、固定長である。本実施形態では、コマンドが8ビット、データが8ビットである。

[0035] デジタル回路部11は、ビームフォーミングに用いられるビームテーブルを記憶する記憶領域(図示省略)を備える。ビームテーブルは、制御すべきアンテナアレイ20のビームパターンに応じて設定された、移相量設定値とゲイン設定値との組み合わせが複数格納されたルックアップテーブルである。本実施形態では、移相量設定値とゲイン設定値との組み合わせが2048通り規定されたビームテーブル(2048項目のビームテーブル)が記憶領域に記憶される。ビームテーブルは、11ビットのアドレスを用いて記憶領域に書き込まれ、又は、記憶領域から読み出される。

[0036] 上記の記憶領域は、例えば、SRAM (Static Random Access Memory) を用いて実現される。記憶領域は、SRAMを用いて実現されるのが好ましいが、レジスタを用いて実現されてもよく、DRAM (Dynamic Random Access

Memory)、フラッシュメモリ、ROM (Read Only Memory) を用いて実現されてもよい。

[0037] アナログ回路部12は、RFフロントエンド5に接続されているアンテナ素子21に対してRF信号を出力したり、アンテナ素子21から出力されるRF信号を受信したりする回路である。アナログ回路部12は、デジタル回路部11の制御の下で、RFフロントエンド5に接続されているアンテナ素子21で送受信されるRF信号のゲイン及び位相を調整する。

[0038] 図3は、ビームフォーマICのRFフロントエンドに設けられるアナログ回路部の要部構成を示すブロック図である。尚、図3においては、アンテナ素子21に供給する信号の電力を検出する検出回路も併せて図示してある。ビームフォーマIC10に設けられたRFフロントエンド5A~5Pは、互いに同じ構成を有する。このため、以下の説明では、16個のRFフロントエンド5A~5Pに設けられたアナログ回路部12のうちの一つについて、即ち、RFフロントエンド5に設けられたアナログ回路部12について、説明する場合がある。他の15個のRFフロントエンドに設けられたアナログ回路部12については、説明を省略する場合がある。

[0039] 図3に示す通り、アナログ回路部12は、送信回路61、移相器62、可変ゲインアンプ63、パワーアンプ64、スイッチ(SW)65、低ノイズアンプ66、可変ゲインアンプ67、移相器68、受信回路69、及び電力検出器(PD)70を備える。尚、図3では、RFフロントエンド5のデジタル回路部11に設けられた記憶領域13も、図示している。記憶領域13は、ビームフォーミングに用いられるビームテーブルを記憶する。ビームテーブルは、制御すべきアンテナアレイ20のビームパターンに応じて設定された、移相量設定値とゲイン設定値との組み合わせが、複数格納されたルックアップテーブルである。

[0040] 送信回路61、移相器62、可変ゲインアンプ63、及びパワーアンプ64は、送信経路R1上に設けられており、低ノイズアンプ66、可変ゲインアンプ67、移相器68、及び受信回路69は、受信経路R2上に設けられ

ている。送信経路 R 1 は、アンテナ素子 2 1 に出力される R F 信号が通過する経路であり、受信経路 R 2 は、アンテナ素子 2 1 から入力される R F 信号が通過する経路である。スイッチ 6 5 は、規定された時間間隔で、アンテナ素子 2 1 に対して、送信経路 R 1 を接続するか、又は、受信経路 R 2 を接続するかを切り替える。これにより、フェーズドアレイアンテナモジュール 1 は、時分割多重システムとして高周波信号の送受信を行うことができる。

[0041] 送信回路 6 1 は、周波数変換 I C 3 0 (図 1 参照) から出力される R F 信号 (アンテナ素子 2 1 から電波として送信する信号) が入力される回路である。移相器 6 2 は、記憶領域 1 3 から読み出されるビームテーブルの移相量設定値に応じて送信経路 R 1 を通過する R F 信号の移相量を調整する。可変ゲインアンプ 6 3 は、記憶領域 1 3 から読み出されるビームテーブルのゲイン設定値に応じて送信経路 R 1 を通過する R F 信号の強度を調整する。パワーアンプ 6 4 は、送信経路 R 1 を通過する R F 信号を所定の増幅率で増幅する。送信経路 R 1 を通過する R F 信号の移相量及び強度を調整することで、フェーズドアレイアンテナモジュール 1 から送信される電波のビームパターンを変更することができる。

[0042] 低ノイズアンプ 6 6 は、スイッチ 6 5 から入力される R F 信号を所定の増幅率で増幅する。可変ゲインアンプ 6 7 は、記憶領域 1 3 から読み出されるビームテーブルのゲイン設定値に応じて受信経路 R 2 を通過する R F 信号の強度を調整する。移相器 6 8 は、記憶領域 1 3 から読み出されるビームテーブルの移相量設定値に応じて受信経路 R 2 を通過する R F 信号の移相量を調整する。受信回路 6 9 は、受信経路 R 2 を通過する R F 信号を受信して、周波数変換 I C 3 0 (図 1 参照) に出力する。受信経路 R 2 を通過する R F 信号の移相量及び強度を調整することで、フェーズドアレイアンテナモジュール 1 で受信される電波のビームパターンを変更することができる。

[0043] 電力検出器 7 0 は、パワーアンプ 6 4 で増幅されてアンテナ素子 2 1 に供給される信号の電力を検出し、その検出結果を示す信号 (アナログ信号) を出力する。具体的に、パワーアンプ 6 4 とスイッチ 6 5 との間における送信

経路 R 1 には、パワーアンプ 6 4 で増幅された R F 信号を、安定した分岐比で分岐する分岐器 B R が、設けられている。分岐器 B R で分岐された R F 信号のうち、一方は、スイッチ 6 5 に供給され、分岐器 B R で分岐された R F 信号のうち、他方は、電力検出器 7 0 に供給される。電力検出器 7 0 は、分岐器 B R で分岐された R F 信号のうち、他方の電力を入力することにより電力を検出し、検出した電力に応じた電流を出力する。

[0044] アンテナ素子 2 1 に供給する信号の電力を検出する検出回路は、R F フロントエンド 5 の各々に設けられた電力検出器 7 0 と、アナログ・デジタル変換器 (A D C) 7 1、カウンタ 7 2、セクタ 7 3、及びカウンタ制御回路 7 4 とを含む。A D C 7 1 は、電力検出器 7 0 から出力された電流が電圧に変換された信号 (電圧信号) を入力する。A D C 7 1 は、ビームフォーマ I C 1 0 に設けられる (図 2 参照)。カウンタ 7 2、セクタ 7 3、及びカウンタ制御回路 7 4 は、例えば、ビームフォーマ I C 1 0 のデジタル回路 6 に設けられ、R F フロントエンド 5 のデジタル回路部 1 1 や A D C 7 1 に接続される。

[0045] A D C 7 1 は、電力検出器 7 0 から出力された電流が電圧に変換された信号 (電圧信号) をデジタル信号に変換する。A D C 7 1 は、変換開始を指示するトリガ信号が入力されることで変換処理を開始する。A D C 7 1 は、変換処理が開始されてから変換処理が完了するまでに一定のクロック数を要する。A D C 7 1 は、変換処理が完了すると、変換完了を示す信号を出力する。A D C 7 1 によって変換された信号 (デジタル信号) は、上記の変換完了を示す信号が出力された後に A D C 7 1 から取り出すことができる。A D C 7 1 に供給されるクロックの周波数は、ビームフォーマ I C 1 0 のデジタル回路 6、及び複数の R F フロントエンド 5 に設けられるデジタル回路部 1 1 に供給されるクロックの周波数と比較して、低い。尚、A D C 7 1 が変換処理を完了した場合に、A D C 7 1 によって変換された信号 (デジタル信号) をレジスタに保持するようにしてもよい。

[0046] カウンタ 7 2 は、例えば、所定のビット幅を有するレジスタであり、カウ

ンタ制御回路74の制御の下でカウント値を保持する。カウンタ72のビット幅は、ADC71に接続され得る電力検出器70の数に応じて設定される。例えば、ADC71に接続され得る電力検出器70の数が16である場合には、カウンタ72のビット幅は4ビットである。この場合には、カウンタ72のカウント値は、0から15を取り得る。

[0047] セレクタ73は、ADC71に接続させる1つの電力検出器70を、カウンタ72に保持されているカウント値に応じて選択する。例えば、カウント値が「0」である場合には、RFフロントエンド5Aに設けられている電力検出器70を選択し、カウント値が「15」である場合には、RFフロントエンド5Pに設けられている電力検出器70を選択する。尚、ADC71に一時的に接続することが可能な電力検出器70の数は、1つのみであり、複数の電力検出器70を同時にADC71に接続することはできない。

[0048] セレクタ73は、例えば、ADC71に物理的に接続された複数の電力検出器70のうち、1つの電力検出器70のみを有効化し、残りの電力検出器70を無効化することで、ADC71に接続させる1つの電力検出器70を選択するように構成されていてもよい。或いは、セレクタ73は、複数の入力ポートと1つの出力ポートを有するスイッチを介してADC71に接続された複数の電力検出器70から出力される検出信号を、スイッチを制御して選択することで、ADC71に接続させる1つの電力検出器70を選択するように構成されていてもよい。尚、セレクタ73は、ADC71に対して変換開始を指示するトリガ信号が入力された際に、選択された電力検出器70の番号を示すカウント値を保持するレジスタを備えていてもよい。

[0049] カウンタ制御回路74は、カウンタ72のカウント値を制御する。具体的に、カウンタ制御回路74は、ADC71からデジタル信号への変換完了を示す信号が出力された場合に、カウンタ72に保持されているカウント値をインクリメントする。また、カウンタ制御回路74は、カウンタ72に保持されているカウント値をインクリメントした場合に、カウンタ72に保持されているカウント値がカウント値の最大値を超えたときには、カウンタ72

に保持されているカウント値をゼロに設定する。例えば、カウンタ72のビット幅が4ビットであり、カウンタ72に保持されているカウント値が「15」である場合に、ADC71からデジタル信号への変換完了を示す信号が出力されたときには、カウンタ72のカウント値をゼロに設定する。

[0050] カウンタ制御回路74は、制御装置50からリセット指示された場合には、カウンタ72のカウント値の初期値をゼロに設定する。また、カウンタ制御回路74は、制御装置50から送信されてきた通信電文がカウンタ72のカウント値を設定するものである場合には、その通信電文に基づいた値をカウンタ72のカウント値に設定する。

[0051] デジタル回路6は、制御装置50からADC71で変換されたデジタル信号の取得要求があった場合に、ADC71からデジタル信号を取り出す。そして、デジタル回路6は、取得したデジタル信号を制御装置50に送信する。または、デジタル回路6は、制御装置50からADC71で変換されたデジタル信号と、選択された電力検出器70を示すカウント値との取得要求があった場合に、ADC71からデジタル信号を取り出し、取得したデジタル信号と、カウンタ72に保持されているカウント値（選択されている電力検出器70に応じたカウント値）とを制御装置50に送信する。尚、ADC71からデジタル信号を取り出すことが可能になるのは、ADC71からデジタル信号への変換完了を示す信号が出力された後である点に注意されたい。

[0052] ここで、ADC71、カウンタ72、及びセクタ73は、1つずつ設けられていてもよく、複数個ずつ設けられていてもよい。例えば、ADC71、カウンタ72、及びセクタ73は、2つずつ設けられるように構成されていてもよい。この構成において、例えば、第1のADC71には、RFフロントエンド5A～5Hに設けられた8個の電力検出器70が接続され、第2のADC71には、RFフロントエンド5I～5Pに設けられた8個の電力検出器70が接続され得る。第1のカウンタ72及び第2のカウンタ72のビット幅は、3ビットに設定される。そして、第1のセクタ73は、第1のADC71に接続させる電力検出器70を、第1のカウンタ72のカウ

ント値に応じて選択するようにしてもよく、第2のセクタ73は、第2のADC71に接続させる電力検出器70を、第2のカウンタ72のカウント値に応じて選択するようにしてもよい。

[0053] また、1つのADC71に接続され得る電力検出器70の数は、必ずしも2のべき乗個である必要はなく、2のべき乗個ではないM個であってもよい。この構成の場合において、カウンタ制御回路74は、ADC71からデジタル信号への変換完了を示す信号が出力された場合に、カウンタ72に保持されているカウント値が(M-1)以外の場合には、カウンタ72に保持されているカウント値をインクリメントする。これに対し、カウンタ制御回路74は、ADC71からデジタル信号への変換完了を示す信号が出力された場合に、カウンタ72に保持されているカウント値が(M-1)である場合には、カウンタ72に保持されているカウント値をゼロに設定する。

[0054] 尚、カウンタ制御回路74が、カウンタ72のカウント値を制御するタイミングは、ADC71からデジタル信号への変換完了を示す信号が出力された場合に限定されない。カウンタ制御回路74は、例えば、制御装置50からADC71で変換されたデジタル信号の取得要求があった場合に、カウンタ72のカウント値を制御するようにしてもよい。或いは、カウンタ制御回路74は、上記の取得要求に対する応答電文を送信する場合に、カウンタ72のカウント値を制御するようにしてもよい。

[0055] 〈検出信号の取得手順〉

図4は、本発明の一実施形態において、制御装置50がフェーズドアレイアンテナモジュール1で検出された電力の検出信号を取得する手順を示すフローチャートである。尚、以下では、説明を簡単にするために、フェーズドアレイアンテナモジュール1に設けられた複数のビームフォーマIC10のうち、特定のビームフォーマIC10（例えば、ビームフォーマIC10A）で検出された電力の検出信号を取得する場合について説明する。

[0056] 処理が開始されると、まず、制御装置50は、特定のビームフォーマIC10に設けられたADC71に接続する電力検出器70を指示する（ステッ

プS 1 1)。具体的に、制御装置50は、特定のビームフォーマIC10に設けられたADC71に最初に接続する電力検出器70を決定する。そして、制御装置50は、決定した電力検出器70に応じたカウント値をカウンタ72に設定させることを指示する通信電文を、特定のビームフォーマIC10に送信する。

[0057] 尚、制御装置50が、特定のビームフォーマIC10に対してリセットを指示した場合には、カウンタ制御回路74の制御によってカウンタ72のカウント値がゼロに設定される。このため、制御装置50が、上述した特定のビームフォーマIC10に対してリセットを指示した直後に図4に示すフローチャートの処理が開始される場合には、ステップS11の処理を省略することができる。

[0058] 制御装置50から送信されてきた通信電文が、特定のビームフォーマIC10で受信されると、特定のビームフォーマIC10に設けられたカウンタ制御回路74が、受信した通信電文で指示されたカウント値をカウンタ72に設定する。そして、セレクタ73は、カウンタ72に設定されたカウント値に応じた電力検出器70（例えば、RFフロントエンド5Aに設けられた電力検出器70）を、ADC71に接続させる。

[0059] 次に、制御装置50は、電力検出器70が接続されたADC71に対し、変換処理を開始させることを指示する通信電文を、特定のビームフォーマIC10に送信する（ステップS12）。制御装置50から送信されてきた通信電文が、特定のビームフォーマIC10で受信されると、特定のビームフォーマIC10に設けられたカウンタ制御回路74が、ADC71に変換開始を指示するトリガ信号を出力する。これにより、ADC71における変換処理が開始される。尚、必要があれば、ステップS11とステップS12との間に、ADC71に接続された電力検出器70が安定するまで待機する処理を設けてもよい。

[0060] 次いで、制御装置50は、ADC71の変換処理が完了したか否かを判断する（ステップS13）。具体的に、制御装置50は、ステップS12の処

理が終了してから一定時間だけ待機した後に、ADC 71 から出力される変換完了を示す信号を取得することを指示する通信電文を、特定のビームフォーマ IC 10 に送信する。そして、この通信電文の返信としての応答通信電文に ADC 71 の変換完了を示す信号が含まれているか否かを判断する。応答通信電文に ADC 71 の変換完了を示す信号が含まれていない場合（判断結果が「NO」の場合）には、制御装置 50 は、ステップ S 13 の処理を繰り返す。

[0061] これに対し、応答通信電文に ADC 71 の変換完了を示す信号が含まれている場合（判断結果が「YES」の場合）には、制御装置 50 は、取得要求を送信して ADC 71 で変換されたデジタル信号を取得する（ステップ S 14）。具体的に、制御装置 50 は、ADC 71 で変換されたデジタル信号を取得することを指示する通信電文を、特定のビームフォーマ IC 10 に送信する。

[0062] 制御装置 50 から送信されてきた通信電文が、特定のビームフォーマ IC 10 で受信されると、特定のビームフォーマ IC 10 に設けられたカウンタ制御回路 74 が、ADC 71 で変換されたデジタル信号を含む応答通信電文を生成する。尚、ADC 71 で変換されたデジタル信号を保持するレジスタが設けられている場合には、そのレジスタに保持されたデジタル信号を含む応答通信電文を生成してもよい。或いは、制御装置 50 は、ADC 71 で変換されたデジタル信号（又は、レジスタに保持されたデジタル信号）と、カウンタ 72 に保持されているカウント値（選択されている電力検出器 70 に応じたカウント値）とを含む応答通信電文を生成してもよい。カウンタ制御回路 74 で生成された応答通信電文は、制御装置 50 に送信される。制御装置 50 は、カウンタ制御回路 74 から送信されてきた応答通信電文を受信することで、ADC 71 で変換されたデジタル信号を取得する。

[0063] ここで、特定のビームフォーマ IC 10 の内部では、ADC 71 から変換完了を示す信号が出力されると、カウンタ制御回路 74 が、カウンタ 72 のカウント値をインクリメントする。尚、カウンタ 72 のカウント値が最大値

である場合には、カウンタ制御回路74は、カウンタ72のカウント値をゼロに設定する。そして、セレクタ73は、カウンタ72に新たに設定されたカウント値に応じた電力検出器70（例えば、RFフロントエンド5Bに設けられた電力検出器70）を、ADC71に接続させる。

[0064] ADC71に接続する電力検出器70の切り替えは、制御装置50から通信電文による指示を実施することを必要とせず、カウンタ制御回路74がカウンタ72のカウント値を制御することによって行われる。このため、制御装置50と、フェーズドアレイアンテナモジュール1との間で行われる制御通信を簡略化することができ、制御にかかる時間を短縮することができる。

[0065] 尚、カウンタ制御回路74は、前述した通り、ADC71から変換完了を示す信号が出力された場合ではなく、制御装置50からADC71で変換されたデジタル信号の取得要求があった場合に、カウンタ72のカウント値を制御するものであってもよい。このようなカウンタ制御回路74が設けられている場合には、カウンタ制御回路74において、応答通信電文が生成されるのと並行して、カウンタ72の制御（例えば、インクリメント）が行われる。

[0066] 続いて、制御装置50は、必要なデジタル信号を全て取得したか否かを判断する（ステップS15）。例えば、ビームフォーマIC10に設けられている16個の電力検出器70の検出結果を示すデジタル信号を全て取得したか否かを判断する。必要なデジタル信号を全て取得していないと判断した場合（判断結果が「NO」の場合）には、ステップS12～S15の処理を繰り返す。これに対し、必要なデジタル信号を全て取得したと判断した場合（判断結果が「YES」の場合）には、図4に示す一連の処理を終了する。

[0067] ここで、ステップS12～S15の処理が繰り返される場合には、カウンタ72のカウント値の制御（例えば、インクリメント）は、カウンタ制御回路74で行われる。このため、ステップS12～S15の処理が繰り返される場合には、図4に示すステップS11に相当する処理（制御装置50との通信電文のやりとり）が省略される。このため、例えば、ビームフォーマI

C 1 0 に設けられている 1 6 個の電力検出器 7 0 の検出結果を示すデジタル信号を全て取得する場合には、最初の電力検出器 7 0 の検出結果を示すデジタル信号を取得する場合にのみ、ステップ S 1 1 の処理が行われる。残りの 1 5 個の電力検出器 7 0 の検出結果を示すデジタル信号を取得する場合には、ステップ S 1 1 に相当する処理は行われない。

[0068] 以上の通り、本実施形態では、複数のパワーアンプ 6 4 に対応して設けられた複数の電力検出器 7 0 と、電力検出器 7 0 の検出結果をデジタル信号に変換する A D C 7 1 と、カウンタ 7 2 と、A D C 7 1 に接続させる電力検出器 7 0 を、カウンタ 7 2 のカウント値に応じて選択するセレクタ 7 3 と、カウンタ 7 2 のカウント値を制御するカウンタ制御回路 7 4 と、を備えている。これにより、上位の制御装置 5 0 が、A D C 7 1 に接続させる電力検出器 7 0 を指示するために必要な通信電文を少なくすることができる。そのため、従来よりも制御通信コストを低減することができる。

[0069] 以上、本発明の一実施形態によるビームフォーマ集積回路及びフェーズドアレイアンテナモジュールについて説明したが、本発明は上記実施形態に制限される訳ではなく、本発明の範囲内で自由に変更が可能である。例えば、上記実施形態で説明したフェーズドアレイアンテナモジュールは、時分割多重システム用のものであった。しかしながら、本発明のフェーズドアレイアンテナモジュールは、周波数分割多重システム用のものであってもよい。

[0070] また、上述した実施形態では、1つのアンテナ素子 2 1 と1つの R F フロントエンド 5 とが一对一に対応するように接続されている例について説明した。しかしながら、本発明では、水平偏波用の接続端子と垂直偏波用の接続端子とを有する両偏波アンテナ素子に2つのフロントエンドが接続されていてもよい。

符号の説明

[0071] 1…フェーズドアレイアンテナモジュール、1 0…ビームフォーマ I C、2 1…アンテナ素子、5 0…制御装置、7 0…電力検出器、7 1…アナログ・デジタル変換器 (A D C)、7 2…カウンタ、7 3…セレクタ、7 4…カ

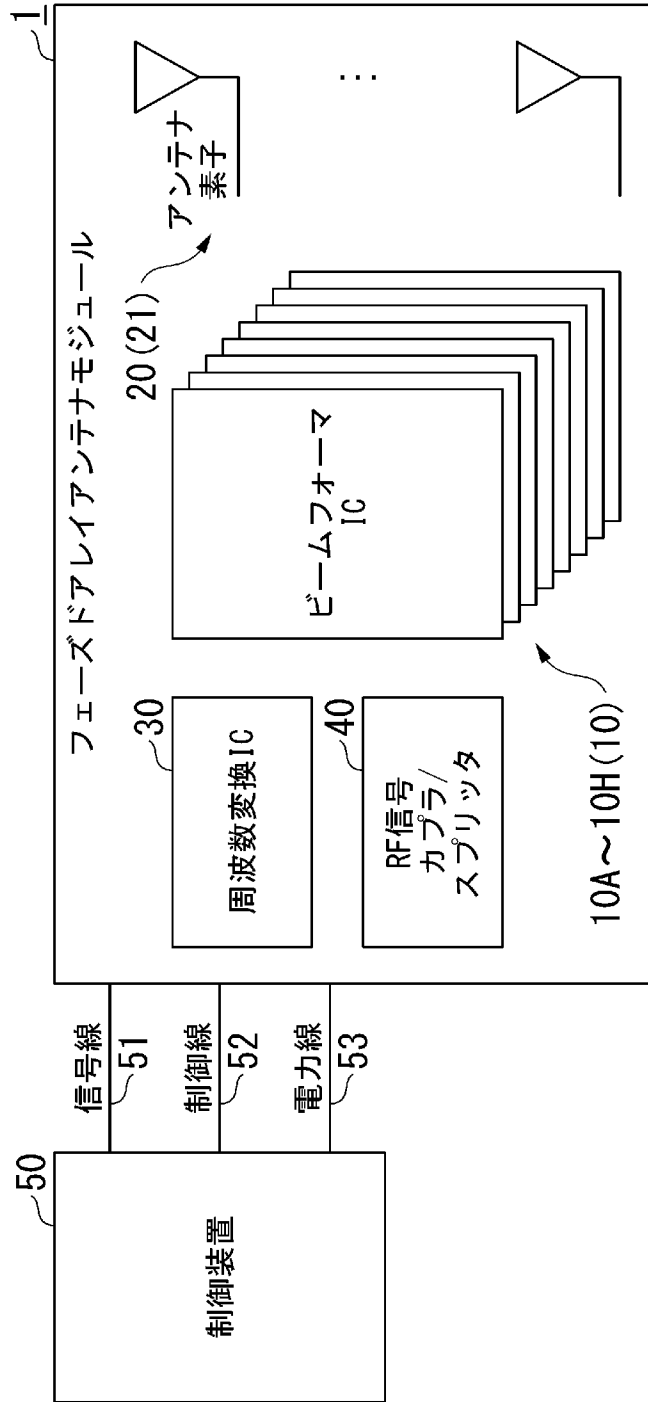
ウンタ制御回路

請求の範囲

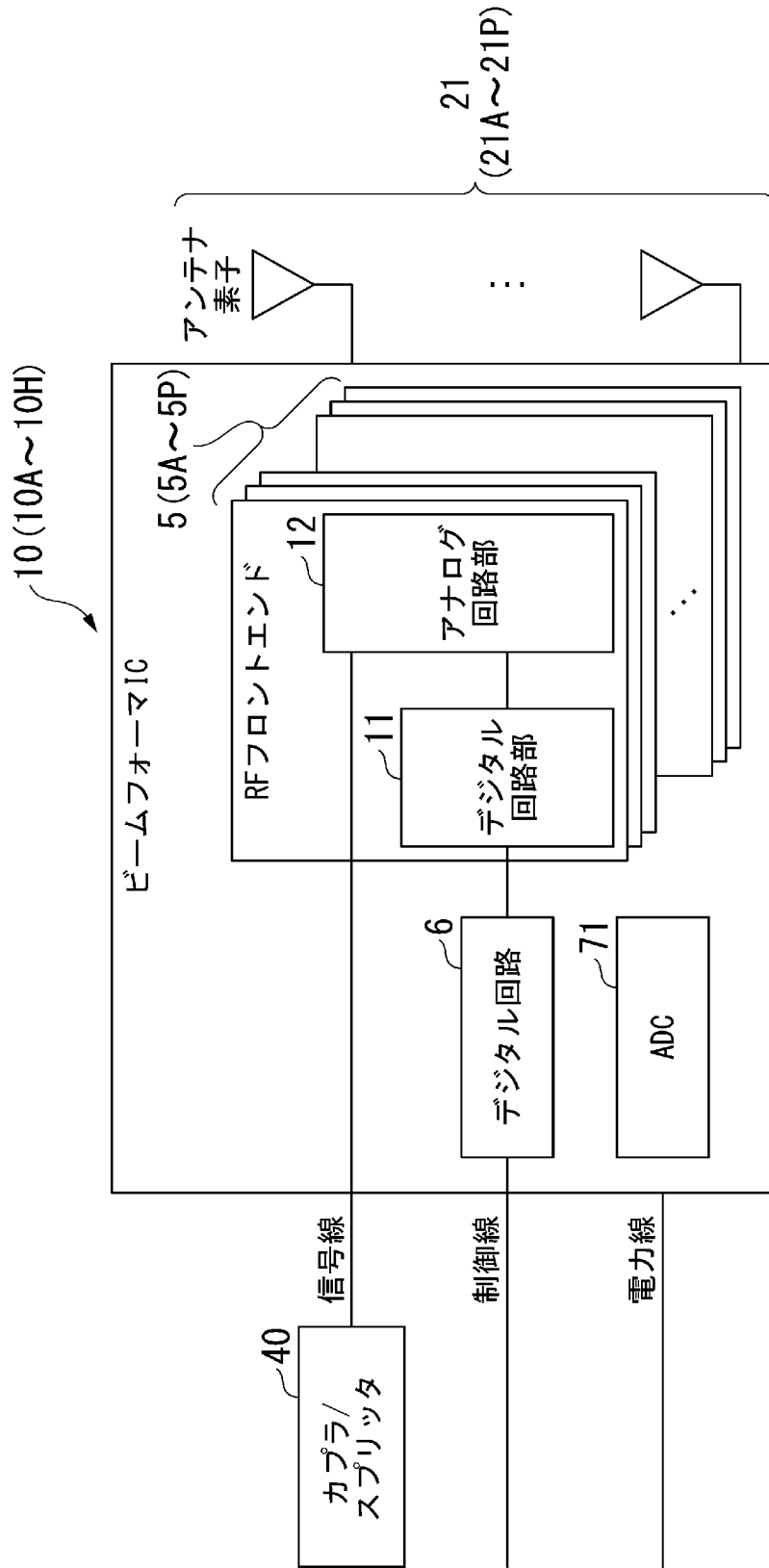
- [請求項1] 複数のパワーアンプに対応して設けられた複数の電力検出器と、前記電力検出器の検出結果をデジタル信号に変換する変換器と、カウンタと、前記変換器に接続させる前記電力検出器を、前記カウンタのカウンタ値に応じて選択するセレクタと、前記カウンタの前記カウンタ値を制御するカウンタ制御回路と、を備える、
ビームフォーマ集積回路。
- [請求項2] 前記カウンタ制御回路は、前記変換器から前記デジタル信号への変換完了を示す信号が出力された場合に、前記カウンタ値をインクリメントし、又は前記カウンタ値をゼロに設定する、
請求項1に記載のビームフォーマ集積回路。
- [請求項3] 前記カウンタ制御回路は、上位の制御装置から前記変換器で変換された前記デジタル信号の取得要求があった場合に、前記カウンタ値をインクリメントし、又は前記カウンタ値をゼロに設定する、
請求項1に記載のビームフォーマ集積回路。
- [請求項4] 前記カウンタ制御回路は、前記取得要求があった場合に、前記変換器によって変換された前記デジタル信号と前記変換器に接続された前記電力検出器に応じた前記カウンタ値とを前記上位の制御装置に送信する、
請求項3に記載のビームフォーマ集積回路。
- [請求項5] 複数のアンテナ素子と、前記複数のアンテナ素子に接続された請求項1から請求項4の何れか一項に記載のビームフォーマ集積回路と、を備える、

フェーズドアレイアンテナモジュール。

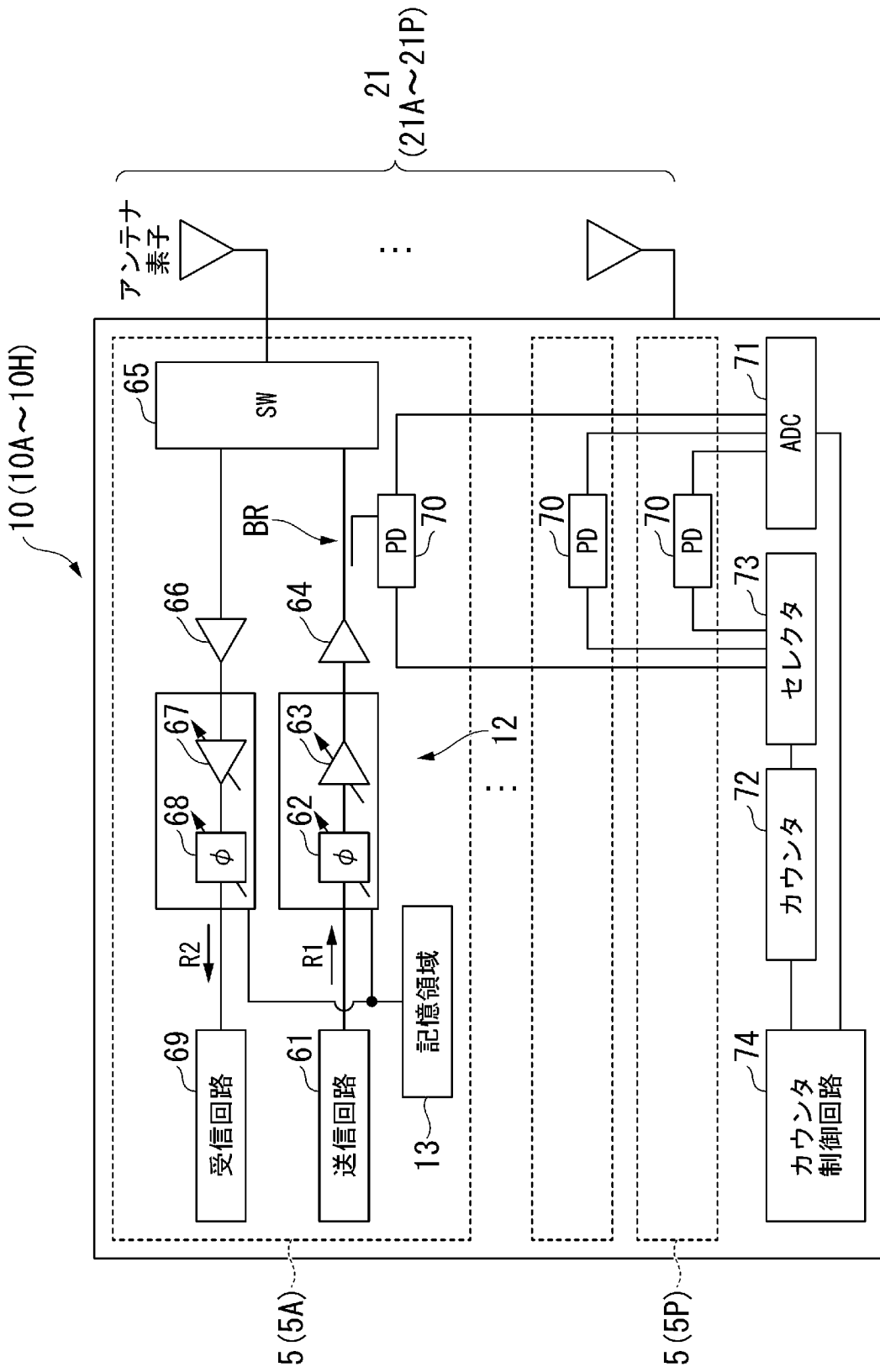
[図1]



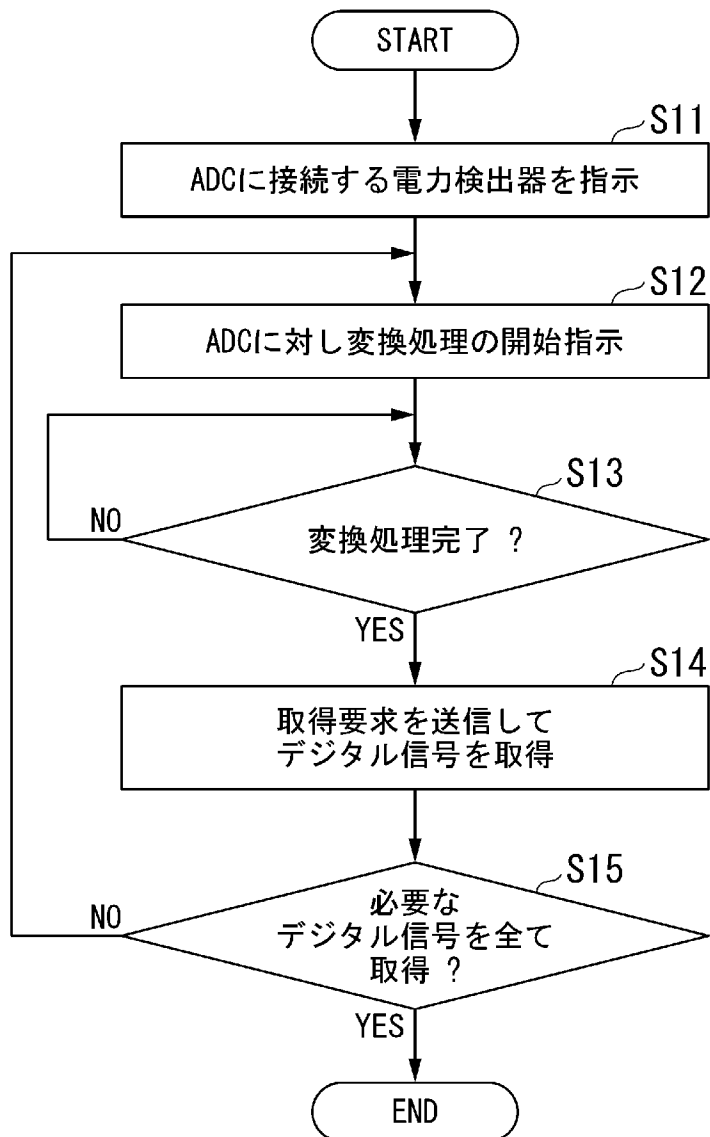
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/022560

A. CLASSIFICATION OF SUBJECT MATTER		
H04B 1/04 (2006.01)i; H01Q 3/26 (2006.01)i FI: H04B1/04 Z; H01Q3/26 Z		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04B1/04; H01Q3/26		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-251341 A (HITACHI KOKUSAI ELECTRIC INC.) 27 September 2007 (2007-09-27) entire text, all drawings	1-5
A	US 11115136 B1 (LG ELECTRONICS INC.) 07 September 2021 (2021-09-07) column 25, line 43 to column 25, line 64, fig. 19	1-5
A	US 2012/0163510 A1 (CHO, Woong) 28 June 2012 (2012-06-28) entire text, all drawings	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 August 2024		Date of mailing of the international search report 27 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/022560

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-251341	A	27 September 2007	(Family: none)	
US	11115136	B1	07 September 2021	(Family: none)	
US	2012/0163510	A1	28 June 2012	KR 10-2012-0070807 entire text, all drawings	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H04B 1/04(2006.01)i; H01Q 3/26(2006.01)i FI: H04B1/04 Z; H01Q3/26 Z		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04B1/04; H01Q3/26		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-251341 A (株式会社日立国際電気) 27.09.2007 (2007-09-27) 全文, 全図	1-5
A	US 11115136 B1 (LG ELECTRONICS INC.) 07.09.2021 (2021-09-07) 第25欄第43行-第25欄第64行、図19	1-5
A	US 2012/0163510 A1 (CHO WOONG) 28.06.2012 (2012-06-28) 全文, 全図	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 15.08.2024	国際調査報告の発送日 27.08.2024	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 麻生 哲朗 5K 2953 電話番号 03-3581-1101 内線 3596	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/022560

引用文献	公表日	パテントファミリー文献	公表日
JP 2007-251341 A	27.09.2007	(ファミリーなし)	
US 11115136 B1	07.09.2021	(ファミリーなし)	
US 2012/0163510 A1	28.06.2012	KR 10-2012-0070807 A 全文, 全図	