(19) INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL
PORTUGAL

(11) *Número de Publicação:* **PT 87379 B**

(51) *Classificação Internacional:* (Ed. 5)
G06F007/02 A

(12) *FASCÍCULO DE PATENTE DE INVENÇÃO*

(22) *Data de depósito:* 1988.04.29

(30) *Prioridade:* 1987.05.01 US 044611

(43) *Data de publicação do pedido:*
1989.05.31

(45) *Data e BPI da concessão:*
03/93 1993.03.03

(73) *Titular(es):*
RCA LINCENSING CORP.
TWO INDEPENDENCE WAY, CN5312 PRINCETON
NEW JERSEY 08540 US

(72) *Inventor(es):*
WILLIAM TAYLOR MAYWEATHER III US

(74) *Mandatário(s):*
ANTÓNIO JOÃO COIMBRA DA CUNHA FERREIRA
RUA DAS FLORES 74 4/AND. 1294 LISBOA PT

(54) *Epígrafe:* COMPARADOR DIGITAL **MULTIBIT DE LIMIAR**

(57) *Resumo:*

DESCRIÇÃO

DA

PATENTE DE INVENÇÃO

N.º 87 379

REQUERENTE: RCA LICENSING CORPORATION, norte-americana, com sede em Two Independence Way, Prince - ton, NJ 08540, Estados Unidos da América.

EPÍGRAFE: " COMPARADOR DIGITAL MULTIBIT DE LIMIAR "

INVENTORES: William Taylor Mayweather III.

Reivindicação do direito de prioridade ao abrigo do artigo 4.º da Convenção de Paris de 20 de Março de 1883. Estados Unidos da América, em 01 de Maio de 1987, sob o nº. 044.611.

67 565
RCA 84 242

PATENTE Nº 87 379

"Comparador digital multibit de limiar"

para que

RCA LICENSING CORPORATION, pretende obter privilégio de invenção em Portugal.

R E S U M O

O presente invento refere-se a um comparador digital multibit de limiar, que compreende uma fonte (X) de um sinal de entrada digital multibit representando um valor aritmético afectado de um sinal algébrico de uma fonte (T) de um sinal de limiar. Estão previstos meios (40) para a produção de um sinal representativo de grandeza. O sinal representativo de grandeza produzido tem ou o valor do sinal de entrada ou o do complemento dos uns do sinal de entrada conforme for o sinal algébrico do sinal de entrada. Um comparador (30') compara o sinal representativo de grandeza com o sinal de limiar. O comparador efectua uma de duas comparações conforme for o sinal algébrico do valor do sinal de entrada. Em primeiro lugar se o valor do sinal de entrada for de um primeiro sinal algébrico, então o comparador produz um sinal (39) com um primeiro estado se o valor do sinal representativo de grandeza for maior que o valor do sinal limiar. Em segundo lugar se o valor do sinal de entrada for de um segundo sinal algébrico, então o comparador produz um sinal (39) com um primeiro estado se o valor do sinal representativo de grandeza for maior ou igual ao valor do limiar. Não se verificando as condições anteriores o comparador produz um sinal com um segundo estado.

O presente invento é aplicável, por exemplo, em aparelhagens de som, digitais.

MEMÓRIA DESCRITIVA

O presente invento refere-se a um comparador digital multibit de limiar com uma estrutura de circuito simplificada, destinado a um sinal digital multibit.

Frequentemente é necessário comparar a grandeza de um sinal digital com um valor de limiar a fim de controlar o processamento de adaptação do sinal digital. Por exemplo num filtro de adaptação de um valor médio, uma dada amostra e várias amostras em seu redor são processadas para determinação do valor médio dessas amostras. Se a grandeza da diferença de valor entre a amostra de valor médio e uma dada amostra é maior que o valor limiar predeterminado então a amostra de valor médio vai substituir essa dada amostra na saída do filtro de adaptação de valor médio. Por outro lado, a amostra dada é produzida na saída do filtro de adaptação de valor médio. Neste caso é a grandeza da diferença entre essa dada amostra e as amostras de valor médio que é comparada com o valor de limiar.

É desejável conseguir-se um comparador de valor de limiar com um mínimo de circuitos. Tal aumentaria a fiabilidade e, se o circuito é produzido numa pastilha de circuito integrado, a área da pastilha necessária para a função do comparador de valor limiar reduzir-se-á ao mínimo.

O presente invento refere-se a um comparador digital multibit de valor de limiar, que incluí uma fonte de sinais digitais multibit de entrada representando um valor aritmético com sinal algébrico e uma fonte de sinal de limiar. Estão previstos meios para produzir um sinal representativo de grandeza. O sinal representativo de grandeza produzido, ou tem o valor do sinal de entrada ou o do complemento dos uns do sinal de entrada, conforme o sinal algébrico do valor do sinal de entrada. Um comparador compara o sinal representativo de grandeza com o sinal de limiar. Efectua-se uma de duas comparações conforme o sinal algébrico do valor do sinal de entrada. Em primeiro lugar se o valor do sinal de entrada tem um primeiro sinal algébrico, o comparador produz um sinal com um primeiro estado,

se o valor do sinal representativo de grandeza é maior que o valor do sinal de limiar. Em segundo lugar se o valor do sinal de entrada é de sinal algébrico contrário ao anterior o comparador produz um sinal com um primeiro estado, se o valor do sinal representativo de grandeza é maior ou igual ao valor do sinal de limiar. Assim não sendo o comparador produz um sinal com um segundo estado.

Nos desenhos:

a Fig. 1 -é um diagrama de blocos de um comparador digital multibit de limiar, segundo a técnica anterior;

a Fig. 2 -é um diagrama de blocos de um comparador que se pode utilizar no comparador de limiar da Fig. 1;

a Fig. 3 -é um diagrama de blocos de um comparador digital multibit de limiar de acordo com os princípios do presente invento;

a Fig. 4 -é um diagrama de blocos de um comparador que pode ser utilizado no comparador de limiar da Fig. 3; e

Fig. 5 -um diagrama esquemático de uma lamina de bit de comparador que pode ser utilizada no comparador representado na Fig. 4.

Nas Figs. 1 a 5 as linhas grossas representam os percursos de sinais digitais multibit e as linhas finas representam os percursos dos sinais digitais de um único bit. Além disso, para simplicidade, os retardamentos de ajustamento, que podem tornar-se necessários, entre os elementos das Figs., foram omitidos. Os especialistas em projecto de circuitos digitais saberão onde são necessários estes retardamentos e como realizá-los.

A Fig. 1 mostra um comparador de limiar de acordo com a técnica anterior. Na Fig. 1, um terminal de entrada 5 recebe uma amostra de entrada X que representa, por exemplo, a diferença entre uma dada amostra e a amostra representativa do valor médio produzida por um filtro de valor médio conforme se descreveu anteriormente. O terminal de entrada 5 está ligado a um terminal de entrada 21 de um circuito produtor de valor

absoluto 20. Um terminal de saída 29 do circuito produtor de valor absoluto 20, encontra-se ligado a um primeiro terminal de entrada (+) de um comparador (COMP) 30. Um terminal de saída 39 do comparador 30 encontra-se ligado a um terminal de saída 35 que por sua vez está ligado aos circuitos utilizadores (não representados). Por exemplo, o terminal de saída 35 pode estar ligado a um terminal de entrada de controlo de um multiplexador que produz quer a amostra dada quer a amostra representativa do valor médio na saída do filtro de valor médio, em resposta ao sinal no terminal de entrada de controlo como se descreveu no exemplo anterior. Um terminal de entrada 25 encontra-se ligado a uma fonte (não representada) de um sinal com um valor de limiar T. O terminal de entrada 25 encontra-se ligado a um segundo terminal de entrada (-) do comparador 30.

O terminal de entrada 21 do circuito produtor de valor absoluto 20 encontra-se ligado a um terminal de entrada de um inversor 22 e a um primeiro terminal (B) de um multiplexador (MUX) 24. O inversor 22 pode, por exemplo, ser constituído por um único inversor lógico para cada bit do sinal digital multibit. Um terminal de saída do inversor 22 encontra-se ligado a um primeiro terminal de entrada de um adicionador 26. Um terminal de saída do adicionador 26 encontra-se ligado a um segundo terminal de entrada (A) do MUX 24. Um terminal de saída do MUX 24 encontra-se ligado ao terminal de saída 29 do circuito produtor de valor absoluto 20. Um sinal representando uma amostra de valor "0" passa para um segundo terminal de entrada do adicionador 26 e um sinal lógico "1" passa para o terminal transmissor de entrada do adicionador 26. O bit de sinal algébrico do sinal no terminal de entrada 21 do circuito produtor de valor absoluto 20 é passado para o terminal de entrada de controlo (C) do MUX 24.

O comparador de valor de limiar representado na Fig. 1 está concebido para processar amostras digitais multibit de complemento de dois. Nos circuitos de complemento de dois, o bit mais significativo de uma amostra é o bit de sinal algébrico

que é um sinal lógico "0" se o valor da amostra é positivo ou nulo e um sinal lógico "1" se o valor da amostra é negativo. Para gerar o negativo aritmético da amostra complemento de dois, cada bit da amostra digital tem que ser invertido e adicionado um Um à amostra formada pelos bits invertidos logicamente.

No percurso superior dos sinais do circuito produtor de valor absoluto 20 mostrado na Fig. 1 a amostra de entrada é passada para o inversor 22. O inversor 22 gera o inverso lógico de cada bit da amostra de entrada. O adicionador 26 adiciona "1" à amostra invertida logicamente apresentando uma amostra de valor "0" num terminal de entrada, a amostra invertida logicamente no outro terminal de entrada e um sinal lógico "1" no terminal de entrada de transferência. A saída do adicionador 26 é assim uma amostra que é complemento de dois, ou o negativo aritmético da amostra recebida no terminal de entrada 21 do circuito produtor de valor absoluto 20.

O bit de sinal algébrico no terminal de entrada 21 do circuito produtor de valor absoluto 20 é passado para o terminal de entrada de controlo do MUX 24. Quando o sinal recebido no terminal de entrada de controlo C é um sinal lógico "1" (indicando que o valor da amostra de entrada é negativo) o MUX 24 fica condicionado de forma a ligar o terminal de entrada A com o seu terminal de saída. Dado que a amostra apresentada no terminal de entrada A é o negativo aritmético (valor negativo) da amostra de entrada a amostra de saída do MUX 24 tem o valor absoluto (valor positivo) do valor da amostra apresentado no terminal de entrada 21. Se o sinal no terminal de entrada de controlo C do MUX 24 é um sinal lógico "0" (indicando que o valor da amostra de entrada é positivo) o MUX 24 fica condicionado de forma a ligar o terminal de entrada B com o seu terminal de saída. Neste caso o circuito produtor de valor absoluto 20 produz no seu terminal de saída 29 o sinal a partir do seu terminal de entrada 21, que é já um número positivo.

A amostra representativa de valor absoluto é comparada com o valor de limiar T no comparador 30. A saída do comparador 30

é por exemplo, um "1" quando a amostra representativa de valor absoluto é maior que o valor de limiar e "0" se tal não acontecer.

A Fig, 2 mostra um comparador 30 que se pode utilizar no comparador de valor de limiar da Fig. 1. Na Fig. 2 o primeiro terminal de entrada (+) do comparador 30 encontra-se ligado a um terminal de entrada de subtractor (-) de um subtractor digital multibit 32. O segundo terminal de entrada (-) do comparador 30 encontra-se ligado a um terminal de entrada diminuendo (+) do subtractor 32. O bit de sinal algébrico (SIGN) de uma diferença (quer dizer diminuendo-subtractor) proveniente do terminal de saída do subtractor 32 é passado para o terminal de saída 39 do comparador 30.

Em operação, se o valor da amostra no primeiro terminal de entrada (+) do comparador 30 é maior que no segundo terminal de entrada (-), então o valor da diferença é negativo. O bit de sinal algébrico e, portanto, o sinal de saída proveniente do comparador 30 é um sinal lógico "1". Se o valor da amostra no primeiro terminal de entrada (+) do comparador 30 é menor ou igual ao do registado no segundo terminal de entrada, então o valor da diferença ou é positivo ou zero. Em ambos os casos o bit de sinal algébrico e portanto o sinal de saída do comparador 30 será um sinal lógico "0".

O circuito de valor absoluto 20 da Fig. 1 tem que conter inversores, um adicionador multibit e um multiplexador digital multibit. Estes circuitos são relativamente complicados e absorvem uma área considerável quando produzidos numa pastilha de circuito integrado.

A Fig. 3 representa um comparador de valor de limiar de acordo com os princípios do presente invento, que apresenta circuitos reduzidos em comparação com os da Fig. 1. Na Fig. 3 os elementos semelhantes aos da Fig. 1 estão referenciados pelos mesmos números e não serão tratados em pormenor. Na Fig. 3 a amostra de entrada X proveniente do terminal de entrada 5 é uma amostra de 9 bits como se indica pela barra que corta o percur

so do sinal digital multibit e pelo número 9 próximo da barra. A amostra de entrada X pode, por exemplo, ser uma amostra de complemento de dois de 8 bits com o bit de sinal algébrico replicado no mais significativo dos nove bits. O bit mais significativo (SIGN) do terminal de entrada 5 é passado para um primeiro terminal de entrada de uma porta OU (OR) exclusivo 40 e para um terminal de entrada de controlo ($GE/\overline{GT}$) de um comparador 30'. Os restantes 8 bits provenientes do terminal de entrada 5 são passados a um segundo terminal de entrada da porta OU (OR) exclusivo 40. A porta OU (OR) exclusivo 40 pode, por exemplo ter 8 portas OU (OR) exclusivo de 2 entradas, uma por cada bit de menor importância da amostra de entrada X. Um primeiro terminal de entrada de cada porta OU (OR) exclusivo encontra-se ligado de modo a receber o bit de sinal algébrico da amostra de entrada X. Um segundo terminal de entrada de cada porta OU (OR) exclusivo encontra-se ligado de modo a receber um bit diferente de todos os outros 8 bits da amostra de entrada X. Os terminais de saída das oito portas OU (OR) exclusivo em combinação formam um terminal de saída digital multibit da porta OU (OR) exclusivo 40. O terminal de saída da porta OU (OR) exclusivo 40 encontra-se ligado a um primeiro terminal de entrada (+) do comparador 30'.

Em operação o bit de sinal algébrico no terminal de entrada 5 é um sinal lógico "0" se o valor da amostra de entrada é positivo e um sinal lógico "1" se o valor da amostra de entrada é negativo. Se o bit de sinal algébrico for um sinal lógico "0" (indicando que o valor da amostra de entrada X é positivo) a porta OU (OR) exclusivo 40 deixa passar a amostra de entrada de valor positivo composta por 8 bits, recebida no seu segundo terminal de entrada, sem modificações, para o seu terminal de saída.

Se o bit de sinal algébrico é um sinal lógico "1" (indicando que o valor da amostra de entrada X é negativo) a porta OU (OR) exclusivo 40 gera uma amostra que é, bit por bit, o inverso lógico do sinal recebido no seu segundo terminal de en-

trada. A amostra resultante representa a grandeza do sinal de entrada negativo e é designada por o complemento dos uns da amostra de entrada X. (Para gerar o complemento de dois, a este sinal tem que se adicionar um "1"). Assim o bit de sinal algébrico do sinal de entrada é um sinal lógico "1", o valor do sinal representativo da grandeza na saída da porta OU (OR) exclusivo 40 é o valor absoluto da amostra de entrada X menos um (|X| - 1).

Por exemplo, se o valor da amostra de entrada X é 4 então a amostra representativa da grandeza no terminal de saída da porta OU (OR) exclusivo 40 tem o valor 4 (|X|). Se por outro lado, o valor da amostra de entrada X é -4 então a amostra representativa da grandeza no terminal de saída da porta OU (OR) exclusivo 40 tem o valor 3, (|X| - 1).

O sinal no terminal de entrada de controlo ($GE/\overline{GT}$) do comparador 30' dá ao comparador 30' condições para efectuar de forma selectiva uma de duas comparações. Quando o sinal no terminal de entrada de controlo ($GE/\overline{GT}$) é um sinal lógico "1", indicando que a amostra representativa da grandeza, proveniente da porta OU (OR) exclusivo 40 tem o valor |X|- 1, o comparador 30' gera, por exemplo, um sinal de saída "1" lógico quando o valor da amostra representativa da grandeza no seu primeiro terminal de entrada (+) é maior que ou igual ao valor de limiar no seu segundo terminal de entrada (-), e um sinal lógico "0" se tal não se verificar. Quando o sinal no terminal de entrada de controlo ($GE/\overline{GT}$) é um sinal lógico "0", indicando que a amostra representativa da grandeza proveniente da porta OU (OR) exclusivo 40 tem o valor |X|, o comparador 30' gera um sinal de saída lógico "1" quando o valor da amostra representativa da grandeza no primeiro terminal de entrada (+) é maior que o valor de limiar no segundo terminal de saída (-), e um sinal lógico "0" se tal não se verificar.

Com referência, novamente à Fig. 3, quando o bit de sinal algébrico da amostra X é um sinal lógico "0" (X é positivo ou zero), o valor do sinal representativo da grandeza proveniente da porta OU (OR) exclusivo 40 é |X|. O comparador 30' recebe

condições para efectuar uma comparação "maior que". Esta comparação pode ser expressa matematicamente por:

$$|X| > T \qquad (1)$$

Quando o bit de sinal algébrico da amostra de entrada X é um sinal lógico "1" (X é negativo) o valor do sinal representativo de grandeza é $|X| - 1$. O comparador recebe condições para efectuar uma comparação "maior ou igual a". Esta comparação pode ser expressa matematicamente por:

$$|X| - 1 \geqq T \qquad (2)$$

Um sinal digital multibit como a amostra de entrada X só pode ter valores inteiros. Num sistema apenas de inteiros, se um número é maior que um limiar predeterminado então esse número menos um é igual ou maior que esse mesmo limiar predeterminado. Inversamente se um número não é maior que o limiar predeterminado então esse número menos um não é maior nem igual ao limiar predeterminado.

Por exemplo, o número 4 é maior que um valor de limiar de 3 e 4-1 (=3) é maior ou igual ao valor de limiar de 3. O número 3 não é maior que o valor de limiar de 3 e 3-1 (=2) não é maior nem igual ao valor de limiar de 3. As comparações das equações (1) e (2) são portanto comparações equivalentes.

Num comparador como o representado na Fig. 2 não é necessário um subtractor completo como o subtractor 32. Pelo contrário, basta introduzir os circuitos necessários para gerar um sinal que indique os resultados da comparação.

A Fig. 4 é um diagrama de blocos de um comparador com um mínimo de circuitos. Nesta concretização o sinal de entrada ($\bar{T}$) do valor de limiar é o inverso bit por bit ou o complemento de uns do valor de limiar desejado. Se se usar um valor limiar fixo então: primeiro o valor lógico de cada bit desse valor de limiar desejado tem que ser determinado; segundo, cada bit do valor de limiar tem que ser invertido logicamente (gerando o sinal $\bar{T}$); terceiro, cada bit ($\bar{t}$) do sinal ($\bar{T}$) é passado a uma fonte de um sinal lógico "1" ou de um sinal lógico "0"

conforme o caso. Se se usar um valor de limiar variável então podem ligar-se múltiplos inversores, um por cada bit do sinal do valor de limiar, entre a fonte do sinal de valor de limiar variável e o terminal de entrada (-) de sinal de valor de limiar ($\bar{T}$) do comparador 30' representado a tracejado na Fig. 4 como um inversor 36.

Na Fig. 4, várias lâminas de bit de comparador 34_i ($0 \leq i \leq 7$) estão ligadas em série entre o terminal de entrada de controlo ($GE/\bar{GT}$) e o terminal de saída 39. Cada lâmina de bit 34_i tem um terminal de entrada de empréstimo (borrow) (bin) e um terminal de saída de empréstimo (borrow) (bout). O terminal de entrada de controlo ($GE/\bar{GT}$) está ligado ao terminal de entrada de empréstimo (bin) da lâmina de bit 34_0. O terminal de saída de empréstimo (bout) da lâmina de bit 34_0 está ligada ao terminal de entrada de empréstimo (bin) da lâmina de bit 34_1. As restantes lâminas de bit encontram-se ligadas de forma semelhante em cadeia. O terminal de saída de empréstimo (bout) da lâmina de bit 34_7 está ligado ao terminal de saída 39.

Cada lâmina de bit 34_i tem ainda um primeiro e um segundo terminal de entrada de bit m e $\bar{t}$ respectivamente. O "LSB" do sinal M representativo de grandeza é passado do primeiro terminal de entrada (+) do comparador 30' para o terminal de entrada m da lâmina de bit 34_0; o bit seguinte de menor significado é passado ao terminal de entrada m da lâmina de bit 34_1 e assim por diante. O "MSB" do sinal M é passado ao terminal de entrada m da lâmina de bit 34_7. O "LSB" do sinal de valor de referência $\bar{T}$ (invertido) proveniente do segundo terminal de entrada (-) do comparador é passado ao terminal de entrada $\bar{t}$ da lâmina de bit 34_0. Em operação cada lâmina de bit 34_i do comparador 30' da Fig. 4 executa a seguinte operação. Se o sinal de entrada m é um sinal lógico "1" e o sinal de saída $\bar{t}$ é um sinal lógico "1" representando um sinal t de um sinal lógico "0" ($m > t$) então gera-se um sinal de saída de empréstimo (bout). Se o sinal de entrada m é um sinal lógico "0" e o sinal de entrada $\bar{t}$ é um sinal lógico "0" representando um sinal t de um sinal lógico "1" ($m < t$), então gera-se um sinal de saída de em-

préstimo (bout) lógico "0". Se o sinal de entrada m é um sinal lógico "0" e o sinal de entrada $\bar{t}$ é um sinal lógico "1" representando um sinal t de um sinal lógico "0", ou se o sinal de entrada lógico m é um sinal lógico "1" e o sinal de entrada $\bar{t}$ é um sinal lógico "0" representando um sinal t de um sinal lógico "1" (m = t) então gera-se o sinal de saída de empréstimo (bout) com o mesmo valor do sinal de entrada de empréstimo (bin).

Os sinais de empréstimo são gerados por ordem da posição do bit de menor significado para a posição do bit de maior significado dos sinais M e $\bar{T}$. Se m > t numa posição de bit e m = t em cada posição de bit de maior significado então M > T e gera-se um sinal lógico "1" no terminal de saída 39. Se m < t numa dada posição de bit e m = t em cada posição de bit de maior significado, então M < T e gera-se um sinal lógico "0" no terminal de saída 39.

Se m = t em cada posição de bit, então M = T. O sinal de saída gerado no terminal de saída 39 tem o mesmo valor do sinal no terminal de entrada de controlo ($GE/\bar{G}\bar{T}$). Se o sinal no terminal de entrada de controlo ($GE/\bar{G}\bar{T}$) é um sinal lógico "0" então gera-se um sinal de saída lógico "0" quando M = T, e o comparador 30' efectua uma comparação "maior que". Se o sinal no terminal de entrada de controlo ($GE/\bar{G}\bar{T}$) é um sinal lógico "1", então gera-se um sinal de saída lógico "1" quando M = T, e o comparador 30' efectua uma comparação "maior ou igual a".

A Fig. 5 é um diagrama esquemático que mostra uma lâmina de bit 34_i do comparador 30' representado na Fig. 4. Na Fig. 5 os transistores MOS tipo P estão representados com pequenos círculos nos eléctrodos de porta para indicar que o circuito de drenagem de fonte do transistor se encontra condicionado de modo a oferecer condutibilidade em resposta a um sinal lógico "0" (potencial terra) no seu eléctrodo de porta. Os transistors MOS tipo N estão representados sem pequenos círculos nos eléctrodos de porta para indicar que o circuito de drenagem de fonte do transistor se encontra condicionado de modo a oferecer condutibilidade em resposta a um sinal lógico "1" (poten-

cial de alimentação) no seu eléctrodo de porta.

Na Fig. 5 os circuitos de drenagem de fonte dos transistores MOS tipo P, Q1 e Q2 e os transistores MOS tipo N, Q3 e Q4 estão ligados em série e por essa ordem entre a fonte de potencial de alimentação (V_{DD}) é uma fonte de potencial referência (terra). Um circuito de drenagem de fonte de um outro transistor MOS tipo P, Q5 encontra-se ligada em paralelo com o circuito de drenagem de fonte do transistor MOS, Q1, e um circuito de drenagem de fonte de um outro transistor MOS tipo N, Q6, encontra-se ligado em paralelo com o circuito de drenagem de fonte do transistor MOS, Q4. Os circuitos de drenagem de fonte dos transistores MOS tipo P, Q7 e Q8 e dos transistores tipo N, Q9 e Q10 estão ligados em série e por essa ordem entre a fonte de potencial de alimentação (V_{DD}) e a fonte de potencial de referência (terra). Os circuitos de drenagem de fonte de um transistor MOS tipo P, Q11, e de um transistor MOS tipo N, Q12, encontram-se ligados em série entre a fonte de potencial de alimentação (V_{DD}) e a fonte de potencial de referência (terra).

Um primeiro terminal de entrada 31 recebe um sinal de empréstimo (bin). O terminal de entrada 31 está ligado aos respectivos eléctrodos de porta dos transistores Q2 e Q3. Um segundo terminal de entrada (m) recebe um determinado bit do sinal (M) representativo de grandeza, proveniente do primeiro terminal de entrada (+) do comparador 30', como se mostrou na Fig. 4. O terminal de entrada (m) encontra-se ligado aos eléctrodos de porta correspondentes aos transistores MOS, Q1, Q4, Q7, e Q10. Um terceiro terminal de entrada ($\bar{t}$) recebe um bit predeterminado do sinal de valor de limiar ($\bar{T}$) proveniente do segundo terminal de entrada (-) do comparador 30', como se mostra na Fig. 4. O terminal de entrada ($\bar{t}$) está ligado aos eléctrodos de porta respectivos dos transistores MOS, Q5, Q6, Q8 e Q9. Os bits predeterminados dos sinais chegados aos terminais de entrada m e $\bar{t}$ são bits com a mesma importância de significado dos respectivos sinais multibit.

A junção dos circuitos de drenagem de fonte dos transis-

tores MOS, Q2 e Q3 encontra-se ligada à junção dos circuitos de drenagem de fonte dos transistores MOS, Q8 e Q9, e aos eléctrodos de porta correspondentes dos transistores MOS, Q11 e Q12, através da passagem de sinal 33. A junção dos circuitos de drenagem de fonte dos transistores MOS, Q11 e Q12 encontra-se ligada a um terminal de saída 37 da lâmina de bit do comparador 30' e produz o sinal de saída de empréstimo (bout)

Em operação cada lâmina de bit 34_i do comparador 30', representada na Fig. 5, efectua a operação descrita anteriormente em correlação com a Fig. 4. Na Fig. 5 os transistores MOS, Q2 e Q3 formam um inversor que processa o sinal de entrada de empréstimo (bin) proveniente do terminal binário de entrada 31. Os transistores MOS, Q1, Q4, Q5 e Q6 activam ou desactivam o inversor formado pelos transistores MOS Q2 e Q3. Os transistores Q1 e Q5 fornecem potencial de alimentação ao inversor. Pelo menos um dos bits de entrada m ou $\bar{t}$ tem que ser o sinal lógico "0" para que o inversor receba potencial de alimentação. Se ambos os bits forem sinais lógicos "1" então o inversor não recebe potencial de alimentação e a passagem de sinal 33 fica isolada do terminal de entrada 31. Os transistores MOS, Q4 e Q6 fornecem o potencial de referência ao inversor. Pelo menos um dos bits de entrada m ou $\bar{t}$ tem que ser um sinal lógico "1" para que o inversor receba o potencial de referência. Se ambos os bits forem sinais lógicos "0" então o inversor não recebe o potencial de referência e a passagem de sinal 33 fica isolada do terminal de entrada 31. Assim se m e $\bar{t}$ forem iguais a passagem de sinal 33 fica isolada do terminal de entrada 31 e se forem diferentes a passagem de sinal 33 transporta um sinal que é o inverso lógico do sinal de entrada de empréstimo (bin) recebido no terminal de entrada de empréstimo 31.

Como anteriormente se descreveu se m e $\bar{t}$ forem iguais então a passagem de sinal 33 fica isolada do terminal de entrada de empréstimo 31. Se m e $\bar{t}$ forem ambos sinais lógicos "0" então os transistores MOS, Q7 e Q8 recebem os dois condições para se tornarem condutivos e os transistores MOS, Q7 e Q8, rece

bem condições para se tornarem não condutivos. A passagem de sinal 33 encontra-se ligada à fonte de potencial de alimentação V_{DD} e produz portanto um sinal lógico "1". Se m e $\bar{t}$ forem ambos sinais lógicos "1" então os transistores MOS, Q7 e Q8 recebem os dois condições para se tornarem não condutivos e os transistores MOS, Q9 e Q10, recebem condições para se tornarem condutivos. A passagem de sinal 33 encontra-se ligada à fonte de potencial de referência (terra) e produz portanto um sinal lógico "0".

Os transistores Q11 e Q12, em combinação, formam um inversor. A passagem de sinal 33 fornece um sinal ao terminal de entrada do inversor e o terminal de saída fornece um sinal de saída de empréstimo (bout) ao terminal de saída 35 da lâmina de bit do comparador.

Em resumo três situações são possíveis. Primeira; se m e $\bar{t}$ são ambos sinais lógicos "0" (ou seja m é um sinal lógico "0" e t é um sinal lógico "1" o que quer dizer $m < t$) então o sinal de saída binário (bout) é um sinal lógico "0". Segunda; se m e $\bar{t}$ são ambos sinais lógicos "1" (ou seja m é um sinal lógico "1" e t é um sinal lógico "0" o que quer dizer $m > t$) então o sinal de saída binário (bout) é um sinal lógico "1". Terceira; se m não é igual a $\bar{t}$ (ou seja m é igual a t o que quer dizer $m = t$) então o sinal de saída binário (bout) é igual ao sinal de entrada binário (bin).

REIVINDICAÇÕES

1ª. - Comparador digital multibit de limiar, caracterizado por compreender:

uma fonte (X) de um sinal de entrada digital multibit representando um valor aritmético afectado de um sinal algébrico;

uma fonte (T) de um sinal de limiar;

meios (40) para a produção de um sinal representativo de grandeza que selectivamente tem o valor do referido sinal de entrada ou o valor do complemento dos uns do referido sinal de entrada em resposta ao sinal algébrico do valor aritmético do referido sinal de entrada; e

meios comparadores (30') para gerar um sinal de saída com um primeiro estado quando:

a) o valor do referido sinal de entrada tem um primeiro sinal algébrico e o valor do referido sinal representativo de grandeza é maior que o valor do referido sinal de limiar, ou

b) o valor do referido sinal de entrada tem um segundo sinal algébrico e o valor do referido sinal representativo de grandeza é maior ou igual ao valor do referido sinal de limiar,

e gerar um segundo estado quando não se verifiquem as condições anteriores.

2ª. - Comparador de acordo com a reivindicação 1, caracterizado por:

o referido sinal de entrada ser representado na forma de complemento de dois e incluir um bit de sinal algébrico indicando o sinal algébrico do valor do referido sinal de entrada; e

o referido produtor de sinal representativo de grandeza compreender uma pluralidade de portas OU (OR) exclusivo respondendo os respectivos primeiros terminais de entrada todos ao referido bit de sinal algébrico, respondendo os respectivos segundos terminais de entrada a bits mutuamente diferentes do referido sinal de entrada, e produzindo os respectivos terminais

de saída, em combinação, o referido sinal representativo de grandeza.

3ª. - Comparador de acordo com a reivindicação 1, caracterizado por os referidos meios comparadores compreenderem um subtractor com um terminal de entrada diminuendo ligado à referida fonte de sinal de limiar, um terminal de entrada diminuidor ligado ao referido produtor de sinal representativo de grandeza e um terminal de saída que produz o referido sinal de saída dos referidos meios comparadores.

4ª. - Comparador de acordo com a reivindicação 1, caracterizado por os referidos meios comparadores compreenderem:

uma pluralidade de circuitos individuais de bit do comparador cada um com um terminal de entrada de empréstimo ("borrow"), um terminal de saída de empréstimo e primeiro e segundo terminais de entrada de bit, cada um para gerar um sinal no referido terminal de saída de empréstimo com um primeiro estado quando o sinal no referido primeiro terminal de entrada de bit é maior do que o sinal no referido segundo terminal de entrada de bit, e com um segundo estado quando o sinal no referido primeiro terminal de entrada de bit é menor do que o sinal no referido segundo terminal de entrada de bit e com o estado do sinal no referido terminal de entrada de empréstimo quando o sinal no referido primeiro terminal de entrada de bit é igual ao sinal no referido segundo terminal de entrada de bit.

5ª. - Comparador de acordo com a reivindicação 4, caracterizado por

um primeiro circuito da referida pluralidade de circuitos individuais de bit ter o referido terminal de entrada de empréstimo ligado a um terminal de entrada de controlo dos referidos meios comparadores;

um último circuito da referida pluralidade de circuitos individuais de bit ter o referido terminal de saída de empréstimo que produz o referido sinal saída dos referidos meios comparadores; e

os restantes circuitos da referida pluralidade de circuitos

individuais de bit terem os respectivos terminais de entrada de empréstimo e de saída de empréstimo ligados em série entre o referido terminal de saída de empréstimo do referido circuito individual de bit e o referido terminal de saída de empréstimo do referido último circuito individual de bit.

6ª. - Comparador de acordo com a reivindicação 5, caracterizado por:

os respectivos primeiros terminais de entrada de bit da referida pluralidade de circuitos individuais de bit responderem a bits mutuamente diferentes do referido sinal representativo de grandeza; e

os respectivos segundos terminais de entrada de bit da referida pluralidade de circuitos individuais de bit responderem a sinais mutuamente diferentes do referido sinal de limiar.

7ª. - Comparador de acordo com a reivindicação 4, caracterizado por pelo menos um dos referidos circuitos individuais de bit do comparador compreender:

um interruptor controlado ligado entre o referido terminal de entrada de empréstimo e o referido terminal de saída de empréstimo para ligar selectivamente o referido terminal de entrada de empréstimo ao referido terminal de saída de empréstimo em resposta a uma condição de igualdade dos sinais recebidos nos referidos primeiro e segundo terminais de entrada de bits, isolando o referido terminal de entrada de empréstimo do referido terminal de saída de empréstimo quando aquelas condições não se verifiquem;

primeiros meios para ligar o referido terminal de saída de empréstimo a uma fonte de um sinal com um primeiro estado em resposta ao facto do sinal no referido primeiro terminal de entrada de bit ser maior do que o sinal no segundo terminal de entrada de bit e

segundos meios para ligar o referido terminal de saída de empréstimo a uma fonte de um sinal com o referido segundo estado em resposta ao facto do sinal no referido primeiro terminal de entrada de bit ser menor do que o sinal no referido segundo terminal de entrada de bit.

8ª. - Comparador de acordo com a reivindicação 7, caracterizado por o referido interruptor controlado compreender:

um primeiro e um segundo transistores MOS de um primeiro tipo de condutividade e um terceiro e quarto transistores MOS de um segundo tipo de condutividade com os respectivos circuitos de drenagem de fonte ligados em série entre a referida fonte de um sinal com o referido primeiro estado e a referida fonte de um sinal com o referido segundo estado e tendo os respectivos eléctrodos de porta;

um quinto transistor MOS com uma conductividade do primeiro tipo com um circuito de drenagem de fonte ligado em paralelo com o referido circuito de drenagem de fonte do referido primeiro transistor MOS e tendo um eléctrodo de porta;

um sexto transistor MOS com uma condutividade do segundo tipo com um circuito de drenagem de fonte ligado em paralelo com o referido circuito de drenagem de fonte do referido quarto transistor MOS e apresentando um eléctrodo de porta;

primeiros meios para ligar o referido primeiro terminal de entrada de bit aos referidos eléctrodos de porta dos referidos primeiro e quarto transistores MOS;

segundos meios para ligar o referido segundo terminal de entrada de bit aos referidos eléctrodos de porta dos referidos quinto e sexto transistores MOS;

terceiros meios para ligar o referido terminal de entrada de empréstimo aos referidos eléctrodos de porta dos referidos segundo e terceiro transistores MOS; e

quartos meios para ligar a junção dos referidos circuitos de drenagem de fonte dos segundo e terceiro transistores MOS ao referido terminal de saída de transmissão.

9ª. - Comparador de acordo com a reivindicação 8, caracterizado por os primeiros meios de ligação compreenderem:

um sétimo e um oitavo transistores MOS com uma conductividade do primeiro tipo com os respectivos circuitos de drenagem de fonte ligados entre a referida fonte de um sinal com o referido primeiro estado e o referido terminal de saída de empréstimo e apresentando os respectivos eléctrodos de porta;

meios para ligar o referido primeiro terminal de entrada de bit ao referido eléctrodo de porta do referido sétimo transistor MOS; e

meios para ligar o referido segundo terminal de entrada de bit ao referido eléctrodo de porta do referido oitavo transistor MOS.

10ª. - Comparador de acordo com a reivindicação 9, caracterizado por os segundos meios de ligação compreenderem:

um nono e um décimo transistores MOS com uma conductividade do segundo tipo com os respectivos circuitos de drenagem de fonte ligados entre a referida fonte de um sinal com o referido segundo estado e o referido segundo terminal de saída de empréstimo e apresentando os respectivos eléctrodos de porta;

meios para ligar o referido terminal de entrada de bit ao referido eléctrodo de porta do referido décimo transistor MOS; e

meios para ligar o referido segundo terminal de entrada de bit ao referido eléctrodo de porta do referido nono transistor MOS.

Lisboa, 29 ABR 1983

Por RCA LICENSING CORPORATION
- O AGENTE OFICIAL -

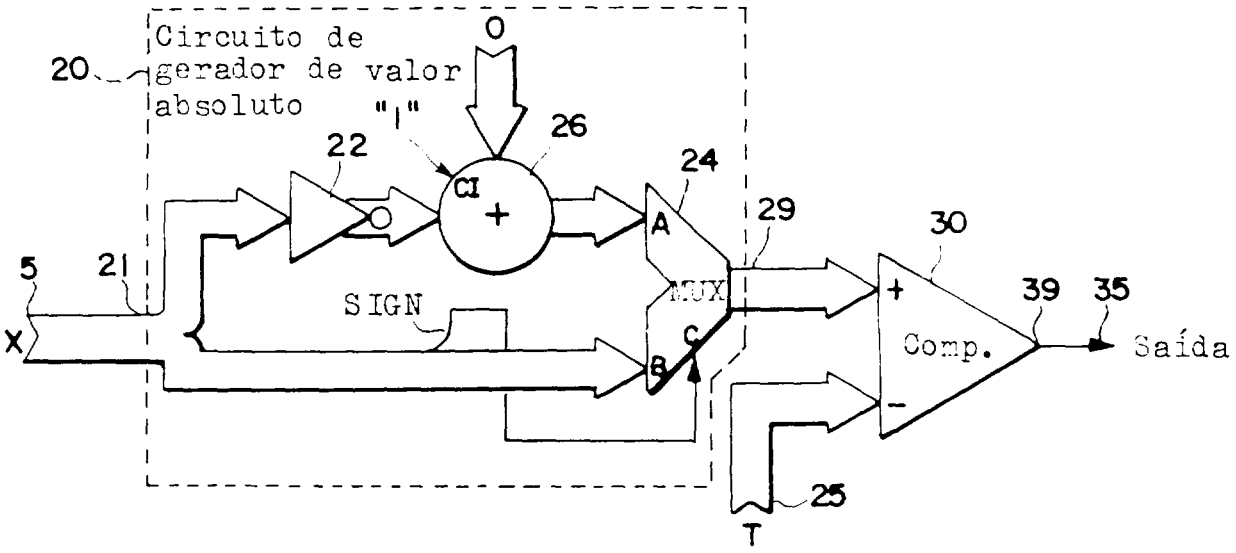


FIG. 1 Técnica anterior

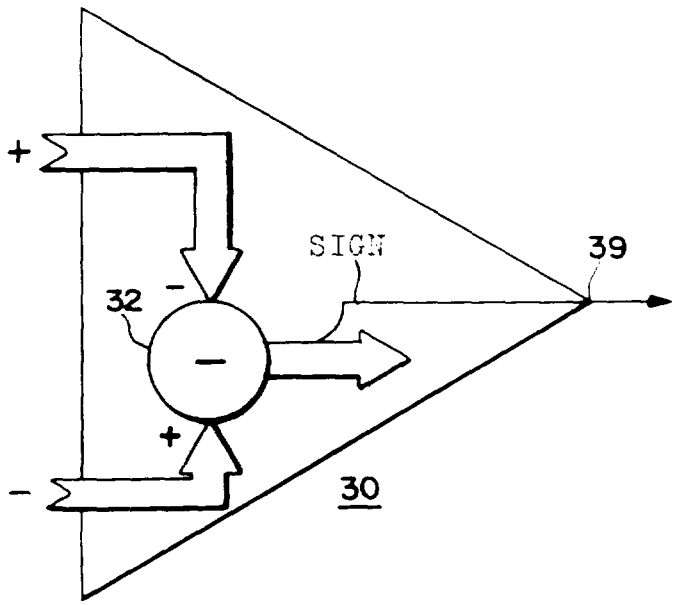


FIG. 2

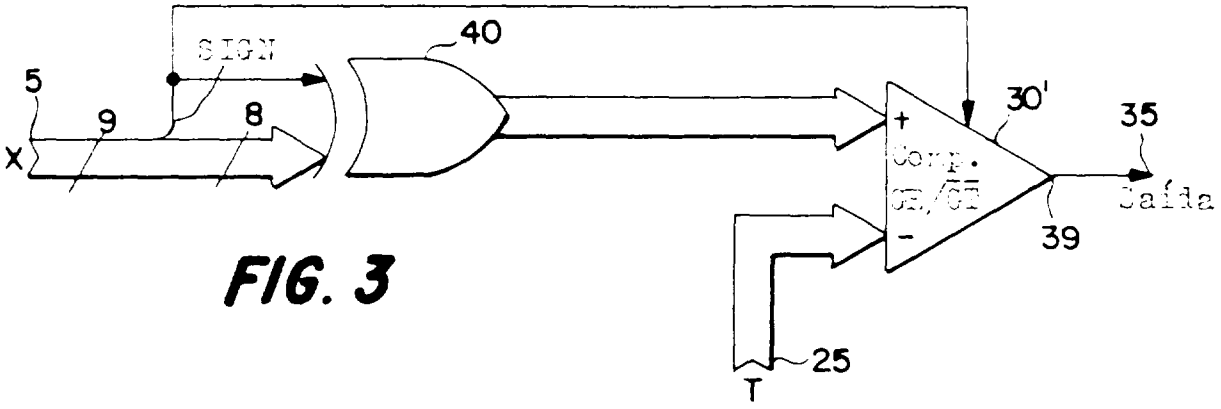
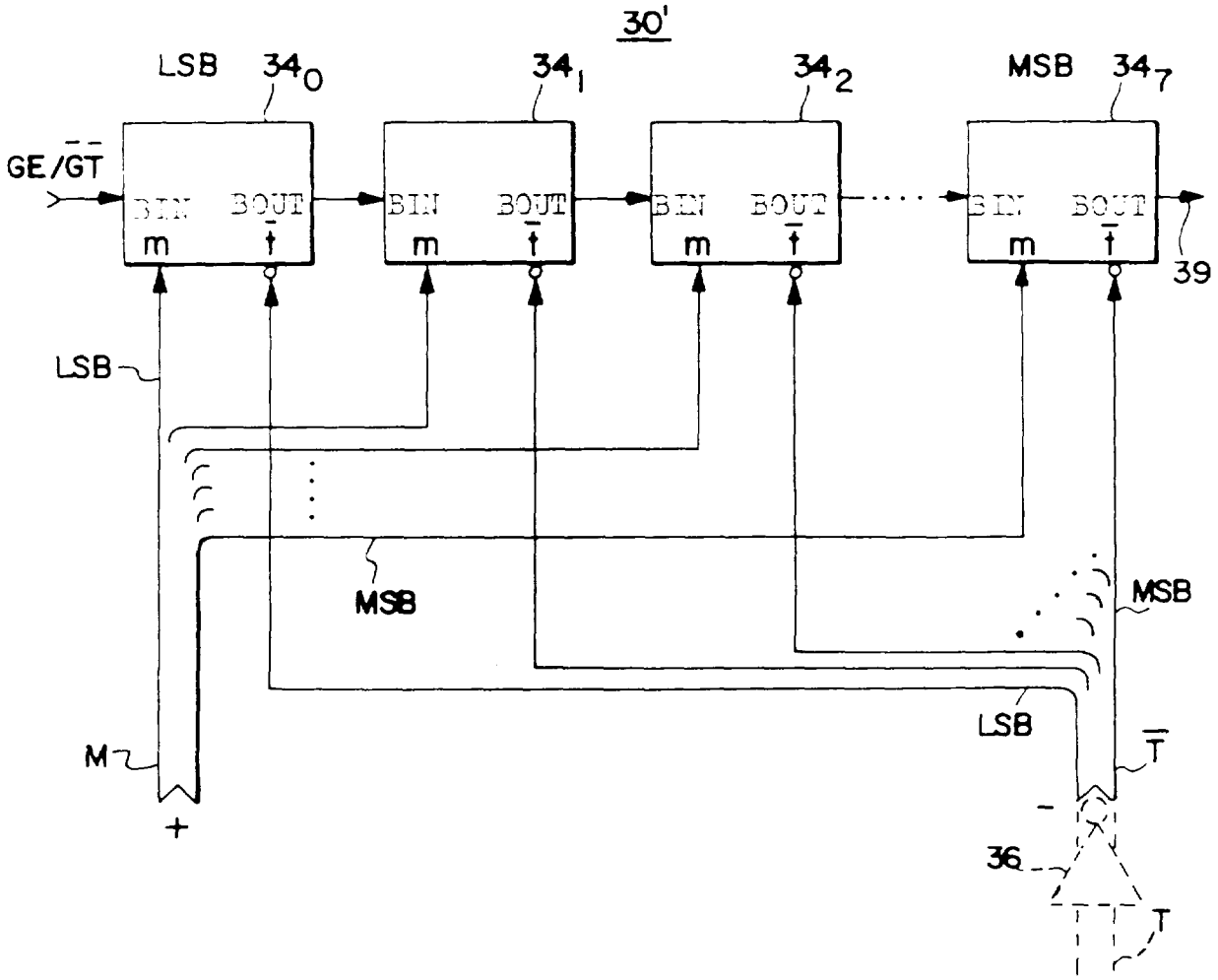

SIGN
40
5
9
8
X
30'
35
+
Comp.
GE/GT
-
39
Salida
25
T

FIG. 3

FIG. 4


30'
LSB
34_0
34_1
34_2
MSB
34_7
GE/GT
BIN
BOUT
m
t
39
LSB
MSB
MSB
LSB
M
+
T
36
T

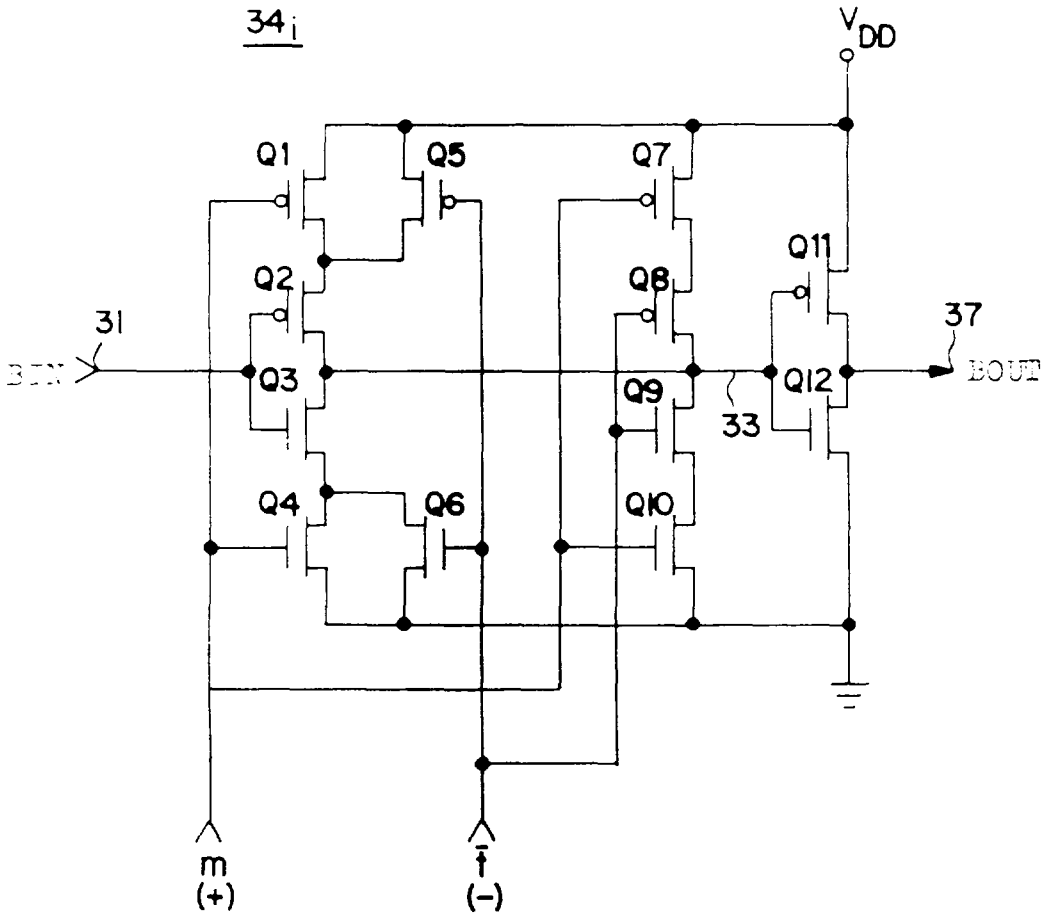


FIG. 5