

發明專利說明書 200423151

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97102193

※申請日期：97.1.30

※IPC 分類：G11C 7/18

壹、發明名稱：(中文/英文)

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商夏普股份有限公司

SHARP KABUSHIKI KAISHA

代表人：(中文/英文)

町田 勝彦

MACHIDA, KATSUHIKO

住居所或營業所地址：(中文/英文)

日本國大阪府大阪市阿倍野區長池町22番22號

22-22, NAGAIKE-CHO ABENO-KU OSAKA-SHI, OSAKA 545-8522,
JAPAN

國籍：(中文/英文)

日本 JAPAN

參、發明人：(共 1 人)

姓名：(中文/英文)

森川 佳直

MORIKAWA, YOSHINAO

住居所地址：(中文/英文)

日本國奈良縣生駒市壹分町607-38

607-38, ICHIBU-CHO, IKOMA, NARA, 630-0222, JAPAN

國籍：(中文/英文)

日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2003年01月30日；特願2003-022805
2. 日本；2003年12月26日；特願2003-433814
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2003年01月30日；特願2003-022805
2. 日本；2003年12月26日；特願2003-433814
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體記憶裝置，詳言之，係關於可藉分別選擇連接於讀出對象之記憶胞之字元線、位元線及假想接地線而選擇該記憶胞，以執行記憶資料之讀出之半導體記憶裝置。

【先前技術】

以往，在遮罩ROM(遮罩可程式化唯讀記憶體)及快閃記憶體等之非揮發性半導體記憶裝置中，有利用位元線與假想接地線執行記憶胞之讀出之方式。以下，使用記憶胞構造簡單之遮罩ROM之記憶胞加以說明。圖8係表示使用該假想接地線之讀出方式之概念圖。該方式係在列及行方向以矩陣狀排列記憶胞之記憶胞陣列中，交互地沿著行方向配置位元線與假想接地線，沿著列方向配置字元線，在鄰接之位元線與假想接地線間配置MOSFET構成之記憶胞電晶體，記憶胞電晶體之汲極及源極電極分別連接於位元線與假想接地線。又，記憶胞電晶體之閘極電極連接於字元線。1條字元線連接多數個記憶胞電晶體，以提高記憶胞之面積效率。此記憶胞電晶體之臨限值係在製造階段即被設定(每1記憶胞寫入2值資料)，使其成為臨限值較高之電晶體(臨限值高於成為閘極電極之字元線之高位準電位且不受字元線電位影響，經常處於斷電狀態之OFF電晶體)、與臨限值較低之電晶體(字元線電位高於臨限值時處於通電狀態之ON電晶體)中之一種電晶體。在讀出動作中，選擇連接於讀出

對象之電晶體之字元線、位元線與假想接地線，將選擇之位元線充電至特定電位，將選擇之假想接地線接地於接地電位，將選擇之字元線設定於高位準。利用感測電路檢出此狀態之ON電晶體與OFF電晶體之電流差異，以判別記憶於記憶胞之2值資料。

一般，對大容量半導體記憶裝置，作為高速地讀出記憶於此等記憶胞陣列之資料之方式，已知有階層位元線方式。此階層位元線方式之記憶胞陣列係將記憶胞陣列分割成多數區塊，各區塊之位元線稱為副位元線(又稱區域位元線)，將各區塊之副位元線經由區塊選擇電晶體集中連接至多數條主位元線(又稱全區位元線)所構成，有關記憶胞之選擇之位元線之選擇係採用選擇主位元線，利用區塊選擇電晶體選擇連接於所選擇之主位元線之副位元線之方式執行。以下，依據圖式說明階層位元線方式之讀出動作。圖9係表示階層位元線方式之記憶胞陣列之構成例。又，在圖9所示之記憶胞陣列中，假想接地線也採用與位元線同樣之構造。

以夾在區塊選擇電晶體之控制信號BLK1、2與BLK3、4之區域內之字元線WL0~WLn為閘極電極之記憶胞群稱為區塊，為提高記憶胞之面積效率，在各主位元線MBi(i=偶數)，以區塊單位經由區塊選擇電晶體BK1-1等連接多數(在圖9中，為2條副位元線SBj(j=偶數)。以區塊單位經由此主位元線存取記憶胞時，即可高速地讀出。

如圖9所示，區塊選擇電晶體BK1-1等係被存儲體選擇線

BLK1等所選擇。主位元線MB2等係通過區塊選擇電晶體BK1-1而連接於副位元線SB4等。此等記憶胞陣列之主位元線MBi(i=偶數)係經由選擇讀出區塊之區塊選擇電路20與充電・接地選擇電路21而連接於充電電路22、感測電路23等，主假想接地線MBi(i=奇數)係經由區塊選擇電路20與充電・接地選擇電路21而連接於充電電路22或接地線24等。充電・接地選擇電路21及充電電路22、感測電路23有時也連接於多數區塊選擇電路20。

其次，說明圖9所示之記憶胞陣列電路之讀出動作。茲考慮選擇而讀出記憶胞電晶體M4之情形。使連接於電晶體M4之閘極電極之字元線WL0成高位準，其他字元線WL_n為低位準。為使區塊選擇電晶體BK1-1通電，使區塊選擇電晶體之控制信號BLK1成高位準，為使區塊選擇電晶體BK3-2通電，使控制信號BLK3成高位準，而，使其他控制信號BLK2、BLK4成低位準。如此一來，可在電晶體M4形成由主位元線至記憶胞之電流路徑(MB2)-(BK1-1)-(SB4)、與由記憶胞至主假想接地線之電流路徑(SB5)-(BK3-2)-(MB3)。電晶體M4成為ON電晶體時，使BSEL2成高位準，使VGSEL1成高位準，使BLOCKSEL1成高位準，使BSEL1成低位準，使VGSEL2成低位準時，所選擇之主位元線MB2成充電電位，所選擇之主假想接地線MB3成接地電位，可使電流流過(MB2)-(BK1-1)-(SB4)-(M4)-(SB5)-(BK3-2)-(MB3)之路徑。利用由所選擇之主位元線MB2經由區塊選擇電路20之電晶體TR1與充電・接地選擇電路21之電晶體TR2所連接

之感測電路24，檢出所選擇之主位元線MB2之充電電位之變化等，即可判別記憶胞電晶體M4為ON電晶體。

但，記憶胞電晶體M4為OFF電晶體，而位於與電晶體M4同一列之非選擇記憶胞之電晶體M3、M2、M1、M0為ON電晶體時，由於各電晶體之閘極線之字元線WL0共通，故即使電晶體M4為OFF電晶體，也可形成經由電晶體M3、M2、M1之電流路徑。也就是說，使所選擇之主位元線MB2成為充電電位時，可利用(MB2)-(BK1-1)-(SB4)-(M3)-(M2)-(M1)・・・之路徑而使充電連接於各記憶胞之位元線與假想接地線之寄生電容之過渡的電流流通。利用此電流路徑流出之電流暫稱為迂迴排出電流。此結果，儘管讀出對象之電晶體M4為OFF電晶體，也簡直如ON電晶體一般，可形成由所選擇之主位元線至各位元線、假想接地線之電流路徑，降低錯誤讀出動作或讀出動作之動作容許範圍。由於可防止此種錯誤讀出動作等，故在以往，通常採用將非選擇之位元線與非選擇之假想接地線充電至特定充電電位之方法。

在圖9所例示之電路中，係使非選擇之主位元線MB0、非選擇之假想接地線MB1成為充電電位。經由區塊選擇電晶體使副位元線SB0、副主假想接地線SB1成為充電電位。如此，即使記憶胞電晶體M3、M2、M1、M0等為ON電晶體時，也不會有讀出記憶胞電晶體M4時之迂迴排出電流，故可因電晶體M4成為ON電晶體之情形與成為OFF電晶體之情形，而在選擇之主位元線MB2之電流變化上出現差異，故

可執行穩定之記憶胞之讀出動作。

但，充電防止迂迴排出電流用之非選擇之位元線與非選擇之假想接地線之方式則在另一方面，會降低讀出對象之記憶胞電晶體為ON電晶體時之讀出動作容許範圍。為解決此種動作容許範圍之降低，例如，在日本特開平10-11991號公報中，曾揭示有關記憶胞電晶體與區塊選擇電晶體之連接方式之創意之提案。

其次，以圖9所例示之電路為例，說明利用充電防止迂迴排出電流用之非選擇之位元線與非選擇之假想接地線之方式，可能降低讀出動作容許範圍之情形。

與上述說明同樣地，讀出記憶胞電晶體M4時，所選擇之之主位元線為MB2，所選擇之主假想接地線為MB3，將非選擇之位元線與非選擇之假想接地線充電，故非選擇之主位元線MB0與非選擇之主假想接地線MB1成為充電電位，此點一如前述。但另外，非選擇之主位元線MB4與非選擇之主假想接地線MB5也同時被充電。與電晶體M4同一列之非選擇記憶胞之電晶體M5、M6、M7、M8為ON電晶體時，非選擇之主位元線MB4與非選擇之主假想接地線MB5經由各區塊選擇電晶體而使副位元線SB8與副假想接地線SB9成為充電電位，故會形成充電沿著(SB8)-(M7)-(M6)-(M5)-(SB5)流動之被選擇之副假想接地線SB5之電流路徑。經此電流路徑流入之電流暫稱迂迴注入電流。記憶胞電晶體M4成為ON電晶體時，此迂迴注入電流會使副假想接地線SB5之接地電位上升，並使沿著(MB2)-(BK1-1)-(SB4)-(M4)-

(SB5)-(BK3-2)-(MB3)流動之被選擇之主位元線MB2之讀出電流減少。此讀出電流之減少不僅會延遲記憶胞之讀出速度，且可能發生所選擇之記憶胞電晶體之錯誤讀出，降低讀出動作容許範圍。

又，一般雖以一次之讀出動作，並行地讀出多數記憶胞電晶體，但在圖9所例示之電路之情形，在讀出記憶胞電晶體M4之同時，也可施行記憶胞電晶體M12之讀出。對此記憶胞電晶體M12之讀出所採取之防止相當於記憶胞電晶體M4之迂迴排出電流之電流之充電相當於在對非選擇之主位元線MB4與非選擇之主假想接地線MB5之充電，因此，非選擇之主位元線MB4與非選擇之主假想接地線MB5之充電在記憶胞電晶體M4成為ON電晶體時，雖讀出電流會減少，但如考慮記憶胞電晶體M12成為OFF電晶體時之讀出之情形時，則成為必要之充電。

增加記憶胞電晶體M12與M4間之非選擇之記憶胞電晶體，使非選擇之位元線與非選擇之假想接地線之充電維持最低限度所需之充電，雖然可減少相當於流入上述說明中之所選擇之位元線之迂迴注入電流之電流，但根本上，相當於迂迴注入電流之電流仍然存在。也就是說，記憶胞電晶體M12與M4間之非選擇之記憶胞電晶體全部為ON電晶體時，電晶體M12成為OFF電晶體時之讀出所需之非選擇之位元線與非選擇之假想接地線之充電對電晶體M4成為ON電晶體時之讀出電流而言，會減少相當於迂迴注入電流之電流，此情形與減少電晶體M4成為ON電晶體時之讀出電流

之情形並無改變。

在日本特開平10-11991號公報所揭示之讀出動作容許範圍降低對策中，流入所選擇之位元線之此迂迴注入電流也會減少，且為了執行對此等位元線、假想接地線之控制之限制，在某字元線長中，有以同一字元線同時讀出之記憶胞數之限制存在，故可能對記憶胞陣列之大容量化造成妨礙。

【發明內容】

本發明之目的係在使用假想接地線之記憶胞陣列構成中，可防止因由非選擇之位元線等迂迴注入被選擇之位元線之電流而降低讀出動作容許範圍，以提供可達成大容量化、高速動作之半導體記憶裝置。

本發明之半導體記憶裝置之特徵在於包含：記憶胞陣列，其係將包含1個第1電極與1對第2電極，可依據前述第1電極之電位，藉前述第2電極間之導通狀態，使可讀出記憶內容之記憶胞在列及行方向排列成矩陣狀，將位於同一列之前述記憶胞之前述第1電極分別連接於共通之字元線，在鄰接於列方向之2個前述記憶胞間，使1個前述第2電極彼此連接，將位於同一行之前述記憶胞之一方之前述第2電極連接於共通之位元線，將位於同一行之前述記憶胞之他方之前述第2電極連接於共通之假想接地線者；前述記憶胞陣列係由至少被分割成多數行之副陣列所構成，前述副陣列兩端之記憶胞行係在夾著前述副陣列間之境界而鄰接於列方向之2個前述記憶胞間使前述第2電極彼此不連接而分離，

且分別連接於獨立之位元線或假想接地線，並構成可以前述副陣列單位分別選擇1條前述字元線、前述位元線及前述假想接地線而選擇1個讀出對象之記憶胞。

依據上述特徵構成，在以副陣列單位讀出1個記憶胞之構成中，為了避免在先前技術欄中所述之迂迴排出電流，對讀出對象之記憶胞之位置適切地執行非選擇之位元線與假想接地線之充電時，由於可在副陣列之境界阻斷該充電所產生之迂迴注入電流，故可避免該迂迴注入電流所引起之錯誤讀出動作或讀出動作容許範圍之降低。也就是說，可適切地執行有關副陣列內之記憶胞之行數與位元線與假想接地線之選擇之解碼，而完全排除上述迂迴排出電流與迂迴注入電流之影響，實現可防止錯誤讀出動作容許範圍及讀出速度之降低之記憶胞陣列之構成。

另外，為達成此目的之本發明之半導體記憶裝置之特徵係在上述特徵構成中，取代構成可以前述副陣列單位分別選擇1條前述字元線、前述位元線與前述假想接地線而選擇1個讀出對象之記憶胞，或追加地使前述位元線與前述假想接地線分別包含雙方之機能，而構成一方發揮他方之機能時，使他方發揮一方之機能。

而，作為本發明之讀出對象之記憶胞雖係包含1個第1電極與1對第2電極，可依據第1電極之電位利用第2電極間之導通狀態，讀出記憶內容之記憶胞，但在記憶胞之構成上，可以有流過第2電極間之電流方向固定之情形、及因寫入狀態而成為非對稱之情形。在此種情形中，1對第2電極中何

者連接於位元線，何者連接於假想接地線，有時會因寫入狀態而變化。例如，在1個記憶胞可記憶2位元之資料之記憶胞中，在各1位元之資料之讀出中，電流之流通方向分別相反時，適宜地轉換位元線與假想接地線時，即可將2位元資料分離而1個位元，即「1個位元1個位元地」1個位元1個位元地加以讀出。在適合於此種記憶胞陣列之大容量化之多值記憶胞之情形，雖然也同樣會發生上述迂迴排出電流與迂迴注入電流之問題，依據本特徵構成，可排除此等之影響，避免錯誤讀出及讀出動作容許範圍之降低。

【實施方式】

以下，依據圖式，說明有關本發明之半導體記憶裝置(以下適宜地稱為「本發明裝置」)之實施形態。

(第1實施形態)

圖1係本發明裝置之記憶胞陣列1之構成之第1實施形態之要部電路圖。本實施形態係有關資料之讀出動作之技術內容，故使用記憶胞構成較簡單之單1電晶體構成之遮罩ROM之記憶胞加以說明。記憶胞一般係採用包含1個第1電極與1對第2電極，可依據第1電極之電位利用第2電極間之導通狀態，讀出記憶內容之構成，在上述遮罩ROM之記憶胞之情形，如圖2所示，構成記憶胞電晶體3之n通道型MOSFET之閘極電極相當於第1電極，汲極電極及源極電極分別相當於第2電極。第2電極之導通狀態決定於MOSFET之臨限值電壓，此臨限值電壓係在製造階段依照寫入資料加以設定。又，有關記憶胞單體之讀出動作及資料之記憶

方法係與先前技術之欄中所說明之內容相同，在此不作重複之說明，而同樣地使用相同之用詞。

如圖1所示，記憶胞陣列1係由在列方向(字元線之沿長方向)與行方向(位元線之沿長方向)以矩陣狀排列有多數記憶胞所構成，再於列方向利用每4個胞沿著行方向所設之元件分離帶分割成多數副陣列2。各副陣列2形成 $(n+1)$ 列 $\times 4$ 行之記憶胞排列。

在各副陣列2中，將記憶胞電晶體(以下適宜地稱為記憶胞)之閘極電極分別連接於共通之字元線 $WLi(i=0\sim n)$ ，在鄰接於列方向之2個記憶胞間，分別連接彼此之源極電極與彼此之汲極電極，將位於同一行之前述記憶胞之汲極電極連接於共通之位元線 $LBj(j=1, 2)$ ，將源極電極連接於共通之假想接地線 $LSk(k=1, 2, 3)$ 。以列方向為左右方向時，由左算起第1行與第2行、及第3行與第4行之記憶胞係彼此相鄰而共用位元線，第2行與第3行之記憶胞係彼此相鄰而共用假想接地線。又，第1行與第4行之記憶胞由於源極電極係藉元件分離帶而與相鄰之副陣列分離，故分別連接於獨立之假想接地線。在本實施形態中，係採用先前技術欄所說明之階層位元線方式。又，在以下之說明中，僅稱呼位元線、假想接地線時，係指副位元線(區域位元線)與副假想接地線(區域假想接地線)之意。

各副陣列2分別具有1條全區位元線GB與1條全區假想接地線GS，2條位元線LB1，2分別經由第1選擇電晶體BK1與BK2而連接於全區位元線GB，3條假想接地線LS1，2，3分

別經由第2選擇電晶體BK3、BK4與BK5而連接於全區假想接地線GS。第1選擇電晶體BK1，2配置於副陣列2之行方向之一端側，第2選擇電晶體BK3，4，5集中配置於副陣列2之行方向之他端側，在分別控制第1選擇電晶體BK1，2之閘極電極之區塊選擇線A，B與分別控制第2選擇電晶體BK3，4，5之閘極電極之區塊選擇線C，D，E之間配置字元線WL0~n。

其次，就選擇圖1所示之副陣列2之圖中左端之區塊，以讀出其中之記憶胞M1~4之情形，說明其動作。

首先，欲讀出記憶胞M1時，為了可在列方向選擇記憶胞M1，選擇地將字元線WL0設定於高位準。而，為了可在行方向選擇記憶胞M1，選擇連接於記憶胞M1之位元線LB1與假想接地線LS1。位元線LB1與假想接地線LS1之選擇係以全區位元線GB與全區假想接地線GS為讀出對象加以選擇，將區塊選擇線B與C設定於高位準，使第1選擇電晶體BK1與第2選擇電晶體BK3成通電狀態，將位元線LB1與假想接地線LS1分別經由第1選擇電晶體BK1與第2選擇電晶體BK3而連接至全區位元線GB與全區假想接地線GS。

另外，除此狀態外，將區塊選擇線A設定成高位準，使第1選擇電晶體BK2成通電狀態。以此狀態，由充電電路(未圖示)將全區位元線GB充電至特定之充電電位，並使全區假想接地線GS成為接地電位時，位元線LB1與位元線LB2成為充電狀態，假想接地線LS1成為接地電位。此結果，即可將讀出對象之記憶胞M1之閘極電極設定於高位準，呈現充電電

位被施加至汲極電極，接地電位被施加至源極電極之狀態。同時，充電電位也被施加至位元線LB2。

由於位元線LB1之充電電位是否下降係由記憶胞M1成為ON電晶體(低臨限值電壓)或OFF電晶體(高臨限值電壓)加以決定，故記憶胞M1之讀出係利用感測電路(未圖示)檢出追隨位元線LB1之電位變化之全區位元線GB加以執行。在此，此位元線LB1之電位變化振幅變小時，讀出動作容許範圍會降低，讀出速度會變慢。

上述位元線LB2之充電具有可防止記憶胞M1成為OFF電晶體而非選擇之記憶胞M2~M4成為ON電晶體時成問題之先前技術欄所述之迂迴排出電流之作用。在圖9所述之以往之記憶胞陣列構成(以往例)中，為防止此迂迴排出電流所執行之充電由於在讀出對象之記憶胞M1成為ON電晶體時，該充電會發生在發明內容之欄所述之迂迴注入電流，以致於有降低記憶胞M1之讀出動作容許範圍之結果。

但，在本實施形態中，記憶胞M1成為ON電晶體時，也就是說，位元線LB1之充電電位下降時，全區位元線GB之電位也會下降，另外，經由第1選擇電晶體BK2，位元線LB2之電位也隨著此等而下降，故可避免迂迴注入電流之發生，不會導致讀出動作容許範圍之降低。

其次，說明讀出記憶胞M2之情形，為了可在列方向選擇記憶胞M2，選擇地將字元線WL0設定於高位準。而，為了可在行方向選擇記憶胞M2，選擇連接於記憶胞M2之位元線LB1與假想接地線LS2。位元線LB1與假想接地線LS2之選擇

係以全區位元線GB與全區假想接地線GS為讀出對象加以選擇，將區塊選擇線B與D設定於高位準，使第1選擇電晶體BK1與第2選擇電晶體BK4成通電狀態，將位元線LB1與假想接地線LS2分別經由第1選擇電晶體BK1與第2選擇電晶體BK4而連接至全區位元線GB與全區假想接地線GS。

以此狀態，由充電電路(未圖示)將全區位元線GB充電至特定之充電電位，並使全區假想接地線GS成為接地電位時，位元線LB1成為充電狀態，假想接地線LS2成為接地電位。此結果，即可將讀出對象之記憶胞M2之閘極電極設定於高位準，呈現充電電位被施加至汲極電極，接地電位被施加至源極電極之狀態。記憶胞M2之讀出動作本身與上述記憶胞M1之情形相同。

在此，迂迴排出電流雖會在相鄰之記憶胞M1成為ON電晶體時成問題，但記憶胞M1因記憶胞M2之相反側可藉元件分離帶而與相鄰之附陣列保持電性的完全分離，故假想接地線LS1經由記憶胞M1之充電完畢時，就不會再產生迂迴排出電流。且選擇記憶胞M2作為讀出對象時，僅連接於非選擇之記憶胞之位元線LB2不被充電，故迂迴注入電流當然不會產生。因此，記憶胞M2作為讀出對象時，也不會發生讀出動作容許範圍之降低。在此，即使將區塊選擇線E設定於高位準，使第2選擇電晶體BK5成通電狀態，經由第2選擇電晶體BK5，將假想接地線LS3連接於全區假想接地線GS，對記憶胞M2之讀出動作也不會有不良影響。若因某些理由，導致位元線LB2與假想接地線LS3被充電時，在記憶胞

M3與M4成為ON電晶體時，雖使所選擇之假想接地線LS2成為接地電位，但對位元線LB2與假想接地線LS3之充電狀態有不良影響之虞，故利用使第2選擇電晶體BK5成通電狀態，而使假想接地線LS3成為接地電位，即可期待事先防患此問題於未然之效果。

其次，說明讀出記憶胞M3之情形，為了可在列方向選擇記憶胞M3，選擇地將字元線WL0設定於高位準。而，為了可在行方向選擇記憶胞M3，選擇連接於記憶胞M3之位元線LB2與假想接地線LS2。位元線LB2與假想接地線LS2之選擇係以全區位元線GB與全區假想接地線GS為讀出對象加以選擇，將區塊選擇線A與D設定於高位準，使第1選擇電晶體BK2與第2選擇電晶體BK4成通電狀態，將位元線LB2與假想接地線LS2分別經由第1選擇電晶體BK2與第2選擇電晶體BK4而連接至全區位元線GB與全區假想接地線GS。在此，基於與在記憶胞M2之讀出時，將區塊選擇線E設定於高位準，使第2選擇電晶體BK5成通電狀態同樣之理由，在記憶胞M3之讀出時，也最好將區塊選擇線C設定於高位準，使第2選擇電晶體BK3成通電狀態。

由於記憶胞M2與記憶胞M3係在副陣列2中，對假想接地線LS2處於左右對稱關係，故記憶胞M3之讀出與記憶胞M2之讀出相比，僅所選擇之位元線不同而已，其後，與記憶胞M2之讀出相同。故省略有關讀出動作及動作容許範圍之說明。

又，與在上述記憶胞M2之讀出時，將區塊選擇線E設定

於高位準，使第2選擇電晶體BK5成通電狀態之情形同樣地，在記憶胞M3之讀出時，也最好將區塊選擇線C設定於高位準，使處於左右對稱關係之第2選擇電晶體BK3成通電狀態。

其次，說明讀出記憶胞M4之情形，為了可在列方向選擇記憶胞M4，選擇地將字元線WL0設定於高位準。而，為了可在行方向選擇記憶胞M4，選擇連接於記憶胞M4之位元線LB2與假想接地線LS3。位元線LB2與假想接地線LS3之選擇係以全區位元線GB與全區假想接地線GS為讀出對象加以選擇，將區塊選擇線A與E設定於高位準，使第1選擇電晶體BK2與第2選擇電晶體BK5成通電狀態，將位元線LB2與假想接地線LS3分別經由第1選擇電晶體BK2與第2選擇電晶體BK4而連接至全區位元線GB與全區假想接地線GS。另外，除此狀態外，將區塊選擇線B設定成高位準，使第1選擇電晶體BK1成通電狀態。

由於記憶胞M4與記憶胞M1係在副陣列2中，對假想接地線LS2處於左右對稱關係，故記憶胞M4之讀出與記憶胞M1之讀出相比，僅所選擇之位元線與假想接地線不同而已，其後，與記憶胞M1之讀出相同。故省略有關讀出動作及動作容許範圍之說明。

以上，已依據圖1說明有關記憶胞M1~4之讀出，但在記憶胞M1與M4，也就是說，在副陣列2之左右兩端之記憶胞之讀出中，也施行對非選擇之位元線(僅連接於非選擇之記憶胞之位元線)之充電，以防止動作容許範圍之降低。又，

在記憶胞M2與M3，也就是說，在副陣列2之中央之2行之記憶胞之讀出中，不施行非選擇之位元線之充電，以防止動作容許範圍之降低。換言之，可依照讀出對象之記憶胞在副陣列2內之位置，決定是否要施行非選擇之位元線之充電。

又，在記憶胞M2與M3之讀出中，在非選擇之假想接地線(僅連接於非選擇之記憶胞之假想接地線)內，為使距離讀出對象之記憶胞較遠之假想接地線處於接地電位，而使對應之第2選擇電晶體成通電狀態。此結果，即使在讀出任何記憶胞時，在2個第1選擇電晶體與3個第2選擇電晶體中，也可使包含第1選擇電晶體與第2選擇電晶體各1個合計3個選擇電晶體成通電狀態。此結果，可謀求第1及第2選擇電晶體之控制邏輯之簡化。

在此，說明上述充電電路之充電時間。假設以所選擇之字元線轉移至高位準後作為讀出動作期間時，也可在讀出動作期間之前先開始，在讀出動作期間之開始前或開始後結束之充電期間中施行該充電，或未特別設定此種充電期間，而在讀出動作期間中施行該充電，或在充電期間與讀出動作期間之兩期間中施行該充電也無妨。

又，在副陣列2之位元線與假想接地線之配置中，也可將兩者之配置調換。也就是說，只要以2條位元線LB1，2作為2條假想接地線LS1，2，以3條假想接地線LS1，2，3作為3條位元線LB1，2，3，以第1選擇電晶體BK1與BK2作為第2選擇電晶體而連接於全區假想接地線GS，以第2選擇電晶體

BK3、BK4、BK5作為第1選擇電晶體而連接於全區位元線GB即可。因此，不改變物理的電晶體與各控制信號線之連接，而呈現將全區位元線GB與全區假想接地線GS調換之形態。但，全區位元線GB與全區假想接地線GS所連接之充電電路及感測電路等之週邊電路之連接必須作物理的變更。讀出動作基本上與圖1所示之構成相同，防止迂迴排出電流用之非選擇位元線之充電也只要以同樣之想法加以決定即可。

(第2實施形態)

圖3係本發明裝置之記憶胞陣列10之構成之第2實施形態之要部電路圖。與第1實施形態同樣地，使用遮罩ROM之記憶胞加以說明。記憶胞陣列10被分割成多數副陣列2之構成與第1實施形態相同，副陣列2之構成也與第1實施形態完全相同。階層位元線方式及與此相關之第1選擇電晶體BK1與BK2及第2選擇電晶體BK3、BK4與BK5之具體的態樣，也與第1實施形態相同。

與第1實施形態相異點在於：在2條位元線LB1，2與3條假想接地線LS1，2，3之各鄰接線彼此之間，設有使兩者電性導通用之4個開關電晶體EQ1~EQ4。具體而言，開關電晶體EQ1設於假想接地線LS1與位元線LB1之間，開關電晶體EQ2設於假想接地線LS3與位元線LB2之間，開關電晶體EQ3設於假想接地線LS2與位元線LB1之間，開關電晶體EQ4設於假想接地線LS2與位元線LB2之間。開關電晶體EQ1之閘極電極被EQ線B所控制，開關電晶體EQ2之閘極電

極被EQ線A所控制，開關電晶體EQ3及EQ4之閘極電極被EQ線C所控制。對4個開關電晶體EQ1~EQ4，使用3條控制信號EQ線A~C。

其次，就選擇圖3所示之副陣列2之圖中左端之區塊，以讀出其中之記憶胞M1~4之情形，說明其動作。又，有關讀出之基本的動作因與第1實施形態相同，故重複之說明在此適宜地予以省略。

首先，說明讀出記憶胞M1之情形。有關記憶胞M1之選擇與第1實施形態相同，第1選擇電晶體BK1與BK2及第2選擇電晶體BK3設定於通電狀態之點也與第1實施形態相同。以下，主要說明有關第2實施形態特有之開關電晶體EQ1~4之控制。

在控制第1選擇電晶體BK1與BK2及第2選擇電晶體BK3之同時，將EQ線A與EQ線C設定於高位準，使開關電晶體EQ2~4成通電狀態。此結果，在第1實施形態中，假想接地線LS2、LS3在記憶胞M3與M4成為ON電晶體時，係經由該電晶體被充電，但在此則經由開關電晶體EQ2~4被充電。也就是說，在本實施形態中，不管記憶胞M3與M4之記憶狀態及選擇字元線之電位位準如何，位元線之充電均係經由開關電晶體EQ2~4而在非選擇之假想接地線(僅連接於非選擇記憶胞之假想接地線)執行，故比第1實施形態更能有效地抑制迂迴排出電流。

又，就迂迴注入電流之影響而言，對非選擇記憶胞及假想接地線之該充電與第1實施形態之情形同樣地，係由相同

之全區位元線GB充電，故不會成為降低讀出動作容許範圍及讀出速度之降低之要因。

其次，說明讀出記憶胞M2之情形。有關記憶胞M2之選擇與第1實施形態相同，區塊選擇線B與D或B、D與E設定於高位準，第1選擇電晶體BK1及第2選擇電晶體BK4或BK4與BK5設定於通電狀態之點也與第1實施形態相同。以下，主要說明有關第2實施形態特有之開關電晶體EQ1~4之控制。

在控制第1選擇電晶體BK1及第2選擇電晶體BK4或BK4與BK5之同時，將EQ線B設定於高位準，使開關電晶體EQ1成通電狀態。故非選擇之假想接地線LS1也可通過開關電晶體EQ1被充電至位元線LB1之充電電位，使該充電更有效地防止迂迴排出電流。

又，也可與EQ線B同時地將EQ線A設定於高位準。此係由於所選擇之假想接地線LS2已降低至接地電位，故開關電晶體EQ2成通電狀態，即使非選擇之位元線LB2之電位降低，也不會對充電動作及讀出動作產生任何影響之故。因此，與讀出記憶胞M1之情形同樣地，可利用將2條EQ線設定於高位準，而簡化EQ線之控制邏輯。

其次，說明讀出記憶胞M3之情形。有關記憶胞M3之選擇與第1實施形態相同，區塊選擇線A與D或A、D與C設定於高位準，第1選擇電晶體BK2及第2選擇電晶體BK4或BK4與BK3設定於通電狀態之點也與第1實施形態相同。在記憶胞M3之讀出動作中，在控制上述區塊選擇線之同時，將EQ線A設定於高位準，使開關電晶體EQ2成通電狀態。故非選擇

之假想接地線LS3也可通過開關電晶體EQ2被充電至位元線LB2之充電電位，使該充電更有效地防止迂迴排出電流。又，也可基於與記憶胞M2之讀出同樣之理由，與EQ線A同時地將EQ線B設定於高位準。

其次，說明讀出記憶胞M4之情形。有關記憶胞M4之選擇與第1實施形態相同，第1選擇電晶體BK1與BK2及第2選擇電晶體BK5設定於通電狀態之點也與相同。在控制第1選擇電晶體BK1與BK2及第2選擇電晶體BK5之同時，將EQ線B與EQ線C設定於高位準，使開關電晶體EQ1，3，4成通電狀態。此結果，在第1實施形態中，假想接地線LS1、LS2在記憶胞M1與M2成為ON電晶體時，係經由該電晶體被充電，但在此則經由開關電晶體EQ1，3，4被充電。故比更能有效地抑制迂迴排出電流。此點與對假想接地線LS2處於左右對稱關係之記憶胞M1之讀出相同。又，在迂迴注入電流之影響方面也同樣地，對非選擇記憶胞及假想接地線之該充電，係由相同之全區位元線GB充電，故不會成為降低讀出動作容許範圍及讀出速度之降低之要因。

以上，已依據圖3說明有關記憶胞M1~4之讀出，但在記憶胞M1與M4，也就是說，在副陣列2之左右兩端之記憶胞之讀出中，也施行非選擇之位元線與假想接地線之充電，以防止動作容許範圍之降低。又，在記憶胞M2與M3，也就是說，在副陣列2之中央之2行之記憶胞之讀出中，不施行非選擇之位元線之充電，而經由開關電晶體施行非選擇之假想接地線之充電，以防止動作容許範圍之降低。換言之，

可依照讀出對象之記憶胞在副陣列2內之位置，決定施行非選擇之位元線與假想接地線中之何者之充電。

如以上所述，追加開關電晶體EQ1~EQ4時，可更確實地防止迂迴排出電流，抑制讀出動作容許範圍之降低，執行高連續讀出動作。又，選擇地使開關電晶體EQ1~EQ4成通電狀態之控制也可在第1實施形態所說明之充電期間中、讀出動作期間中或其雙方之期間中執行。

在本第2實施形態中，也與第1實施形態同樣地，可將副陣列2之位元線與假想接地線之配置調換，並調換全區位元線GB與全區假想接地線GS。圖4係調換位元線與假想接地線之要部電路圖。在第1實施形態之情形，不需要作物理的電晶體與各控制信號線之連接變更，但在第2實施形態中，開關電晶體EQ1~EQ4與其控制信號EQ線A~C之連接關係卻有變更。具體上，不需要EQ線B，而利用EQ線A控制開關電晶體EQ1之閘極電極。

如圖4所示，與第1實施形態同樣地，在圖3所示之副陣列2之構成中，調換位元線與假想接地線之配置時，即可調換全區位元線GB與全區假想接地線GS。又，反之，調換全區位元線GB與全區假想接地線GS時，會呈現調換副陣列2之位元線與假想接地線之配置之結果。讀出動作基本上與圖3所示之構成相同，對防止迂迴排出電流用之非選擇位元線及假想接地線之充電之區塊選擇線A~E及開關電晶體EQ1~EQ4之控制也只要以同樣之想法加以決定即可。

(第3實施形態)

圖5係本發明裝置之第3實施形態之要部電路圖。在第3實施形態中，係在第2實施形態之情形中，追加一電路，用於執行在全區位元線與全區假想接地線或位元線與假想接地線之製造工序時所發生之鄰接位元線間或鄰接假想接地線間之短路檢查(short check)。採用圖5所示之電路構成時，不僅可檢查全區位元線或全區假想接地線之短路，而且可執行位元線及假想接地線之短路檢查。以下，進行本實施形態之短路檢查之動作說明。

執行全區位元線、全區假想接地線(以下適宜地將兩者統一簡稱為全區線)之短路檢查時，使圖5之位元線GNDA信號成高位準，使位元線GNDB信號成低位準。此結果，全區位元線GB2、全區假想接地線GS1、GS3成接地電位。在此狀態下，各區塊選擇線、全部字元線、及全部EQ線全部成低位準。而，以全區假想接地線GS2作為VCC位準(電源電位)，測定流至全區假想接地線GS2之電流。與鄰接之全區假想接地線GS1或全區位元線GB2發生短路時，使電流通過以位元線GNDA信號為閘極信號之電晶體而流動。無短路時，流動之電流成為第1或第2選擇電晶體等之接合部(擴散層之接合部)之漏電流程度之電流，故可利用因有無短路而流動之電流值之層級之差異，執行全區線之短路檢查。可利用同樣方法，執行全部之全區線之短路檢查。

其次，說明位元線、假想接地線(以下適宜地將兩者統一簡稱為位元線等)之短路檢查例。茲說明假想接地線LS3之短路檢查之情形。全區線之短路檢查完畢後，使圖5之位元

線 GNDA 信號成低位準而由外部將 VCC 位準施加至全區假想接地線 GS1。其次，使圖 5 之位元線 GNDB 信號成高位準而使全區位元線 GB1、全區假想接地線 GS2 成接地電位。在此狀態下，使區塊選擇線 A、區塊選擇線 E 成高位準。使其他區塊選擇線、字元線、及全部 EQ 線成低位準。在此狀態下，測定流至全區假想接地線 GS1 之電流。由於位元線 LB2、假想接地線 LS4 成接地電位，故假想接地線 LS3 與 VCC 位準、假想接地線 LS3 與位元線 LB2、或假想接地線 LS4 發生短路時，會有漏電流流動。基於同樣之想法，可執行全部位元線等之短路檢查。

在圖 5 之電路例中，僅在全區線連接下拉至接地電位之電晶體，但也可在各全區線檢查短路用之位元線等連接下拉至接地電位之電晶體。此時，全區線之短路檢查與位元線等之短路檢查可以不同順序執行。

(另一實施形態)

其次，說明對上述各實施形態之另一實施形態。

在上述各實施形態中，係使用遮罩 ROM 之記憶胞作為記憶胞，但也可改用使用快閃記憶體元件或可變電阻元件之記憶胞。使用各元件作為記憶胞時之記憶胞之等效電路圖與代表性的剖面如圖 6 及圖 7 所示。任何一種情形均構成具有第 1 電極與 1 對第 2 電極，可依照第 1 電極之電位，藉第 2 電極間之導通狀態讀出記憶內容。

如圖 6 所示，在使用快閃記憶體元件 4 之記憶胞之情形，構成記憶胞電晶體之浮動閘極構造之 MOSFET 之閘極電極

相當於第1電極，汲極電極及源極電極分別相當於第2電極。記憶胞之記憶狀態之變更係利用電子對浮動閘極之進出，控制記憶胞電晶體之臨限值電壓加以變更。又，該臨限值電壓之控制只要利用公知之快閃記憶體之寫入・消除技術加以執行即可。

如圖7所示，使用可變電阻元件5之記憶胞之情形，係連接可變電阻元件5之一端與選擇記憶胞用之n通道型MOSFET構成之選擇電晶體6之汲極電極，以選擇電晶體6之閘極電極作為第1電極，以可變電阻元件5之他端與選擇電晶體6之源極電極分別作為第2電極。將可變電阻元件5側之第2電極連接於位元線，將選擇電晶體6側之第2電極連接於假想接地線。記憶胞之記憶狀態之變更係利用藉由來自外部之控制變更可變電阻元件5之電阻值之方式加以變更。該來自外部之控制曾有藉電的應力執行之情形、藉磁的應力執行之情形、及藉熱的應力執行之情形等各種可變電阻元件之提案。

例如，作為藉電的應力(電壓脈衝等)使電阻值變化之可變電阻元件，有RRAM(Resistance control nonvolatile Random Access Memory：電阻控制型非揮發性隨機存取記憶體)元件。RRAM元件係利用電的應力之施加使電阻變化，在電的應力解除後仍保持變化之電阻，藉以構成可藉該電阻變化執行資料之記憶之非揮發性記憶元件，例如係將以 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、或 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ (但 $x < 1$ 、 $y < 1$ 、 $x+y < 1$)表示之某些物質，例如， $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、

$\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等之錳氧化膜，利用MOCVD(有機金屬化學汽相沉積法)、自旋式塗敷法、雷射燒蝕法、濺射法等形成薄膜所製成。又，作為電的應力，可將電壓脈衝施加至RRAM元件之電極間，調整其脈衝寬、電壓振幅或其雙方，以控制RRAM元件之電阻值變化量。

而，作為本發明之讀出對象之記憶胞雖係具有第1電極與第2電極，可依照第1電極之電位，藉第2電極間之導通狀態讀出記憶內容之記憶胞，但在上述各實施形態及另一實施形態中，在第1對第2電極中，將一方固定連接於位元線，將他方固定連接於假想接地線。此係基於以下之理由：記憶胞電晶體之汲極電極及源極電極係形成對稱構造，只要將其中一個固定於汲極電極，而規定一方向之讀出電流即以足夠，即使調換位元線與假想接地線之配置，其機能也無變化之情形、或記憶胞在第1對第2電極間呈現非對稱構造，而有必要將一方之第2電極固定於位元線，將他方固定於假想接地線之情形等之理由。

但，在上述各實施形態之記憶胞陣列之構成也可利用於使用可使讀出電流獨立地向雙方向流動之多位元型之記憶胞之情形，可期待獲得與上述各實施形態同樣之效果。例如在1個記憶胞可記憶2位元資料之記憶胞中，在各1位元資料之讀出中，電流之流動方向分別相反時，可利用適宜地調換位元線與假想接地線，將2位元資料逐一分離加以讀出。在此種適合於記憶胞陣列之大容量化之多值記憶胞之情形，雖也同樣會發生上述之迂迴排出電流與迂迴

迴注入電流之問題，但依據本發明，可排除此等之影響，避免錯誤讀出及動作容許範圍之降低。

以下，作為1個記憶胞可記憶2位元資料之記憶胞，說明使用側壁記憶體元件所構成之情形之實施形態。

首先，簡單地說明側壁記憶體元件之構造。又，有關側壁記憶體元件，在本案發明人之PCT國際申請之國際公開小冊子(國際公開號碼：WO 03/044868)中曾有詳細之解說。如圖10(A)所示，側壁記憶體元件100係以包含下列各構件為特徵之元件：經由閘極絕緣膜103形成於半導體層102上之閘極電極104、配置於該閘極電極104下之通道區域101、配置於該通道區域101兩側，且具有與該通道區域101反導電型之擴散區域105、106、及形成於該閘極電極104兩側之側壁，且具有保持電荷之機能之記憶機能體107、108。同圖(B)係表示側壁記憶體元件100之符號。在圖10(B)中，節點G、節點S、節點D分別為閘極電極104、源極電極105、汲極電極106，m1、m2分別為記憶機能體。

為了在記憶機能體m1執行寫入，將高電壓施加至節點G，將高電壓施加至節點S，使節點D成為GND位準，將電流由節點S通至節點D。因此所產生之熱電子被植入記憶機能體m1，以執行寫入。反之，為了在記憶機能體m2執行寫入，使節點S與節點D之電壓條件相反，將電流之流動方向由節點D變更為節點S。

其次，說明寫入於記憶機能體之資訊之讀出動作。欲讀出寫入於記憶機能體m1之資訊時，例如將3V之電壓施加至

節點 G，將 1.2V 之電壓施加至節點 D，使節點 S 成為 GND 位準。此際，記憶機能體 m1 未蓄積電子時，汲極電流容易流通。另一方面，記憶機能體 m1 已蓄積電子時，在記憶機能體 m1 附近難以形成反轉層，導致汲極電流難以流通。藉由檢出此汲極電流之大小，即可讀出記憶機能體 m1 之記憶資訊。此時，記憶機能體 m1 有無蓄積電荷由於已在節點 D 附近斷離，故對汲極電流不會有影響。又，欲讀出記憶機能體 m2 之資訊時，只要調換節點 S 與節點 D 之電壓條件即可。如此，即可實現以一個記憶體元件記憶或讀出 2 位元之資訊。

其次，說明使用上述側壁記憶體元件作為記憶胞之本發明之記憶胞陣列之構成。圖 11 係表示該記憶胞陣列之構成。圖 11 所示之記憶胞陣列 20 之構成實質上相同於圖 3 所示之第 2 實施形態之記憶胞陣列 10 之構成，不同點在於將記憶胞之記憶體元件置換成側壁記憶體元件之點而已。但，側壁記憶體元件如上所述，由於連接於節點 S 與節點 D 之位元線或假想接地線可藉選擇 1 個記憶胞內之哪一記憶機能體而調換位元線與假想接地線之機能，故在圖 11 之實施形態中，並不區別位元線與假想接地線，而將其稱為位元源極線。

其次，說明圖 11 所示之記憶胞陣列 20 之寫入及讀出動作。圖 11 中，記憶胞 M1 之 m1 與 m2 為側壁記憶體元件之記憶機能體。茲說明在記憶機能體 m2 執行寫入動作之情形。首先，選擇地將字元線 WL0 設定於高位準之電壓。其次，將

全區位元源極線GBS1設定於高位準之電壓，將全區位元源極線GBS2設定於低位準(GND位準)之電壓。其次，將區塊選擇線A、B設定於高位準而使第1選擇電晶體BK1、BK2成通電狀態，將區塊選擇線C設定於高位準而使第2選擇電晶體BK3成通電狀態。同時，將LEQ線A設定於高位準而使開關電晶體EQ2成通電狀態，將LEQ線C設定於高位準而使開關電晶體EQ3、EQ4成通電狀態。利用此種狀態，可形成自經由記憶胞M1之位元源極線LBS2至位元源極線LBS1之電流路徑，使由位元源極線LBS2至位元源極線LBS1之電流流至記憶胞M1。此結果，即可將電子植入記憶機能體m2，以執行寫入動作。又，在上述選擇狀態下，可藉開關電晶體EQ3、EQ4、EQ2，使位元源極線LBS2、位元源極線LBS3、位元源極線LBS4、位元源極線LBS5變成相同電位，電流不會流通至記憶胞M2、M3、M4，故不對該記憶胞執行寫入動作。

其次，說明在記憶胞M1之記憶機能體m1執行寫入動作之情形。施行與在上述記憶機能體m2執行寫入動作同樣之區塊選擇線及LEQ線之控制。在此狀態下，使全區位元源極線GBS1成為GND位準，將全區位元源極線GBS2設定於高位準時，可使電流經記憶胞M1由位元源極線LBS1流至位元源極線LBS2。此結果，即可在記憶機能體m1執行電子植入及寫入動作。此時，位元源極線LBS2、LBS3、LBS4均為GND位準之相同電位，電流不會流通至記憶胞M2、M3、M4，故不對該記憶胞執行寫入動作。

在圖 11 之記憶胞陣列 20 中，對記憶胞 M2 之位元源極線 LBS2 側之記憶機能體執行寫入動作之情形，可利用使第 1 選擇電晶體 BK1、第 2 選擇電晶體 BK4、BK5、開關電晶體 EQ1、EQ2 分別成通電狀態，使全區位元源極線 GBS1 成為高位準，使全區位元源極線 GBS2 成為 GND 位準，以執行寫入。另一方面，對記憶胞 M2 之位元源極線 LBS3 側之記憶機能體執行寫入動作之情形，可利用使全區位元源極線 GBS1 成為 GND 位準，使全區位元源極線 GBS2 成為高位準，以執行寫入。與對記憶胞 M2 之全區位元源極線 GBS2 側之記憶機能體之寫入動作之不同僅在於全區位元源極線 GBS1、GBS2 之電壓條件反轉而已。

對記憶胞 M3 之位元源極線 LBS3 側之記憶機能體執行寫入動作之情形，可利用使第 1 選擇電晶體 BK2、第 2 選擇電晶體 BK3、BK4、開關電晶體 EQ1、EQ2 分別成通電狀態，使全區位元源極線 GBS1 成為 GND 位準，使全區位元源極線 GBS2 成為高位準，以執行寫入。對記憶胞 M3 之位元源極線 LBS4 側之記憶機能體執行寫入動作之情形，可利用使全區位元源極線 GBS1 成為高位準，使全區位元源極線 GBS2 成為 GND 位準，以執行寫入。與對記憶胞 M3 之位元源極線 LBS3 側之記憶機能體之寫入動作之不同僅在於全區位元源極線 GBS1、GBS2 之電壓條件反轉而已。

對記憶胞 M4 之 LBS4 側之記憶機能體執行寫入動作之情形，可利用使第 1 選擇電晶體 BK1、BK2、第 2 選擇電晶體 BK5、開關電晶體 EQ1、EQ3、EQ4 分別成通電狀態，使全

區位元源極線GBS1成為高位準，使全區位元源極線GBS2成為GND位準，以執行寫入。對記憶胞M4之GBS5側之記憶機能體執行寫入動作之情形，可利用使全區位元源極線GBS1成為GND位準，使全區位元源極線GBS2成為高位準，以執行寫入。與對記憶胞M4之LBS4側之記憶機能體之寫入動作之不同僅在於全區位元源極線GBS1、GBS2之電壓條件反轉而已。

圖12係表示對全區位元源極線GBS1、GBS2供應高位準電壓與低位準電壓之電路之電路構成例。將控制信號A與D設定為高位準，將控制信號B與C設定為GND位準時，可使全區位元源極線GBS1成為GND位準，使全區位元源極線GBS2成為高位準。此控制信號A、B、C、D之動作可利用輸入至半導體記憶裝置之位址信號之控制加以實現。又，也可利用同一位址執行此等控制之時間分隔，即串行之動作。

其次，說明讀出動作。讀出動作也利用與寫入動作同樣之操作，讀出記憶於記憶胞之2個記憶機能體之資訊。在此，讀出動作及寫入動作中施加至全區位元源極線GBS1、GBS2、字元線WL、區塊選擇線A~E、LEQ線A~C之高位準電壓分別為最適於動作之電壓。

以上，依據本發明，在同一字元線上所能讀出之記憶胞數比以往之記憶胞陣列構成更多，也可有效應用於一次之讀出動作可讀出多數記憶胞，且高速地執行其後之讀出動作之高機能型之記憶體陣列構成。

本發明雖透過實施形態加以記述，但鑑於精通此技術領

域者在不脫離本發明之精神或範圍之情況下，仍能對此作種種模仿或變更，因此，本發明之範圍應依據後述申請專利範圍之項予以界定。

【圖式簡單說明】

圖1係本發明之半導體記憶裝置之記憶胞陣列構成之第1實施形態之要部電路圖。

圖2係遮罩ROM之記憶胞之等效電路圖及概略剖面圖。

圖3係本發明之半導體記憶裝置之記憶胞陣列構成之第2實施形態之要部電路圖。

圖4係本發明之半導體記憶裝置之第2實施形態之記憶胞陣列構成之位元線與假想接地線調換時之實施形態之要部電路圖。

圖5係本發明之半導體記憶裝置之第3實施形態之要部電路圖。

圖6係使用快閃記憶體元件之記憶胞之等效電路圖及概略剖面圖。

圖7係使用可變電阻元件之記憶胞之等效電路圖及概略剖面圖。

圖8係使用假想接地線之讀出方式之概念圖。

圖9係表示使用以往之半導體記憶裝置之階層位元線方式之記憶胞陣列之構成之一例之要部電路圖。

圖10A與10B係側壁記憶體元件之概略剖面圖與等效電路圖。

圖11係表示使用側壁記憶體元件作為本發明之半導體記

憶裝置之記憶胞陣列構成之記憶胞之另一實施形態之要部電路圖。

圖12係表示對圖11所示之本發明之半導體記憶裝置之記憶胞陣列構成之全區位元、源極線供應寫入電壓之電路之一電路構成例之電路圖。

【圖式代表符號說明】

1、10	記憶胞陣列
2	副陣列
3	記憶胞電晶體
4	快閃記憶體元件
5	可變電阻元件
6	選擇電晶體
20	區塊選擇電路
21	接地選擇電路
22	充電電路
23	感測電路
24	接地線
100	側壁記憶體元件
101	通道區域
102	半導體層
103	閘極絕緣膜
104	閘極電極
105	源極電極
106	汲極電極

107	記憶機能體
108	記憶機能體
WL0 ~ WLn	字元線
BLK1~4	控制信號
BLK1	被存儲體選擇線
BK1、2	第1選擇電晶體
BK3、4、5	第2選擇電晶體
BK3~2	區塊選擇電晶體
M1~M4	記憶胞
LB1、B2	位元線
LS1~LS3	假想接地線
TR1	電晶體
A、B、C、D、E	區塊選擇線
G、S	節點
GB、GB1、GB3	全區位元線
GS、GS1、GS3	全區假想接地線
EQ1~EQ4	開關電晶體
MB0	主位元線
MB1	假想接地線
MB3、MB5	主假想接地線
MB2、MB4	主位元線
M0~M8	電晶體
MB8	副位元線
SB0	副位元線

SB1	副主假想接地線
SB4	副位元線
VGSEL1	高位準
VGSEL2	低位準
m1、m2	記憶機能體

伍、中文發明摘要：

本發明係在使用假想接地線之記憶胞陣列構成中，可防止因由非選擇之位元線等迂迴注入被選擇之位元線之電流而降低讀出動作容許範圍。記憶胞陣列(1)係至少分割成多數行之副陣列(2)所構成，以副陣列(2)兩端之記憶胞行係在夾著副陣列(2)間之境界而鄰接於列方向之2個記憶胞間，使第2電極彼此不連接而分離，分別連接於獨立之位元線或假想接地線，且以副陣列單位分別選擇1條字元線、位元線及假想接地線而選擇1個讀出對象之記憶胞之方式所構成。

陸、英文發明摘要：

The present invention prevents a reading operation margin from being decreased due to a current injected into a selected bit line after passing through an unselected bit line in a memory cell array configuration using virtual ground lines. A memory cell array (1) is constituted by being divided into at least subarrays (2) of a plurality of columns and memory cell columns at the both ends of the subarrays (2) are constituted so that second electrodes are not connected each other but they are separated from each other between two memory cells adjacent to each other in the row direction at the both sides of boundaries between the subarrays (2) and respectively connected to an independent bit line or virtual ground line, and one of word lines, one of bit lines, and one of virtual ground lines are selected and one memory cell from which data will be read is selected.

拾、申請專利範圍：

1. 一種半導體記憶裝置，其包含：

記憶胞陣列，其係將具有1個第1電極與1對第2電極，依據前述第1電極之電位，藉前述第2電極間之導通狀態，可讀出記憶內容之記憶胞在列及行方向排列成矩陣狀者；

前述記憶胞陣列係將位於同一列之前述記憶胞之前述第1電極分別連接於共通之字元線，在鄰接於列方向之2個前述記憶胞間連接使1個前述第2電極彼此，將位於同一行之前述記憶胞之一方之前述第2電極連接於共通之位元線，將位於同一行之前述記憶胞之他方之前述第2電極連接於共通之假想接地線而構成，且進一步至少分割成多數行之副陣列而構成；

以前述副陣列兩端之記憶胞行係在夾著前述副陣列間之境界而鄰接於列方向之2個前述記憶胞間，前述第2電極彼此不連接而分離，分別連接於獨立之位元線或假想接地線，且

以前述副陣列單位分別選擇1條前述字元線、前述位元線及前述假想接地線而選擇1個讀出對象之記憶胞之方式所構成。

2. 一種半導體記憶裝置，其包含：

記憶胞陣列，其係將具有1個第1電極與1對第2電極，依據前述第1電極之電位，藉前述第2電極間之導通狀態，可讀出記憶內容之記憶胞在列及行方向排列成矩陣

狀者；

前述記憶胞陣列係將位於同一列之前述記憶胞之前述第1電極分別連接於共通之字元線，在鄰接於列方向之2個前述記憶胞間連接1個前述第2電極彼此，將位於同一行之前述記憶胞之一方之前述第2電極連接於共通之位元線，將位於同一行之前述記憶胞之他方之前述第2電極連接於共通之假想接地線而構成，且進一步至少分割成多數行之副陣列而構成；

以前述副陣列兩端之記憶胞行係在夾著前述副陣列間之境界而鄰接於列方向之2個前述記憶胞間，前述第2電極彼此不連接而分離，分別連接於獨立之位元線或假想接地線，且

前述位元線與前述假想接地線分別具有雙方之機能，一方發揮他方之機能時，他方發揮一方之機能之方式所構成。

3. 如申請專利範圍第1項之半導體記憶裝置，其中

以前述位元線與前述假想接地線分別具有雙方之機能，一方發揮他方之機能時，他方發揮一方之機能之方式所構成。

4. 如申請專利範圍第1項之半導體記憶裝置，其中

構成前述副陣列之前述記憶胞之行數為4者。

5. 如申請專利範圍第1項之半導體記憶裝置，其中

在各前述副陣列，前述位元線經由第1選擇電晶體連接於共通之全區位元線，前述假想接地線經由第2選擇電晶

體連接於共通之全區假想接地線者。

6. 如申請專利範圍第1項之半導體記憶裝置，其中

為執行讀出動作，而具備對前述副陣列之前述位元線與前述假想接地線之一部分或全部供應特定充電電位之充電電路者。

7. 如申請專利範圍第6項之半導體記憶裝置，其中

在各前述副陣列，前述位元線經由第1選擇電晶體連接於共通之全區位元線，前述假想接地線經由第2選擇電晶體連接於共通之全區假想接地線；

前述充電電路經由前述全區位元線與前述全區假想接地線，將充電對象之前述位元線與前述假想接地線充電者。

8. 如申請專利範圍第7項之半導體記憶裝置，其中

在含讀出對象之前述記憶胞之前述副陣列中，作為前述充電對象之前述位元線與前述假想接地線，依照在前述副陣列內之讀出對象之前述記憶胞之位置，包含僅連接於非讀出對象之前述記憶胞之前述位元線與前述假想接地線之至少一方；

前述充電電路在讀出動作時，將前述充電對象之前述位元線與前述假想接地線充電者。

9. 如申請專利範圍第7項之半導體記憶裝置，其中

在含讀出對象之前述記憶胞之前述副陣列中，作為前述充電對象之前述位元線與前述假想接地線，依照在前述副陣列內之讀出對象之前述記憶胞之位置，包含僅連

接於非讀出對象之前述記憶胞之前述位元線與前述假想接地線之至少一方；

前述充電電路在伴隨讀出動作之充電期間中，將前述充電對象之前述位元線與前述假想接地線充電者。

10. 如申請專利範圍第1項之半導體記憶裝置，其中

在前述副陣列內鄰接之前述位元線與前述假想接地線間設有開關電晶體者。

11. 如申請專利範圍第10項之半導體記憶裝置，其中

構成前述副陣列之前述記憶胞之行數為4，設於前述副陣列各個之4個前述開關電晶體中之2個被共通地控制，其他2個被分別獨立地控制者。

12. 如申請專利範圍第10項之半導體記憶裝置，其中

在含讀出對象之前述記憶胞之前述副陣列中，設於連接於讀出對象之前述記憶胞之前述位元線與前述假想接地線間之前述開關電晶體在讀出動作時斷開者。

13. 如申請專利範圍第10項之半導體記憶裝置，其中

在含讀出對象之前述記憶胞之前述副陣列中，設於連接於讀出對象之前述記憶胞之前述位元線與前述假想接地線間之前述開關電晶體在伴隨讀出動作之充電期間中斷開者。

14. 如申請專利範圍第1項之半導體記憶裝置，其中

在各前述副陣列，前述位元線經由第1選擇電晶體連接於共通之全區位元線，前述假想接地線經由第2選擇電晶體連接於共通之全區假想接地線；

在前述全區位元線與前述全區假想接地線各線設有與接地線電性連接用之接地用開關電晶體者。

15. 如申請專利範圍第1項之半導體記憶裝置，其中

在各前述副陣列，前述位元線經由第1選擇電晶體連接於共通之全區位元線，前述假想接地線經由第2選擇電晶體連接於共通之全區假想接地線；

連接於夾著前述副陣列之境界而鄰接之前述位元線或前述假想接地線之2個前述第1選擇電晶體或前述第2選擇電晶體係分別被共通之控制信號所控制者。

16. 如申請專利範圍第1項之半導體記憶裝置，其中

前述記憶胞係使用快閃記憶體元件或可變電阻元件之任何一方所構成者。

17. 如申請專利範圍第1項之半導體記憶裝置，其中

前述記憶胞係以側壁記憶體元件構成，該側壁記憶體元件具有MOSFET構造，且對閘極在汲極側與源極側至少一方側之側壁具備記憶機能體者。

18. 如申請專利範圍第17項之半導體記憶裝置，其中

為了前述副陣列內之前述記憶胞之寫入動作，構成有可對連接於寫入對象之前述記憶胞之前述位元線與前述假想接地線，分別施加相異之寫入電壓，並供應前述寫入電壓之電路與前述記憶胞陣列者。

19. 如申請專利範圍第18項之半導體記憶裝置，其中

前述側壁記憶體元件係對閘極在汲極側與源極側之兩側之側壁具備記憶機能體；

利用選擇前述記憶胞內之前述記憶機能體之任何一方用之記憶機能體選擇信號，執行施加至連接於所選擇之前述記憶胞之前述位元線與前述假想接地線之電壓控制；

藉因該電壓控制而對前述所選擇之記憶胞改變電流之方向，以個別地對前述2個記憶機能體執行寫入動作或讀出動作者。

20. 如申請專利範圍第19項之半導體記憶裝置，其中

前述記憶機能體選擇信號係位址信號之一部分者。

21. 如申請專利範圍第19項之半導體記憶裝置，其中

選擇前述記憶胞之1個，藉改變前述記憶機能體選擇信號，在前述記憶機能體選擇信號改變前後，使施加至連接於所選擇之前述記憶胞之前述位元線與前述假想接地線之電壓反轉，對所選擇之前述記憶胞之2個前述記憶機能體連續地執行寫入動作或讀出動作者。

97102193

拾壹、圖式：

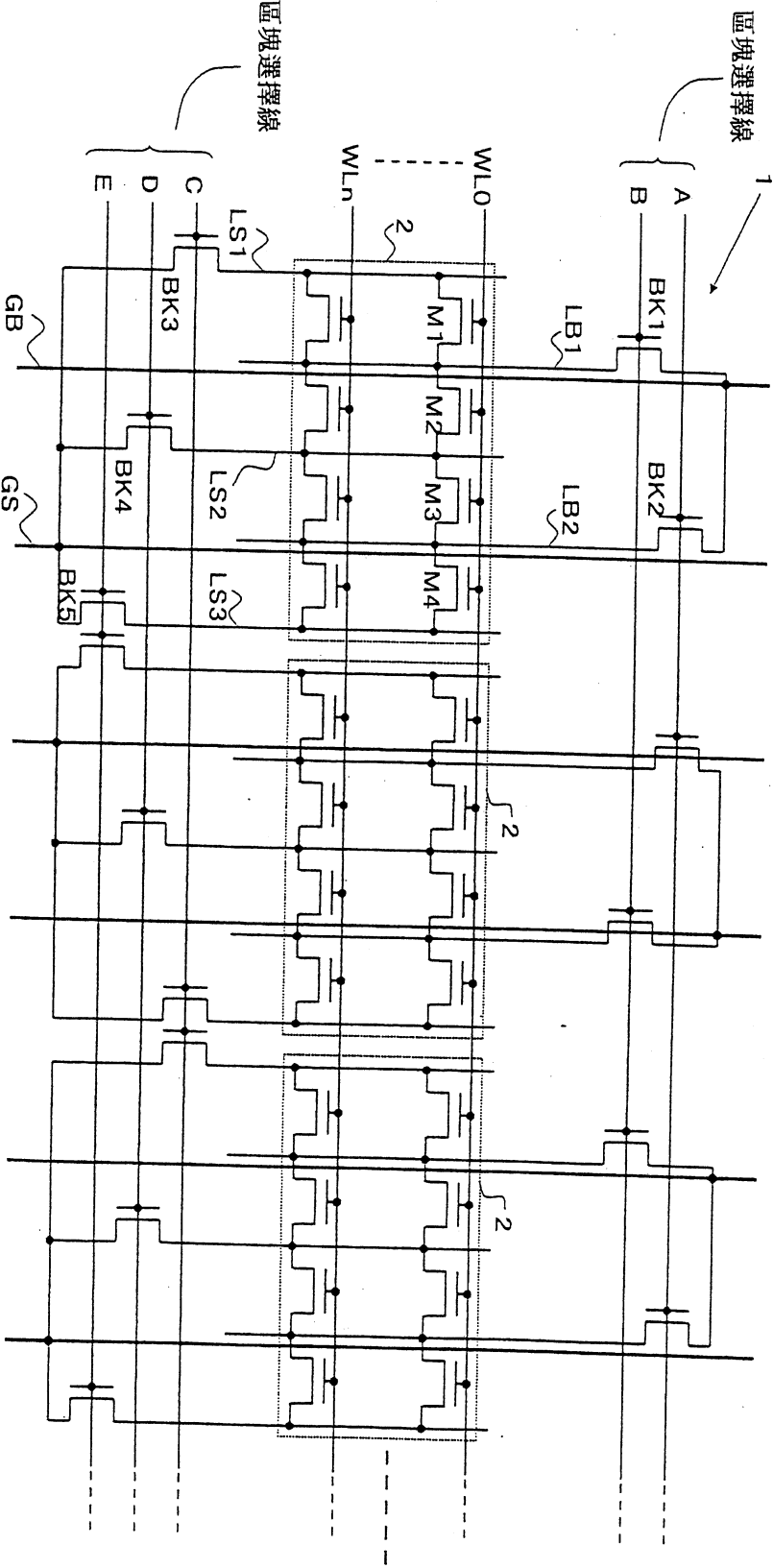


圖 1

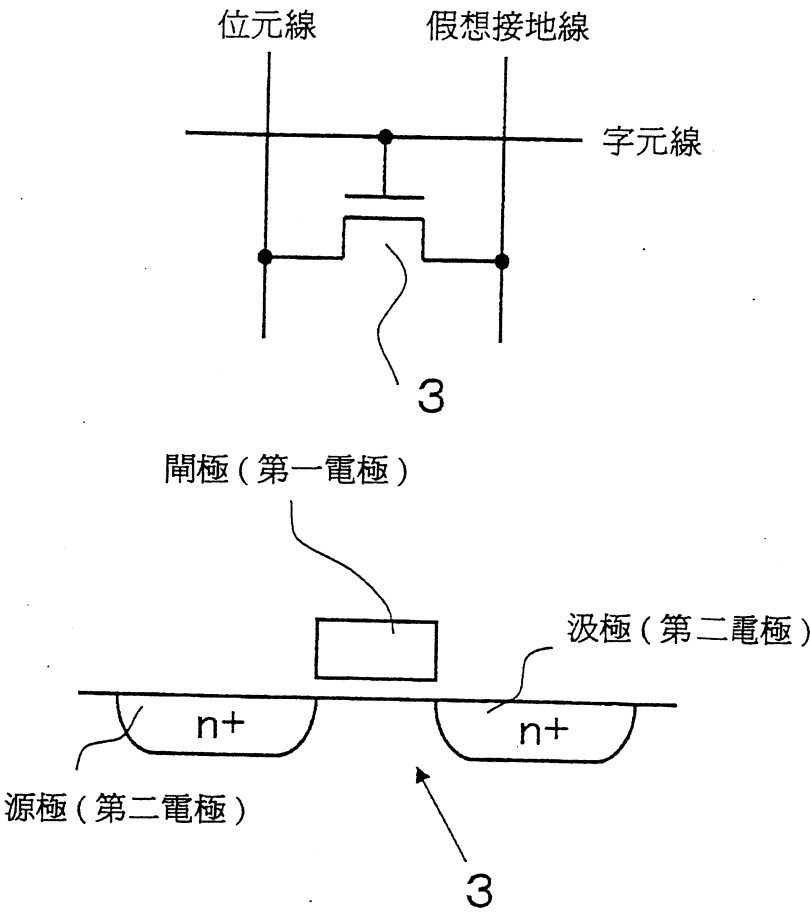


圖 2

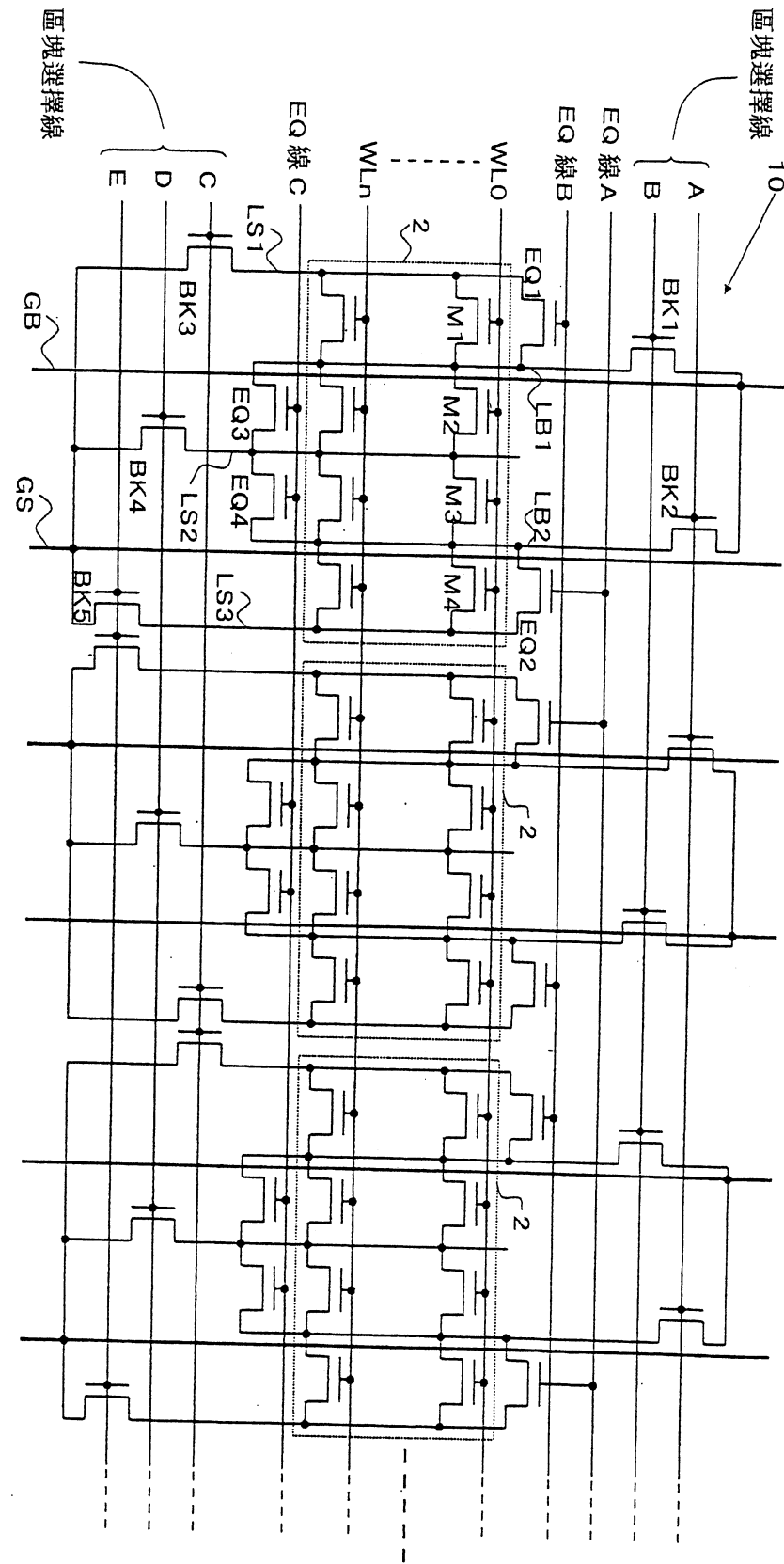


圖 3

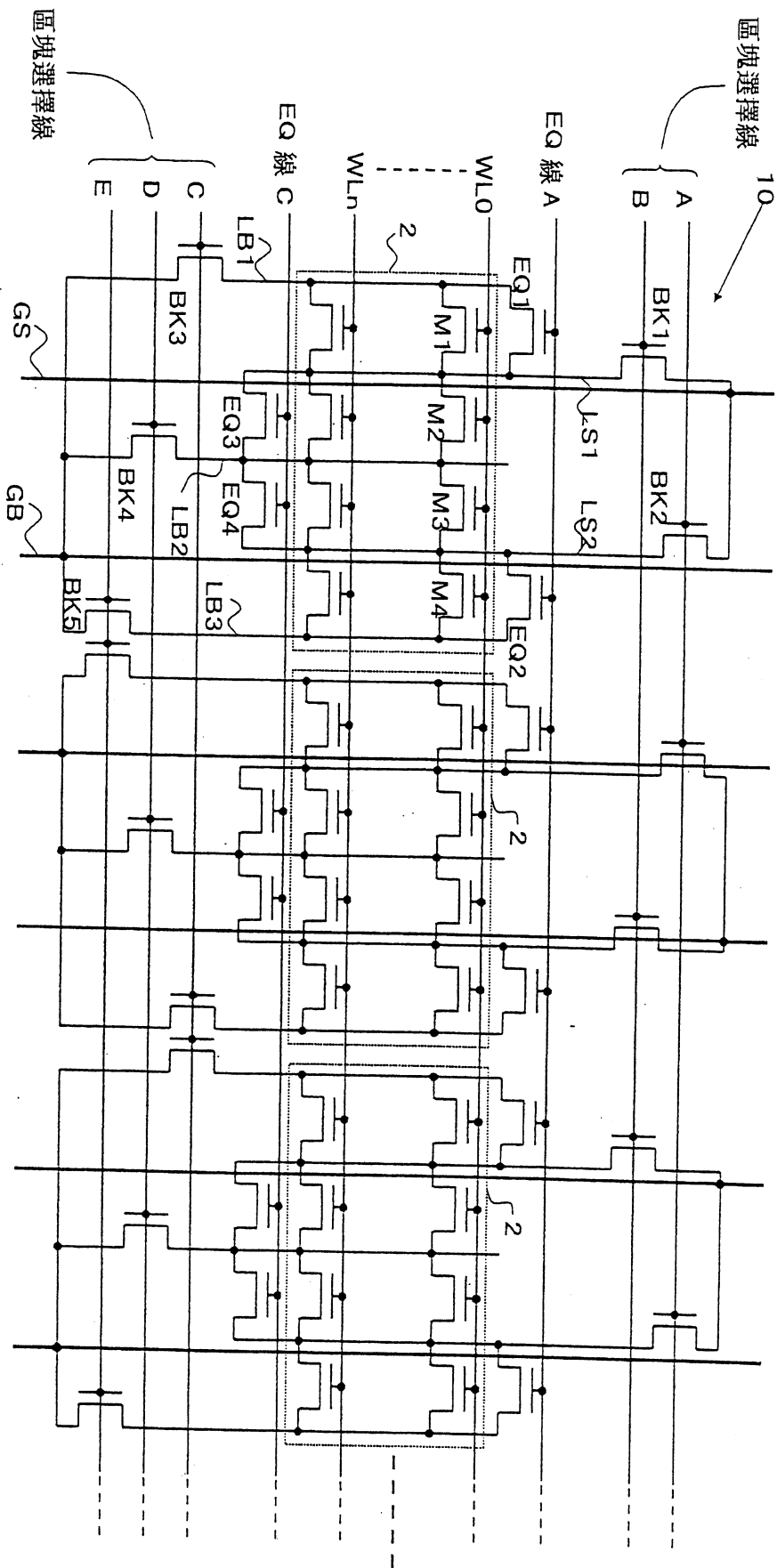


圖 4

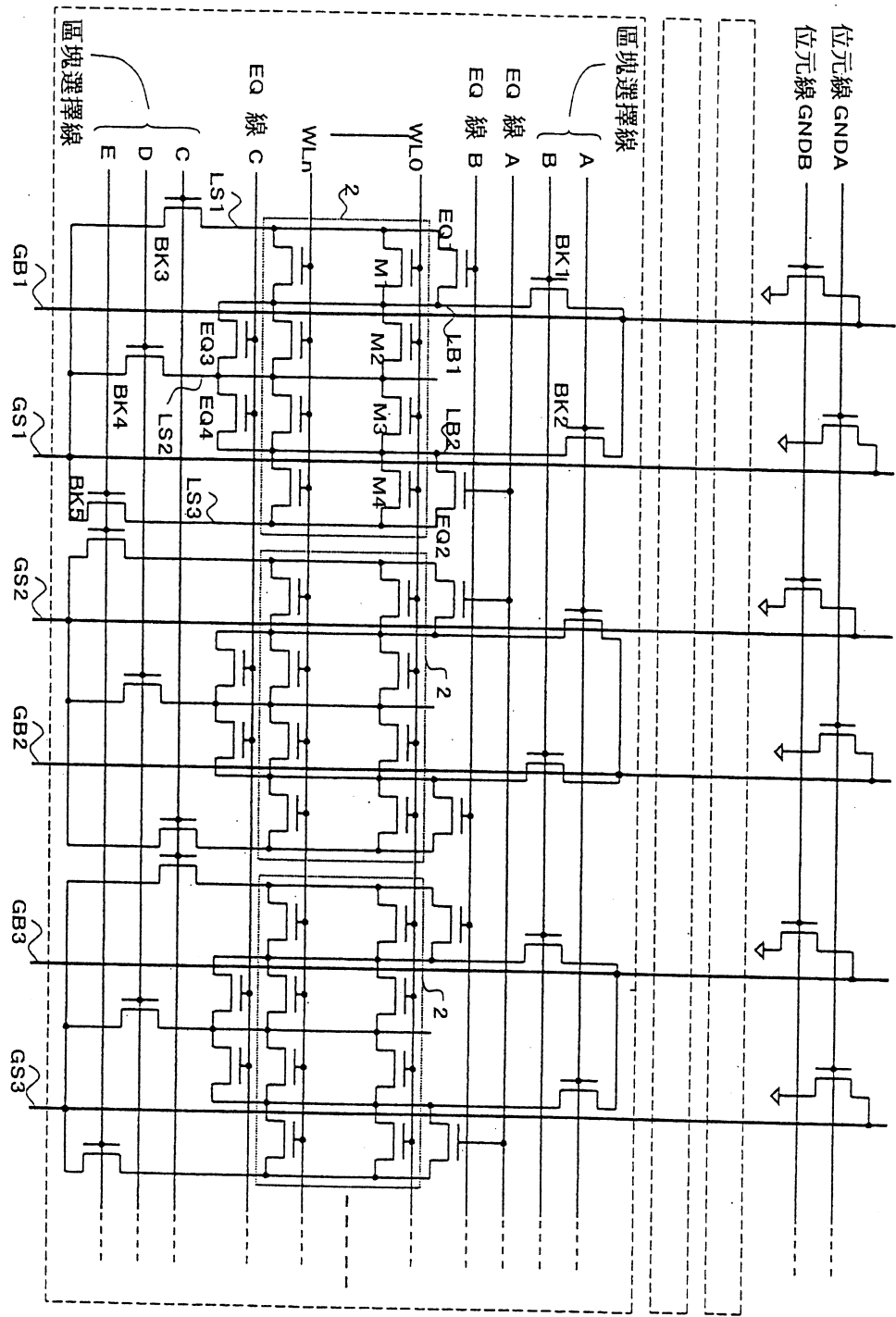


圖 5

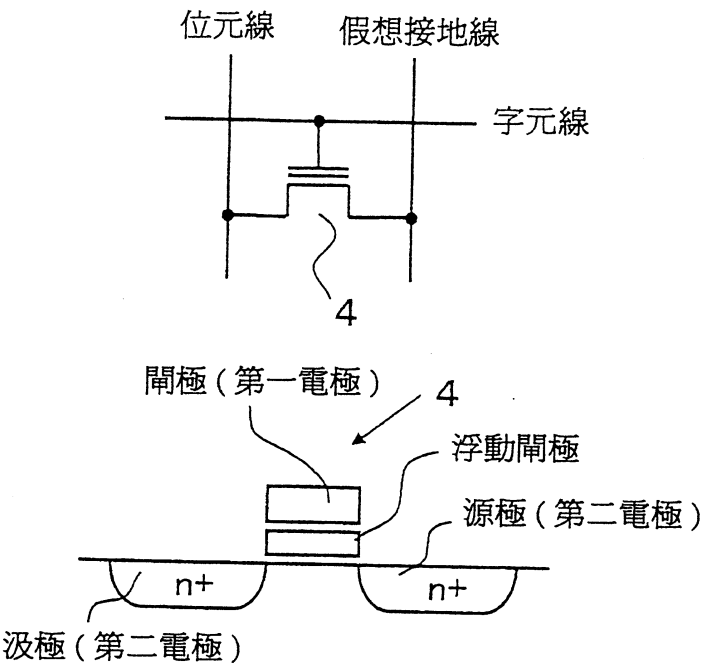


圖 6

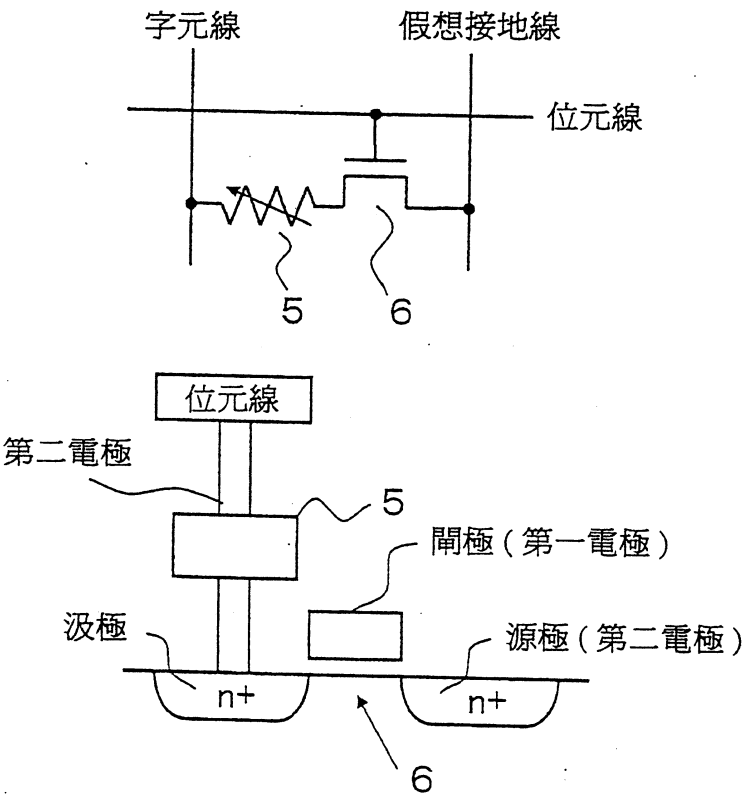


圖 7

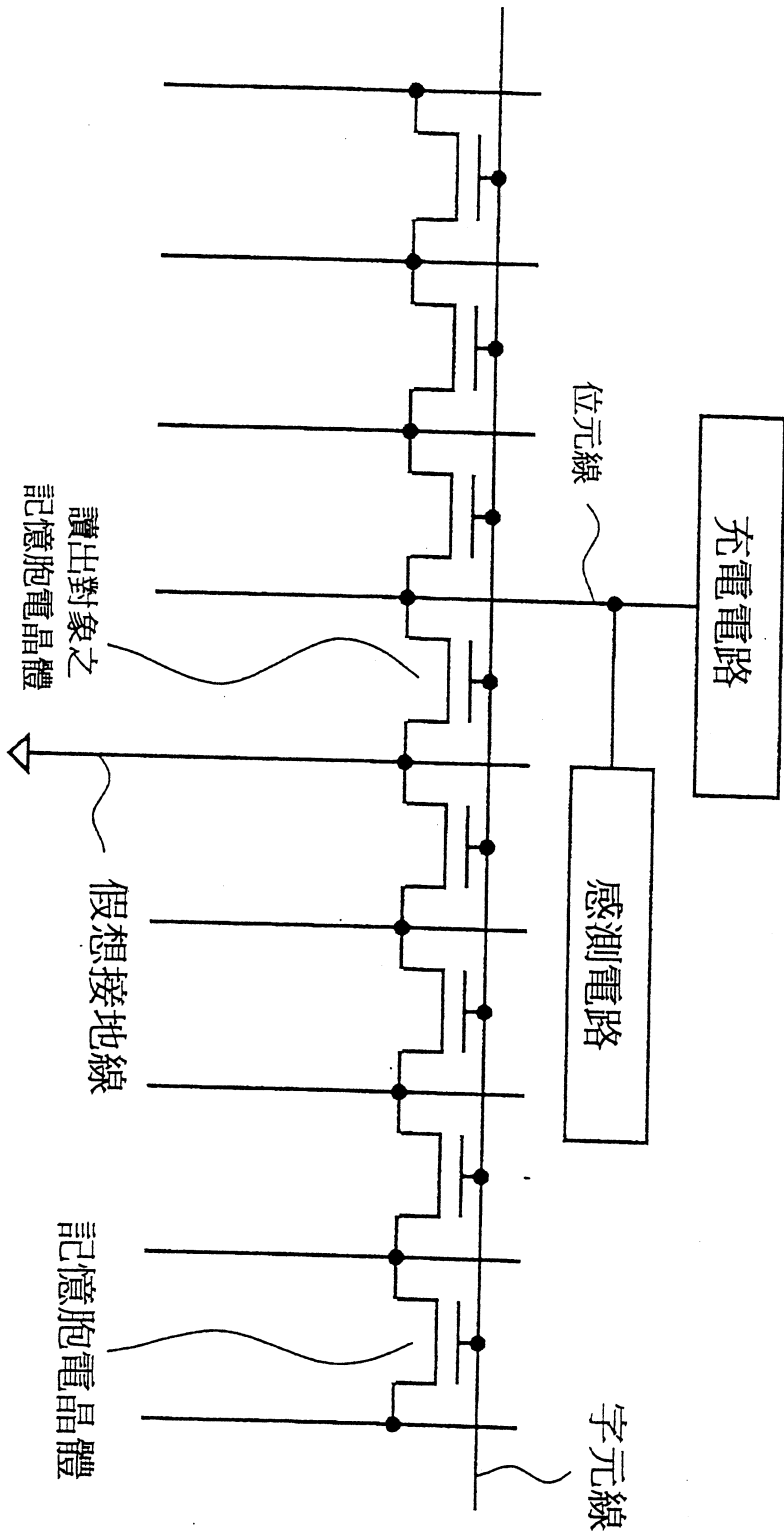


圖 8



圖 9 先前技藝

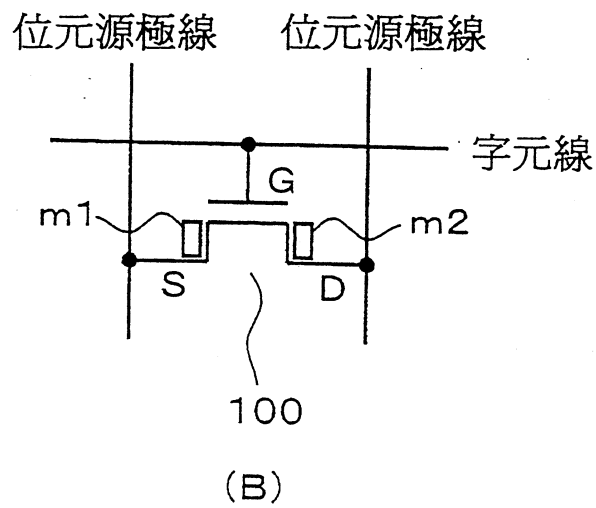
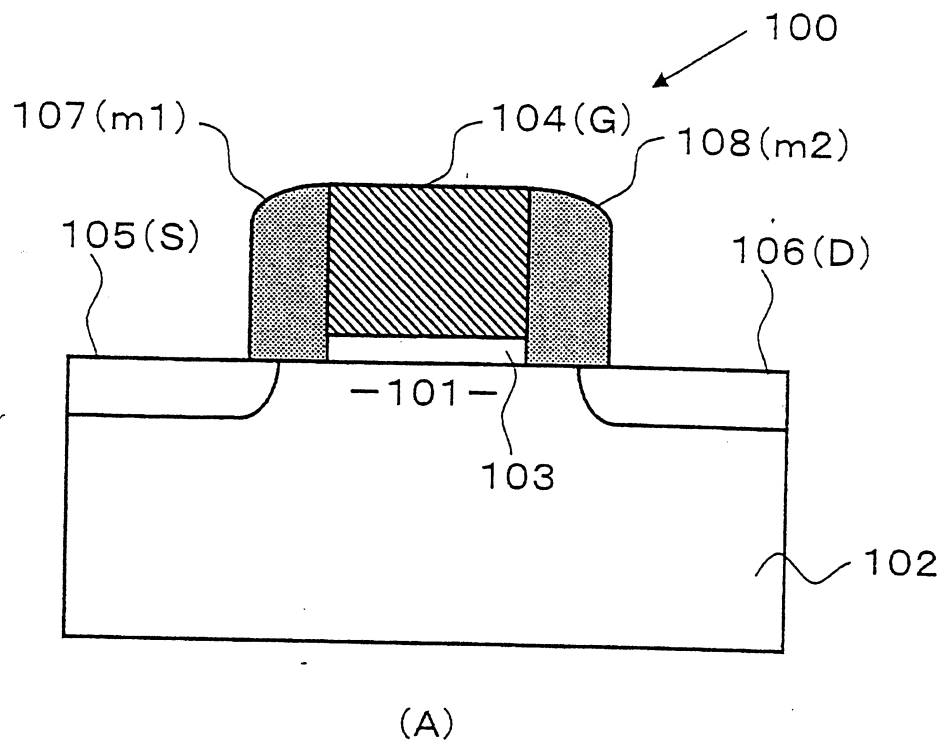
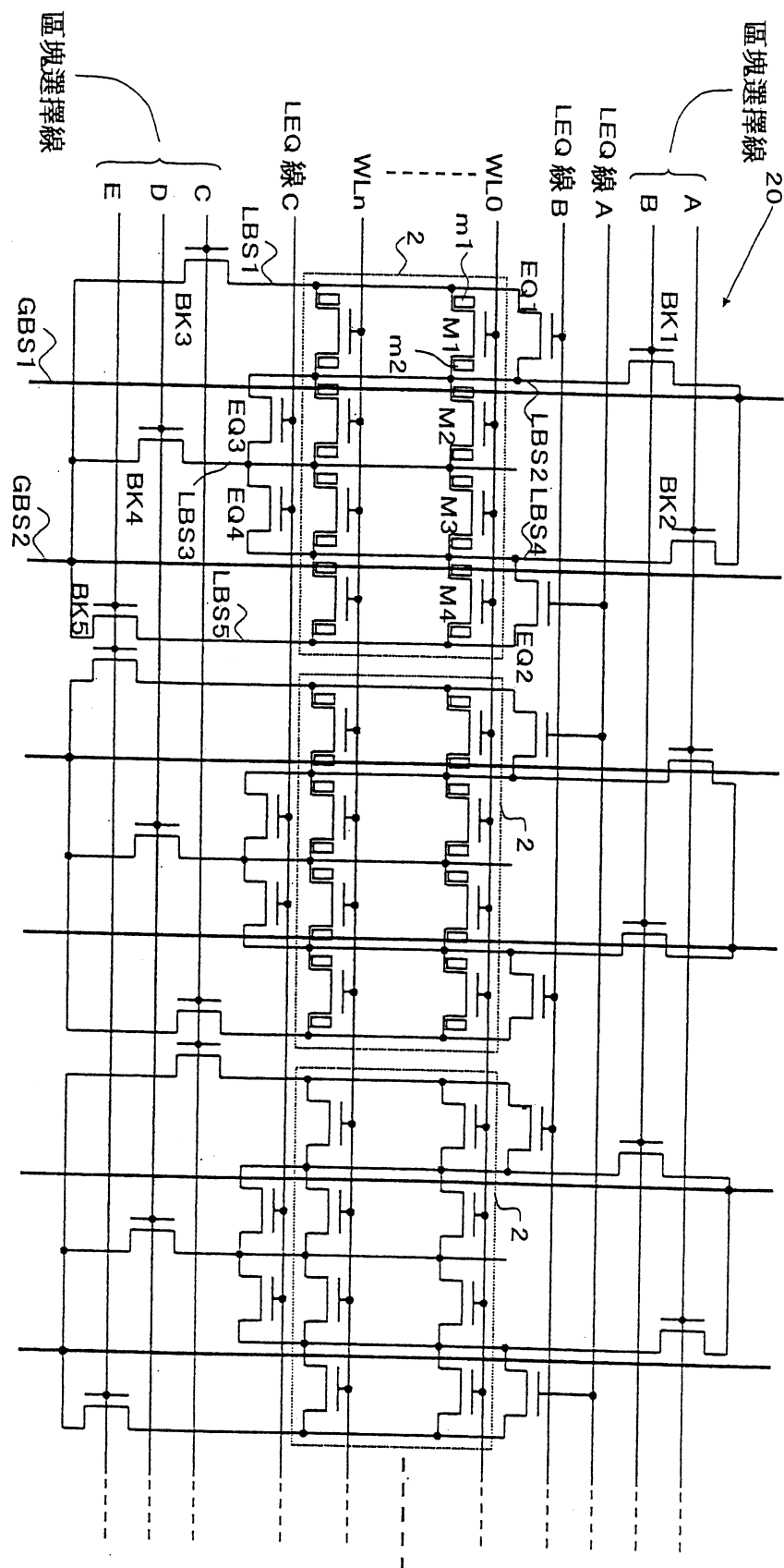


圖 10



二 四

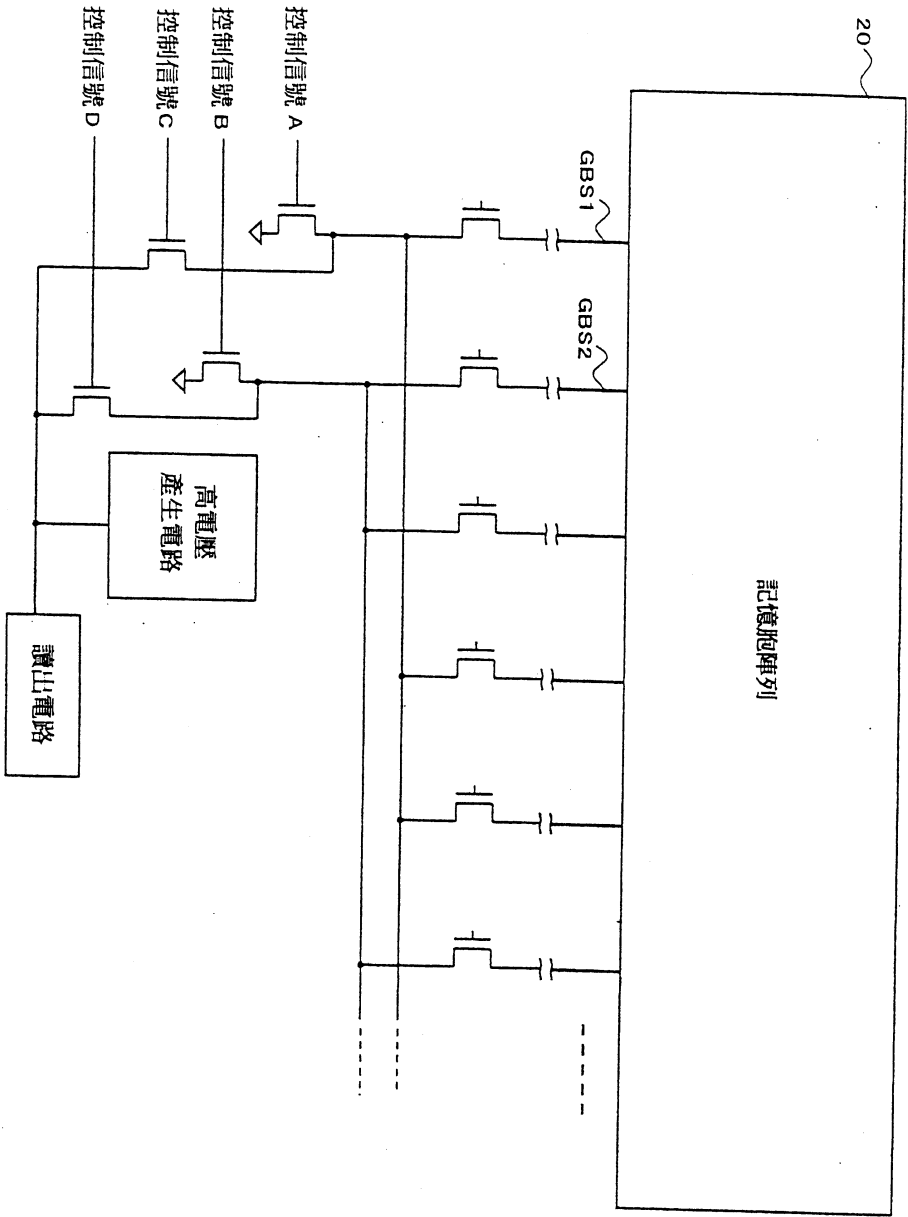


圖 12

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

1	記憶胞陣列
2	副陣列
A、B、C、D、E	區塊選擇線
WL0～WLn	字元線
M1～M4	記憶胞
LB1、2	位元線
LS1～LS3	假想接地線
BK1、2	第1選擇電晶體
BK3、4、5	第2選擇電晶體
GB	全區位元線
GS	全區假想接地線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)