

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成26年10月2日(2014.10.2)

【公開番号】特開2013-206484(P2013-206484A)
 【公開日】平成25年10月7日(2013.10.7)
 【年通号数】公開・登録公報2013-055
 【出願番号】特願2012-71700(P2012-71700)
 【国際特許分類】

G 1 1 C 15/04 (2006.01)

【F I】

G 1 1 C 15/04 F

G 1 1 C 15/04 6 3 1 E

【手続補正書】

【提出日】平成26年8月19日(2014.8.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

連想メモリセルが行列状に配置されたメモリアレイと、
 各々が、前記メモリアレイ内の対応のエントリに属する複数の連想メモリセルが接続される複数のマッチラインと、

各々が、前記マッチラインの電圧に応じて、前記メモリアレイのエントリ内の連想メモリセルに記憶されたデータと検索データとの一致または不一致を判定する複数のマッチアンプと、

前記マッチアンプは、1 個以上の N M O S トランジスタと 1 個以上の P M O S トランジスタを含み、

前記マッチアンプは、入力である前記マッチラインの電圧に対する不感帯を有し、前記マッチアンプ内に貫通電流が流れることがない特性を有する、連想記憶装置。

【請求項 2】

前記マッチアンプは、前記マッチラインの電圧とマッチラインの活性化の有無を表わす電圧を受ける N A N D 回路を含み、

前記 N A N D 回路は、ゲートが前記マッチラインと接続し、一端がグランドと接続される第 1 の N M O S トランジスタを含み、

前記第 1 の N M O S トランジスタのしきい値は、前記連想記憶装置を構成する標準の N M O S トランジスタよりしきい値が高い、請求項 1 記載の連想記憶装置。

【請求項 3】

前記 N A N D 回路は、ゲートが前記マッチラインと接続し、一端が電源電圧と接続される第 1 の P M O S トランジスタを含み、

前記第 1 の P M O S トランジスタのしきい値は、前記連想記憶装置を構成する標準の P M O S トランジスタのしきい値よりも低い、請求項 2 記載の連想記憶装置。

【請求項 4】

前記 N A N D 回路は、ゲートに前記マッチラインの活性化の有無を表わす電圧を受け、一端が前記第 1 の N M O S トランジスタの他端と接続され、他端が前記第 1 の P M O S トランジスタの他端と接続される第 2 の N M O S トランジスタを含み、

前記第 2 の N M O S トランジスタのしきい値は、前記連想記憶装置を構成する標準の N

M O S トランジスタよりしきい値が高い、請求項 3 記載の連想記憶装置。

【請求項 5】

前記メモリアレイおよび前記マッチラインは、 $1 \sim 2 \times n$ 番目 (n は自然数) のブロックに分割され、

前記マッチアンプは、

第 1 ~ 第 n 番目の判定回路と、

前記第 n 番目の判定回路の出力をラッチして、出力するラッチ回路とを備え、

前記連想記憶装置は、

1 エントリごとに、前記第 1 ~ 第 n 番目の判定回路と、前記ラッチ回路とを直列接続する内部データ配線を備え、

第 i 番目 ($1 \leq i \leq n$) の判定回路は、

第 $(2 \times i - 1)$ 番目のブロックと第 $(2 \times i)$ 番目のブロックの間に配置され、

第 $(2 \times i - 1)$ 番目のブロックのマッチラインと第 $(2 \times i)$ 番目のブロックのマッチラインがそれぞれ入力される第 1 および第 2 の N A N D 回路と、

前記第 1 および第 2 の N A N D 回路の出力と、前記内部データ配線を通じて伝達される前段の判定回路の出力を論理演算して、前記内部データ配線へ出力する論理回路とを含み、

前記ラッチ回路は、第 $2 \times n$ 番目のブロックの両隣のうちのいずれかに配置される、請求項 1 記載の連想記憶装置。

【請求項 6】

前記判定回路に含まれる論理回路は、

前記第 1 および第 2 の N A N D 回路の出力を受ける N O R 回路を含み、

前記 N O R 回路は、

ゲートが前記第 1 の N A N D 回路の出力と接続し、一端が電源と接続される第 2 の P M O S トランジスタを含み、

前記第 2 の P M O S トランジスタのしきい値は、前記連想記憶装置を構成する標準の P M O S トランジスタのしきい値よりも高い、請求項 5 記載の連想記憶装置。

【請求項 7】

前記 N O R 回路は、

ゲートが前記第 2 の N A N D 回路の出力と接続し、前記第 2 の P M O S トランジスタの他端と接続される第 3 の P M O S トランジスタを含み、

前記第 3 の P M O S トランジスタのしきい値は、前記連想記憶装置を構成する標準の P M O S トランジスタのしきい値よりも高い、請求項 6 記載の連想記憶装置。

【請求項 8】

前記第 1 および第 2 の N A N D 回路の出力を受ける N O R 回路を含み、

前記第 1 および第 2 の N A N D 回路は、ダミーサーチ時に、ダミーサーチ信号によって、一致を表わす L レベルの信号を出力する N M O S トランジスタを含む、請求項 5 記載の連想記憶装置。

【請求項 9】

前記第 1 および第 2 の N A N D 回路は、ダミーサーチ時に、ダミーサーチ信号によって V D D 電源から前記第 1 および第 2 の N A N D 回路の出力への電源の供給をカットするための P M O S トランジスタを含む、請求項 8 記載の連想記憶装置。

【請求項 10】

前記第 1 および第 2 の N A N D 回路の出力を受ける N O R 回路を含み、

前記 N O R 回路は、ダミーサーチ時に、ダミーサーチ信号によって、前記内部データ配線を H レベルに充電するために前記 N O R 回路の出力を H レベルとするための P M O S トランジスタを含む、請求項 5 記載の連想記憶装置。

【請求項 11】

前記 N O R 回路は、ダミーサーチ時に、ダミーサーチ信号によって、前記 N O R 回路の出力のグランドへの放電をカットするための N M O S トランジスタを含む、請求項 10 記

載の連想記憶装置。

【請求項 12】

前記メモリアレイおよび前記マッチラインは、 $1 \sim (2 \times n + 1)$ 番目 (n は自然数) のブロックに分割され、

前記マッチアンプは、

第 1 ~ 第 $(n + 1)$ 番目の判定回路と、

前記第 $(n + 1)$ 番目の判定回路の出力をラッチして、出力するラッチ回路とを備え、

前記連想記憶装置は、

1 エントリごとに、前記第 1 ~ 第 $(n + 1)$ 番目の判定回路と、前記ラッチ回路とを直列接続する内部データ配線を備え、

前記第 i 番目 ($1 \leq i \leq n$) の判定回路は、

第 $(2 \times i - 1)$ 番目のブロックと第 $(2 \times i)$ 番目のブロックの間に配置され、

第 $(2 \times i - 1)$ 番目のブロックのマッチラインと第 $(2 \times i)$ 番目のブロックのマッチラインがそれぞれ入力される第 1 および第 2 の NAND 回路と、

前記第 1 および第 2 の NAND 回路の出力と、前記内部データ配線を通じて伝達される前段の判定回路の出力を論理演算して、前記内部データ配線へ出力する論理回路を含み、

前記第 $(n + 1)$ 番目の判定回路は、

第 $(2 \times n + 1)$ 番目のブロックの両隣のうちのいずれかに配置され、

第 $(2 \times n + 1)$ 番目のブロックのマッチラインが入力される NAND 回路と

前記 NAND 回路の出力と、前記内部データ配線を通じて伝達される前段の判定回路の出力を論理演算して、前記内部データ配線へ出力する論理回路を含み、

前記ラッチ回路は、第 $(n + 1)$ 番目の判定回路の隣、または前記第 $(2 \times n + 1)$ 番目のブロックの隣に配置される、請求項 1 記載の連想記憶装置。

【請求項 13】

2 番目以降の判定回路は、前段の判定回路の出力を一致判定を開始させる活性化信号として用いる、請求項 5 ~ 12 のいずれか 1 項に記載の連想記憶装置。

【請求項 14】

前記各マッチアンプは、ダミーサーチ時において、前記内部データ配線を一致を表わす H レベルに一時的に設定する、請求項 5 ~ 12 のいずれか 1 項に記載の連想記憶装置。

【請求項 15】

前記マッチアンプは、

プリラッチ信号に従ってプリラッチするプリラッチ回路と、

出力ラッチ信号に従って、プリラッチされた信号を出力する出力ラッチ回路とを備え、

前記プリラッチ回路は、ダミーサーチ時に、前記プリラッチ信号の活性化タイミングを通常動作時よりも早めて、インバリッドデータによって、前記プリラッチ回路内部の配線と、前記プリラッチ回路と前記出力ラッチ回路とを接続する配線に充放電を起こさせる、請求項 14 記載の連想記憶装置。

【請求項 16】

前記出力ラッチ回路は、ダミーサーチ時に、前記出力ラッチ信号の活性化タイミングを通常動作時よりも早めて、インバリッドデータによって、前記出力ラッチ回路内部の配線と、前記出力ラッチ回路から出力される出力データ配線に充放電を起こさせる、請求項 15 記載の連想記憶装置。

【請求項 17】

前記連想記憶装置は、さらに、

前記出力データ配線に、ダミーサーチ時のみ接続する 1 以上の可変負荷容量を備える、請求項 16 記載の連想記憶装置。

【請求項 18】

連想記憶装置であって、

連想メモリエセルが行列状に配置されたメモリアレイと、

各々が、前記メモリアレイ内の対応のエントリに属する複数の連想メモリエセルが接続さ

れる複数のマッチラインと、

各々が、前記マッチラインの電圧に応じて、前記メモリアレイのエントリ内の連想メモリセルに記憶されたデータと検索データとの一致または不一致を判定する複数のマッチアップと、

前記マッチアップは、前記マッチラインの電圧とマッチラインの活性化の有無を表わす電圧を受けるNAND回路を含み、

前記NAND回路は、ゲートが前記マッチラインと接続し、一端がグランドと接続される第1のNMOSトランジスタを含み、

前記第1のNMOSトランジスタのしきい値は、前記連想記憶装置を構成する標準のNMOSトランジスタよりしきい値が高い連想記憶装置。

【請求項19】

前記NAND回路は、ゲートが前記マッチラインと接続し、一端が電源電圧と接続される第1のPMOSトランジスタを含み、

前記第1のPMOSトランジスタのしきい値は、前記連想記憶装置を構成する標準のPMOSトランジスタのしきい値よりも低い、請求項18記載の連想記憶装置。

【請求項20】

前記NAND回路は、ゲートに前記マッチラインの活性化の有無を表わす電圧を受け、一端が前記第1のNMOSトランジスタの他端と接続され、他端が前記第1のPMOSトランジスタの他端と接続される第2のNMOSトランジスタを含み、

前記第2のNMOSトランジスタのしきい値は、前記連想記憶装置を構成する標準のNMOSトランジスタよりしきい値が高い、請求項19記載の連想記憶装置。

【請求項21】

連想メモリセルが行列状に配置されたメモリアレイと、

各々が、前記メモリアレイ内の対応のエントリに属する複数の連想メモリセルが接続される複数のマッチラインと、

各々が、前記マッチラインの電圧に応じて、前記メモリアレイのエントリ内の連想メモリセルに記憶されたデータと検索データとの一致または不一致を判定する複数のマッチアップと、を備え、

前記連想メモリセルは、前記記憶されたデータと前記検索データとに基づき対応する前記マッチラインの電圧を変化させるサーチ部を含み、

前記マッチアップは、前記マッチラインの電圧とマッチラインの活性化の有無を表わす電圧を受けるNAND回路を含み、

前記NAND回路は、ゲートが前記マッチラインと接続し、一端がグランドと接続される第1のNMOSトランジスタを含み、

前記第1のNMOSトランジスタのしきい値は、前記サーチ部を構成するトランジスタと同じしきい値である連想記憶装置。

【請求項22】

前記NAND回路は、

ゲートが前記マッチラインと接続し、一端が電源電圧と接続される第1のPMOSトランジスタと、

ゲートに前記マッチラインの活性化の有無を表わす電圧を受け、一端が前記第1のNMOSトランジスタの他端と接続され、他端が前記第1のPMOSトランジスタの他端と接続される第2のNMOSトランジスタと、を含み、

前記第2のNMOSトランジスタのしきい値は、前記サーチ部を構成するトランジスタと同じしきい値である請求項21記載の連想記憶装置。