



(12) 发明专利

(10) 授权公告号 CN 101231410 B

(45) 授权公告日 2011.08.17

(21) 申请号 200810004574.0

(22) 申请日 2008.01.25

(30) 优先权数据

014580/07 2007.01.25 JP

(73) 专利权人 斯坦雷电气株式会社

地址 日本东京都

(72) 发明人 岩本宜久 清水肇

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

G02F 1/1333(2006.01)

G02F 1/1337(2006.01)

G02F 1/1343(2006.01)

G02F 1/133(2006.01)

(56) 对比文件

CN 1797074 A, 2006.07.05, 全文.

JP 2000267107 A, 2000.09.29, 全文.

JP 2001290149 A, 2001.10.19, 全文.

US 2004165136 A1, 2004.08.26, 全文.

US 2006139542 A1, 2006.06.29, 全文.

CN 1625715 A, 2005.06.08, 全文.

审查员 崔双魁

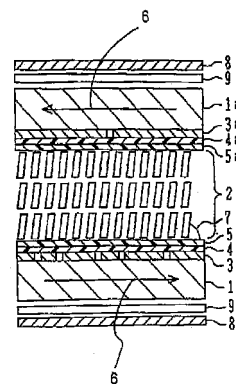
权利要求书 2 页 说明书 5 页 附图 6 页

(54) 发明名称

液晶显示装置及其制造方法

(57) 摘要

本发明公开了一种使用 1/16 以上占空比的低占空比驱动方法的液晶显示装置及其制造方法。该液晶显示装置按照下述方式来制造。制备具有预定形状的第一电极的第一基板。制备具有形状不同于该预定形状的第二电极的第二基板，第二电极的信号线电极的数目小于第一电极的信号线电极的数目。在每个第一和第二电极上形成具有必要绝缘性的绝缘膜。分别在第一和第二基板上形成第一和第二垂直配向膜，第一和第二垂直配向膜分别覆盖第一和第二电极。仅对第二垂直配向膜执行摩擦工艺。将第一和第二基板置为彼此面对，并将具有负介电常数各向异性的液晶置于第一和第二基板之间。可以防止液晶显示装置通过摩擦产生的静电所引起的配向缺陷。



1. 一种使用 1/16 以上占空比的低占空比驱动方法的液晶显示装置的制造方法,包括步骤:

制备第一基板,所述第一基板具有预定形状的第一电极;

制备第二基板,所述第二基板具有形状不同于所述预定形状的第二电极,所述第二电极的信号线电极的数目小于所述第一电极的信号线电极的数目;

在每个所述第一电极和第二电极上形成具有必要绝缘性的绝缘膜;

分别在所述第一基板上形成第一垂直配向膜和在第二基板上形成第二垂直配向膜,所述第一和第二垂直配向膜分别覆盖所述第一电极和第二电极;

仅对所述第二垂直配向膜执行摩擦工艺;以及

将所述第一基板和第二基板置为彼此面对,并将具有负介电常数各向异性的液晶置于所述第一基板和第二基板之间。

2. 如权利要求 1 所述的液晶显示装置的制造方法,其中:

所述液晶的比电阻为 $1.0 \times 10^{12} \Omega \text{ cm}$ 至 $1.0 \times 10^{14} \Omega \text{ cm}$;以及

至少所述第二垂直配向膜是由满足条件 $T \leq 500$ 秒的配向膜材料制成,其中 T 为,在 10kV 的静电施加于所述第一电极和第二电极之间且显示图像开启之后,直至所述显示图像完全消失的带电时间。

3. 如权利要求 2 所述的液晶显示装置的制造方法,其中所述带电时间 T 满足条件 $T \leq 450$ 秒。

4. 如权利要求 3 所述的液晶显示装置的制造方法,其中所述垂直配向膜的表面自由能为 35 mN/m 至 39 mN/m 。

5. 如权利要求 4 所述的液晶显示装置的制造方法,其中所述第一基板和第二基板包括:

形成于所述第一基板和第二基板之一的预定区域内的公共电极;以及

形成于另一基板上面对所述公共电极的部分区域内的分段电极。

6. 如权利要求 5 所述的液晶显示装置的制造方法,其中当不施加电压时,所述液晶的液晶分子相对于基板表面的角度为 88.0° 至 89.5° 。

7. 如权利要求 4 所述的液晶显示装置的制造方法,其中:

所述第一电极和第二电极为点矩阵显示类型,其中所述第一电极包括公共电极和第二电极包括分段电极,所述公共电极由多条条状电极构成,所述分段电极由与多条公共电极交叉的多条条状电极构成,且每条公共电极和每条分段电极之间的交叉区域/点区域构成像素区域。

8. 如权利要求 7 所述的液晶显示装置的制造方法,其中当不施加电压时,所述液晶的液晶分子相对于基板表面的角度为 88.0° 至 89.5° 。

9. 一种使用 1/16 以上占空比的低占空比驱动方法的液晶显示装置,包括:

第一基板,具有预定形状的第一电极;

第二基板,具有形状与所述预定形状不同的第二电极,所述第二基板的信号线电极的数目小于所述第一电极的信号线电极的数目;

夹置于所述第一基板和第二基板之间的液晶;

在所述液晶的一侧上形成于所述第一基板和第二基板上的第一和第二垂直配向膜;以

及

形成于所述第一电极和所述第一垂直配向膜之间以及所述第二电极和所述第二垂直配向膜之间的具有必要绝缘性的绝缘膜，

其中仅所述第二垂直配向膜被执行摩擦工艺。

10. 如权利要求 9 所述的液晶显示装置，其中：

所述液晶具有负介电常数各向异性 $\Delta \varepsilon$ 以及 $1.0 \times 10^{12} \Omega \text{ cm}$ 至 $1.0 \times 10^{14} \Omega \text{ cm}$ 的比电阻；以及

至少所述第二垂直配向膜是由满足条件 $T \leq 500$ 秒的配向膜材料制成，其中 T 为，在 10kV 的静电施加于所述第一电极和第二电极之间且显示图像开启之后，直至所述显示图像完全消失的带电时间。

11. 如权利要求 10 所述的液晶显示装置，其中所述带电时间 T 满足条件 $T \leq 450$ 秒。

12. 如权利要求 11 所述的液晶显示装置，其中所述垂直配向膜的表面自由能为 35mN/m 至 39mN/m。

13. 如权利要求 12 所述的液晶显示装置，其中所述第一基板和第二基板包括：

形成于所述第一基板和第二基板之一的预定区域内的公共电极；以及

形成于另一基板上面对所述公共电极的部分区域内的分段电极。

14. 如权利要求 13 所述的液晶显示装置，其中当不施加电压时，所述液晶的液晶分子相对于基板表面的角度为 88.0° 至 89.5° 。

15. 如权利要求 12 所述的液晶显示装置，其中：

所述第一电极和第二电极为点矩阵显示类型，其中所述第一电极包括公共电极和第二电极包括分段电极，所述公共电极由多条条状电极构成，所述分段电极由与多条公共电极交叉的多条条状电极构成，且每条公共电极和每条分段电极之间的交叉区域 / 点区域构成像素区域。

16. 如权利要求 15 所述的液晶显示装置，其中当不施加电压时，所述液晶的液晶分子相对于基板表面的角度为 88.0° 至 89.5° 。

液晶显示装置及其制造方法

技术领域

[0001] 本发明涉及液晶显示装置及其制造方法,且更具体而言,涉及垂直配向型液晶显示装置及其制造方法。

背景技术

[0002] 液晶显示装置(特别是垂直配向型液晶显示装置)的液晶分子的配向方向通过对配向膜的摩擦工艺得到控制,从而改善图像质量。本发明人与其他人在 JP-A-2005-234254 中提出了一种液晶显示装置及其制造方法,其中在对形成于基板上的例如聚酰亚胺的有机聚合物材料薄膜进行摩擦工艺之后,该液晶显示装置具有均匀的预倾斜角且没有摩擦瑕疵。

[0003] 通过摩擦工艺使液晶显示装置的配向膜带静电。当该静电放电时,配向膜的液晶配向功能受损且配向缺陷形成。该液晶显示装置成为具有局域化光学孔的废品(在本说明书中,该局域化光学孔称为配向孔)。配向孔在常黑显示中形成白点,在常白显示中形成黑点。

[0004] JP-A-HEI-7-318879 提出了通过外部连接电极以使其具有相同电势,由此防止由于静电放电导致的配向缺陷的方法。

发明内容

[0005] 本发明的目的是提供一种能够消除在摩擦工艺中产生的静电引起的配向缺陷的液晶显示装置及其制造方法。

[0006] 根据本发明的一个方面,提供了一种使用 1/16 以上占空比的低占空比驱动方法的液晶显示装置的制造方法,包括步骤:制备具有预定形状的第一电极的第一基板;制备具有形状不同于该预定形状的第二电极的第二基板,该第二电极的信号线电极的数目小于该第一电极的信号线电极的数目;在每个该第一电极和第二电极上形成具有必要绝缘性的绝缘膜;分别在该第一基板和第二基板上形成第一和第二垂直配向膜,该第一和第二垂直配向膜分别覆盖该第一电极和第二电极;仅对该第二垂直配向膜执行摩擦工艺;以及将该第一基板和第二基板置为彼此面对,并将具有负介电常数各向异性的液晶置于该第一基板和第二基板之间。

[0007] 根据本发明的另一方面,提供了一种使用 1/16 以上占空比的低占空比驱动方法的液晶显示装置,包括:具有预定形状的第一电极的第一基板;具有形状与该预定形状不同的第二电极的第二基板,该第二基板的信号线电极的数目小于该第一电极的信号线电极的数目;夹置于该第一基板和第二基板之间的液晶;在该液晶的一侧上形成于该第一基板和第二基板上的第一和第二垂直配向膜;以及形成于该第一电极和该第一垂直配向膜之间以及该第二电极和该第二垂直配向膜之间的具有必要绝缘性的绝缘膜,其中仅该第二垂直配向膜被执行摩擦工艺。

附图说明

- [0008] 图 1 为用于实施例和实验的液晶显示装置的示意性剖面图。
- [0009] 图 2A 和 2B 为常黑分段显示类型液晶显示装置的图片。
- [0010] 图 3A 为示出每个样品组的配向孔发生率的表,图 3B 为示出每个摩擦条件的配向孔发生率的表,以及图 3C 为示出静电实验中每个样品组的带电时间 (charge resident time) 的表。
- [0011] 图 4 示出可以应用于实施例的,使用 1/3 占空比驱动方法的分段显示类型液晶显示装置的电极图案的示例。
- [0012] 图 5A 至 5C 示出可以应用于实施例的,使用 1/16 占空比驱动方法的分段显示类型液晶显示装置的电极图案的示例。
- [0013] 图 6 示出可以应用于实施例的,使用 1/16 占空比驱动方法的点矩阵显示类型液晶显示装置的电极图案的示例。

具体实施方式

- [0014] 图 1 为用于实施例和实验的液晶显示装置的示意性剖面图。所示的液晶显示装置具有透明上基板 1a 和相对的透明下基板 1b,并具有液晶层 2。装置外部尺寸为,横向长度约 160mm 且垂直长度约 50mm。透明上电极 3a 形成于液晶层 2 一侧的上基板 1a 上作为公共电极。透明下电极 3b 形成于下基板 1b 上作为分段电极。透明电极 3a 和 3b 彼此相互叠置,将液晶层 2 夹置于其间。叠置的区域定义显示区域。基板 1a 和 1b 在液晶层 2 一侧上设有配向膜 5a 和 5b,这些配向膜覆盖透明电极。绝缘膜 4a 和 4b 分别形成于配向膜 5a、5b 与透明电极 3a、3b 之间。偏光板 8 形成于基板的与液晶层 2 相对一侧的上方。
- [0015] 视角补偿板 9 可根据需要而形成于每个基板和偏光板之间。可以使用没有绝缘膜 4a、4b 的结构。
- [0016] 对配向膜执行 JP-A-2005-234254 中所述的摩擦工艺。摩擦方向示意性地用箭头 6 表示。藉由该摩擦工艺,当不施加电压时,液晶分子相对于基板成角度 7 而均匀地配向 (在本说明书中,该角度称为预倾斜角)。
- [0017] 本发明人进行实验来检查配向孔发生率如何随四种垂直配向膜材料而变化。本实验中使用的材料为由 Chisso Petrochemical Corp 制造的聚酰亚胺基垂直配向膜 PI-A、PI-B 和 PI-C,以及由 Nissan Chemical Industries, Ltd. 制造的聚酰亚胺基垂直配向膜 PI-D。从使用纯水和二碘甲烷 (diiodomethane) 测量的接触角所计算的四种配向膜的表面自由能为 35mN/m 至 39mN/m。
- [0018] 实验中,对于该四种配向膜材料中每一种,形成 100 个液晶显示装置样品。样品组用 SG-A、SG-B、SG-C 和 SG-D 表示 (SG 后的字母与配向膜材料 PI 后的字母相对应)。
- [0019] 按下述顺序形成每个样品。首先,氧化铟锡 (ITO) 溅镀在由例如玻璃制成的公共基板 1a 和分段基板 1b 上。随后,ITO 层被图案化以形成公共电极 3a 和分段电极 3b。
- [0020] 在聚酰亚胺基绝缘膜 4a、4b 分别形成于在公共基板 1a 和分段基板 1b 上形成的 ITO 电极 3a、3b 上之后,四种垂直配向膜之一的图案通过柔性版印刷 (flexographic printing) 被印刷在每个绝缘膜上,并在 180℃ 烘焙 60 分钟。
- [0021] 随后,使用棉摩擦布对公共侧和分段侧执行摩擦工艺。摩擦方向设置成当两个基

板结合时为反平行配向。

[0022] 密封材料印刷在一个基板上,且 $4\mu\text{m}$ 厚的间隔物通过喷镀形成于另一基板上。两个基板彼此相互叠置,且在两个基板被挤压时该密封材料被烘焙以形成空的液晶单元。

[0023] 将结合的基板切割成液晶单元。之后,具有负介电常数各向异性 $\Delta\epsilon$ 和 $1.0\times 10^{14}\Omega\text{cm}$ 的比电阻 ρ_{cl} 的液晶材料通过真空注入法被注入,且液晶单元被密封以形成成品液晶单元。可以通过切割一对玻璃基板来形成多个液晶单元。

[0024] 随后,液晶单元在相变温度被加热至各向同性相以上,且由 PolatechnoCo. Ltd. 制造的碘基偏光板 SKN18243T 结合到单元的前表面和后表面。形成电极引线端子以完成该液晶显示装置样品。

[0025] 每个样品的液晶分子的预倾斜角 γ 为 88.0 至 89.5° 。

[0026] 接着,观察使用每种配向膜的液晶显示装置样品组 SG-A、SG-B、SG-C 和 SG-D,如上所述每个样品组具有 100 个样品。即使每个样品的平面内(包括有效显示区域以外的区域)形成一个配向孔(白点),则定义为形成配向孔。检查每个样品组的配向孔发生率。如果配向孔位于有效显示区域之外,则该样品视为合格品而出厂。

[0027] 图 2A 和 2B 为其中形成了配向孔的液晶显示装置样品的图片。图 2A 的图片示出了样品组 SG-A 内的一个样品。如所示,配向孔形成于用黑色墨水笔圈出的位置。

[0028] 图 2B 的图片示出样品组 SG-B 内的一个样品。与样品组 SG-A 的样品相比,样品组 SG-B 的样品内配向孔的数目减少。对于这些样品组的所有样品,均存在类似的趋势。

[0029] 图 3A 为示出每个样品组的配向孔发生率的表。从该表可以看出,样品组之间的配向孔发生率存在大的差异。样品组 SG-A 的配向孔发生率高达 75%,且样品组 SG-C 和 SG-D 的配向孔发生率分别较低为 12% 和 1%。由于所有样品组的其它构成要素都相同,因此可以认为,配向孔发生率的差异是由于配向膜材料的差异。从该表可以认为,为了防止配向缺陷,使用配向膜材料 PI-C 和 PI-D 是有效的。

[0030] 接下来,本发明人进行了有关配向孔发生率随配向膜摩擦方法如何变化的实验,其中不改变样品的基本制造方法。配向膜材料 PI-A 用于该实验,这是因为本发明人认为,通过使用配向孔发生率高的配向膜材料 PI-A 来比较摩擦方法,这可以澄清摩擦方法之间的差异。

[0031] 图 3B 为示出摩擦方法和配向孔发生率之间关系的实验结果的表。如该表所示,如果上基板和下基板经历摩擦工艺,配向孔发生率为 92%(在图 3A 所示的实验结果中,配向孔发生率为 75%)。可以认为,即使使用相同的配向膜材料,配向孔发生率仍随制造批次而改变。尽管存在约 20% 的差异,但可以理解,使用相同配向膜材料 PI-A 的样品组具有高的配向孔发生率)。

[0032] 如果仅分段基板被摩擦,则配向孔发生率为 88%。如果仅公共基板被摩擦,或者分段基板与公共基板均不被摩擦,则配向孔发生率为 0%。

[0033] 图 3B 所示的结果意味着,即使使用配向孔发生率高的配向膜材料 PI-A,如果仅形成于公共电极上的配向膜经历摩擦工艺,则可以防止几乎所有的配向缺陷。

[0034] 研究图 3B 所示的测量结果的原因。在实验中,公共基板的电极在数目上小于分段基板的电极,且具有更宽的单位电极面积。假设通过摩擦产生的电荷数量固定,如果电荷均匀地充电至电极,则电势与电极面积成反比。公共电极之间的间隙趋于比分段电极之间的

间隙宽。由于放电现象主要由电极之间的电势差和间隙来确定,认为在公共电极之间发生的放电比在分段电极之间发生的放电更经常。

[0035] 从这些研究可以预计,无论是公共电极还是分段电极,通过仅摩擦形成于具有更少数目电极的基板上的配向膜,则可以防止配向缺陷。

[0036] 已经确认,仅摩擦一个基板上的配向膜不会对垂直配向型液晶显示装置的液晶显示装置功能导致任何问题,如 JP-A-2005-234254 所述。

[0037] 可以容易地想到,通过最初难以形成配向孔的配向膜材料 PI-B、PI-C 和 PI-D,可以更容易地防止配向缺陷。

[0038] 发明人随后进行下述实验以从另一个角度评估每种配向膜的特性。10kV 的静电施加于每个样品的 5 个点,且在整个有效显示部分(分段显示部分)开启之后,测量直至样品上显示的图像通过电荷逐渐放电而视觉上完全消失的时间。该测量结果等效于测量液晶单元的带电时间。可以认为,该测量结果可以评估配向膜材料的带电特性,因为每个液晶显示器样品组具有相同的绝缘膜和液晶材料。

[0039] 本发明人注意到通过摩擦产生的静电在同一基板的电极之间放电的这一现象,不同于在上述 10kV 静电测试中电荷通过液晶的自然放电现象。本领域技术人员已知,10kV 静电测试是用于检测成品液晶显示装置的特性的测试。

[0040] 在该静电测试中,不需要特别考虑摩擦工艺的影响。

[0041] 图 3C 为示出每个样品组的测量结果的表。如所示,配向孔发生率为 75% 的样品组 SG-A 的带电时间为 2320 秒。配向孔发生率为 30% 的样品组 SG-B 的带电时间为 520 秒。配向孔发生率较低的样品组 SG-C 和 SG-D 的带电时间分别为 350 秒和 410 秒。由于带电时间依赖于各种因素,配向孔发生率和带电时间之间的关系不是一一对应。然而可以认为,带电时间和配向缺陷之间存在某些关联。也就是说,可以认为,带电时间短的样品组具有低的配向孔发生率。如果带电时间短,则存在每个样品组的平均配向孔发生率变小的趋势。

[0042] 从图 3C 所示的测量结果可以认为,如果使用比电阻 ρ_{cl} 为 $1 \times 10^{14} \Omega \text{ cm}$ 的液晶材料,则通过使用在 10kV 静电测试中带电时间为 500 秒以下且优选地 450 秒以下的配向膜材料,并通过使用仅对形成于具有较少数目电极的基板上的配向膜进行摩擦工艺的液晶显示装置制造方法,可以抑制配向缺陷的产生。

[0043] 静电测试中决定带电时间的因素还包括液晶的比电阻。如果使用相同的配向膜材料,则认为带电时间近似与液晶的比电阻成正比。垂直配向液晶材料通常的比电阻为 $1 \times 10^{12} \Omega \text{ cm}$ 至 $1 \times 10^{15} \Omega \text{ cm}$ 。采用仅对形成于具有较少数目电极的基板上的配向膜进行摩擦的方法,认为通过配向膜材料的组合可以实现具有上述比电阻的液晶材料。如果使用比电阻为 $1 \times 10^{12} \Omega \text{ cm}$ 至 $1 \times 10^{14} \Omega \text{ cm}$ 的液晶材料,则缩短带电时间,使得防止配向膜缺陷的效应可以被预期。

[0044] 通过仅对形成于具有较少数目电极的基板上的配向膜执行摩擦工艺来防止由放电引起的配向缺陷的方法,适用于使用 1/16 以上占空比的驱动方法的分段类型、点矩阵类型、以及分段-点矩阵类型液晶显示装置。

[0045] 参考附图描述电极图案的示例。

[0046] 第一电极图案

[0047] 图 4 示出用于分段显示类型的 1/3 占空比驱动方法的电极图案。图 4 示出沿基板

法线方向观察的形成于一对相对的基板上的分段电极图案和公共电极图案的示意性平面图。图 4 中左下的线所示的电极为形成于下基板上的公共电极,右下的线所示的电极为分段电极 (“8”、“A”、“B”、“C”和“S.C”)。交叉阴影所示的两个电极交叠的区域定义显示区域。通过发送 1/3 占空比公共信号 COM1、COM2 和 COM3 至公共电极并发送分段信号 SEG1A 至 SEG1N、SEG2A 至 SEG2C 和 SEG3 至分段电极,由此控制显示。

[0048] 第二电极图案

[0049] 图 5A 至 5C 示出用于分段显示类型的 1/16 占空比驱动方法的电极图案。

[0050] 如图 5A 所示,形成于分段基板上的分段电极 SE 和形成于公共基板上的公共电极 CE 定义显示数字“8”和点“.”的显示区域 DE。公共电极的数目为 16。

[0051] 图 5B 示出分段电极 SE 的一部分。如所示,需要两个分段电极 (例如,SE1 和 SE2) 来形成一列垂直并列的四个“8”。四个分段电极被用于图 5B 所示的两列“8”。分段电极的列横向增加期望的数目。分段电极 SE1 至 SEn 左侧的布线 E1 形成于分段基板上,从而把将供应至分段基板侧的部分电信号施加至公共电极。布线 E1 通过基板连接到公共电极 CE。

[0052] 图 5C 示出公共电极 CE1 至 CE16 的一部分。公共电极 CE 可以横向扩展本身的数目。

[0053] 通过发送 1/16 占空比公共信号至公共电极 CE1 至 CE16 并发送分段信号至分段电极,由此可以控制显示。在图 5A 至 5C 所示的示例中,由于分段电极的数目小于公共电极的数目且分段电极的电极间间隙宽于公共电极的电极间间隙,因此仅对形成于分段基板上的配向膜执行摩擦工艺。

[0054] 第三电极图案

[0055] 图 6 示出使用 1/16 占空比驱动方法的点矩阵显示类型液晶显示装置的电极图案的示例。如所示,像素 (显示) 区域 DE 是由 16 条平行的条状公共电极 X1 至 X16 与任意数目的平行的分段电极 Y1 至 Ym 之间的交叉区域定义,其中该分段电极 Y1 至 Ym 垂直于公共电极的长度方向。

[0056] 通过发送 1/16 占空比公共信号至公共电极 X1 至 X16 并发送分段信号至分段电极,由此控制显示。

[0057] 用于 1/16 占空比驱动方法的公共电极的数目不一定为 16。在一些情形中,公共电极多于 16 个电极,包括未被激励的电极以及被公共信号激励的电极。

[0058] 已经结合优选实施例描述了本发明。本发明不仅限于上述实施例。例如,分段电极和公共电极不一定需要使用相同的配向膜材料,相反,例如,PI-A 可以用于分段电极侧配向膜且 PI-B 可以用于公共电极侧配向膜。

[0059] 对本领域技术人员显而易见的是,可以进行各种变更、改进、组合等。

[0060] 本申请是基于 2007 年 1 月 25 日提交的日本专利申请 No. 2007-014580 并主张其优先权,其全部内容引用结合于此。

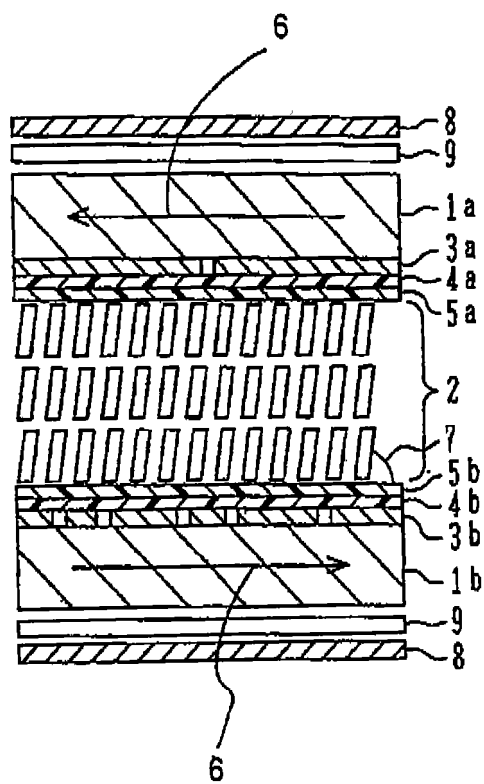


图 1

图 2A

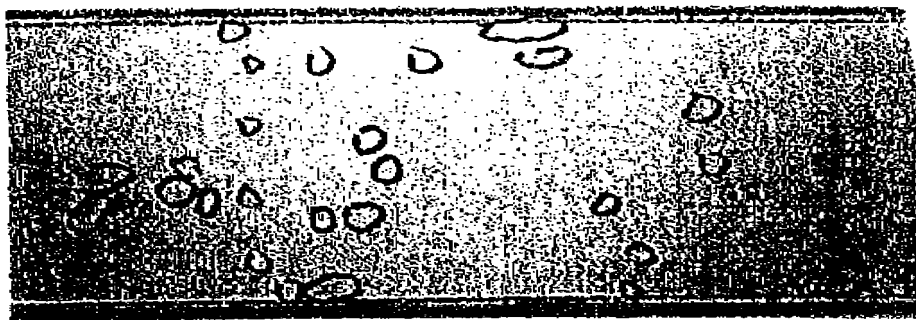


图 2B

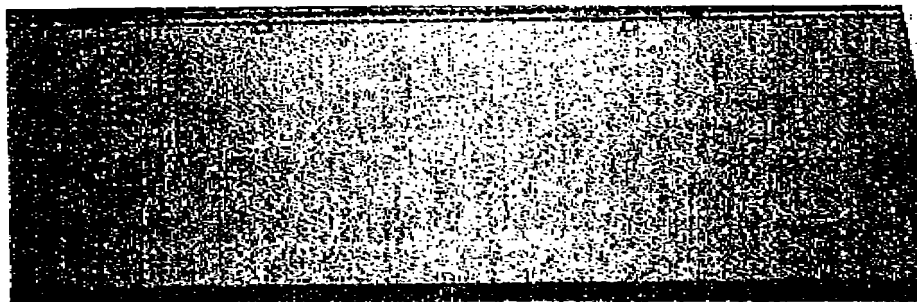


图 3A

样品组	配向膜材料	配向孔发生率
SG-A	PI-A	75%
SG-B	PI-B	30%
SG-C	PI-C	12%
SG-D	PI-D	1%

图 3B

摩擦条件	配向孔发生率
摩擦上基板和下基板	75%, 92%
仅摩擦分段基板	88%
仅摩擦公共基板	0%
无摩擦	0%

图 3C

样品组	配向膜材料	带电时间
SG-A	PI-A	2320sec
SG-B	PI-B	520sec
SG-C	PI-C	350sec
SG-D	PI-D	410sec

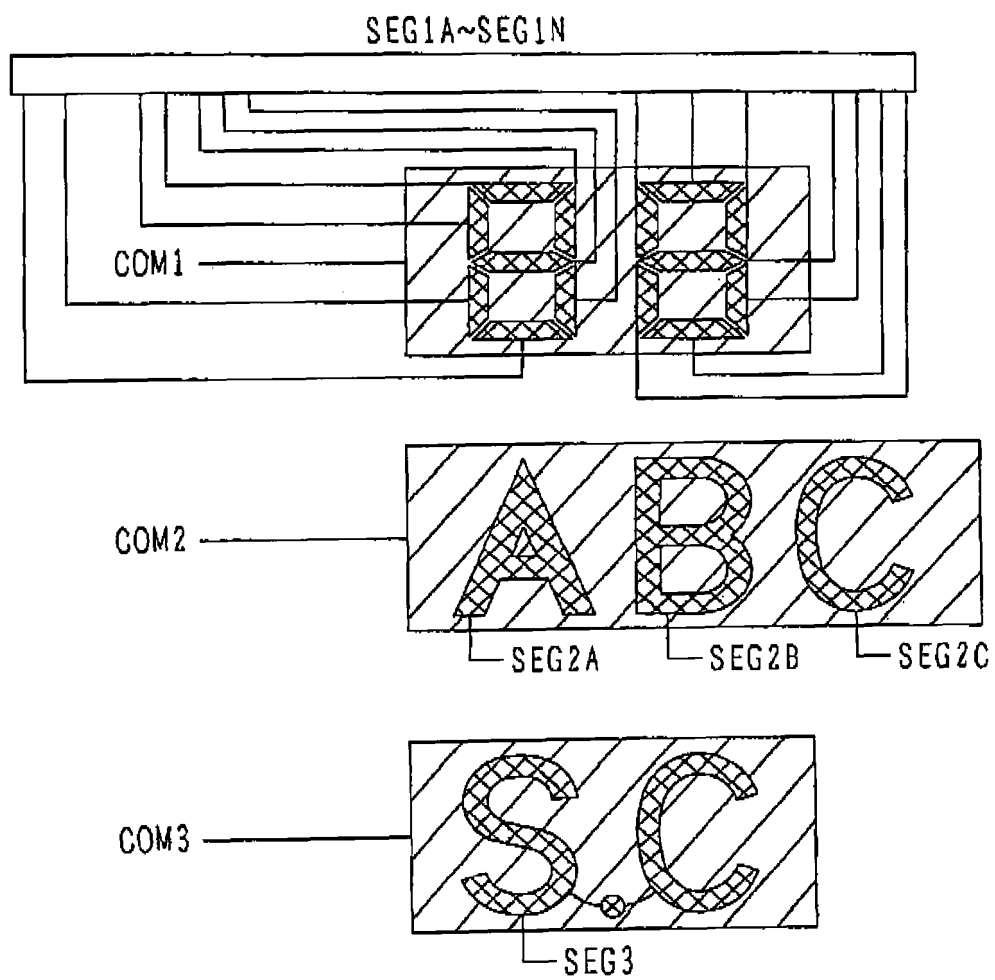


图 4

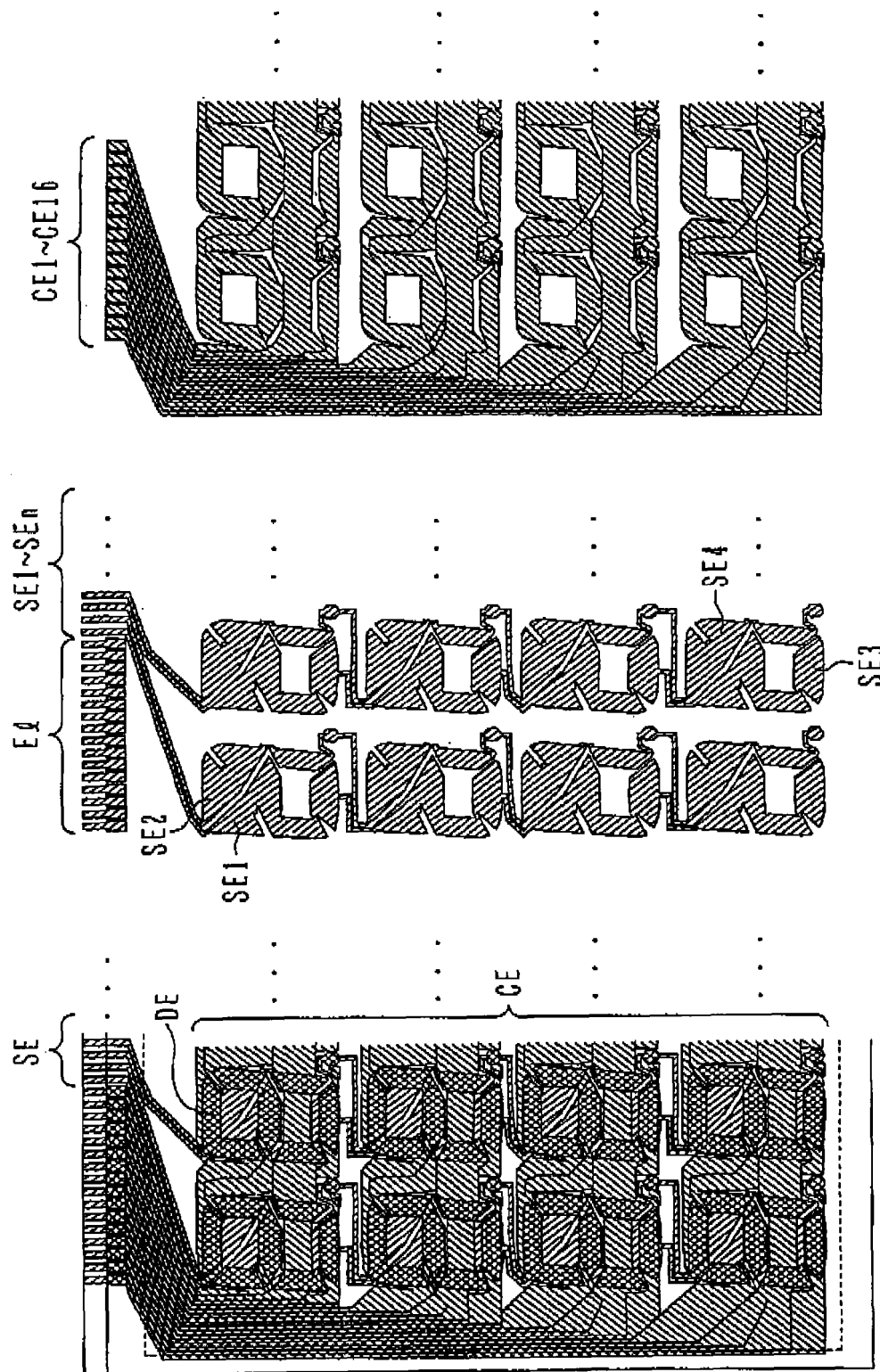


图 5A

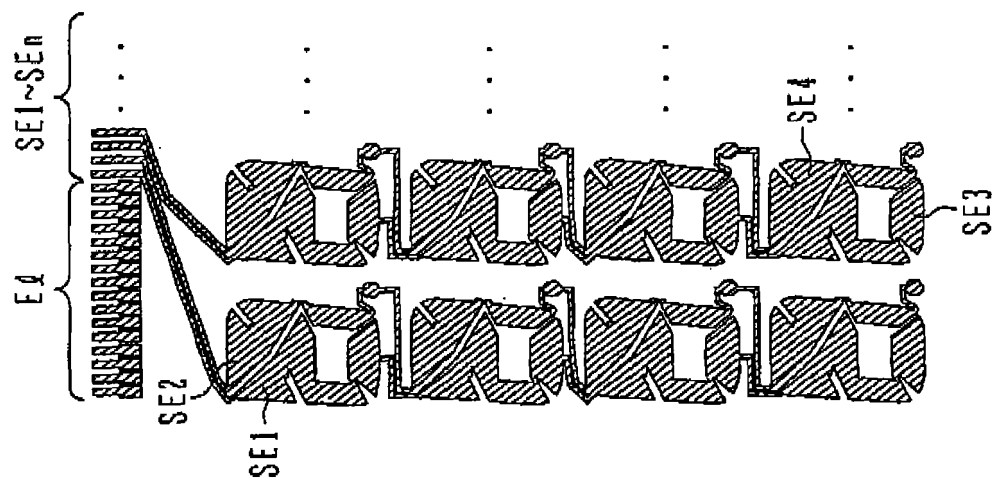


图 5B

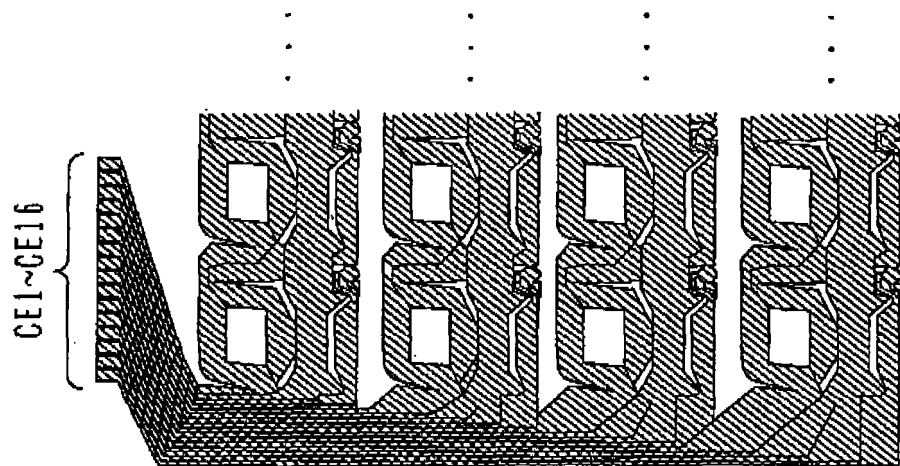


图 5C

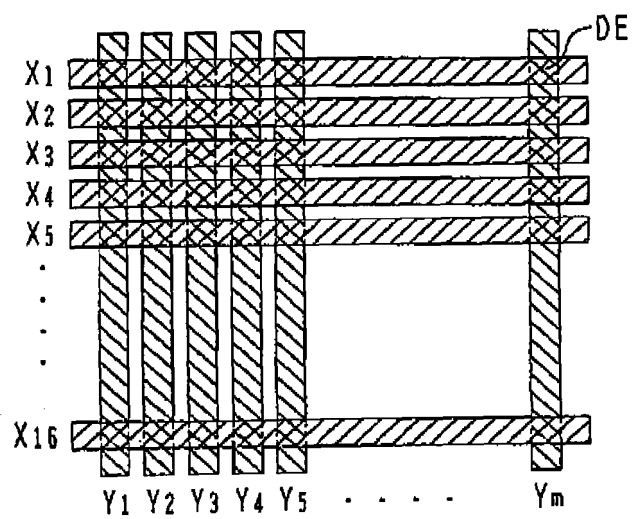


图 6