(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3582890号
(P3582890)
(45)発行日　平成16年10月27日(2004.10.27)　(24)登録日　平成16年8月6日(2004.8.6)

(51)Int.Cl.[7]　F I
H01L 21/822　H01L 27/04　F
H01L 27/04　H01L 27/04　D

請求項の数 6　(全 18 頁)

(21)出願番号　特願平7-123384
(22)出願日　平成7年5月23日(1995.5.23)
(65)公開番号　特開平8-316420
(43)公開日　平成8年11月29日(1996.11.29)
審査請求日　平成13年2月5日(2001.2.5)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(74)代理人　100075096
弁理士　作田　康夫
(74)代理人　100068504
弁理士　小川　勝男
(72)発明者　近藤　将夫
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　尾内　享裕
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
比抵抗が１００Ω・cm以上の高シリコン基板と、
該シリコン基板上に形成された表面絶縁膜と、
該表面絶縁膜上に形成された配線とを有し、
少なくとも該配線の下部あるいは周辺部の該シリコン基板と該表面絶縁膜の界面に電荷捕獲準位を有する層が形成されてなることを特徴とする半導体装置。
【請求項２】
上記電荷捕獲準位を有する層は、１Ｅ１６ｃｍ$^{-3}$以上の密度の電荷捕獲準位を有する層であることを特徴とする請求項１に記載の半導体装置。
【請求項３】
上記電荷捕獲準位を有する層は、多結晶シリコンまたは非晶質シリコンを含んで構成される膜であることを特徴とする請求項１または２に記載の半導体装置。
【請求項４】
上記電荷捕獲準位を有する層は、上記シリコン基板にイオンを打ち込むことにより形成された不純物を含有する層であることを特徴とする請求項１または２に記載の半導体装置。
【請求項５】
上記電荷捕獲準位を有する層のうち少なくとも上記配線の下部及び周辺部に絶縁体または誘電体を埋め込んだ溝が形成されてなることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。

【請求項６】
上記シリコン基板がＳＯＩ型であり、少なくとも配線の下部および周辺部分のＳＯＩ層がエッチング除去されて１Ｅ１６ｃｍ$^{-3}$以上の密度の電荷捕獲準位を有するＳｉ層に置き換えられてなることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は移動体通信端末および光伝送システム等に用いられるシリコン（Ｓｉ）のマイクロ波モノリシックＩＣに関する。
【０００２】
【従来の技術】
従来、高周波を取り扱うマイクロ波モノリシックＩＣは、基板が低抵抗であることによって生じる高周波電力の損失を低減するため、図２２に示すように比抵抗が約１０ＫΩ・ｃｍの高抵抗のＦＺ（フローテイング・ゾーン）法で作成したＳｉ基板を用いている。図２２では約１０ＫΩ・ｃｍの高抵抗シリコン基板２２１の上に酸素のイオン打ち込みなどを用いてシリコン酸化膜２２２が形成され、さらにその上に単結晶シリコン層２１３が形成される構造を有している。
【０００３】
なお、上述したシリコンモノリシックＩＣについては、アイ・イー・ディー・エム’９１　テクニカル　ダイジェストの第６８７頁～第６９０頁（ＩＥＤＭ’９１　Ｔｅｃｈ．Ｄｉｇ．　ｐｐ　６８７－６９０　（１９９１））に記載されている。
【０００４】
【発明が解決しようとする課題】
基板中の高周波電力の損失は基板の抵抗値に反比例することが知られている。
【０００５】
上述したように１０ＫΩ・ｃｍ程度の高抵抗Ｓｉ基板を用いた場合、バルクの抵抗は損失低減のためには十分高い値である。ところが、高抵抗シリコン基板と絶縁膜との界面には容易に反転層が生じるため、その部分の抵抗が低下し損失が増大してしまう問題がある。
【０００６】
具体例として、図２３に示すように高抵抗シリコン基板２３５上に形成された絶縁膜２３４上に配線２３１、２３２を２本ならべた場合について説明する。
【０００７】
マイクロ波が伝送される配線２３１には、通常＋－数Ｖの直流バイアスが印加されさらにその上に高周波電圧がかけられる。高抵抗Ｓｉ基板２３５に２μｍ程度のＳｉＯ２膜２３４を介して＋－数Ｖの直流バイアスを印加した場合、配線下部および周辺の基板表面におよそ１Ｅ１７ｃｍ－３の電荷が誘起され、シート抵抗数１００Ω／Ｓｑｕａｒｅの反転層２３６（もしくは電荷蓄積層）が形成される。
【０００８】
図２３のように２本の配線２３１、２３２の直流バイアスの極性が同じで間隔が２μｍ程度の場合、それぞれの配線による反転層は、蓄積電荷の移動により接続され、一つながりになる。
【０００９】
このような場合の配線対とＳｉ基板の等価回路を図２４に示す。図２４において、Ｃｐは配線２３１、２３２間の寄生容量、Ｃｏｘは配線２３１、２３２と基板２３５との容量、Ｒｂは基板のバルク抵抗、Ｒｓは反転層により生ずる表面抵抗を示す。配線長１０μｍ当たりにおける配線１本についてのバルク抵抗による基板抵抗Ｒｂは１０ＭΩ程度であるのに対し、隣の配線と反転層からなる反転層による表面抵抗Ｒｓ（約１００ＫΩ）と絶縁膜容量Ｃｏｘを介して結合することになる。すなわち基板抵抗は実質的には約２けた小さくなってしまう。なお、Ｃｐは配線間の寄生容量である。
【００１０】

従って高周波電力の損失は、反転層が生じないとした場合よりも約２けた増大してしまうという問題が生じる。

【００１１】

また、この損失の大きさは、配線抵抗による伝導損失の約４０倍に達する。基板中の電力の損失が大きいと伝送信号の損失が大きくなり、また基板上に形成した平面インダクタの性能（Ｑ値）も低下し、結果として半導体装置の消費電力の増大につながる。この反転層発生による基板抵抗の低下は、Ｓｉ基板が半絶縁性ＧａＡｓ基板（反転層発生がない）と比較してマイクロ波用ＩＣの分野で不利とされる主要因となっている。本発明は、上記の反転層発生に起因した高周波電力損失増大の問題を解決することを目的とする。

【００１２】

【課題を解決するための手段】

上記目的は、

（１）　高抵抗Ｓｉ基板と表面絶縁膜の界面のうち配線の下部あるいは周辺部分の少なくとも一部に電荷捕獲準位を有する層が形成されてなる半導体装置、

（２）高抵抗Ｓｉ基板と表面絶縁膜の界面のうち配線の下部あるいは周辺部分の少なくとも一部分に１Ｅ１６ｃｍ－３以上の密度の電荷捕獲準位を有するＳｉ層を挿入した半導体装置、

（３）上記１に記載の電荷捕獲準位を有するＳｉ層が、多結晶Ｓｉ膜あるいは非晶質Ｓｉ膜であることを特徴とする半導体装置、

（４）上記１に記載の電荷捕獲準位を有するＳｉ層が、Ｓｉ基板にイオンを打ち込むことにより形成された不純物含有層であることを特徴とする半導体装置、

（５）高抵抗Ｓｉ基板の表面絶縁膜との界面部分のうち少なくとも配線の下部および周辺部分が、絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されていることを特徴とする半導体装置、

（６）上記１～４に記載の電荷捕獲準位を有するＳｉ層のうち、少なくとも配線の下部および周辺部分が、絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されていることを特徴とする半導体装置、

（７）上記１～４に記載の半導体装置において、Ｓｉ基板がＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）型であり、少なくとも配線の下部および周辺部分のＳＯＩ層がエッチング除去されて１Ｅ１６ｃｍ－３以上の密度の電荷捕獲準位を有するＳｉ層に置き換えられていることを特徴とする半導体装置、

（８）上記５、６に記載の半導体装置において、Ｓｉ基板がＳＯＩ型であり、少なくとも配線の下部および周辺部分のＳＯＩ層が絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されていることを特徴とする半導体装置、

（９）上記８に記載の半導体装置において、絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されたＳＯＩ層のうち少なくとも配線の下部および周辺部分が多結晶Ｓｉ膜に置き換えられていることを特徴とする半導体装置、

（１０）上記８に記載の半導体装置において、絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断されたＳＯＩ層のうち少なくとも配線の下部および周辺部分が絶縁体に置き換えられていることを特徴とする半導体装置、

を用いることにより達成できる。

【００１３】

【作用】

配線近傍の高抵抗Ｓｉ基板／表面絶縁膜の界面の十分な領域に、配線の直流バイアスによってＳｉ層表面に誘起された電荷濃度以上の密度の電荷捕獲準位を有するＳｉ層が挿入された場合、配線の直流バイアスによってＳｉ層表面に誘起された電荷は、殆ど全て電荷捕獲準位に捕獲されてしまい動くことができなくなる。別の言い方をすると、禁制帯中に存在する電荷捕獲準位によってフェルミ準位がクランプされるため、反転層は生じることなく可動電荷が発生しない。従って、反転層発生により実質的な基板抵抗が低下してしまうという上記の問題は起こらない。これは特に、配線の直流バイアスによってＳｉ表面に誘

起された電荷の濃度がＳｉ表面で１Ｅ１６ｃｍ－３以上になると上記課題に述べた高周波電力の損失が顕著になる。従って、電荷捕獲準位密度が１Ｅ１６ｃｍ－３からこの作用がより効果的に生じ始める。なお、１Ｅ１６という表記は１掛ける１０の１６乗を表すものであり、ｃｍ－３は１分のｃｍ三乗の単位を表すものである。

【００１４】

配線の直流バイアスによってＳｉ層表面に誘起される電荷濃度は配線と基板の間の絶縁膜の膜厚とバイアス電圧に依存している。誘起される電荷濃度と基板中の伝送損失の関係を図２５に示す。従来技術によれば、反転層中のキャリア濃度が増加すれば図２５のａに示すように伝送損失が増加する。また、配線中の伝送損失を図２５のｂに示す、また、反転層中のキャリア濃度以上の密度を有する電荷捕獲準位導入による損失低減の結果を図２５のｃに示す（図中の矢印は損失低減の効果を模式的に示すものである）。

【００１５】

誘起電荷濃度がおよそ１Ｅ１６ｃｍ－３以上になると、基板中の伝送損失が配線中の伝送損失よりも多くなる。従って、反転層中のキャリア濃度が１Ｅ１６ｃｍ－３を越える分について反転層中キャリアを捕獲しうる密度の電荷捕獲準位を導入することが特に有効となる。この場合には、挿入されるＳｉ層中の電荷捕獲準位が誘起電荷濃度以上の場合に誘起電荷をほぼ全部捕獲できる。本発明は電荷捕獲準位の濃度に限らず有効であるが、上述したとおり、電荷捕獲準位がおよそ１Ｅ１６ｃｍ－３以上では伝送損失低減の効果がより実用的なものとなる。

【００１６】

なお、誘起電荷濃度がより高い場合では伝送損失低減のためにはより高い電荷捕獲準位密度が効果的である。

【００１７】

多結晶Ｓｉ膜や非晶質Ｓｉ膜は、電荷捕獲準位密度が１Ｅ１８ｃｍ－３以上であるので上記のＳｉ層として用いると効果的である。また、酸素イオンや窒素イオン等を相当量打ち込んだＳｉ基板も電荷捕獲準位密度が１Ｅ１６ｃｍ－３以上となるので上記のＳｉ層として用いると効果的である。

【００１８】

配線近傍の高抵抗Ｓｉ基板／表面絶縁膜の界面を絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断した場合、高抵抗Ｓｉ基板表面に形成された反転層も少領域に分断される。従来技術の場合と比較して、配線間に容量成分が加わってインピーダンスが増大するため実質的な基板抵抗をより高くすることができる。さらにこの場合には、配線下の基板の半導体部分の比率が小さくなるため溝のない部分の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗Ｒｂが約２倍大きくなる。その結果、同じだけ損失を提言するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点も合わせ持つ。

【００１９】

また、配線近傍の高抵抗Ｓｉ基板／表面絶縁膜の界面に上記の電荷捕獲準位を有するＳｉ層を挿入し、かつそのＳｉ層を絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断した場合、上記と同様に誘起された電荷が電荷捕獲準位に捕獲されることにより実質的な基板抵抗が２けた程度大きくなる。さらに、上記の場合と同様に基板比抵抗が同じとすると溝のない場合と比較して基板バルク抵抗Ｒｂが約２倍大きくなるので、値段が安く強度の高いより低比抵抗の基板を用いて同じだけ電力損失を低減することができる利点も合わせ持つものである。

【００２０】

Ｓｉ基板としてＳＯＩ基板を用いた場合にも、ＳＯＩ層に上記と同様な手段を用いると同様の理由により同様な効果が生じる。ただし、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わるため、ＳＯＩ型ではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗Ｒｂが約２場合となっている。その結果、同じだけ損失を低減するのに、ＳＯＩ型ではない場合と比較して値段が安く強度の高いより比抵抗の基板を用

いいることができる利点も合わせ持つ。また、ＳＯＩ層と絶縁膜が厚い場合には絶縁膜下基板の表面に電荷捕獲準位を有するＳｉ層を挿入する必要はない。なぜならば、配線と絶縁膜下基板表面との距離が十分大きいためにそこには反転層が生じないからである。また、溝により分断さらたＳＯＩ層を除去してそこに多結晶Ｓｉ膜もしくは絶縁体を埋め込んだ場合には、配線と絶縁膜下基板表面との距離が十分大きくかつその間が全て誘電率の小さい絶縁体及び誘電体となるため配線容量が通常の基板の場合よりも小さくなる効果が生じる。

【００２１】

【実施例】

実施例１

図１に本願発明の一実施例を示す。

【００２２】

図１（ａ）では、たとえば１０ｋΩ・ｃｍ程度の高抵抗シリコン基１３上に絶縁膜１２を介して配線１１が形成されている。さらに、配線４１の下部を中心に電荷捕獲順位を有するシリコン層１６が形成されている。

【００２３】

配線の直流バイアスによってシリコン層表面に誘起された電荷は、殆ど全て電荷捕獲順位に捕獲されてしまい動くことができなくなる。すなわち反転層発生により実質的な基板抵抗が低下してしまうという上述の問題を解決することができる。図中の１４は電荷の捕獲を矢印により模式的に示したものであり、１５は電荷蓄積層が消滅した範囲を模式的に示したものである。これは、電荷捕獲順位を有する層４６の電荷捕獲準位密度が誘起された電荷より大きくなっている場合誘起された電荷の濃度がＳｉ表面で１Ｅ１６ｃｍ－３以上になると高周波電力の損失が顕著になるので電荷捕獲準位密度が１Ｅ１６ｃｍ－３以上でより効果が生じる。

【００２４】

図１（ａ）では、絶縁膜１２に等間隔に電荷捕獲順位を有するシリコン層１６を配置しているが、この形状はこれに限らず、特に配線１１下部で電荷を捕獲できるような形状であれば足りる。電荷捕獲順位を有する層を形成する場所及び形状は、電荷配線下部で発生することを考慮すれば絶縁膜を介した配線の下部に設ける、あるいは電荷の移動を考慮すれば隣接する配線の下部を分断するように設けると効果的である。

【００２５】

図１（ｂ）では絶縁膜１２の下部一面に電荷捕獲順位を有する層１６を配置している。この場合での同様な効果が得られるとともに、図１（ａ）に示すように電荷捕獲層を分割して設ける工程を省略することができ、簡略な製造プロセスにより電荷捕獲層の形成を行うことができる。この場合にも、電荷捕獲順位を有するシリコン層１６は半導体基板全面に形成するのではなく、配線１１の下部、すなわち反転層が形成される可能性のある領域に配置すれば本実施例の効果を奏することができる。

【００２６】

図２には、図１に示した配線１１とシリコン基板１３の等価回路を示す。図２４に比べ、電荷捕獲層を形成したことにより配線間の絶縁膜容量Ｃｏｘを介しての基板抵抗Ｒｓを約１０ＭΩと従来技術の場合と比較して２けた程度大きくすることができる。なお、Ｒｂは図２４と同様に基板のバルク抵抗を示し、Ｃｐは配線間の寄生容量を示すものである。

【００２７】

図３には、配線近傍の高抵抗Ｓｉ基板／表面絶縁膜の界面を絶縁体もしくは誘電体を埋め込んだ溝により小領域に分断した場合の例を示す。３１は配線、３２はシリコン酸化膜等の絶縁膜、３３は高抵抗シリコン基板、３５は半導体基板に埋め込まれ溝である。図３３では、高抵抗シリコン基板３３の上に絶縁膜３２を介して配線３１が配置されており、さらに、シリコン基板の界面を絶縁体又は誘電体を埋め込んだ溝３５により分断されている。

【００２８】

この様にシリコン基板の海面を溝３５により分断すると、高抵抗シリコン基板３３表面に形成された反転層３４も反転層も小領域に分断される。これにより、反転層が実質的に溝の間に捕獲されることとなり、上述した例と同様な効果を奏することができる。これは、溝３５に絶縁膜を埋め込んだ場合には基板表面に蓄積された電荷が絶縁膜により隣接する配線により蓄積された電荷と接続されることがなくなるためである。

【００２９】

この場合の等価回路を図４に示す。Ｃｐは配線３１間の寄生容量、Ｃｏｘは配線３１と基板３３間の容量、Ｃｓは基板３４を溝３５により分断したことによる容量成分、Ｒｓは基板表面に生ずる反転層による抵抗、Ｒｂは基板のバルク抵抗（約２０ＭΩ）である。

【００３０】

この場合、従来と比較して、基板表面の抵抗Ｒｓ自体が約１０配線間に容量成分Ｃｓが加わってインピーダンスが増大するため実質的な基板抵抗をより高くすることができる（約５００ｋΩ）。さらにこの場合には、配線下の基板の半導体部分の比率が小さくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗Ｒｂが約２倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点も合わせ持つ。

【００３１】

実施例２

本発明の第２の実施例を図５、６により説明する。

【００３２】

図５は高抵抗（１０ＫΩ・ｃｍ）Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、ＭＯＳトランジスタと信号を伝送するための配線対の部分の断面図である。１は高抵抗Ｓｉ基板、２は表面パシベーションのためのＳｉＯ２膜などの絶縁膜、３はＳｉＯ２膜などの絶縁膜、４は金属配線、５はノンドープ多結晶Ｓｉ膜、６の領域はＭＯＳトランジスタである。特に制限されないがＭＯＳトランジスタ６は薄いゲート絶縁膜上に形成されたゲート電極７とソース・ドレイン領域８、９及びその引き出し電極１０、１１により形成されている。

【００３３】

配線対４に沿った領域のＳｉＯ２膜３にはパシベーション膜２の下面からＳｉ基板１の表面に達する複数の穴が形成されており、その穴にはノンドープ多結晶Ｓｉ膜５が埋め込まれている。

【００３４】

図６は本実施例の平面図である。本図にはＭＯＳトランジスタ６と配線対４に加えて平面インダクタ１３も示されている。ＭＯＳトランジスタ６のソース電極１０及びゲート電極７には金属配線４が接続され、固定電位または適当な信号が印加されるよう構成されている。また、ＭＯＳトランジスタ６のドレイン電極１１には、金属配線を螺旋状になして形成したインダクタ１３が接続されている。

【００３５】

図５において説明したようにノンドープ多結晶Ｓｉ膜５が埋め込まれた複数の穴は、配線４及びインダクタ１３に沿ってその近傍に配置されている。

【００３６】

本実施例によると、配線４の直流バイアスによって基板表面に誘起された電荷は穴の中のノンドープ多結晶Ｓｉ膜５によって捕獲されてしまうので可動電荷が生じて基板の抵抗が低下することはない。すなわち、電荷の捕獲層として働く多結晶シリコンを配線領域の下部あるいは周辺に埋め込むことにより、可動電荷の発生を抑制することができるものである。

【００３７】

なお、多結晶シリコンを埋め込んだ複数の穴は、隣接する配線間の可動電荷による悪影響を低減することを考慮すると、配線下部には必ずしも設ける必要はなく、配線間にのみ設けることによっても電荷の移動を抑制し同様の効果を奏することができる。

【００３８】
実施例３
本発明の第３の実施例を図７により説明する。
【００３９】
本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、ＭＯＳトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分の中で図５におけるものと同様のものは説明を省略する。
【００４０】
本実施例においては、ＳｉＯ２膜３の下部には全面にノンドープ多結晶Ｓｉ膜５が挟み込まれている。可動電荷の捕獲層として働く多結晶シリコン層を配置することにより、可動電荷によるシリコン基板の抵抗の低下を抑制することができる。本実施例のようにＳＯＩ基板構造となっている場合は下記の張り合わせの方法により多結晶シリコン層を基板表面全面に形成することができる。すなわち、ノンドープ多結晶Ｓｉ膜５の挟み込みは下記の方法により行う。
【００４１】
まず高抵抗Ｓｉ基板１にノンドープ多結晶Ｓｉ膜５を通常の気相成長法で堆積した後、表面にＳｉＯ２膜３を形成したもう１枚のＳｉ基板と表面を対向させて通常の方法により貼合せる。その後ＳｉＯ２膜３に接している方のＳｉ基板を研磨することにより約２００ｎｍまで薄くする。本実施例のその他の部分の製造方法は従来のＳｉ集積回路製造技術により形成することができる。
【００４２】
本実施例によると、配線４の直流バイアスによってＳｉＯ２膜３／ノンドープ多結晶Ｓｉ膜５の界面に誘起された電荷はほとんど全てそこにある電荷捕獲順位によって捕獲されてしまうので可動電荷が生じて基板の抵抗が低下することはない。
【００４３】
実施例４
本発明の第４の実施例を図８により説明する。本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、ＭＯＳトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分のうち図５に示したものと同一のものは説明を省略する。本実施例において、図中の１０はＯ（酸素）イオンが高密度にイオン打ち込みされたＳｉ層であり、１３はＭＯＳトランジスタが形成されるｐ－ｗｅｌｌ（ｐ型半導体層）である。
【００４４】
本実施例では、Ｏを含有したＳｉ層１０が配線対４に沿った領域のＳｉＯ２膜３の下部に形成されている。このＳｉ層１０は通常のイオン打ち込み法により加速電圧２００ＫｅＶでＯイオンを１Ｅ１６ｃｍ－２の密度でＳｉ基板１に打ち込むことにより形成する。Ｏイオンが打ち込まれた領域には約１Ｅ２０ｃｍ－３の電荷捕獲準位が発生するので上述の実施例と同様に配線の直流バイアスによって誘起された蓄積電荷はほとんど全て捕獲されていまい動くことができなくなる。
【００４５】
図８では、酸素イオンを打ち込んだ領域１０は配線４の下に形成されているが、配線間の領域に形成することによっても電荷の移動を抑制できるため、同様の効果を奏することができる。
【００４６】
本実施例によると、上記１から３の実施例のように多結晶Ｓｉ膜や絶縁膜を基板に埋め込むという行程が不要でコストのかからないイオン打ち込みのみで同様な効果を得ることができる。
【００４７】
実施例５
本発明の第５の実施例を図９により説明する。

【００４８】
本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、ＭＯＳトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分のうち既に説明したものについては説明を省略する。図９で１２は、基板１及び絶縁膜に形成され、ＳｉＯ２膜等の絶縁膜が埋め込まれた溝である。
【００４９】
本実施例では、複数のＳｉＯ２膜が埋め込まれた溝１２が配線対４に沿った領域のパシベーション膜２の下部に形成されている。本実施例によれば、配線対の下部に埋め込まれた絶縁膜により、配線下部に形成される電荷は閉じこめられ電荷の移動を抑制することができる。図９においては、配線対４の下部に一様に絶縁膜を埋め込む構成を示したが、隣接する配線間の電荷の移動を抑制することを考慮すれば、隣接する配線の間を分離するように溝を形成することによっても同様の効果を奏することができる。
【００５０】
さらに、溝の存在によって配線下の基板の半導体部分の比率がちいさくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗が約２倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる。
【００５１】
実施例６
本発明の第６の実施例を図１０～１２により説明する。
【００５２】
図１０は高抵抗Ｓｉ基板１上に形成されたマイクロ波モノリシックＩＣのうち、ＭＯＳトランジスタ６と信号を伝送するための配線対４の部分の断面図である。本図における各部分のうち図５及び図９と同様のものについては説明を省略する。本実施例では、複数のＳｉＯ２膜等の絶縁膜が埋め込まれた溝１２が配線対４に沿った部分のパシベーション膜２の下部に形成されており、さらにその溝の間にノンドープ多結晶Ｓｉ膜５が埋め込まれている。溝２はとくに制限されないが、配線対の下部を中心に略等間隔に形成されている。ノンドープ多結晶Ｓｉ膜５の代わりに非晶質Ｓｉ膜を埋め込んでもよい。
【００５３】
図１１は本実施例の平面図である。本図にはＭＯＳトランジスタ６と配線対４に加えて平面インダクタ１３も示されている。図１１において、図６と同様の部分については説明を省略する。本図では、配線対４及び螺旋状に形成されたインダクタの下部及び周辺部には絶縁膜を埋めこんだ溝１２とその間に埋めこまれたノンドープ多結晶シリコン層５とが形成されている。特に制限されないが、絶縁膜が埋めこまれた溝１２は配線４及びインダクタ１３に沿って縦横に形成され、溝１２に囲まれた領域に多結晶シリコン層５が形成されている。
【００５４】
図１０において説明したように、ＳｉＯ２膜が埋め込まれた溝１２とそれらの間に埋め込まれたノンドープ多結晶Ｓｉ膜５は配線に沿ってその近傍に配置されている。
【００５５】
複数のＳｉＯ２膜が埋め込まれた溝１２の間にノンドープ多結晶Ｓｉ膜５を埋め込む方法を図１２（ａ）（ｂ）（ｃ）により説明する。まず、図１２（ａ）に示すように、高抵抗Ｓｉ基板１の後に配線対４が形成される領域にＳｉＯ２膜が埋め込まれた溝１２を複数本形成する。次に、図１２（ｂ）に示すように、通常のドライエッチングの方法により溝１２をマスクとして溝の間のＳｉ基板１をほぼ溝１２の深さまでエッチング除去する。次に、図１２（ｃ）に示すように、Ｓｉ基板１が除去された部分にノンドープ多結晶Ｓｉ膜５を通常の方法により堆積して埋め込み、さらに通常の熱酸化の方法によりノンドープ多結晶Ｓｉ膜５の表面にＳｉＯ２膜３を形成する。本実施例のその他の部分の製造方法は従来のＳｉ集積回路製造技術により達成することができる。
【００５６】

本実施例によると、上記の実施例１、２と同様な効果が得られ、さらに、溝の存在によって配線下の基板の半導体部分の比率が小さくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗が約２倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点を有する。

【００５７】

実施例７

本発明の第７の実施例を図１３により説明する。

【００５８】

本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、ＭＯＳトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分のうち図８、９と同様の部分については説明を省略する。

【００５９】

本実施例では、複数のＳｉＯ２膜が埋め込まれた溝１２が配線対４に沿った領域のパシベーション膜２の下部に形成されており、さらにその溝の間にＯ（酸素）イオンが高密度にイオン打ち込みされたＳｉ層１０が形成されている。このＯを含有したＳｉ層１０の形成方法は上記の実施例４の場合と同じである。本実施例によると、実施例４の場合と同様にＯイオンが打ち込まれた領域には約１Ｅ２０ｃｍ－３の電荷捕獲準位が発生するので配線の直流バイアスによって誘起された蓄積電荷はほとんど全て捕獲されてしまう。そのため可動電荷が生じて基板の抵抗が低下することはなくなる。さらに実施例５、６の場合と同様に配線対４の下部に溝が配置され基板バルク抵抗が約２倍大きくなっているため溝のない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる利点を有する。

【００６０】

実施例８

本発明の第８の実施例を図１４により説明する。

【００６１】

本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。本図において、バイポーラトランジスタ７は半導体基板１上に絶縁膜９を介して形成されたＳＯＩ層に形成されている。バイポーラトランジスタの各エミッタ、ベース、コレクタ領域は引出層を介して電極１４、１３、１５に接続されている。また、１６、１７は酸化膜、１９はバイポーラトランジスタのベース領域、１８はコレクタ埋込層である。

【００６２】

本実施例ではＳｉ基板はＳＯＩ型でバイポーラトランジスタはＳＯＩ層に形成されている。また、パシベーション膜２の下面からＳｉ基板１上のＳｉＯ２膜９に達するＳｉＯ２膜が埋め込まれた溝１２が配線対４に沿った領域に複数本形成されている。

【００６３】

本実施例によると、上記の実施例５と同様に、配線４下で蓄積された電荷の移動が酸化膜の埋めこまれた溝１２で抑制されるため、基板の抵抗が低下しないといった効果を奏することができる。さらに、配線対４の下に誘電率の小さなＳｉＯ２膜９があるためにＳＯＩ基板でない場合と比較して配線容量が低減できる効果もある。

【００６４】

実施例９

本発明の第９の実施例を図１５により説明する。

【００６５】

本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分の名称は図５、１４におけるものと略同じである。本実施例ではＳｉ基板はＳＯＩ型でバイポーラトランジスタはＳＯＩ層に形成されている。また、配線対４に沿った領域のＳｉＯ

２膜３の下部のＳＯＩ層が除去されてそこにノンドープ多結晶Ｓｉ膜５が埋め込まれている。

【００６６】

本実施例によると、上記の実施例２、３、４と同様な効果が得られ、さらに、配線対４の下に誘電率の小さなＳｉＯ２膜９があるためにＳＯＩ基板でない場合と比較して配線容量が低減できる効果もある。

【００６７】

さらに、配線対４の下に酸化膜９があるために、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わりＳＯＩ型ではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗が約２倍となっている。その結果、同じだけ損失を低減するのに、ＳＯＩ型でない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることがでいる。

【００６８】

実施例１０

本発明の第１０の実施例を図１６により説明する。

【００６９】

本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。

【００７０】

本図における各部分の名称は図１０、１４におけるものと略同じである。本実施例ではＳｉ基板はＳＯＩ型でバイポーラトランジスタはＳＯＩ層に形成されている。また、パシベーション膜２の下面からＳｉ基板１上のＳｉＯ２膜９に達するＳｉＯ２膜が埋め込まれた溝１２が配線対４に沿った領域に複数本形成されている。さらに、その溝の間のＳＯＩ層が除去されて代わりにノンドープ多結晶Ｓｉ膜５が埋め込まれている。本実施例の製造方法は、上記の実施例５の製造方法と従来のＳｉ集積回路製造技術の組み合わせによる。本実施例によると、上記の実施例６と同様な効果が得られ、さらに、配線対４の下に酸化膜９があるために、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わりＳＯＩ型ではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗が約２倍となっている。その結果、同じだけ損失を低減するのに、ＳＯＩ型ではない場合と比較して値段が安く強度の高いより低比抵抗の基板を用いることができる。

【００７１】

実施例１１

本発明の第１１の実施例を図１７により説明する。

【００７２】

本図は高抵抗Ｓｉ基板上に形成されたマイクロ波モノリシックＩＣのうち、バイポーラトランジスタと信号を伝送するための配線対の部分の断面図である。本図における各部分の名称は図１５におけるものと略同じである。本実施例ではＳｉ基板はＳＯＩ型でバイポーラトランジスタはＳＯＩ層に形成されている。また、パシベーション膜２の下面からＳｉ基板１上のＳｉＯ２膜９に達するＳｉＯ２膜が埋め込まれた溝１２が配線対４に沿った領域に複数本形成されている。さらに、その溝の間のＳＯＩ層が除去されて代わりにパシベーション膜２が埋め込まれている。本実施例の製造方法は、上記の実施例５の製造方法と従来のＳｉ集積回路製造技術の組み合わせによる。本実施例によると、上記の実施例９と同様な効果が得られる。さらに、本実施例によると、溝の間に実施例９における多結晶シリコン膜の代わりに誘電率のより小さいパッシベーション膜が埋め込まれているため配線容量がより小さくなる利点を有する。

【００７３】

以上、次に上述の実施例による伝導損失の低減について説明する。

【００７４】

図１８には、シリコン基板１の上に酸化膜等の絶縁膜３を介して形成された配線４、５を示している。ここで、配線４には約３Ｖ程度の直流バイアスが印加され、配線５には約１

Ｖ程度の直流に加え２ＧＨｚ程度の高周波が印加されている。

【００７５】

図１８に示した配置の伝送線路における基板中の伝導による伝送損失について、基板に誘起電荷の移動を抑制するための構造のない従来技術による場合と本発明による場合の比較を図１９に示した。

【００７６】

図１９には、配線中の伝導損失４、従来技術による伝導損失１、本発明の実施例のように溝状に電荷を分断した場合の伝導損失２、本発明の実施例のように電荷捕獲準位を設けた場合の伝導損失３、５、６を示す。なお、伝導損失３は本発明の実施例のように電荷捕獲準位を設けた場合を示し、伝導損失５は電荷捕獲準位を設けるとともに溝を設けた場合を示し、伝導損失６はさらにＳＯＩ基板を用いた場合を示している。

【００７７】

本発明の実施例のように電荷捕獲準位を設けた場合の配線抵抗による伝導損失は０．０１３ｄＢ／ｍｍであるが、基板中損失をこの値と同等以下にすることが目標となる。基板中損失は、基板比抵抗に反比例するため基板比抵抗を高くすると減少する。しかし、従来技術による場合では、上記の反転層の発生により比抵抗が１００Ω・ｃｍ程度以上で損失の減少は飽和してしまう。すなわち、図１９に示すように基板中損失を目標値の約４０倍よりも小さくすることが不可能である。

【００７８】

一方、本発明のうち配線下部および周辺部分を溝により小領域に分断した場合（実施例５）では、反転層も分断されて実質的に抵抗が増大するするため、基板高抵抗化による損失減少の飽和は、損失が従来技術による場合の約１／５になるまで起こらない。

【００７９】

また、本発明のうち配線近傍のＳｉ基板／表面絶縁膜に電荷捕獲準位を有するＳｉ層を挿入した場合（実施例１～４）では、反転層は発生しないため基板高抵抗化による損失の減少が飽和することはない。従って基板比抵抗を約４ＫΩ・ｃｍ以上にすることにより基板中損失を目標値以下にすることができる。

【００８０】

配線下部および周辺部分を溝により小領域に分断しかつ電荷捕獲準位を有するシリコン層を挿入した場合（実施例６、７）でも、上記の場合と同様に反転層は発生せず基板高抵抗化による損失の減少が飽和することはない。さらに、溝の損じによって配線下の基板の半導体部分の比率が小さくなるため溝のない場合の同じ比抵抗の基板を用いた場合と比較して基板バルク抵抗が約２倍大きくなる。その結果、同じだけ損失を低減するのに、溝のない場合と比較して１／２の比抵抗の基板を用いればよい。従って基板比抵抗を約２ｋΩ・ｃｍ以上にすることにより基板中損失を目標値以下にすることができる。

【００８１】

また、ＳＯＩ基板を用いた場合（実施例８、９、１０等）にも、本発明を適用することによって上記の通常の基板の場合と同様に基板高抵抗化による損失の減少が飽和することはなくなる。さらにこの場合には、基板のバルク部分のインピーダンスとして絶縁膜の容量成分が加わりＳＯＩではない場合で基板比抵抗が同じ場合と比較して実質的な基板バルク抵抗が約２倍となっている。その結果、同じだけ損失を低減するのに、ＳＯＩ型ではない場合と比較して１／２の比抵抗の基板を用いることができる利点も合わせ持つ。

【００８２】

図２０には、シリコン基板１上に酸化膜２を介して図示した配線寸法で配線３を形成したものを示している。

【００８３】

図２０に示した配置の配線による平面インダクタの性能（Ｑ値）について、従来技術による場合（図２１の１）と本発明による場合の比較を図２１に示した。半絶縁性ＧａＡｓ基板を用いた場合（図２１の４）にはＱ値は２３となる、この値がＳｉ基板を用いる場合にも目標となる。基板比抵抗を高くしていくとＱ値は増大傾向となる。しかし、従来技術に

よる場合では、上記の反転層の発生により、Ｑ値の増大は比抵抗が１００Ω・ｃｍ程度以上において約１２で飽和してしまう。

【００８４】

一方、本発明のうち配線下部および周辺部分を溝により小領域に分断した場合（図２１の５、例えば実施例４）では、反転層も分断され実質的に抵抗が増大するため、Ｑ値が１５になるまで飽和は起こらない。さらに、本発明のうち配線近傍のＳｉ基板／表面絶縁膜に電荷捕獲準位を有するＳｉ層を挿入した場合（図２１の３、実施例１、２、３等）では、反転層は発生せず基板が高抵抗に保たれるため、基板比抵抗を約５ｋΩ・ｃｍ以上にすれば、Ｑ値を２０以上と半絶縁性ＧａＡｓ基板の場合に近い値にすつことが可能である。配線下部及び周辺部分を溝により小領域に分断しかつ電荷捕獲準位を有するＳｉ層を挿入した場合（図２１の５、実施例５、６等）では、基板比抵抗を溝のない場合と比較して１／２の約２．５ｋΩ・ｃｍ以上にすれば、Ｑ値を２０以上にすることが可能である。またＳＯＩ基板を用いた場合（図２１の６、実施例７、８、９等）では、本発明を適用することによってＳＯＩ型ではない同様な基板の場合の１／２の基板比抵抗において上記のＳＯＩ型ではない同様な基板の場合と同等のＱ値が得られる。

【００８５】

【発明の効果】

以上、本発明によれば、配線の直流バイアスにより絶縁膜／基板界面に誘起された電荷はほとんど全て電荷捕獲準位に捕獲されてしまい反転層すなわち可動電荷は生じない。その結果、半絶縁性ＧａＡｓ基板の場合とほぼ同等の伝送線路の損失や平面インダクタのＱ値を得ることができ、高周波用などに好適な半導体装置を提供することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施例を説明するための半導体装置の断面図。

【図２】本発明の第１の実施例を説明するための等価回路を示す回路図。

【図３】本発明の第１の実施例を説明するための半導体装置の断面図。

【図４】本発明の第１の実施例を説明するための等価回路を示す回路図。

【図５】本発明の第２の実施例を説明するための半導体装置の断面図。

【図６】本発明の第２の実施例を説明するための半導体装置の平面図。

【図７】本発明の第３の実施例を説明するための半導体装置の断面図。

【図８】本発明の第４の実施例を説明するための半導体装置の断面図。

【図９】本発明の第５の実施例を説明するための半導体装置の断面図。

【図１０】本発明の第６の実施例を説明するための半導体装置の断面図。

【図１１】本発明の第６の実施例を説明するための半導体装置の平面図。

【図１２】本発明の第６の実施例を説明するための半導体装置の製造方法を示す工程図。

【図１３】本発明の第７の実施例を説明するための半導体装置の断面図。

【図１４】本発明の第８の実施例を説明するための半導体装置の断面図。

【図１５】本発明の第９の実施例を説明するための半導体装置の断面図。

【図１６】本発明の第１０の実施例を説明するための半導体装置の断面図。

【図１７】本発明の第１１の実施例を説明するための半導体装置の断面図。

【図１８】本発明の効果を従来技術の場合と比較するための、伝送線路の配置図。

【図１９】本発明による、伝送損失と基板比抵抗の関係を示す図。

【図２０】本発明の効果を示すためのシリコン基板上に形成された平面インダクタ配線の配置図。

【図２１】本発明による基板比抵抗とＱ値の関係を示す図。

【図２２】従来の半導体基板をあらわす図。

【図２３】従来の半導体装置をあらわす断面図。

【図２４】従来の半導体装置の等価回路をあらわす回路図

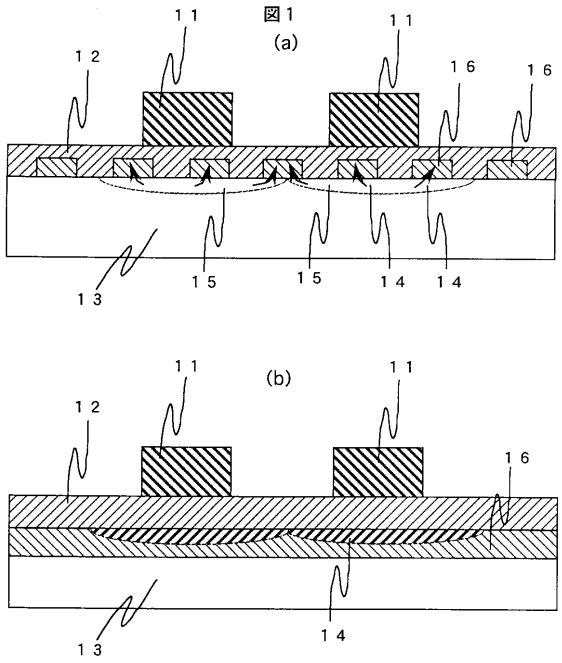
【図２５】誘起される電荷濃度と基板中の伝送損失の関係を示す図。

【符号の説明】

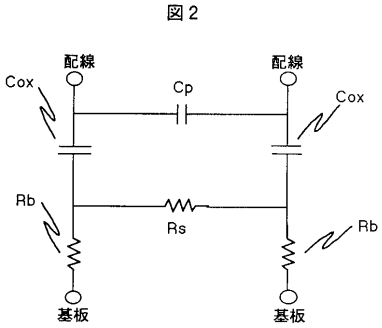
１　高抵抗Ｓｉ基板

２　表面パシベーションのためのＳｉＯ２膜
３　ＳｉＯ２膜
４　金属配線
５　ノンドープ多結晶Ｓｉ膜
６　ＭＯＳトランジスタ
７　バイポーラトランジスタ
８　ＳＯＩ層
９　ＳｉＯ２膜
１０　Ｏイオン打ち込み
１１　平面インダクタ
１２　ＳｉＯ２膜

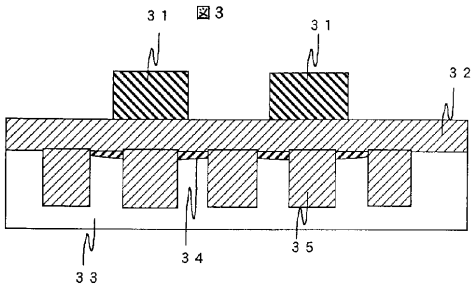
【図１】



【図２】

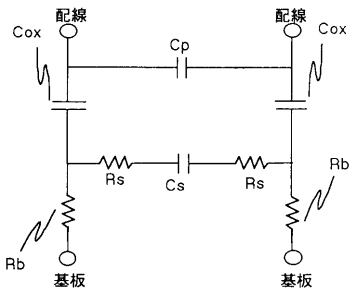


【図３】



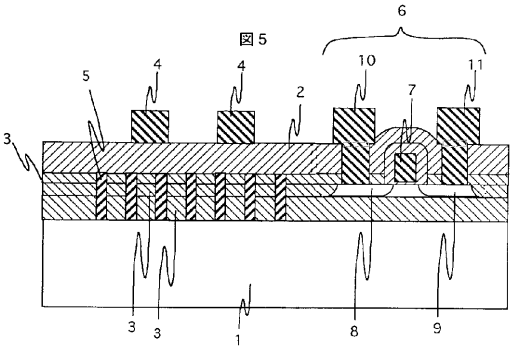
【図４】

図４



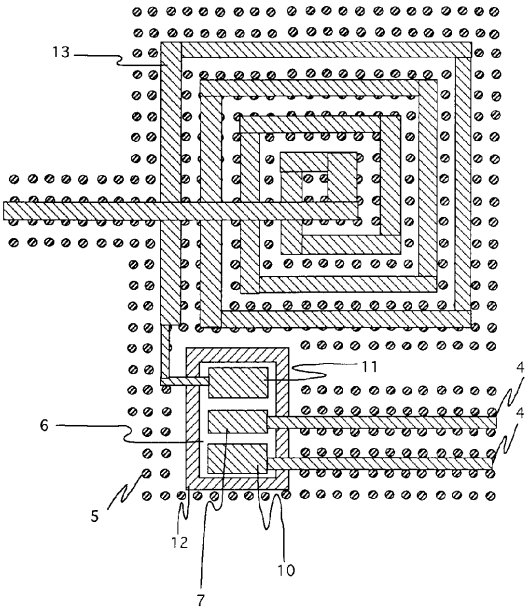
【図５】

図５



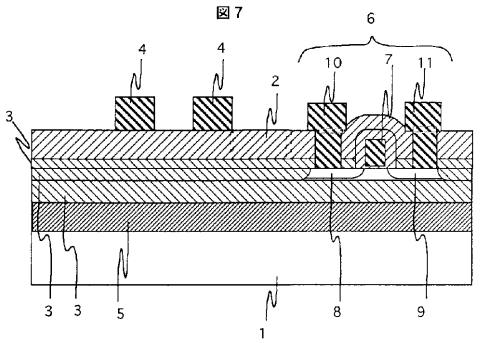
【図６】

図６



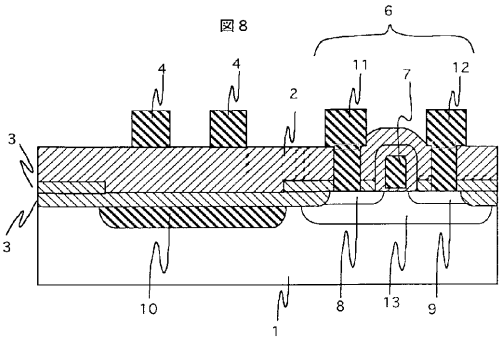
【図７】

図７



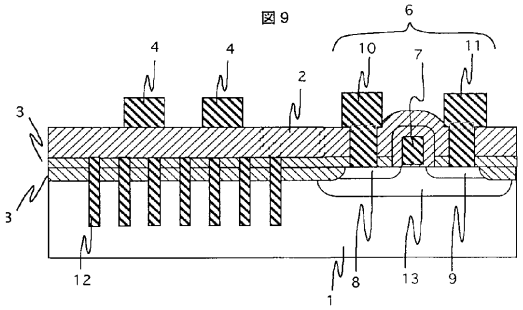
【図８】

図８



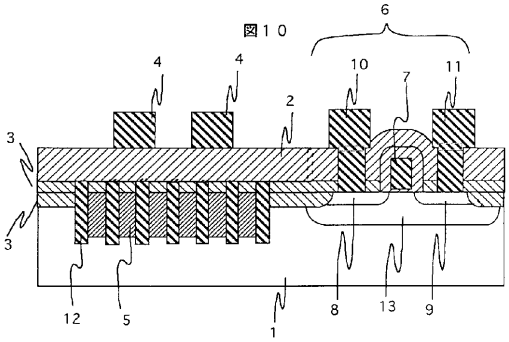
【図９】

図９



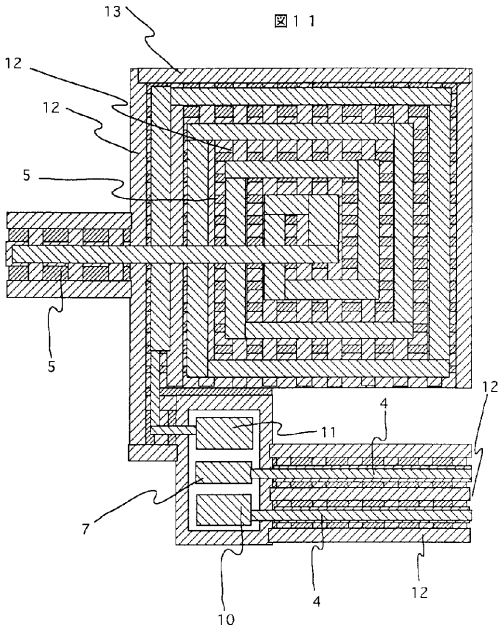
【図１０】

図１０



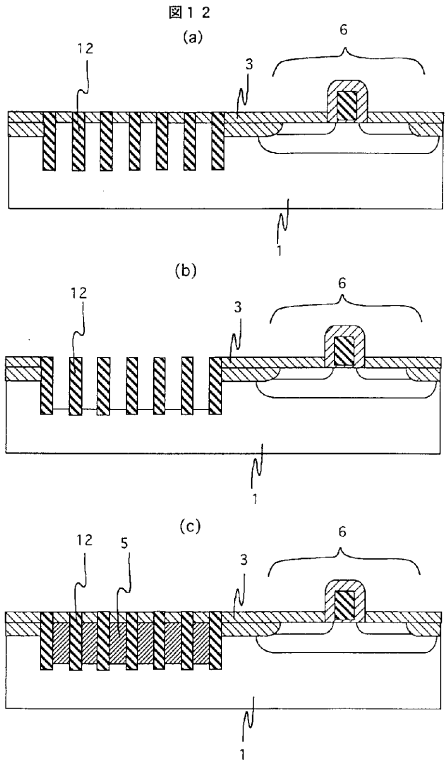
【図１１】

図１１



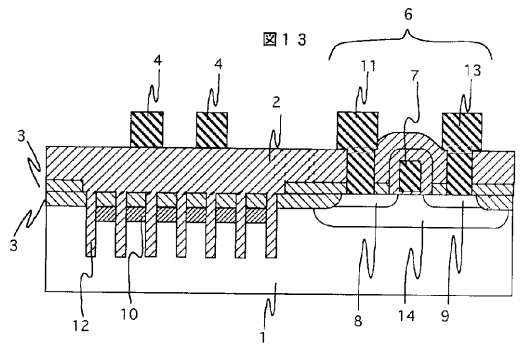
【図１２】

図１２



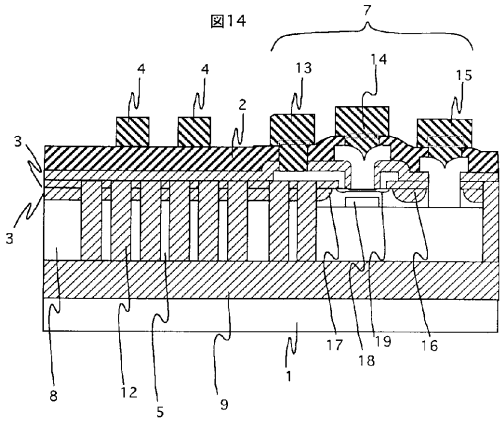
【図１３】

図１３



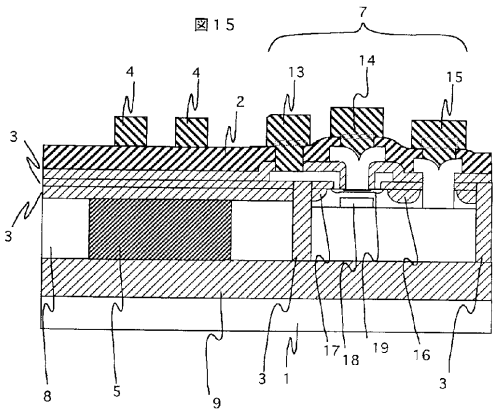
【図１４】

図１４



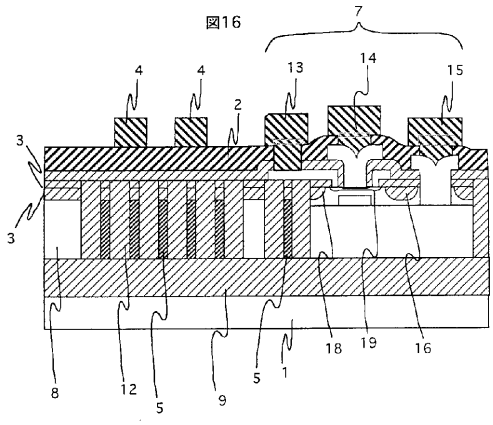
【図１５】

図１５



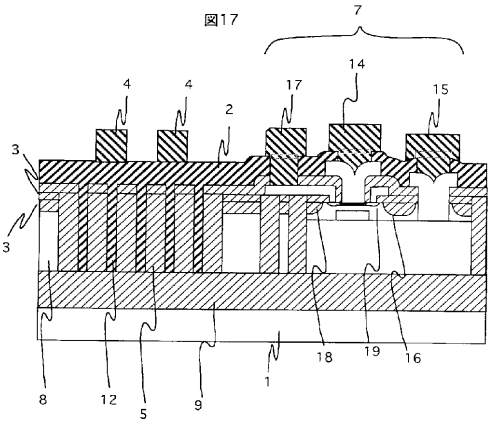
【図１６】

図16



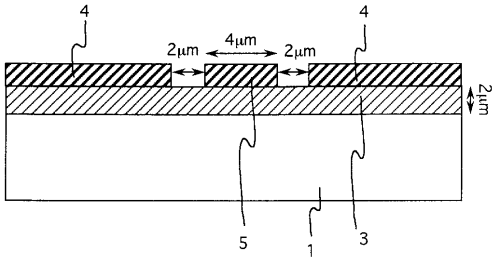
【図１７】

図17



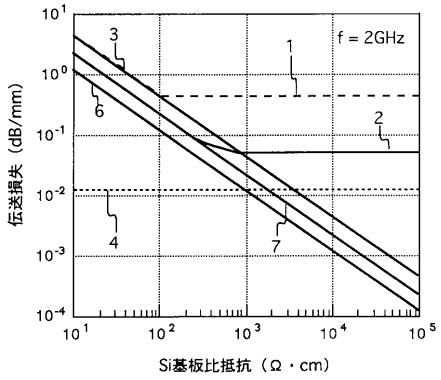
【図１８】

図18



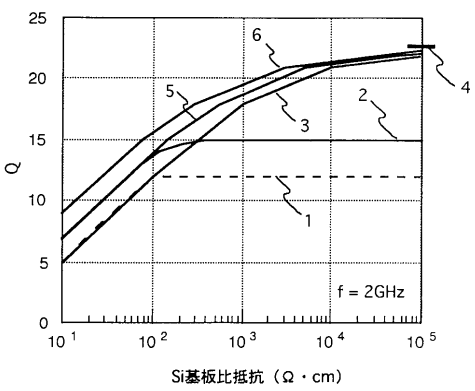
【図１９】

図19



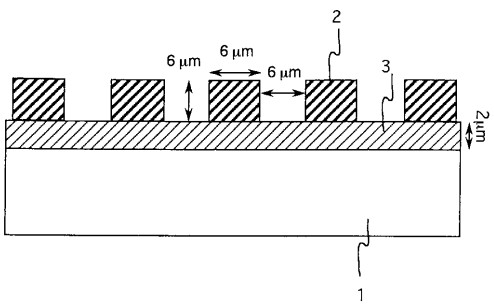
【図２１】

図21



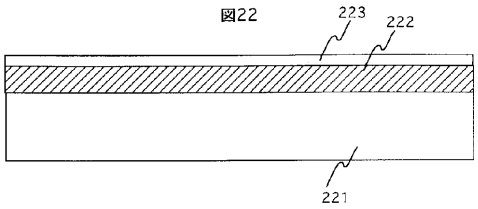
【図２０】

図20



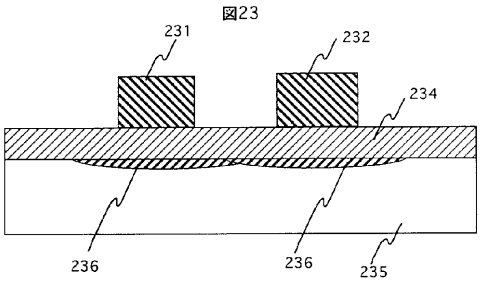
【図２２】

図22



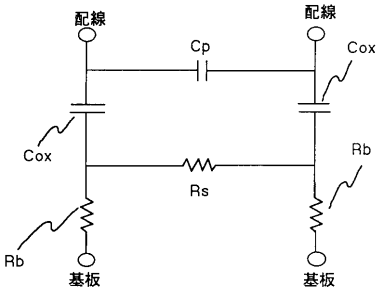
【図２３】

図23



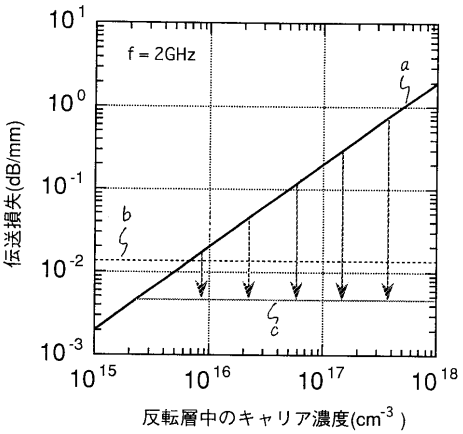
【図２４】

図24



【図２５】

図25



フロントページの続き

(72)発明者　鷲尾　勝由
東京都国分寺市東恋ケ窪１丁目２８０番地　　株式会社日立製作所中央研究所内
(72)発明者　堀内　勝忠
東京都国分寺市東恋ケ窪１丁目２８０番地　　株式会社日立製作所中央研究所内

審査官　松本　貢

(56)参考文献　特開平０６－２４４２９９（ＪＰ，Ａ）
特開平０６－０７７７０９（ＪＰ，Ａ）
特開平０６－０６１３６６（ＪＰ，Ａ）
特開平０２－２７２７４５（ＪＰ，Ａ）
特開平０７－３３５４４１（ＪＰ，Ａ）
特開平０２－３０８５５３（ＪＰ，Ａ）
特開平０７－１０６５１１（ＪＰ，Ａ）
特開平０５－０１３５６５（ＪＰ，Ａ）
特開平０５－０１３８００（ＪＰ，Ａ）
特開平０６－０９００１１（ＪＰ，Ａ）
特開昭５３－１０１２８１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/822
H01L 27/04