(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 8 月 1 日(01.08.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/111294 A1

(51) 国際特許分類:
H01L 29/861 (2006.01)　*H01L 27/088* (2006.01)
H01L 21/8234 (2006.01)　*H01L 29/739* (2006.01)
H01L 27/04 (2006.01)　*H01L 29/78* (2006.01)
H01L 27/06 (2006.01)

(21) 国際出願番号: PCT/JP2012/051606

(22) 国際出願日: 2012 年 1 月 26 日(26.01.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 **(HITACHI, LTD.)** [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目６番６号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 橋本　貴之 **(HASHIMOTO Takayuki)** [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目１番１号　株式会社日立製作所　日立研究所内 Ibaraki (JP). 増永　昌弘 **(MASUNAGA Masahiro)** [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目１番１号　株式会社日立製作所　日立研究所内 Ibaraki (JP).

(74) 代理人: 磯野　道造**(ISONO Michizo)**; 〒1020093 東京都千代田区平河町２丁目７番４号　砂防会館別館内　磯野国際特許商標事務所気付 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

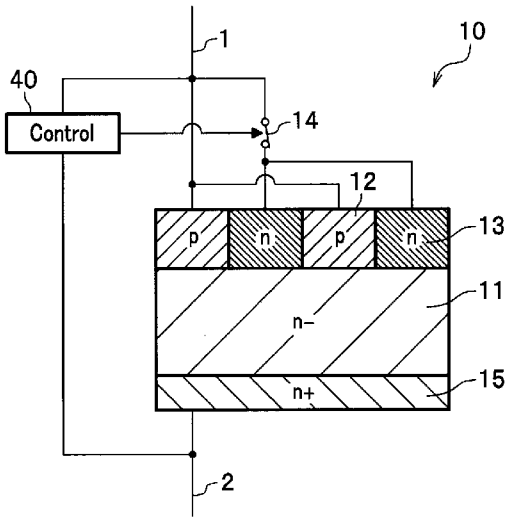
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE AND POWER CONVERSION APPARATUS USING SAME

(54) 発明の名称 : 半導体装置およびそれを用いた電力変換装置

[図1]



(57) **Abstract**: In order to suppress a conduction loss and a recovery loss of a semiconductor device (10), the semiconductor device (10) is provided with: an n-type drift layer (11), i.e., a semiconductor substrate; a p-type region (12) and an n-type region (13), i.e., anode regions which are provided on the front surface of the semiconductor substrate; a high-concentration n-type region (15), i.e., a cathode region which is provided on the rear surface of the semiconductor substrate; and an anode electrode (1). The front surface of the semiconductor substrate is provided with a configuration wherein the p-type region (12) and the n-type region (13) are adjacent to each other, the p-type region (12) is connected to the anode electrode (1), and the n-type region (13) is connected to the anode electrode (1) via a switch (14). A control unit (40) is connected to a control terminal of the switch (14). In a state wherein a current is carried to the semiconductor device (10), a control unit (40) outputs a high-frequency pulse to the control terminal of the switch (14) to turn on/off the switch (14).

(57) 要約:

[続葉有]

WO 2013/111294 A1

半導体装置（１０）の導通損失とリカバリ損失とを抑制するため、半導体装置（１０）は、半導体基板であるｎ型ドリフト層（１１）と、半導体基板の表面に設けられたアノード領域であるｐ型領域（１２）およびｎ型領域（１３）と、半導体基板の裏面に設けられたカソード領域である高濃度ｎ型領域（１５）と、アノード電極（１）とを設けた。この半導体基板の表面には、ｐ型領域（１２）とｎ型領域（１３）とが隣接した構成を備え、ｐ型領域（１２）はアノード電極（１）に接続され、ｎ型領域（１３）は、スイッチ（１４）を介してアノード電極（１）に接続される。このスイッチ（１４）の制御端子には、制御部（４０）が接続されている。半導体装置（１０）が導通状態に於いて、制御部（４０）は、スイッチ（１４）の制御端子に高周波数のパルスを出力し、スイッチ（１４）をオン・オフさせる。

明　細　書

発明の名称 ： 半導体装置およびそれを用いた電力変換装置

技術分野

[0001] 本発明は、半導体装置、および、それを用いた電力変換装置に関するものである。本発明は特に、エアコンや電子レンジなどの小電力機器と、鉄道や製鉄所のインバータなどの大電力機器とに用いられる電力変換装置と、当該電力変換装置に用いられる半導体装置に関するものである。

背景技術

[0002] 近年、省エネルギーの電力変換装置や新エネルギーの電力変換装置には、多くのインバータやコンバータが使われている。しかし、低炭素社会を実現するには、それら電力変換装置の格段の普及が不可欠である。

[0003] 図１３は、電力変換装置（インバータ）を示す回路図である。

インバータ５００は、モータ９５０の回転速度を可変制御し、省エネルギーを実現するものである。

インバータ５００は、モータ９５０の回転速度を可変制御するため、電源９６０から供給される電気エネルギーを、パワー半導体の一種であるＩＧＢＴ（Insulated Gate Bipolar Transistor）７００ｕ１～７００ｗ２を使って、所望の周波数の交流に変える。インバータ５００は、プラス側の電源端子９００とマイナス側の電源端子９０１との間に接続されたＵ相スイッチングレッグ、Ｖ相スイッチングレッグ、および、Ｗ相スイッチングレッグを有している。Ｕ相スイッチングレッグは、モータ９５０にＵ相９１０ｕの信号を出力する。Ｖ相スイッチングレッグは、モータ９５０にＶ相９１０ｖの信号を出力する。Ｗ相スイッチングレッグは、モータ９５０にＷ相９１０ｗの信号を出力する。

[0004] Ｕ相スイッチングレッグは、上アームのＩＧＢＴ７００ｕ１およびフライホイールダイオード６００ｕ１と、下アームのＩＧＢＴ７００ｕ２およびフライホイールダイオード６００ｕ２と、を備えている。ＩＧＢＴ７００ｕ１

のコレクタ端子は、プラス側の電源端子９００に接続されている。ＩＧＢＴ７００ｕ１のエミッタ端子は、ＩＧＢＴ７００ｕ２のコレクタ端子に接続されている。ＩＧＢＴ７００ｕ２のエミッタ端子は、マイナス側の電源端子９０１に接続されている。ＩＧＢＴ７００ｕ１には、フライホイールダイオード６００ｕ１が逆方向に並列接続されている。ＩＧＢＴ７００ｕ２には、フライホイールダイオード６００ｕ２が逆方向に並列接続されている。

ＩＧＢＴ７００ｕ１のゲート端子には、ゲート回路８００ｕ１の出力が接続されている。ＩＧＢＴ７００ｕ２のゲート端子には、ゲート回路８００ｕ２の出力が接続されている。

ＩＧＢＴ７００ｕ１のエミッタ端子とＩＧＢＴ７００ｕ２のコレクタ端子とが接続されているノードから、Ｕ相９１０ｕが出力されている。

[0005] Ｖ相スイッチングレッグは、Ｕ相スイッチングレッグと同様に、上アームのＩＧＢＴ７００ｖ１およびフライホイールダイオード６００ｖ１と、下アームのＩＧＢＴ７００ｖ２およびフライホイールダイオード６００ｖ２と、を備えている。

ＩＧＢＴ７００ｖ１のコレクタ端子は、プラス側の電源端子９００に接続されている。ＩＧＢＴ７００ｖ１のエミッタ端子は、ＩＧＢＴ７００ｖ２のコレクタ端子に接続されている。ＩＧＢＴ７００ｖ２のエミッタ端子は、マイナス側の電源端子９０１に接続されている。ＩＧＢＴ７００ｖ１には、フライホイールダイオード６００ｖ１が逆方向に並列接続されている。ＩＧＢＴ７００ｖ２には、フライホイールダイオード６００ｖ２が逆方向に並列接続されている。

ＩＧＢＴ７００ｖ１のゲート端子には、ゲート回路８００ｖ１の出力が接続されている。ＩＧＢＴ７００ｖ２のゲート端子には、ゲート回路８００ｖ２の出力が接続されている。

ＩＧＢＴ７００ｖ１のエミッタ端子とＩＧＢＴ７００ｖ２のコレクタ端子とが接続されているノードから、Ｖ相９１０ｖが出力されている。

[0006] Ｗ相スイッチングレッグは、Ｕ相スイッチングレッグと同様に、上アーム

のＩＧＢＴ７００ｗ１およびフライホイールダイオード６００ｗ１と、下アームのＩＧＢＴ７００ｗ２およびフライホイールダイオード６００ｗ２と、を備えている。

ＩＧＢＴ７００ｗ１のコレクタ端子は、プラス側の電源端子９００に接続されている。ＩＧＢＴ７００ｗ１のエミッタ端子は、ＩＧＢＴ７００ｗ２のコレクタ端子に接続されている。ＩＧＢＴ７００ｗ２のエミッタ端子は、マイナス側の電源端子９０１に接続されている。ＩＧＢＴ７００ｗ１には、フライホイールダイオード６００ｗ１が逆方向に並列接続されている。ＩＧＢＴ７００ｗ２には、フライホイールダイオード６００ｗ２が逆方向に並列接続されている。

ＩＧＢＴ７００ｗ１のゲート端子には、ゲート回路８００ｗ１の出力が接続されている。ＩＧＢＴ７００ｗ２のゲート端子には、ゲート回路８００ｗ２の出力が接続されている。

ＩＧＢＴ７００ｗ１のエミッタ端子とＩＧＢＴ７００ｗ２のコレクタ端子とが接続されているノードから、W相９１０ｗが出力されている。

[0007] 以下ＩＧＢＴ７００ｕ１，７００ｕ２，７００ｖ１，７００ｖ２，７００ｗ１，７００ｗ２を特に区別しないときには、単にＩＧＢＴ７００と記載する。フライホイールダイオード６００ｕ１，６００ｕ２，６００ｖ１，６００ｖ２，６００ｗ１，６００ｗ２を特に区別しないときには、単にフライホイールダイオード６００と記載する。

[0008] モータ９５０は、３相モータであり、Ｕ相９１０ｕ、Ｖ相９１０ｖ、および、W相９１０ｗの入力端子を備えている。

Ｕ相スイッチングレッグは、ゲート回路８００ｕ２がＩＧＢＴ７００ｕ２をオフした状態に於いて、ゲート回路８００ｕ１がＩＧＢＴ７００ｕ１をオンすると、ＩＧＢＴ７００ｕ１からモータ９５０のＵ相９１０ｕに正電流が流れ、ゲート回路８００ｕ１がＩＧＢＴ７００ｕ１をオフすると、Ｕ相９１０ｕには電流が流れなくなる。

Ｕ相スイッチングレッグは、例えば、ゲート回路８００ｕ１がＰＷＭ（Pul

se Width Modulation）信号をＩＧＢＴ７００ｕ１のゲート端子に印加すると、そのＰＷＭ信号のデューティに応じた正電流がＵ相９１０ｕに流れる。

[0009] Ｕ相スイッチングレッグは、ゲート回路８００ｕ１がＩＧＢＴ７００ｕ１をオフした状態で、ゲート回路８００ｕ２がＩＧＢＴ７００ｕ２をオンすると、モータ９５０のＵ相９１０ｕからＩＧＢＴ７００ｕ２に負電流が流れ、ゲート回路８００ｕ２がＩＧＢＴ７００ｕ２をオフすると、Ｕ相９１０ｕには電流が流れなくなる。Ｕ相スイッチングレッグは、同様に、ゲート回路８００ｕ２がＰＷＭ信号をＩＧＢＴ７００ｕ２のゲート端子に印加すると、そのＰＷＭ信号のデューティに応じた負電流がＵ相９１０ｕに流れる。このような制御を繰り返すことにより、所望の周波数の交流電流をモータ９５０に流すことができる。

[0010] Ｖ相スイッチングレッグも、Ｕ相スイッチングレッグと同様に制御して、Ｖ相９１０ｖに電流を流すことができる。Ｗ相スイッチングレッグも、Ｕ相スイッチングレッグと同様に制御して、Ｗ相９１０ｗに電流を流すことができる。

[0011] フライホイールダイオード６００ｕ１は、例えば上アームのＩＧＢＴ７００ｕ１がオフした場合、そのＩＧＢＴ７００ｕ１に流れていた電流を、下アームのＩＧＢＴ７００ｕ２に逆方向に並列接続されたフライホイールダイオード６００ｕ２に転流する。これにより、フライホイールダイオード６００ｕ１，６００ｕ２は、モータ９５０のコイル（不図示）に蓄えられていた電磁エネルギーを放出する。

[0012] そののち、再び上アームのＩＧＢＴ７００ｕ１をオンすると、下アームのフライホイールダイオード６００ｕ２が非導通状態となり、上アームのＩＧＢＴ７００ｕ１を介してモータ９５０に電力が供給される。ＩＧＢＴ７００ｕ１，７００ｕ２およびフライホイールダイオード６００ｕ１，６００ｕ２は、導通状態に於いて導通損失が発生し、スイッチングの際にスイッチング損失が発生する。

ＩＧＢＴ７００ｖ１，７００ｖ２およびフライホイールダイオード６００

ｖ１，６００ｖ２も同様である。ＩＧＢＴ７００ｗ１，７００ｗ２およびフライホイールダイオード６００ｗ１，６００ｗ２も同様である。

[0013] したがって、インバータ５００を小形化・高効率化するには、ＩＧＢＴ７００の導通損失およびスイッチング損失を低減させることが必要であり、フライホイールダイオード６００の導通損失およびスイッチング損失を低減させることも必要である。

非特許文献１，２には、フライホイールダイオード６００の導通損失を低減する目的で、アノード電極１側からパルスによってホールを注入する方法（以下、パルスホール注入）が記載されている。

[0014] 図１４（ａ）～（ｃ）は、比較例に於けるダイオードの構成と動作を示す図である。以下、図１４を用いて、パルスホール注入によってダイオード１０Ｚの導通損失が低減する理由を説明する。

図１４（ａ）は、比較例に於けるダイオードの構成を示す図である。

比較例の半導体装置であるダイオード１０Ｚは、ｎ型ドリフト層１１である半導体基板と、ｐ型領域１２と、ｎ型領域１３と、スイッチ１４，１４ｉと、高濃度ｎ型領域１５と、制御部４０ｉを備えている。ｎ型ドリフト層１１に示されている「ｎ－」は、半導体中の不純物濃度が低いことを示している。

ダイオード１０Ｚは、アノード電極１からカソード電極２の方向に電圧が印加されたとき、順方向電流を流すものである。

ｎ型ドリフト層１１は、ダイオード１０Ｚの半導体基板である。

[0015] 半導体基板の表面（第１表面）には、アノード領域であるｐ型領域１２とｎ型領域１３とが隣接した構成が設けられている。ｐ型領域１２は、スイッチ１４ｉを介してアノード電極１に接続されている。ｎ型領域１３は、スイッチ１４を介してアノード電極１に接続されている。

半導体基板の裏面（第２表面）には、カソード領域である高濃度ｎ型領域１５が設けられている。高濃度ｎ型領域１５は、カソード電極２に接続されている。

[0016] 制御部４０ｉは、アノード電極１とカソード電極２とに接続されている。更に制御部４０ｉのＰスイッチ端子は、スイッチ１４ｉの制御端子に接続され、制御部４０ｉのＮスイッチ端子は、スイッチ１４の制御端子に接続されている。制御部４０ｉは、アノード電極１の電圧とカソード電極２の電圧とを比較することによって、ダイオード１０Ｚの導通状態／非導通状態を検知する。ここで、ダイオード１０Ｚの導通状態とは、アノード電極１の電圧がカソード電極２の電圧よりも高いことをいう。ダイオード１０Ｚの非導通状態とは、アノード電極１の電圧がカソード電極２の電圧以下であることをいう。

制御部４０ｉは、ダイオード１０Ｚの導通状態を検知すると、Ｐスイッチ端子とＮスイッチ端子に相補的な高周波数のパルスを出力して、当該スイッチ１４，１４ｉのオン・オフを相補的に繰り返させる。制御部４０ｉは、ダイオード１０Ｚの非導通状態を検知すると、Ｐスイッチ端子に、スイッチ１４をオンさせる信号を出力する。このとき、Ｎスイッチ端子の出力はオン・オフ不問である。

[0017] 図１４（ｂ）は、ダイオード１０Ｚの導通状態（オン）と非導通状態（オフ）のタイミングと動作とを示す図である。

上部の「Diode Status」は、ダイオード１０Ｚの導通状態と非導通状態とを示している。「Diode Status」に於いて、白色「ON」はダイオード１０Ｚの導通状態を示し、灰色「OFF」は、ダイオード１０Ｚの非導通状態を示している。

中央部の「P Switch」は、スイッチ１４ｉのオン状態とオフ状態とを示している。「P Switch」に於いて、白色「ON」は、スイッチ１４ｉのオン状態を示し、灰色は、スイッチ１４ｉのオフ状態を示している。この「P Switch」は同時に、制御部４０ｉがスイッチ１４ｉに出力するＰスイッチ端子の信号を示している。

下部の「N Switch」は、スイッチ１４のオン状態とオフ状態とを示している。「N Switch」に於いて、白色は、スイッチ１４のオン状態を示し、灰色

は、スイッチ１４のオフ状態を示し、斜めクロス模様「OFF or ON」は、スイッチ１４がオン・オフ不問であることを示している。この「N Switch」は同時に、制御部４０ｉがスイッチ１４に出力するＮスイッチ端子の信号を示している。横軸は、「Diode Status」、「P Switch」、および、「N Switch」に共通する時間ｔを示している。

[0018] 制御部４０ｉは、ダイオード１０Ｚの導通状態に於いて、Ｐスイッチ端子には高周波数のパルスを出力し、Ｎスイッチ端子には当該パルスを反転した相補的なパルスを出力し、スイッチ１４，１４ｉのオン・オフを相補的に繰り返させる。ダイオード１０Ｚの導通状態に於いて、当該スイッチ１４，１４ｉは、相補的にオン・オフを繰り返す。

制御部４０ｉは、ダイオード１０Ｚの非導通状態に於いて、Ｐスイッチ端子にはスイッチ１４ｉをオンさせる信号を出力する。ダイオード１０Ｚの非導通状態に於いて、スイッチ１４ｉはオンする。このとき、Ｎスイッチ端子に出力する信号は、オン・オフ不問である。

[0019] 図１４（ｃ）は、ダイオード１０Ｚの導通状態に於いて、アノード電極１側の２つのスイッチ１４，１４ｉが相補的にオン・オフするタイミングと、アノード電極１とカソード電極２間の順方向電圧降下ＶＦ（Forward Voltage Drop）との関係を示す図である。

[0020] 「P Switch ON」は、ｐ型領域１２のスイッチ１４ｉがオン、ｎ型領域１３のスイッチ１４がオフの状態を示している。「P Switch ON」に於いて、ｐ型領域１２からｎ型ドリフト層１１（半導体基板）にホールが注入される。このとき、ダイオード１０Ｚの順方向電圧降下ＶＦはｐｎ接合の拡散電圧である０．８Ｖ程度となる。

「N Switch ON」は、ｎ型領域１３のスイッチ１４ｉがオン、ｐ型領域１２のスイッチ１４がオフの状態を示している。「P Switch ON」から「N Switch ON」に切り替わると、ｎ型ドリフト層１１（半導体基板）は、残留するホールにより低い抵抗値が維持される。このとき、アノード電流の経路にはｐｎ接合がないので、ダイオード１０Ｚの順方向電圧降下ＶＦは、０．２Ｖ程度

まで低減される。「P Switch ON」に遷移して「N Switch ON」に切り替わったのち、再び「P Switch ON」に遷移するまでの周期は、１～１０μ秒である。すなわち、スイッチ１４，１４ｉは、１ＧＨｚ～１００ＭＨｚの周波数のパルスでオン・オフされる。

比較例のダイオード１０Ｚは、時間平均した順方向電圧降下ＶＦが０．４Ｖとなり、従来のｐｉｎ（p-intrinsic-n）.ダイオードの順方向電圧降下ＶＦの０．８Ｖと比較して、大幅に低減される。

[0021] 図１４（ｃ）の「N Switch ON」に於いて、順方向電圧降下ＶＦは、徐々に増加している。その理由は、ｐ型領域１２のスイッチ１４ｉがオンしている期間にｎ型ドリフト層１１（半導体基板）に注入されたホールは、高濃度ｎ型領域１５を経由してカソード電極２に抜けるためである。ｎ型ドリフト層１１（半導体基板）のホールが減少すると、当該ｎ型ドリフト層１１の抵抗は増加する。

「N Switch ON」であるｎ型領域１３のスイッチ１４のオン期間が長いと、ｎ型ドリフト層１１の抵抗が徐々に増加し、ダイオード１０Ｚの順方向電圧降下ＶＦは、ｐｎ接合の拡散電圧を超える虞がある。したがって、制御部４０ｉは、ダイオード１０Ｚの導通期間に於いて、ｎ型領域１３のスイッチ１４とｐ型領域１２のスイッチ１４ｉとに、それぞれ２つの相補的な高周波数のパルスを出力し、相補的にオン・オフ（スイッチング）させる必要がある。

非特許文献１，２に、ダイオード１０Ｚのスイッチ１４，１４ｉをオン・オフさせるパルスの周波数は、１ＭＨｚ程度であると記載されている。

先行技術文献

非特許文献

[0022] 非特許文献1：Y. Matsumoto et al., “Challenge to the Barrier of Conduction Loss in PiN Diode toward VF<300 mV with Pulsed Carrier＋ Injection Concept”,Proc.IEEE ISPSD'10, June 2010.,pp.119-122,

非特許文献2：Y. Matsumoto et al., “Ultra Low Loss Trench Gate PCI-PiN

Diode with VF<350 mV”, Proc. IEEE ISPSD’11, May 2011.,pp.84-87

発明の概要

発明が解決しようとする課題

[0023] 非特許文献１，２に記載の技術は、ｎ型領域１３のスイッチ１４とｐ型領域１２のスイッチ１４ｉの２個が必要である。これらのスイッチ１４，１４ｉの付加に伴い、半導体装置および、それを用いた電力変換装置の実装面積とコストとが増加する。また、非特許文献１，２に記載の技術は、２つのスイッチを制御する必要があるので、制御回路が複雑になる虞がある。

[0024] そこで、本発明は、半導体装置の導通損失とリカバリ損失とを抑制することを目的とする。

課題を解決するための手段

[0025] 前記した課題を解決するため、本発明の半導体装置は、以下のように構成した。

すなわち、本発明の請求項１に記載の半導体装置は、第１導電型の半導体基板と、前記半導体基板の第１表面に設けられたアノード領域と、前記半導体基板の第２表面に設けられた第１導電型のカソード領域と、アノード電極と、を備えた半導体装置であって、前記第１表面には、第１導電型アノード領域と第２導電型アノード領域とが隣接した構成を備え、前記第２導電型アノード領域は、前記アノード電極に接続され、前記第１導電型アノード領域は、スイッチを介して前記アノード電極に接続される、ことを特徴とする半導体装置である。

その他の手段については、発明を実施するための形態のなかで説明する。

発明の効果

[0026] 本発明によれば、半導体装置の導通損失とリカバリ損失とを抑制することができる。

図面の簡単な説明

[0027] [図1]第１の実施形態に於けるダイオードの断面と構成とを示す図である。

[図2]第１の実施形態に於けるダイオードの動作（１）を示す図である。

[図3]第１の実施形態に於けるダイオードの動作（２）を示す図である。

[図4]第２の実施形態に於けるダイオードの断面と構成とを示す図である。

[図5]第３の実施形態に於けるダイオードの構成と動作とを示す図である。

[図6]第４の実施形態に於けるダイオードの断面と構成とを示す図である。

[図7]第５、第６の実施形態に於けるダイオードの断面と構成とを示す図である。

[図8]第７の実施形態に於けるダイオードの断面図である。

[図9]第８の実施形態に於けるスイッチングデバイスの構造と動作を示す図である。

[図10]スイッチングデバイスのオン電圧とターンオフ損失との関係を示す図である。

[図11]第９、第１０の実施形態に於けるスイッチングデバイスの断面と構成とを示す図である。

[図12]第１１の実施形態に於けるスイッチングデバイスの断面図である。

[図13]電力変換装置（インバータ）を示す回路図である。

[図14]比較例に於けるダイオードの構成と動作を示す図である。

発明を実施するための形態

[0028] 以降、本発明を実施するための形態を、各図を参照して詳細に説明する。

[0029] （第１の実施形態の構成）

図１は、第１の実施形態に於けるダイオードの断面と構成とを示す図である。

本実施形態の半導体装置であるダイオード１０は、ｎ型ドリフト層１１である半導体基板と、ｐ型領域１２と、ｎ型領域１３と、スイッチ１４と、高濃度ｎ型領域１５と、制御部４０を備えている。ｎ型ドリフト層１１の「ｎ－」は、半導体中の不純物濃度が低いことを示している。

ダイオード１０は、アノード電極１からカソード電極２の方向に電圧が印加されたとき、順方向電流を流すものである。

ｎ型ドリフト層１１は、ダイオード１０の半導体基板である。

[0030] 半導体基板の表面（第１表面）には、ｐ型領域１２とｎ型領域１３とが隣接した構成が設けられている。ｐ型領域１２とｎ型領域１３とが隣接した構成は、「アノード領域」である。ｐ型領域１２は、アノード電極１に接続されている。ｎ型領域１３は、スイッチ１４を介してアノード電極１に接続されている。

半導体基板の裏面（第２表面）には、カソード領域である高濃度ｎ型領域１５が設けられている。高濃度ｎ型領域１５は、カソード電極２に接続されている。なお、本実施形態では、第１導電型をｎ型とし、第２導電型をｐ型とする。

[0031] 制御部４０は、アノード電極１とカソード電極２とに接続されている。更に制御部４０の出力端子は、スイッチ１４の制御端子に接続されている。制御部４０は、アノード電極１の電圧とカソード電極２の電圧とを比較することによって、ダイオード１０が導通状態／非導通状態のいずれかを検知する。ダイオード１０の導通状態とは、アノード電極１の電圧がカソード電極２の電圧よりも高いことをいう。ダイオード１０の非導通状態とは、アノード電極１の電圧がカソード電極２の電圧以下であることをいう。

制御部４０は、ダイオード１０の導通状態を検知すると、スイッチ１４の制御端子に高周波数のパルスを出力して、当該スイッチ１４のオン・オフを繰り返させる。制御部４０は、ダイオード１０の非導通状態を検知すると、スイッチ１４の制御端子に、当該スイッチ１４をオンさせる信号を出力する。

すなわち、制御部４０は、当該ダイオード１０に順方向電圧が印加されている期間に、スイッチ１４がオン・オフを繰り返すように制御する。制御部４０は、当該ダイオード１０に逆方向電圧が印加されている期間に、スイッチ１４をオンするように制御する。

[0032] 本実施形態のダイオード１０は、前述した非特許文献１，２に記載のダイオード１０Ｚとは異なり、ｐ型領域１２がスイッチ１４ｉを介さずにアノー

ド電極１に接続されている。ダイオード１０は、導通状態の際に、スイッチ１４のオン・オフを繰り返すことで、前記した非特許文献１，２と同様に、順方向電圧降下ＶＦを低減することができる。

更に、本実施形態のダイオード１０は、１個のスイッチ１４のみを用いている。これにより、２個のスイッチ１４，１４ｉを用いる非特許文献１，２に記載のダイオード１０Ｚと比較して、本実施形態のダイオード１０は、実装面積とコストとを低減することができる。

[0033] （第１の実施形態の動作）

図２（ａ），（ｂ）は、第１の実施形態に於けるダイオードの動作（１）を示す図である。以下、図１を適宜参照してダイオード１０の動作を説明する。

図２（ａ）は、ダイオード１０の導通状態／非導通状態と、スイッチ１４のオン・オフ状態とを示している。横軸は共通する時間ｔを示している。

上部の「Diode Status」は、ダイオード１０の導通状態と非導通状態とを示している。「Diode Status」に於いて、白色「ON」は、ダイオード１０の導通状態を示し、灰色「OFF」は、ダイオード１０の非導通状態を示している。

下部の「Switch」は、スイッチ１４のオン状態とオフ状態とを示している。「Switch」に於いて、白色「ON」は、スイッチ１４のオン状態を示し、灰色「OFF」は、スイッチ１４のオフ状態を示している。

ダイオード１０の導通状態に於いて、スイッチ１４は、高周波数のパルスによってオン・オフを繰り返す。ダイオード１０は、非導通状態に遷移する直前には、スイッチ１４をオフしている。ダイオード１０の非導通状態に於いて、スイッチ１４は、オフ状態である。

[0034] 図２（ｂ）は、アノード電極１側のスイッチ１４のオン状態／オフ状態と、アノード電極１とカソード電極２間の順方向電圧降下ＶＦの波形とを示している。図２（ｂ）の縦軸は、順方向電圧降下ＶＦの電圧値を示している。図２（ｂ）の横軸は、時間を示している。

理想的には、点線Ｖｉのように、アノード電極１側のスイッチ１４がオンした直後、順方向電圧降下ＶＦが減少し、その後、徐々に増加することが望ましい、しかし、第１の実施形態のダイオード１０は、本願の発明者らの実験によれば、実線Ｖｒのように、アノード電極１側のスイッチ１４がオンした直後、順方向電圧降下ＶＦが一旦低減したのち、急峻に増加することが分かった。

[0035] 図３（ａ），（ｂ）は、第１の実施形態に於けるダイオードの動作（２）を示す図である。

図３（ａ）は、スイッチ１４がオフしているときのダイオード１０の内部状態を示している。

このとき、ｐ型領域１２からｎ型ドリフト層１１（半導体基板）にホール１００が注入される。ｎ型ドリフト層１１は、ホール１００の注入により伝導度が変調し、抵抗値が減少する。

[0036] 図３（ｂ）は、スイッチ１４がオンした直後のダイオード１０の内部状態を示している。

スイッチ１４がオンすると瞬時に、ホール１００は、ｎ型ドリフト層１１からｐ型領域１２を経由してアノード電極１に吐き出される。ｎ型ドリフト層１１は、ホール１００が減少するので、抵抗値が急峻に増加する。これにより、図２（ｂ）に示すように、スイッチ１４のオンによる、順方向電圧降下ＶＦの急峻な増加が発生する。

スイッチ１４がオンした直後に、Ｖｒは０．８Ｖ以下となる。したがって、本実施形態のダイオード１０は、スイッチ１４のオン期間にＶｒが常に０．８Ｖ以下となるよう、スイッチ１４に高周波数のパルスを入力して動作させることにより、ダイオード１０の順方向電圧降下ＶＦを低減することができる。

更に、後記する第２～第４の実施形態では、この急峻な増加を抑止すること記載している。

[0037] （第１の実施形態の効果）

以上説明した第１の実施形態では、次の（Ａ），（Ｂ）のような効果がある。

[0038] （Ａ） ダイオード１０は、導通状態に於いて、スイッチ１４のオン期間にＶｒが常に０．８Ｖ以下となるよう、スイッチ１４に高周波数のパルスを入力して動作させている。これにより、ダイオード１０の順方向電圧降下ＶＦを低減することができる。

[0039] （Ｂ） ダイオード１０は、１個のスイッチ１４のみを用いている。これにより、ダイオード１０は、２個のスイッチ１４，１４ｉを用いる非特許文献１，２に記載の技術と比較し、実装面積とコストとを低減することができる。

[0040] （第２の実施形態の構成）

図４は、第２の実施形態に於けるダイオードの断面と構成とを示す図である。

第２の実施形態に於けるダイオード１０Ａは、第１の実施形態のダイオード１０（図１）とは異なり、ｐ型領域１２とｎ型ドリフト層１１との界面に、ｎ型のホールバリア層１６が設けられている。ホールバリア層１６の不純物濃度は、ｎ型ドリフト層１１より高く構成されている。第２の実施形態のダイオード１０Ａは、前記以外は、第１の実施形態のダイオード１０（図１）と同様に構成されている。

[0041] （第２の実施形態の動作）

図４に基づき、図２を適宜参照して、ダイオード１０Ａの動作を説明する。

ホールバリア層１６は、スイッチ１４がオンした直後に、ホールがｐ型領域１２を通ってアノード電極１に排出されることを抑制する。これにより、ダイオード１０Ａの順方向電圧降下ＶＦは、図２（ｂ）の実線Ｖｒのように急峻には増加せず、図２（ｂ）の点線Ｖｉのような理想的な波形に近づく。

これにより、第２実施形態のダイオード１０Ａは、順方向電圧降下ＶＦを低減し、かつ、導通損失を低減することができる。

[0042] ダイオード１０Ａは、ホールバリア層１６の不純物濃度が高いと、「耐圧の低下」、「ｐ型領域１２からｎ型ドリフト層１１（半導体基板）へのホール注入量の低下」という問題が発生する。一方、ホールバリア層１６は、不純物濃度が低すぎると、ホールバリアの機能（＝ホールの排出の抑制）を果たさなくなる。つまり、ホールバリア層１６の不純物濃度には最適な範囲がある。本願の発明者らの実験によれば、ホールバリア層１６の不純物濃度ピーク値の最適範囲は、$１\times１０^{16}ｃｍ^{-3}$から$１\times１０^{18}ｃｍ^{-3}$である。

[0043] また、ホールバリア層１６の厚みにも最適範囲が存在する。ダイオード１０Ａは、ホールバリア層１６の厚みが大きすぎると、「耐圧の低下」、「ｐ型領域１２からｎ型ドリフト層１１（半導体基板）へのホール注入量の低下」という問題が発生する。一方、ホールバリア層１６は、厚みが小さすぎると、ホールバリアの機能（＝ホールの排出の抑制）を果たさなくなる。本願の発明者らの実験によれば、ホールバリア層１６の厚みの最適範囲は、０．２μｍから２．０μｍである。

[0044]（第２の実施形態の効果）

以上説明した第２の実施形態では、次の（Ｃ）のような効果がある。

[0045]（Ｃ） ダイオード１０Ａは、順方向電圧降下ＶＦを低減し、かつ、導通損失を低減することができる。

[0046]（第３の実施形態の構成）

第１の実施形態のダイオード１０（図１）や、第２の実施形態のダイオード１０Ａ（図４）では、逆方向の電圧が印加された状態、すなわちカソード電極２にプラス電圧が、アノード電極１にマイナス電圧が印加された状態では、スイッチ１４に高電圧が印加される。よって、スイッチ１４は、高耐圧のものを使用する必要がある。この課題に対処したものが、本実施形態のダイオード１０Ｂである。

[0047] 図５（ａ），（ｂ）は、第３の実施形態に於けるダイオードの構成と動作とを示す図である。

図５（ａ）は、ダイオード１０Ｂの断面図である。

第３の実施形態に於けるダイオード１０Ｂの表面（第１表面）には、ｎ型領域１３とｐ型領域１２とがｎ型ドリフト層１１（半導体基板）で区切られ、かつ、近接している構成が設けられている。

第３の実施形態に於けるダイオード１０Ｂは、第１の実施形態のダイオード１０（図１）とは異なり、ｐ型領域１２の厚みと比較してｎ型領域１３の厚みが薄くなるように構成されている。

第３の実施形態に於けるダイオード１０Ｂは、前記以外は、第１の実施形態のダイオード１０（図１）と同様に構成されている。

[0048] 第３の実施形態に於けるダイオード１０Ｂは、非導通状態に於いて、隣り合うｐ型領域１２から伸びる空乏層が接触（＝ピンチオフ）し、ｎ型領域１３には高電圧が印加されなくなる。これにより、スイッチ１４は、耐圧が不問となり、低耐圧のものを使用することができる。

スイッチ１４の耐圧が不問となったことにより、ダイオード１０Ｂの非導通状態に於いて、スイッチ１４のオン・オフは不問である。すなわち、ダイオード１０Ｂが非導通状態に遷移する直前に於いて、スイッチ１４のオン・オフは不問である。

更に、ダイオード１０Ｂは、スイッチ１４に高電圧が印加されなくなるので、スイッチ１４の導通損失を低減することができる。

[0049]（第３の実施形態の動作）

第１の実施形態のダイオード１０（図１）は、非導通状態に於いて、スイッチ１４に高電圧が印加されるので、当該スイッチ１４をオフする必要があった。そのため、ダイオード１０（図１）が非導通状態に遷移する直前には、ｐ型領域１２からｎ型ドリフト層１１（半導体基板）にホールが注入され、ダイオード１０（図１）のリカバリ損失が増加する虞があった。

[0050] 図５（ｂ）は、ダイオード１０Ｂの制御部４０の動作を示す図である。

上部の「Diode Status」は、ダイオード１０Ｂの導通状態と非導通状態とを示している。「Diode Status」に於いて、白色「ON」は、ダイオード１０Ｂの導通状態を示し、灰色「OFF」は、ダイオード１０Ｂの非導通状態を示し

ている。

下部の「Switch」は、スイッチ１４のオン状態とオフ状態とを示している。「Switch」に於いて、白色「ON」は、スイッチ１４のオン状態を示し、灰色「OFF」は、スイッチ１４のオフ状態を示し、斜めクロス模様「OFF or ON」は、スイッチ１４がオン・オフ不問の状態であることを示している。当該「Switch」は同時に、制御部４０がスイッチ１４に出力する信号を示している。図５（ｂ）の横軸は、共通する時間を示している。

最下部は、ダイオード１０Ｂの導通状態（ＯＮ）に於ける「Switch」を、時間軸拡大して示している。

[0051] 第３の実施形態のダイオード１０Ｂは、第１の実施形態のダイオード１０（図２（ａ））とは異なり、非導通状態に遷移する直前に、スイッチ１４をオンしている。スイッチ１４は、ｎ型領域１３をアノード電極１に短絡している。これにより、ダイオード１０Ｂは、ｐ型領域１２からｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、リカバリ損失を低減することができる。

[0052] （第３の実施形態の効果）

以上説明した第３の実施形態では、次の（Ｄ）～（Ｆ）のような効果がある。

[0053] （Ｄ） ダイオード１０Ｂは、非導通状態に於いて、隣り合うｐ型領域１２から伸びる空乏層が接触（＝ピンチオフ）し、ｎ型領域１３には高電圧が印加されなくなる。これにより、スイッチ１４は、耐圧が不問となり、低耐圧のものを使用することができる。

[0054] （Ｅ） ダイオード１０Ｂは、スイッチ１４に高電圧が印加されなくなるので、スイッチ１４の導通損失を低減することができる。

[0055] （Ｆ） ダイオード１０Ｂは、ｐ型領域１２からｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、リカバリ損失を低減することができる。

[0056] （第４の実施形態の構成）

図６は、第４の実施形態に於けるダイオードの断面と構成とを示す図であ

る。

第４の実施形態のダイオード１０Ｃは、第１の実施形態のダイオード１０（図１）とは異なり、ｎ型領域１３とｎ型ドリフト層１１の界面に、ｐ型領域１８を設けている。

このような構造にすることで、本実施形態のダイオード１０Ｃは、非導通状態に於いて、ｐ型領域１８の空乏層が接触（＝ピンチオフ）し、ｎ型領域１３に電圧が印加されなくなる。これにより、スイッチ１４の耐圧は不問となる。

本実施形態のダイオード１０Ｃは、第１の実施形態のダイオード１０（図１）と比較して、スイッチ１４の耐圧が不問となるので、スイッチ１４に低耐圧のものを使用することができ、かつ、スイッチ１４の導通損失が低減する。

更に、第４の実施形態のダイオード１０Ｃは、非導通状態に遷移する直前に、スイッチ１４をオンしている。これにより、ダイオード１０Ｃは、ｐ型領域１２からｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、リカバリ損失を低減することができる。

[0057]（第４の実施形態の効果）

以上説明した第４の実施形態では、次の（Ｇ）～（Ｉ）のような効果がある。

[0058]（Ｇ）　ダイオード１０Ｃは、非導通状態に於いて、ｐ型領域１８の空乏層が接触（＝ピンチオフ）し、ｎ型領域１３に電圧が印加されなくなる。これにより、スイッチ１４の耐圧は不問となる。

[0059]（Ｈ）　ダイオード１０Ｃは、第１の実施形態のダイオード１０（図１）と比較して、スイッチ１４の耐圧が不問となるので、スイッチ１４に低耐圧のものを使用することができ、かつ、スイッチ１４の導通損失が低減する。

[0060]（Ｉ）　ダイオード１０Ｃは、非導通状態に遷移する直前に、スイッチ１４をオンしている。これによりダイオード１０Ｃは、ｐ型領域１２からｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、リカバリ損失を低減

することができる。

[0061] （第５の実施形態の構成）

図７は、第５、第６の実施形態に於けるダイオードの断面と構成とを示す図である。

図７（ａ）は、第５の実施形態に於けるダイオード１０Ｄの断面と構成とを示す図である。

第５の実施形態のダイオード１０Ｄは、第２の実施形態のダイオード１０Ａ（図４）とは異なり、スイッチ１４にＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）１７ａを用いている。ＭＯＳＦＥＴ１７ａのソースは、アノード電極１に接続されている。ＭＯＳＦＥＴ１７ａのドレインは、ｎ型領域１３に接続されている。ＭＯＳＦＥＴ１７ａは、ソースからドレインの方向に寄生ダイオードを備えている。これにより、第５の実施形態のダイオード１０Ｄは、アノード電極１とｎ型領域１３とに高電圧が印加される場合、すなわち、高耐圧が求められる場合にも対応することができる。

第５の実施形態のダイオード１０Ｄは、導通状態に於いて、ＭＯＳＦＥＴ１７ａを高周波数のパルスでオン・オフすることにより、導通損失を低減することができる。

[0062] （第５の実施形態の効果）

以上説明した第５の実施形態では、次の（Ｊ），（Ｋ）のような効果がある。

[0063] （Ｊ） ＭＯＳＦＥＴ１７ａは、アノード電極１とｎ型領域１３とに高電圧が印加される場合、すなわち、高耐圧が求められる場合にも対応することができる。

[0064] （Ｋ） ダイオード１０Ｄは、導通状態に於いて、ＭＯＳＦＥＴ１７ａを高周波数のパルスでオン・オフすることにより、導通損失を低減することができる。

[0065] （第６の実施形態の構成）

図７（ｂ）は、第６の実施形態に於けるダイオード１０Ｅの断面と構成とを示す図である。

第６の実施形態のダイオード１０Ｅが、第５の実施形態のダイオード１０Ｄ（図７（ａ））とは異なり、ＭＯＳＦＥＴ１７ｂのソースとドレインとが逆に接続されている。ＭＯＳＦＥＴ１７ｂのドレインは、アノード電極１に接続されている。ＭＯＳＦＥＴ１７ｂのドレインは、ｎ型領域１３に接続されている。ＭＯＳＦＥＴ１７ａは、ソースからドレインの方向に寄生ダイオードを備えている。

第３の実施形態で述べたように、ｐ型領域１２の厚みとｎ型領域１３の厚みを最適化することで、ＭＯＳＦＥＴ１７ｂの耐圧が不問となる。この場合、本実施形態のダイオード１０Ｅのように、ＭＯＳＦＥＴ１７ｂのドレインをアノード電極１に接続し、ＭＯＳＦＥＴ１７ｂのソースをｎ型領域１３に接続することができる。

[0066] 第６の実施形態のダイオード１０Ｅは、導通状態に於いて、ＭＯＳＦＥＴ１７ｂを高周波数のパルスでオン・オフすることにより、導通損失を低減することができる。

更に、ダイオード１０Ｅは、非導通状態に遷移する直前に、ＭＯＳＦＥＴ１７ｂをオンすることで、アノード電極１からｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、リカバリ損失を低減することができる。

[0067]（第６の実施形態の効果）

以上説明した第６の実施形態では、次の（Ｌ），（Ｍ）のような効果がある。

[0068]（Ｌ） ダイオード１０Ｅは、導通状態に於いて、ＭＯＳＦＥＴ１７ｂを高周波数のパルスでオン・オフすることにより、導通損失を低減することができる。

[0069]（Ｍ） ダイオード１０Ｅは、非導通状態に遷移する直前に、ＭＯＳＦＥＴ１７ｂをオンすることで、アノード電極１からｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、リカバリ損失を低減することができる。

[0070] （第７の実施形態の構成）

図８は、第７の実施形態に於けるダイオードの断面図である。

第７実施形態に於けるダイオード１０Ｆは、第１の実施形態のダイオード１０（図１）に加えて更に、第２ゲート電極１９および第２ゲート絶縁膜２０を備えたＭＯＳゲート２２と、アノード電極２１と、絶縁層２３とを備えている。

ダイオード１０Ｆの半導体基板の表面には、ホールバリア層１６と、当該ホールバリア層１６の外側に設けられたｐ型領域１２と、ホールバリア層１６およびｐ型領域１２を貫通して半導体基板に達するトレンチに設けられたＭＯＳゲート２２と、ｐ型領域１２の表面かつＭＯＳゲート２２に接する部位に設けられたｎ型領域１３と、ｐ型領域１２およびｎ型領域１３に接するアノード電極２１と、ｐ型領域１２およびｎ型領域１３が隣接する部位以外を電気的に絶縁する絶縁層２３とが設けられている。

このＭＯＳゲート２２の第２ゲート電極１９は、第２ゲート絶縁膜２０によって、半導体基板、ｐ型領域１２、ｎ型領域１３から絶縁されている。

ダイオード１０Ｆは更に、順方向電圧が印加されている期間に、第２ゲート電極１９に対してオン信号とオフ信号とを繰り返し出力する制御部４０を設けている。

[0071] これにより、前記した第５の実施形態に於けるＭＯＳＦＥＴ１７ａが、ダイオード１０Ｆと同じ半導体基板に内蔵された構成が実現できる。図示しない制御部４０が、第２ゲート電極１９に、アノード電極２１よりも高い電圧を印加することで、ｐ型領域１２と第２ゲート絶縁膜２０の界面がｎ型に反転し、アノード電極２１とｎ型ドリフト層１１が短絡される。図示しない制御部４０が、第２ゲート電極１９に、アノード電極２１と等しい電圧、または、アノード電極２１よりも低い電圧を印加することで、ｎ型反転層が消失し、アノード電極２１は、ｐ型領域１２を介してｎ型ドリフト層１１に接続される。

[0072] 第７の実施形態のダイオード１０Ｆは、導通状態に於いて、ＭＯＳＦＥＴ

１７ａを高周波数のパルスでオン・オフすることで、導通損失を低減することができる。

更に、ダイオード１０Ｆは、非導通状態に遷移する直前に、ＭＯＳＦＥＴ１７ａをオンすることで、アノード電極２１からｎ型ドリフト層１１（半導体基板）へのホールの注入を抑制し、リカバリ損失を低減することができる。

更に、第７の実施形態のダイオード１０Ｆは、ＭＯＳＦＥＴ１７ａがダイオード１０Ｆと同じ基板に内蔵されている。これにより、ダイオード１０Ｆは、外付けのスイッチ１４が不要となり、小形化することができる。

[0073]（第７の実施形態の効果）

以上説明した第７の実施形態では、第５の実施形態の効果に加えて更に、次の（Ｎ）のような効果がある。

[0074]（Ｎ）　ダイオード１０Ｆは、ＭＯＳＦＥＴ１７ａがダイオード１０Ｆと同じ基板に内蔵されている。これにより、ダイオード１０Ｆは、外付けのスイッチ１４が不要となり、小形化することができる。

[0075]（第８の実施形態の構成）

第１の実施形態から第７の実施形態で述べたように、ダイオード１０～１０Ｆのアノード電極１側にｎ型領域１３とｐ型領域１２を隣接して設け、ｐ型領域１２はアノード電極１と短絡し、ｎ型領域１３はスイッチ１４を介してアノード電極１に接続している。ダイオード１０～１０Ｆは、導通状態に於いて、スイッチ１４を高周波数のパルスでオン・オフすることにより、順方向電圧降下ＶＦを低減している。ダイオード１０～１０Ｆは、リカバリする直前にスイッチ１４をオンすることで、リカバリ損失を低減する。

第８の実施形態は、本発明をスイッチングデバイスに適用したものである。

[0076]　図９（ａ），（ｂ）は、第８の実施形態に於けるスイッチングデバイスの構造と動作を示す図である。

図９（ａ）は、第８の実施形態に於けるスイッチングデバイス３０の断面

と構造とを示す図である。

例えば、ＩＧＢＴであるスイッチングデバイス３０（半導体装置）は、半導体基板の表面（第１表面）に、第１導電型であるｐ型チャネル領域３１と、第２導電型であるｎ型ソース領域３２と、エミッタ電極３３と、ゲート電極３４およびゲート絶縁膜３５を備えたＭＯＳゲート３７と、絶縁層３８とを設けている。スイッチングデバイス３０は、半導体基板の裏面（第２表面）に、第１導電型であるｐ型領域１２と、第２導電型であるｎ型領域１３と、第１導電型であるホールバリア層１６と、スイッチ１４と、制御部４０Ｇとを設けている。ゲート電極３４への入力信号は、制御部４０Ｇへの入力信号４と同一である。スイッチングデバイス３０は、エミッタ電極３３とコレクタ電極３との間に電圧が印加されたとき、ゲート電極３４への入力信号によって、導通状態と非導通状態とを切り替えるものである。

スイッチングデバイス３０は、半導体基板の表面（第１表面）に、ｐ型チャネル領域３１と、ｐ型チャネル領域３１を貫通して半導体基板に達するトレンチに設けられたＭＯＳゲート３７と、ｐ型チャネル領域３１の表面かつＭＯＳゲート３７に接する部位に設けられたｎ型ソース領域３２と、ｐ型チャネル領域３１およびｎ型ソース領域３２に接するエミッタ電極３３と、ｐ型チャネル領域３１およびｎ型ソース領域３２が隣接する部位以外を電気的に絶縁する絶縁層３８とが設けられている。

制御部４０Ｇは、エミッタ電極３３からコレクタ電極３に向けて電流が流れている期間に、スイッチ１４がオン・オフを繰り返すように制御するものである。入力信号４は、制御部４０Ｇに入力されていると共に、ゲート電極３４にも入力される。

[0077] このＭＯＳゲート３７のゲート電極３４は、ゲート絶縁膜３５によって、半導体基板、ｐ型領域１２、および、ｎ型領域１３から絶縁されている。

スイッチングデバイス３０の半導体基板の裏面（第２表面）は、第２の実施形態のダイオード１０Ａ（図４）の表面と同様に構成されている。すなわち、この半導体基板の裏面には、ｐ型領域１２とｎ型領域１３とが隣接した

構成が設けられている。ｐ型領域１２とｎ型ドリフト層１１との界面に、ｎ型のホールバリア層１６が設けられている。このホールバリア層１６の不純物濃度は、ｎ型ドリフト層１１より高い。

ｐ型領域１２は、コレクタ電極３に接続されている。ｎ型領域１３は、スイッチ１４を介してコレクタ電極３に接続されている。このスイッチ１４の制御端子には、制御部４０Ｇの出力端子が接続されている。

[0078]（第８の実施形態の動作）

ゲート電極３４にプラス電圧を印加することで、ｐ型チャネル領域３１とゲート絶縁膜３５との界面にｎ型反転層が形成され、スイッチングデバイス３０は導通状態となる。制御部４０Ｇには、ゲート電極３４と共通する入力信号４が入力され、スイッチングデバイス３０の導通状態を検出する。

制御部４０Ｇは、プラス電圧の入力信号４が入力された際には、コレクタ電極３側のスイッチ１４を、高周波数のパルスでオン・オフさせる。これにより、前記した第１の実施形態から第７の実施形態に於けるダイオード１０～１０Ｆと同様のメカニズムによって、スイッチングデバイス３０のオン電圧を低減することができる。

[0079] 第３の実施形態と第４の実施形態で述べたように、ダイオード１０Ｂ，１０Ｃの非導通状態、すなわち、ダイオード１０Ｂ，１０Ｃに逆方向の電圧が印加されている状態に於いて、アノード電極１側のスイッチ１４に、高電圧が印加されないようにするには、ｐ型領域１２によってｎ型領域１３をピンチオフするなどの対策が必要であった。

一方、スイッチングデバイス３０のコレクタ電極３側のスイッチ１４は、オフ時も高電圧が印加されない。これにより、スイッチ１４の耐圧は不問となる。すなわち、スイッチングデバイス３０の非導通状態に於いて、スイッチ１４はオンとオフのどちらでもよい。そのため、スイッチングデバイス３０は、非導通状態に遷移する直前に於いて、スイッチ１４のオン・オフの制約はない。スイッチングデバイス３０がターンオフ（非導通状態に遷移）する直前に、コレクタ電極３側のスイッチ１４をオンすることで、裏面のｐ型

領域１２（コレクタ）からｎ型ドリフト層１１（半導体基板）へのホール注入が抑制されるので、ターンオフ損失が低減される。

[0080] 図９（ｂ）は、第８の実施形態に於けるコレクタ電極３側のスイッチ１４のＯＮ／ＯＦＦタイミングを示す図である。

上部の「Switching Device」は、スイッチングデバイス３０の導通状態と非導通状態とを示している。「Switching Device」に於いて、白色「ON」は、スイッチングデバイス３０の導通状態を示し、灰色「OFF」は、スイッチングデバイス３０の非導通状態を示している。

下部の「Collector Side Switch」は、コレクタ電極３側スイッチ１４のオン状態とオフ状態とを示している。「Collector Side Switch」に於いて、白色「ON」は、コレクタ電極３側スイッチ１４のオン状態を示し、灰色「OFF」は、コレクタ電極３側スイッチ１４のオフ状態を示し、斜めクロス模様「OFF or ON」は、コレクタ電極３側スイッチ１４がオン・オフ不問であることを示している。「Collector Side Switch」は、同時に、制御部４０Ｇがコレクタ電極３側スイッチ１４に出力する信号を示している。最下部は、スイッチングデバイス３０の導通状態に於ける「Collector Side Switch」を、時間軸拡大して示している。

スイッチングデバイス３０の導通状態に於いて、制御部４０は、コレクタ電極３側スイッチ１４を高周波数のパルスでオン・オフさせる。

コレクタ電極３側のスイッチ１４のオン状態に於いて、ｎ型ドリフト層１１（半導体基板）へホール注入されないか、または、ホール注入が抑制される。

コレクタ電極３側のスイッチ１４のオフ状態に於いて、ｎ型ドリフト層１１（半導体基板）へホールが注入される。なお、スイッチングデバイス３０の非導通状態に於いて、コレクタ電極３側のスイッチ１４は、オン・オフ不問である。

スイッチングデバイス３０は、非導通状態に遷移する直前に、コレクタ電極３側のスイッチ１４をオンする。これにより、スイッチングデバイス３０

は、ｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、ターンオフ損失を低減することができる。

[0081] 図１０は、スイッチングデバイスのオン電圧とターンオフ損失との関係を示す図である。図１０の横軸は、スイッチングデバイス３０のオン電圧Ｖｃｅ（ｓａｔ）を示しているこのオン電圧Ｖｃｅは、コレクタ?エミッタ間の飽和電圧（Saturation Voltage）でもある。図１０の縦軸は、スイッチングデバイス３０のターンオフ損失Ｅｏｆｆ［ｍＪ］を示している。

曲線３００は、例えばＩＧＢＴであるスイッチングデバイス３０の製造の際に、当該ＩＧＢＴ裏面からＰ層にホールを注入したときの、オン電圧とターンオフ損失との関係を示している。点２００は、第８の実施形態のスイッチングデバイス３０（図９）に於ける、オン電圧とターンオフ損失との関係を示している。

矢印３０１に示すように、ＩＧＢＴの製造の際、当該ＩＧＢＴの裏面からのホール注入を促進すると（例えば、ｐ型エミッタの不純物濃度を増加させるなど）、オン電圧Ｖｃｅは低下するが、ターンオフ損失Ｅｏｆｆは増加する。

また、矢印３０２に示すように、ＩＧＢＴの製造の際、当該ＩＧＢＴの裏面からのホール注入を抑制すると（例えば、ｐ型エミッタの不純物濃度を低減させるなど）、オン電圧Ｖｃｅは増加するが、ターンオフ損失Ｅｏｆｆは低下する。つまり、ＩＧＢＴのオン電圧Ｖｃｅとターンオフ損失Ｅｏｆｆとは、ｐ型エミッタの不純物濃度をパラメータとするトレードオフの関係を有している。

[0082] 第８の実施形態のスイッチングデバイス３０（図９）は、導通状態に於いて、スイッチ１４を高周波数のパルスで繰り返しオン・オフさせている。この高周波数のパルスにより、スイッチングデバイス３０は、ｎ型ドリフト層１１（半導体基板）にホールを注入している。これにより、オン電圧Ｖｃｅを、ＩＧＢＴの限界である拡散電圧（０．８Ｖ程度）より小さくすることができる。

更に、スイッチングデバイス３０は、ターンオフ（非導通状態に遷移）する直前に、コレクタ電極３側スイッチ１４をオンすることで、ｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、ターンオフ損失Ｅｏｆｆを低減することができる。

[0083]（第８の実施形態の効果）

以上説明した第８の実施形態では、次の（Ｏ），（Ｐ）のような効果がある。

[0084]（Ｏ）　スイッチングデバイス３０が導通状態に於いて、高周波数のパルスによって、ｎ型ドリフト層１１（半導体基板）にホールを注入している。これにより、オン電圧Ｖｃｅを、ＩＧＢＴの限界である拡散電圧（０．８Ｖ程度）より小さくすることができる。

[0085]（Ｐ）　更に、スイッチングデバイス３０は、ターンオフ（非導通状態に遷移）する直前に、コレクタ電極３側スイッチ１４をオンすることで、ｎ型ドリフト層１１（半導体基板）へのホール注入を抑制し、ターンオフ損失Ｅｏｆｆを低減することができる。

[0086]（第９の実施形態の構成）

図１１（ａ），（ｂ）は、第９、第１０の実施形態に於けるスイッチングデバイスの断面と構成とを示す図である。

図１１（ａ）は、第９の実施形態に於けるスイッチングデバイス３０Ｈの断面と構成とを示す図である。

第９の実施形態のスイッチングデバイス３０Ｈは、第８の実施形態のスイッチングデバイス３０（図９）に於けるコレクタ電極３側のスイッチ１４として、ＭＯＳＦＥＴ１７ａを用いている。ＭＯＳＦＥＴ１７ａのソースは、コレクタ電極３に接続されている。ＭＯＳＦＥＴ１７ａのドレインは、ｎ型領域１３に接続されている。

スイッチングデバイス３０Ｈが導通状態に於いて、制御部４０Ｇは、ＭＯＳＦＥＴ１７ａを高周波数のパルスでオン・オフしている。これにより、スイッチングデバイス３０Ｈのオン電圧を低減することができる。

更に、スイッチングデバイス３０Ｈがターンオフする直前に、ＭＯＳＦＥＴ１７ａをオンすることで、スイッチングデバイス３０Ｈのターンオフ損失を低減することができる。

[0087]（第９の実施形態の効果）

以上説明した第９の実施形態では、次の（Ｑ），（Ｒ）のような効果がある。

[0088]（Ｑ）　スイッチングデバイス３０Ｈが導通状態に於いて、制御部４０Ｇは、ＭＯＳＦＥＴ１７ａを高周波数のパルスでオン・オフしている。これにより、スイッチングデバイス３０Ｈのオン電圧を低減することができる。

[0089]（Ｒ）　スイッチングデバイス３０Ｈがターンオフする直前に、ＭＯＳＦＥＴ１７ａをオンすることで、スイッチングデバイス３０Ｈのターンオフ損失を低減することができる。

[0090]（第１０の実施形態の構成）

図１１（ｂ）は、第１０の実施形態に於けるスイッチングデバイス３０Ｉの断面と構成とを示す図である。

第１０の実施形態のスイッチングデバイス３０Ｉは、第９の実施形態のスイッチングデバイス３０Ｈ（図１１（ａ））とは異なり、ＭＯＳＦＥＴ１７ｂのソースとドレインとが逆に接続されている。

第９の実施形態で述べたように、スイッチングデバイス３０Ｉのコレクタ電極３側のスイッチは、耐圧が不問なので、ＭＯＳＦＥＴ１７ｂの接続の向きは不問となる。

[0091]　第１０の実施形態のスイッチングデバイス３０Ｉは、導通状態に於いて、ＭＯＳＦＥＴ１７ｂを高周波数のパルスでオン・オフすることで、当該スイッチングデバイス３０Ｉのオン電圧を低減することができる。

スイッチングデバイス３０Ｉが非導通状態に遷移する直前に、ＭＯＳＦＥＴ１７ｂをオンすることで、スイッチングデバイス３０Ｉのターンオフ損失を低減することができる。

[0092]（第１０の実施形態の効果）

以上説明した第１０の実施形態では、次の（Ｓ），（Ｔ）のような効果がある。

[0093] （Ｓ） スイッチングデバイス３０Ｉは、導通状態に於いて、ＭＯＳＦＥＴ１７ｂを高周波数のパルスでオン・オフしている。これにより、スイッチングデバイス３０Ｉのオン電圧を低減することができる。

[0094] （Ｔ） スイッチングデバイス３０Ｉがターンオフする直前に、ＭＯＳＦＥＴ１７ｂをオンすることで、スイッチングデバイス３０Ｉのターンオフ損失を低減できる。

[0095] （第１１の実施形態の構成）

図１２は、第１１の実施形態に於けるスイッチングデバイスの断面図である。

本実施形態のスイッチングデバイス３０Ｊは、第９の実施形態のスイッチングデバイス３０Ｈ（図１１（ａ））とは異なり、コレクタ電極３６側スイッチ（ＭＯＳＦＥＴ）を、当該スイッチングデバイス３０Ｊと同じ半導体基板に内蔵している。

スイッチングデバイス３０Ｊは、半導体基板の表面（第１表面）に、ｐ型チャネル領域３１と、このｐ型チャネル領域３１を貫通し、半導体基板に達するトレンチに設けられ、ゲート絶縁膜３５によって半導体基板およびｐ型チャネル領域３１と絶縁されているゲート電極３４と、ｐ型チャネル領域３１の表面かつゲート絶縁膜３５に接する部位に設けられた第１導電型のエミッタ領域であるｎ型ソース領域３２と、ｐ型チャネル領域３１およびｎ型ソース領域３２に接するエミッタ電極３３とを設けている。

スイッチングデバイス３０Ｊは、半導体基板の裏面（第２表面）に、第２導電型の第２チャネル領域であるｐ型領域１２と、ｐ型領域１２を貫通して半導体基板に達する第２トレンチに設けられ、第２ゲート絶縁膜２０によって半導体基板およびｐ型領域１２と絶縁されている第２ゲート電極１９と、ｐ型領域１２の表面の一部に第２ゲート絶縁膜２０に接して設けられた第１導電型のコレクタ領域であるｎ型領域１３と、ｐ型領域１２およびｎ型領域

１３に接するコレクタ電極３６とを設けている。

スイッチングデバイス３０Ｊは、ｐ型領域１２と半導体基板との界面にｎ型のホールバリア層１６を設けている。ホールバリア層１６の不純物濃度は、半導体基板のｎ型ドリフト層１１の不純物濃度よりも高い。

スイッチングデバイス３０Ｊは更に、エミッタ電極３３からコレクタ電極３６に向けて電流が流れている期間に、第２ゲート電極１９に対してオン信号とオフ信号とを繰り返し出力して制御する制御部４０Ｇ（不図示）を備えている。

半導体基板表面（エミッタ側）のゲート電極３４は、コレクタ電流をオン・オフする役割を担っている。半導体基板裏面（コレクタ電極３側）の第２ゲート電極１９は、ｎ型ドリフト層１１（半導体基板）へのホールの注入量を制御する役割を担っている。

第１１の実施形態のスイッチングデバイス３０Ｊは、コレクタ電極３６側スイッチ（ＭＯＳＦＥＴ）を、半導体基板に内蔵している。これにより、外付けのスイッチ１４が不要となり、半導体装置、および、当該半導体装置を用いた電力変換装置（インバータ）を小形化することができる。

[0096] スイッチングデバイス３０Ｊの導通状態に於いて、制御部４０Ｇ（不図示）は、第２ゲート電極１９に高周波数のパルスを出力して、コレクタ電極３６側スイッチ（ＭＯＳＦＥＴ）をオン・オフしている。これにより、スイッチングデバイス３０Ｊは、オン電圧を低減することができる。

スイッチングデバイス３０Ｊが非導通状態に遷移する直前に、図示しない制御部４０Ｇは、第２ゲート電極１９に電圧を印加して、コレクタ電極３６側スイッチ（ＭＯＳＦＥＴ）をオンしている。これにより、スイッチングデバイス３０Ｊは、ターンオフ損失を低減できる。

[0097]（第１１の実施形態の効果）

以上説明した第１１の実施形態では、次の（Ｕ）～（Ｗ）のような効果がある。

[0098]（Ｕ） コレクタ電極３６側スイッチ（ＭＯＳＦＥＴ）を、半導体基板に内

蔵することで、外付けのスイッチが不要となり、半導体装置および、当該半導体装置を用いた電力変換装置を小形化することができる。

[0099] （Ｖ） スイッチングデバイス３０Ｊの導通状態に於いて、制御部４０Ｇ（不図示）は、第２ゲート電極１９に高周波数のパルスを出力して、コレクタ電極３６側スイッチ（ＭＯＳＦＥＴ）をオン・オフしている。これにより、スイッチングデバイス３０Ｊは、オン電圧を低減することができる。

[0100] （Ｗ） スイッチングデバイス３０Ｊが非導通状態に遷移する直前に、図示しない制御部４０Ｇは、第２ゲート電極１９に電圧を印加して、コレクタ電極３６側スイッチ（ＭＯＳＦＥＴ）をオンしている。これにより、スイッチングデバイス３０Ｊは、ターンオフ損失を低減できる。

[0101] （変形例）

本発明は、上記実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲で、変更実施が可能である。この利用形態や変形例としては、例えば、次の（ａ）～（ｈ）のようなものがある。

[0102] （ａ） 図１３に示す電力変換装置であるインバータ５００は、ＩＧＢＴ７００に、第８～１１の実施形態のスイッチングデバイス３０～３０Ｊを用いてもよい。これにより、インバータ５００に於けるＩＧＢＴ７００の損失が低減され、インバータ５００の低損失化、小形化が可能となる。

[0103] （ｂ） 図１３に示す電力変換装置であるインバータ５００は、フライホイールダイオード６００に、第１～７の実施形態のダイオード１０～１０Ｆを用いてもよい。これにより、インバータ５００に於けるフライホイールダイオード６００の損失が低減され、インバータ５００の低損失化、小形化が可能となる。

[0104] （ｃ） 図１３のインバータ５００の構成は一例であって、例えば、スイッチング素子にダイオードが逆並列接続された上アームと、スイッチング素子にダイオードが逆並列接続された下アームとが直列に接続されているスイッチングレッグが、交流出力の相数と同数だけ結合された電力変換装置（インバータ）であってもよい。

[0105] （ｄ） 直流を交流に変換する電力変換装置（インバータ）に限られず、交流を直流に変換するコンバータ（電力変換装置）が、第８～１１の実施形態のスイッチングデバイス３０～３０Ｊを用いてもよい。

[0106] （ｅ） 更に、交流を直流に変換するコンバータ（電力変換装置）が、第１～７の実施形態のダイオード１０～１０Ｆを用いてもよい。

[0107] （ｆ） 第１～第７の実施形態のスイッチ１４は、ｎ型チャネルＭＯＳＦＥＴである。しかし、これに限られず、スイッチ１４は、ｐ型チャネルのＭＯＳＦＥＴであってもよい。

[0108] （ｇ） 第１～第１１の実施形態では、第１導電型をｎ型とし、第２導電型をｐ型としている。しかし、これに限られず、半導体装置は、第１導電型をｐ型とし、第２導電型をｎ型としてもよい。

[0109] （ｈ） 第３の実施形態のダイオード１０Ｂ（図５）は、ｐ型領域１２の厚みと比較してｎ型領域１３の厚みが薄くなるように構成されている。しかし、これに限られず、第３の実施形態の構成に加えて、ｐ型領域１２の幅と比較してｎ型領域１３の幅が狭くなるように構成してもよい。これにより、非導通状態に於いて、隣り合うｐ型領域１２から伸びる空乏層が接触しやすくなり、ｎ型領域１３には高電圧が印加されなくなる。したがって、スイッチ１４は、更に低耐圧のものを使用することができる。

符号の説明

[0110] １ アノード電極

２ カソード電極

３ コレクタ電極

１０～１０Ｆ ダイオード（半導体装置）

１１ ｎ型ドリフト層（半導体基板）

１２ ｐ型領域（第２導電型アノード領域、第２導電型のチャネル領域、第２導電型コレクタ領域）

１３ ｎ型領域（第１導電型アノード領域、第１導電型コレクタ領域）

１４，１４ｉ スイッチ

１５　高濃度ｎ型領域（第１導電型のカソード領域）

１６　ホールバリア層（第１導電型ホールバリア層）

１７　ＭＯＳＦＥＴ

１８　ｐ型領域

１９　第２ゲート電極

２０　第２ゲート絶縁膜

２１　アノード電極

３０～３０Ｊ　スイッチングデバイス（半導体装置）

３１　ｐ型チャネル領域（第２導電型のチャネル領域）

３２　ｎ型ソース領域（第１導電型のエミッタ領域）

３３　エミッタ電極

３４　ゲート電極

３５　ゲート絶縁膜

３６　コレクタ電極

１００　ホール

５００　インバータ（電力変換装置）

６００　フライホイールダイオード

７００　ＩＧＢＴ

８００　ゲート回路

９００　プラス側の電源端子

９０１　マイナス側の電源端子

９１０ｕ　Ｕ相

９１０ｖ　Ｖ相

９１０ｗ　Ｗ相

９５０　モータ

９６０　電源

請求の範囲

[請求項1] 第１導電型の半導体基板と、

前記半導体基板の第１表面に設けられたアノード領域と、

前記半導体基板の第２表面に設けられた第１導電型のカソード領域と、

アノード電極と、

を備えた半導体装置であって、

前記第１表面には、第１導電型アノード領域と第２導電型アノード領域とが隣接した構成を備え、

前記第２導電型アノード領域は、前記アノード電極に接続され、

前記第１導電型アノード領域は、スイッチを介して前記アノード電極に接続される、

ことを特徴とする半導体装置。

[請求項2] 前記第２導電型アノード領域と前記半導体基板との界面に、第１導電型ホールバリア層を設け、

前記第１導電型ホールバリア層の不純物濃度は、前記半導体基板の不純物濃度よりも高い、

ことを特徴とする請求の範囲第１項に記載の半導体装置。

[請求項3] 第１導電型の半導体基板と、

前記半導体基板の第１表面に設けられたアノード領域と、

前記半導体基板の第２表面に設けられた第１導電型のカソード領域と、

アノード電極と、

を備えた半導体装置であって、

前記第１表面には、第１導電型アノード領域と第２導電型アノード領域とが当該半導体基板の第１導電体で区切られ、かつ、近接している構成が設けられ、

前記第１導電型アノード領域は、前記第２導電型アノード領域より

薄く、かつ、スイッチを介して前記アノード電極に接続され、

前記第２導電型アノード領域は、前記アノード電極に接続される、

ことを特徴とする半導体装置。

［請求項4］ 前記第１導電型アノード領域と前記半導体基板の界面に、第２導電型層を設けた、

ことを特徴とする請求の範囲第１項に記載の半導体装置。

［請求項5］ 請求の範囲第１項に記載の半導体装置は更に、

当該半導体装置に順方向電圧が印加されている期間に、前記スイッチがオン・オフを繰り返すように制御する制御部を備えた、

ことを特徴とする半導体装置。

［請求項6］ 前記制御部は、当該半導体装置に逆方向電圧が印加されている期間に、前記スイッチをオンするように制御する、

ことを特徴とする請求の範囲第５項に記載の半導体装置。

［請求項7］ 前記スイッチは、ＭＯＳＦＥＴである、

ことを特徴とする請求の範囲第１項に記載の半導体装置。

［請求項8］ 第１導電型の半導体基板を備えた半導体装置であって、

前記半導体基板の第１表面には、

第２導電型のチャネル領域と、

前記チャネル領域を貫通して前記半導体基板に達するトレンチに設けられ、ゲート絶縁膜によって前記半導体基板および前記チャネル領域と絶縁されているゲート電極と、

前記チャネル領域の表面かつ前記ゲート絶縁膜に接する部位に設けられた第１導電型のアノード領域と、

前記チャネル領域および前記アノード領域に接するアノード電極と、

を備えたことを特徴とする半導体装置。

［請求項9］ 請求の範囲第８項に記載の半導体装置は更に、

当該半導体装置に順方向電圧が印加されている期間に、前記ゲート

電極に対してオン信号とオフ信号とを繰り返し出力する制御部を備えた、

ことを特徴とする半導体装置。

[請求項10] 請求の範囲第８項に記載の半導体装置は更に、

当該半導体装置に逆方向電圧が印加されている期間に、前記ゲート電極に対してオン信号を出力する制御部を備えた、

ことを特徴とする半導体装置。

[請求項11] 第１導電型の半導体基板を備えた半導体装置であって、

前記半導体基板の第１表面には、

第２導電型のチャネル領域と、

前記チャネル領域を貫通して前記半導体基板に達するトレンチに設けられ、ゲート絶縁膜によって前記半導体基板および前記チャネル領域と絶縁されているゲート電極と、

前記チャネル領域の表面かつ前記ゲート絶縁膜に接する部位に設けられた第１導電型のエミッタ領域と、

前記チャネル領域および当該エミッタ領域に接するエミッタ電極と、を備え、

前記半導体基板の第２表面には、

第１導電型コレクタ領域と第２導電型コレクタ領域とが隣接した構成を備え、

前記第２導電型コレクタ領域は、コレクタ電極に接続され、

前記第１導電型コレクタ領域は、スイッチを介して前記コレクタ電極に接続される、

ことを特徴とする半導体装置。

[請求項12] 前記第２導電型コレクタ領域と前記半導体基板との界面に、第１導電型ホールバリア層を設け、前記第１導電型ホールバリア層の不純物濃度は、前記半導体基板の不純物濃度より高い、

ことを特徴とする請求の範囲第１１項に記載の半導体装置。

[請求項13] 請求の範囲第１１項に記載の半導体装置は更に、

前記半導体装置の前記エミッタ電極から前記コレクタ電極に向けて電流が流れている期間に、前記スイッチがオン・オフを繰り返すように制御する制御部を備えた、

ことを特徴とする半導体装置。

[請求項14] 前記制御部は、前記半導体装置の前記エミッタ電極から前記コレクタ電極に向けて電流が流れていない期間に、前記スイッチをオンするように制御する、

ことを特徴とする請求の範囲第１３項に記載の半導体装置。

[請求項15] 前記スイッチがＭＯＳＦＥＴである、

ことを特徴とする請求の範囲第１１項に記載の半導体装置。

[請求項16] 第１導電型の半導体基板を備えた半導体装置であって、

前記半導体基板の第１表面には、

第２導電型のチャネル領域と、

前記チャネル領域を貫通し、前記半導体基板に達するトレンチに設けられ、ゲート絶縁膜によって前記半導体基板および前記チャネル領域と絶縁されているゲート電極と、

前記チャネル領域の表面かつ前記ゲート絶縁膜に接する部位に設けられた第１導電型のエミッタ領域と、

前記チャネル領域および前記エミッタ領域に接するエミッタ電極と、を備え、

前記半導体基板の第２表面には、

第２導電型の第２チャネル領域と、

前記第２チャネル領域を貫通し、前記半導体基板に達する第２トレンチに設けられ、第２ゲート絶縁膜によって前記半導体基板および前記第２チャネル領域と絶縁されている第２ゲート電極と、

前記第２チャネル領域の表面の一部に前記第２ゲート絶縁膜に接して設けられた第１導電型のコレクタ領域と、

前記第２チャネル領域および前記コレクタ領域に接するコレクタ電極と、

を備えたことを特徴とする半導体装置。

[請求項17] 前記第２チャネル領域と前記半導体基板との界面に、第１導電型ホールバリア層を設け、

前記第１導電型ホールバリア層の不純物濃度は、前記半導体基板の不純物濃度よりも高い、

ことを特徴とする請求の範囲第１６項に記載の半導体装置。

[請求項18] 請求の範囲第１６項に記載の半導体装置は更に、

前記半導体装置の前記エミッタ電極から前記コレクタ電極に向けて電流が流れている期間に、前記第２ゲート電極に対してオン信号とオフ信号とを繰り返し出力して制御する制御部を備えた、

ことを特徴とする半導体装置。

[請求項19] 前記制御部は、当該半導体装置の前記エミッタ電極から前記コレクタ電極に向けて電流が流れていない期間に、前記第２ゲート電極に対してオン信号を出力する、

ことを特徴とする請求の範囲第１８項に記載の半導体装置。

[請求項20] 一対の直流端子に印加された直流電圧を交流に変換し、交流の相数と同数の交流端子に出力する電力変換装置であって、

当該電力変換装置は、

前記一対の直流端子間に接続された、前記交流の相数と同数の電力変換単位を備え、

前記電力変換単位はそれぞれ、スイッチング素子と逆極性のダイオードとの並列回路を２個直列接続し、当該並列回路同士の接続ノードから前記交流端子に交流電力を出力し、

前記ダイオードは、請求の範囲第１項ないし請求の範囲第１０項のいずれか１項に記載の半導体装置である、

ことを特徴とする電力変換装置。

［請求項21］ 一対の直流端子に印加された直流電圧を交流に変換し、交流の相数と同数の交流端子に出力する電力変換装置であって、

当該電力変換装置は、

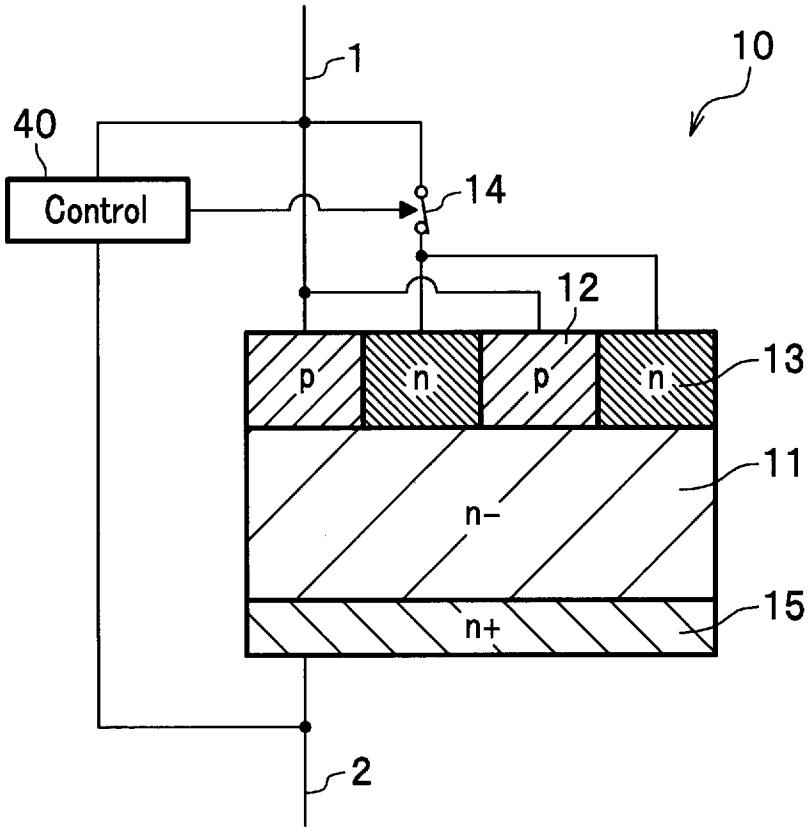
前記一対の直流端子間に接続された、前記交流の相数と同数の電力変換単位を備え、

前記電力変換単位はそれぞれ、スイッチング素子と逆極性のダイオードとの並列回路を２個直列接続し、当該並列回路同士の接続ノードから前記交流端子に交流電力を出力し、

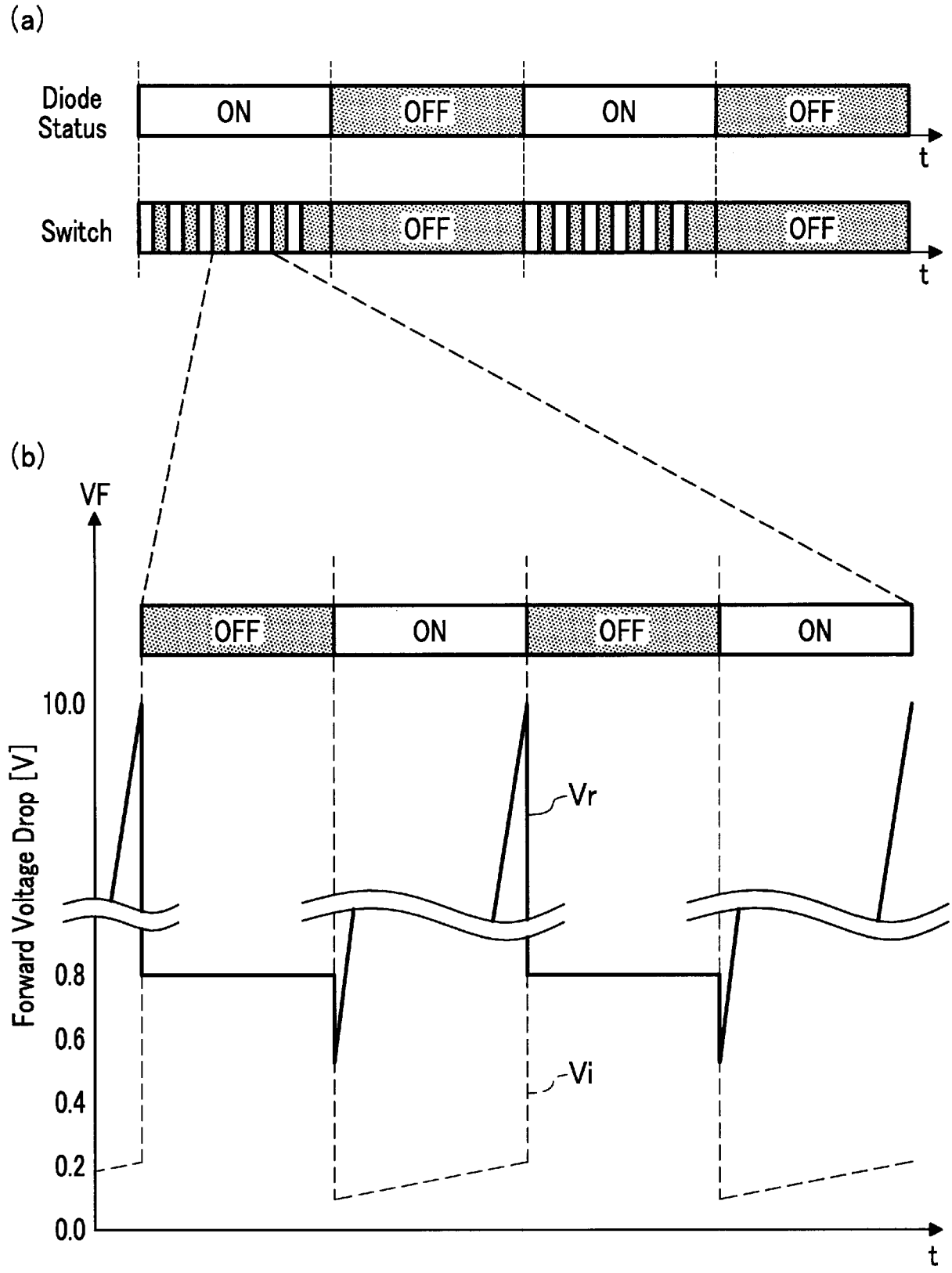
前記スイッチング素子は、請求の範囲第１１項ないし請求の範囲第１９項のいずれか１項に記載の半導体装置である、

ことを特徴とする電力変換装置。

[図1]

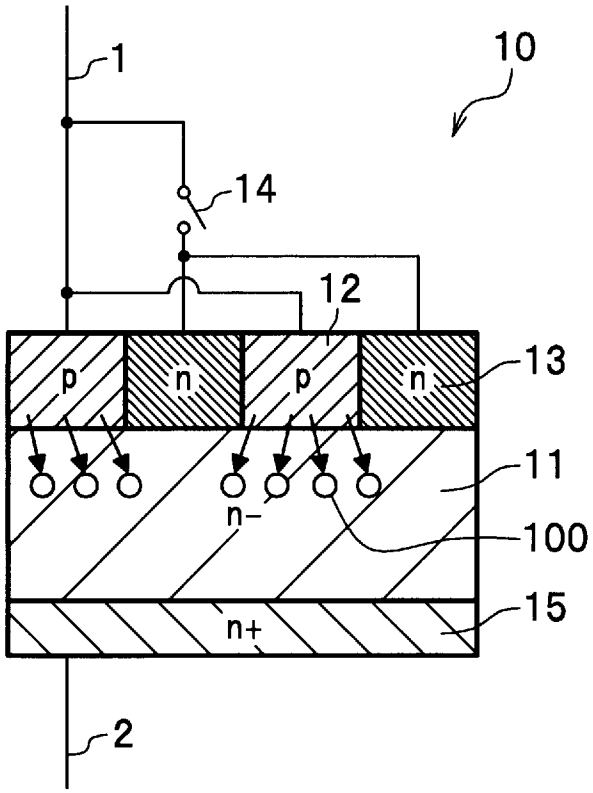


[図2]

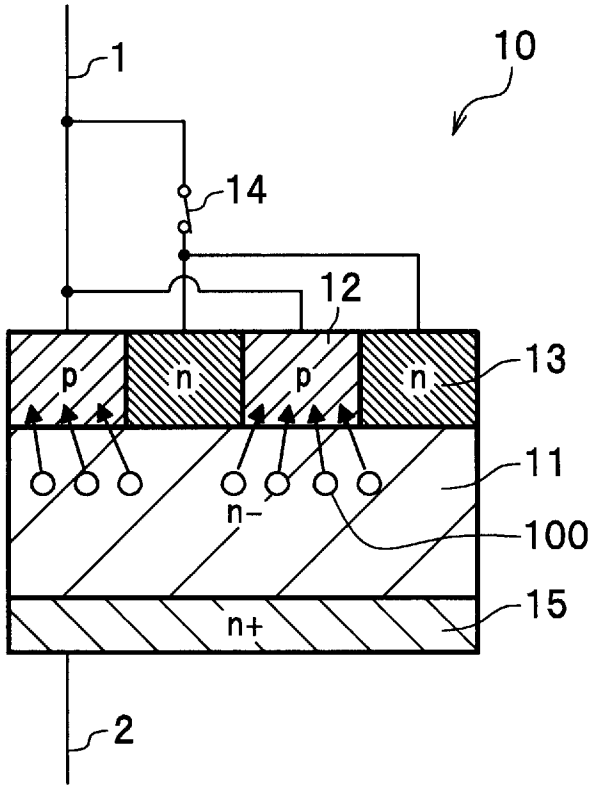

(a)
Diode Status
ON
OFF
ON
OFF
t
Switch
OFF
OFF
t
(b)
VF
OFF
ON
OFF
ON
10.0
Forward Voltage Drop [V]
Vr
0.8
0.6
Vi
0.4
0.2
0.0
t

[図3]

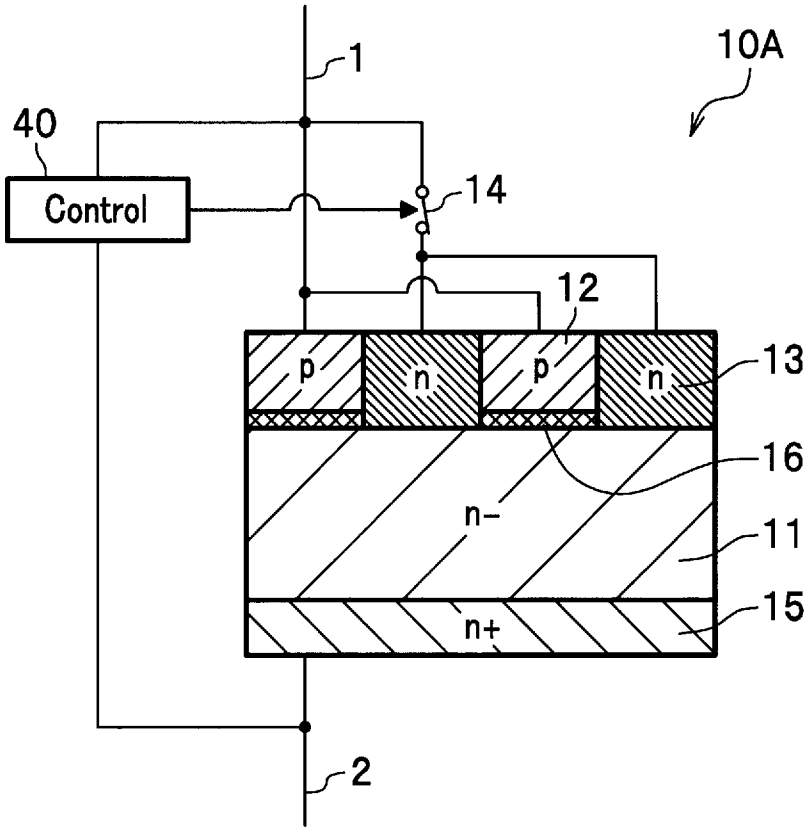
(a)



(b)

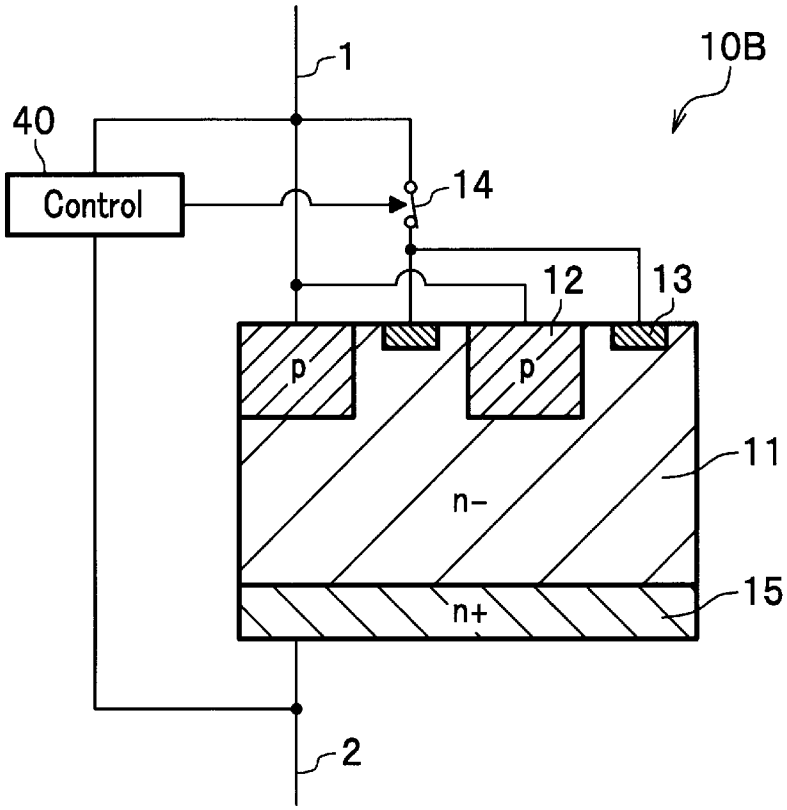


[図4]

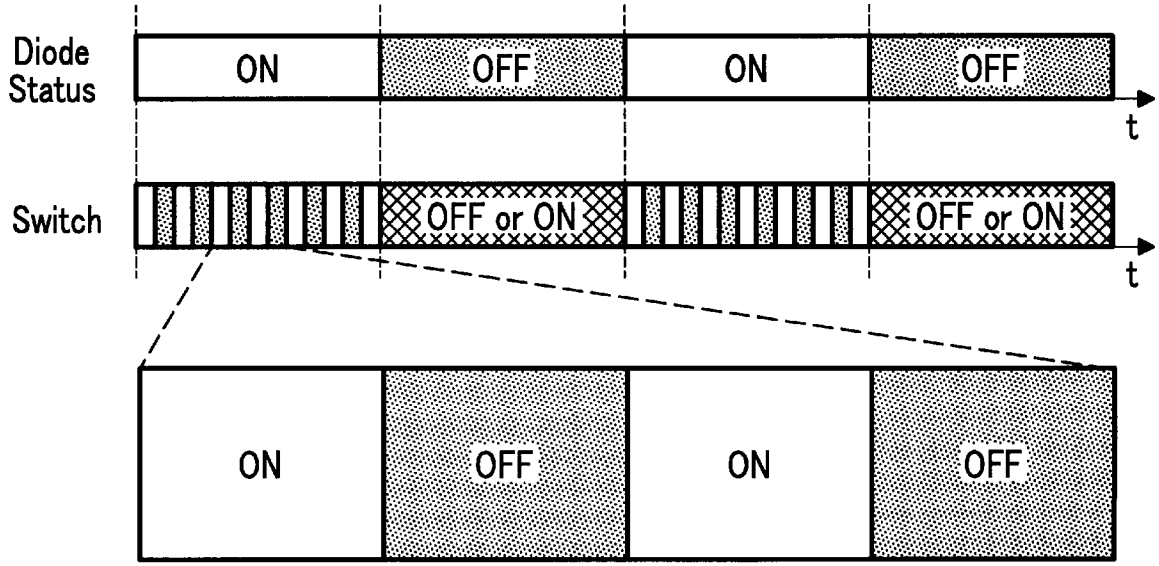


[図5]

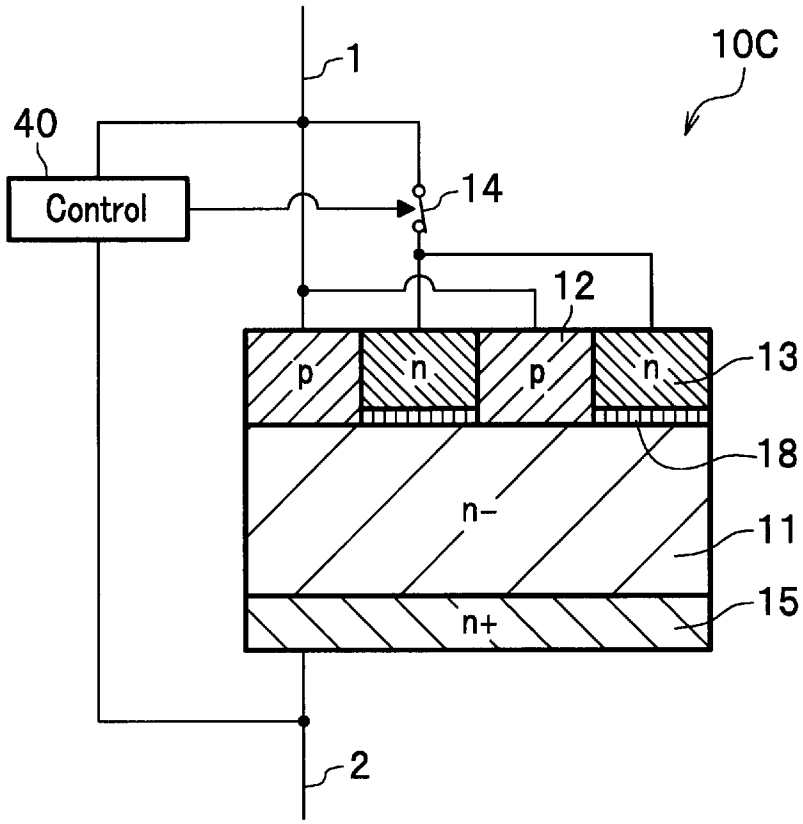
(a)


1
10B
40
Control
14
12
13
p
p
11
n−
15
n+
2

(b)

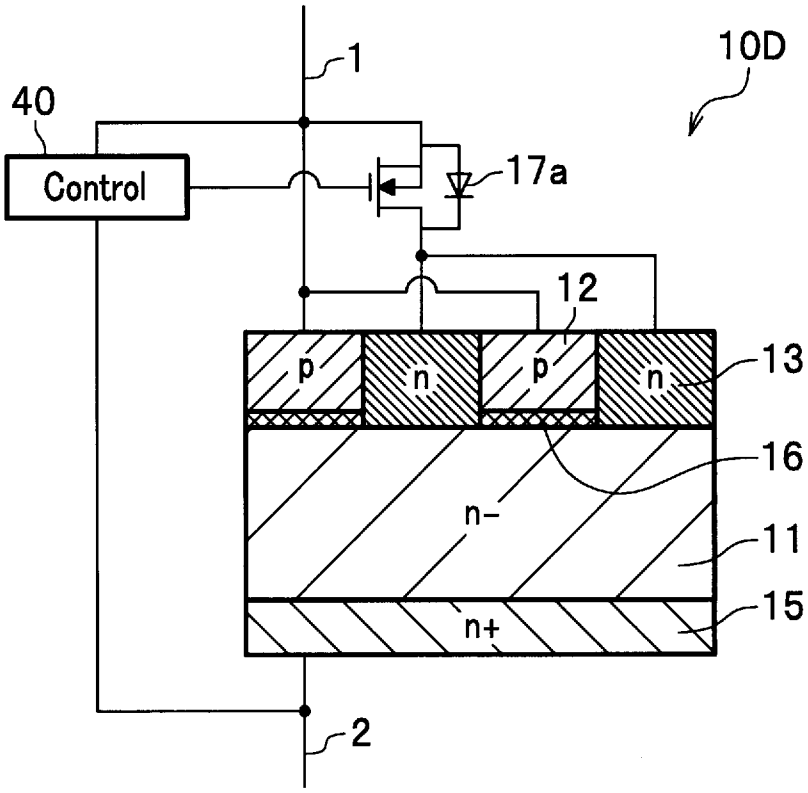

Diode Status
ON
OFF
ON
OFF
t
Switch
OFF or ON
OFF or ON
t
ON
OFF
ON
OFF

[図6]

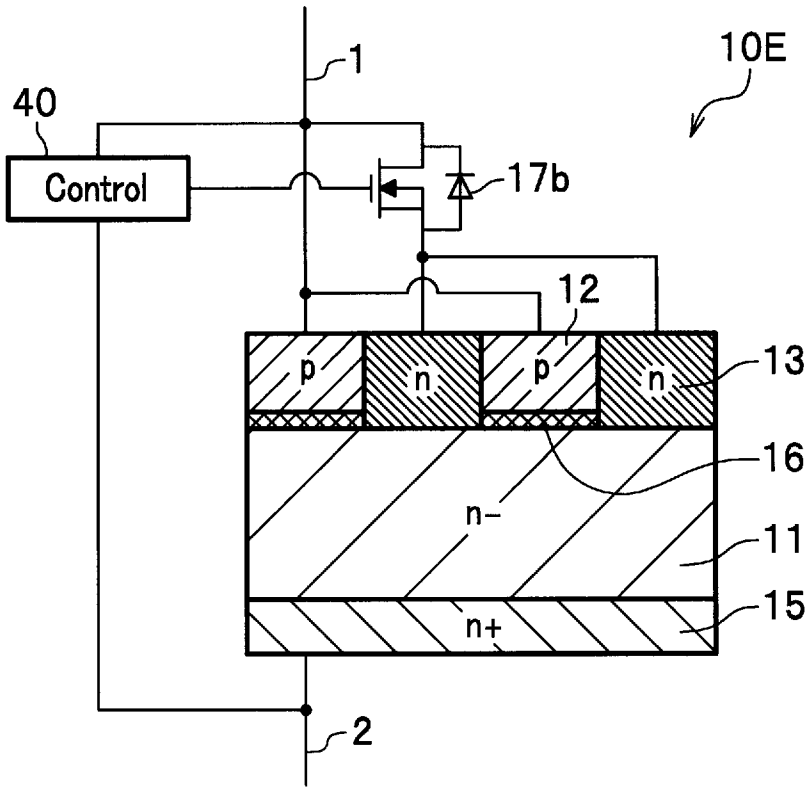


[図7]

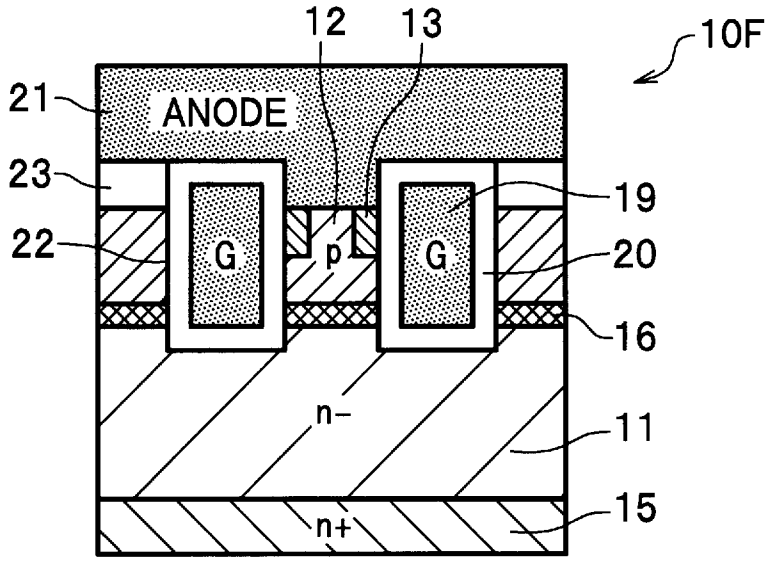
(a)


10D
1
40
Control
17a
12
p
n
p
n
13
16
n−
11
15
n+
2

(b)

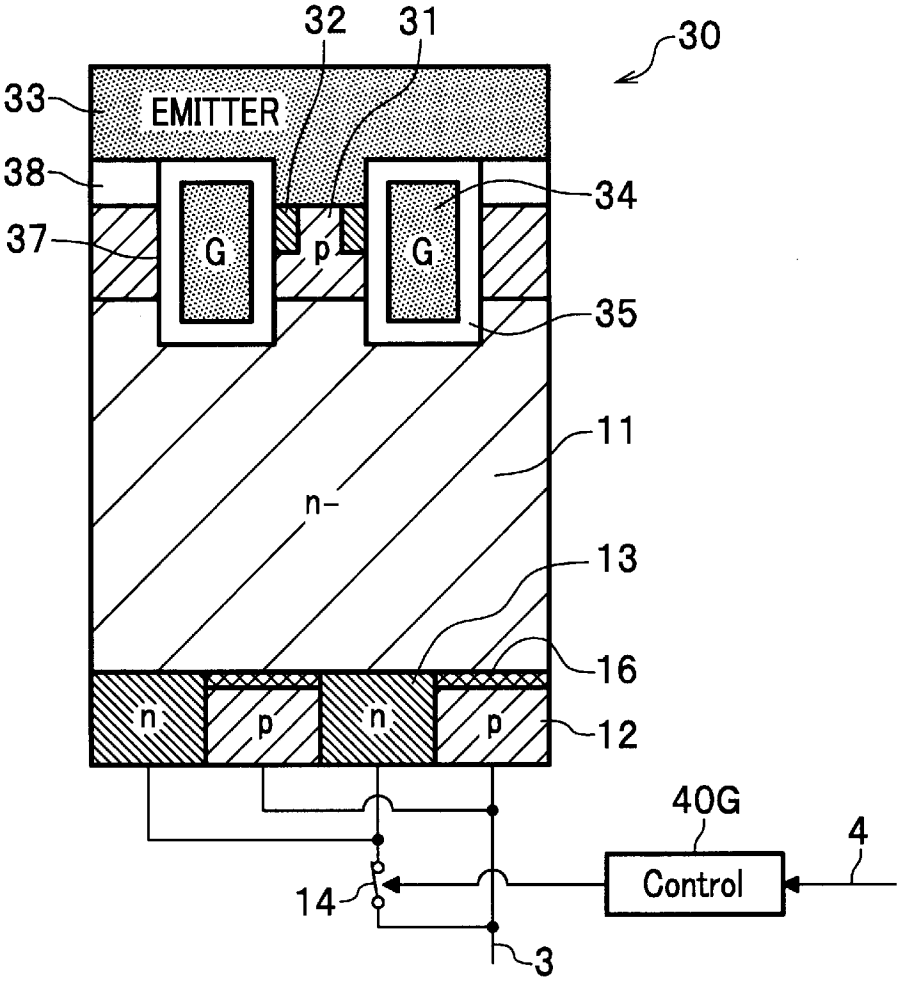

10E
1
40
Control
17b
12
p
n
p
n
13
16
n−
11
15
n+
2

[図8]

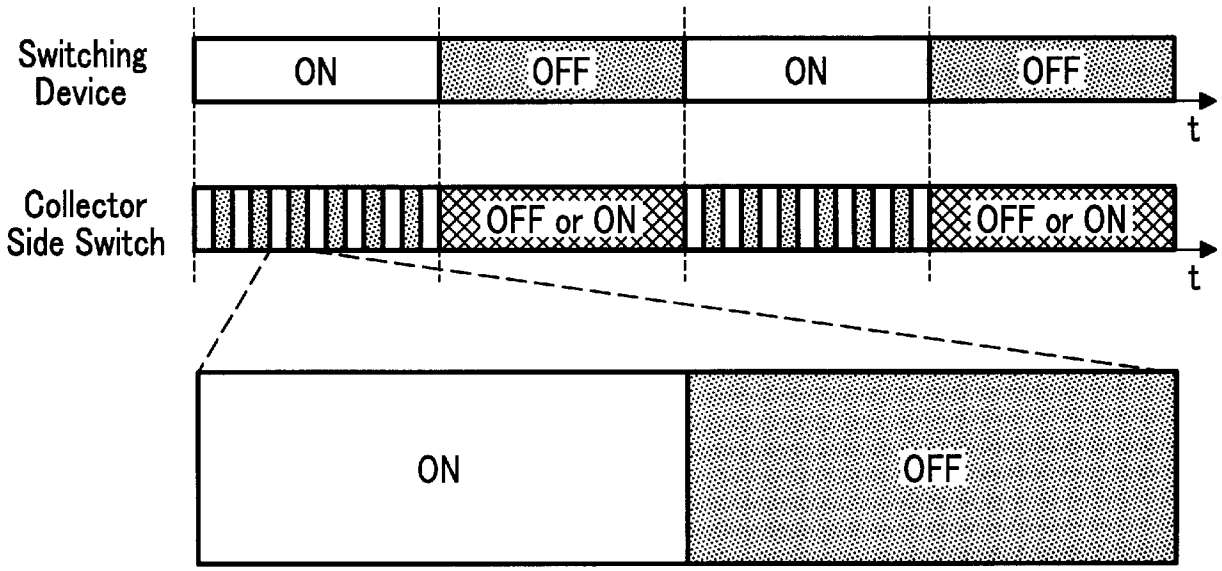


[図9]

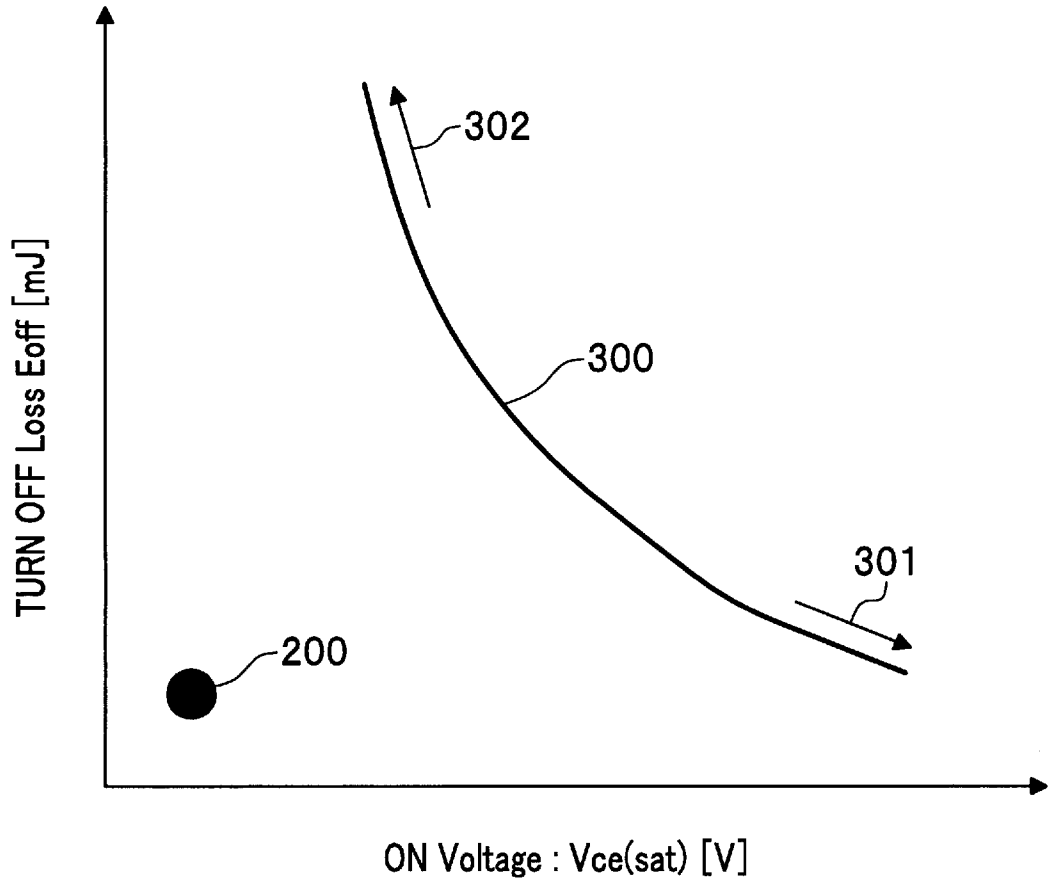
(a)


32
31
30
33
EMITTER
38
34
37
G
p
G
35
11
n−
13
16
n
p
n
p
12
40G
4
Control
14
3

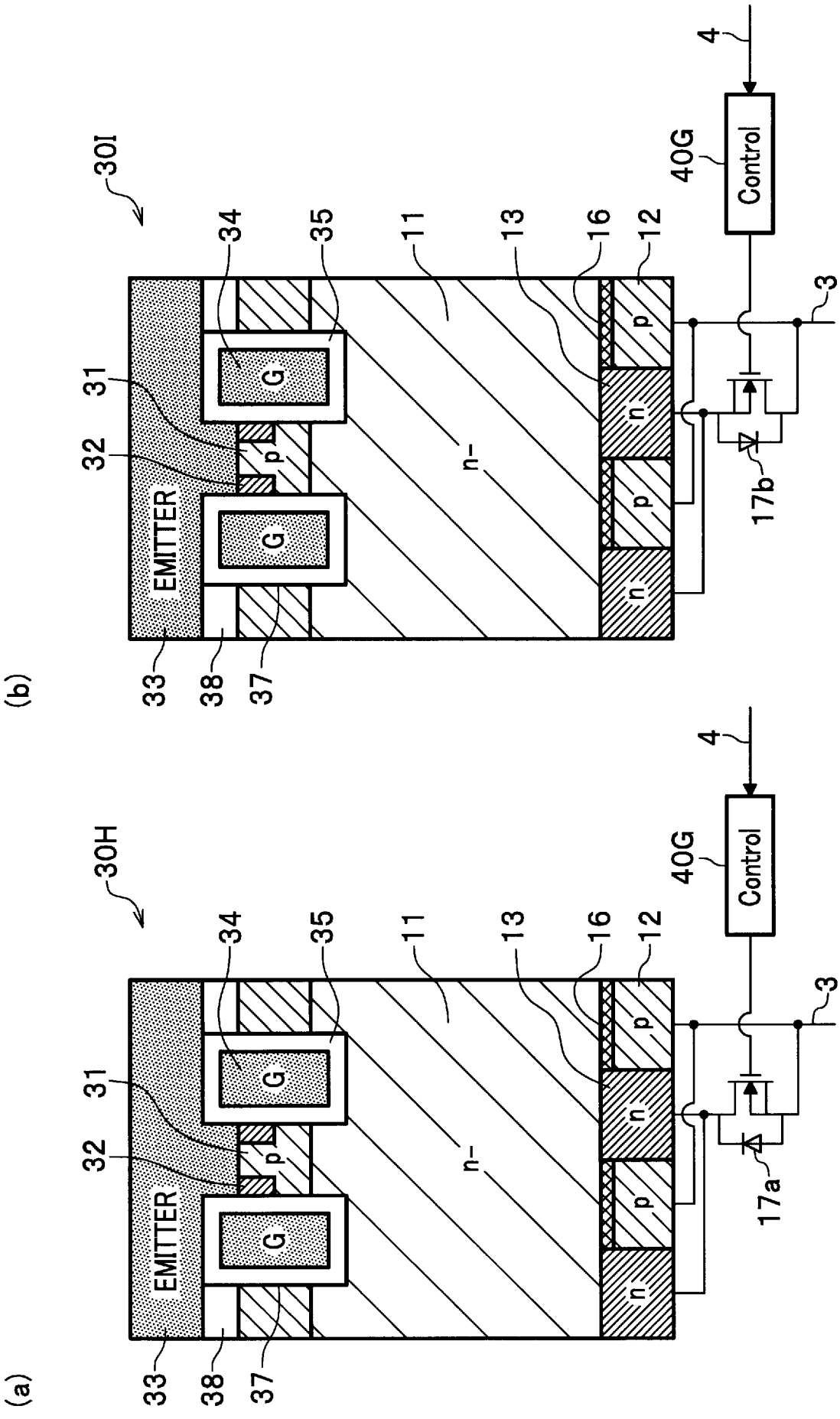
(b)


Switching Device
ON
OFF
ON
OFF
t
Collector Side Switch
OFF or ON
OFF or ON
t
ON
OFF

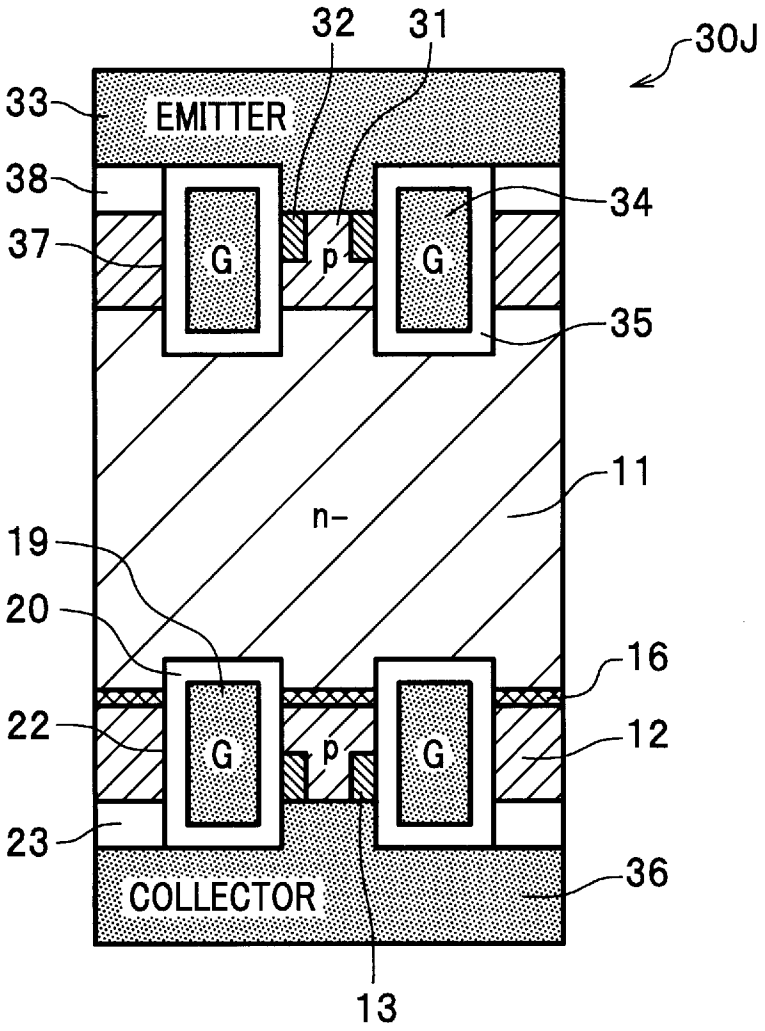
[図10]



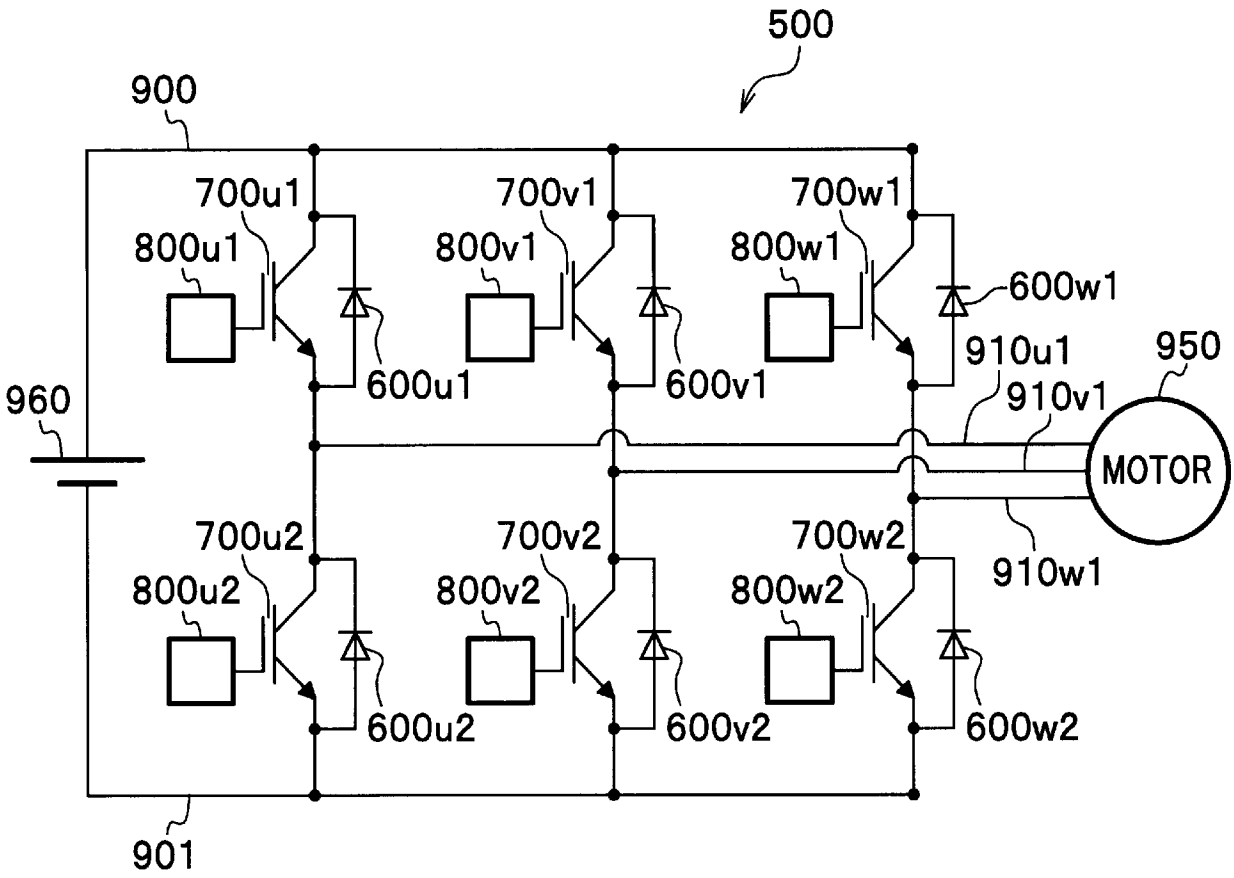
[図11]


(a)
30H
EMITTER
G
G
p
n-
n
p
n
p
n
31
32
33
34
35
37
38
11
12
13
16
3
4
40G
Control
17a
(b)
30I
EMITTER
G
G
p
n-
n
p
n
p
n
31
32
33
34
35
37
38
11
12
13
16
3
4
40G
Control
17b

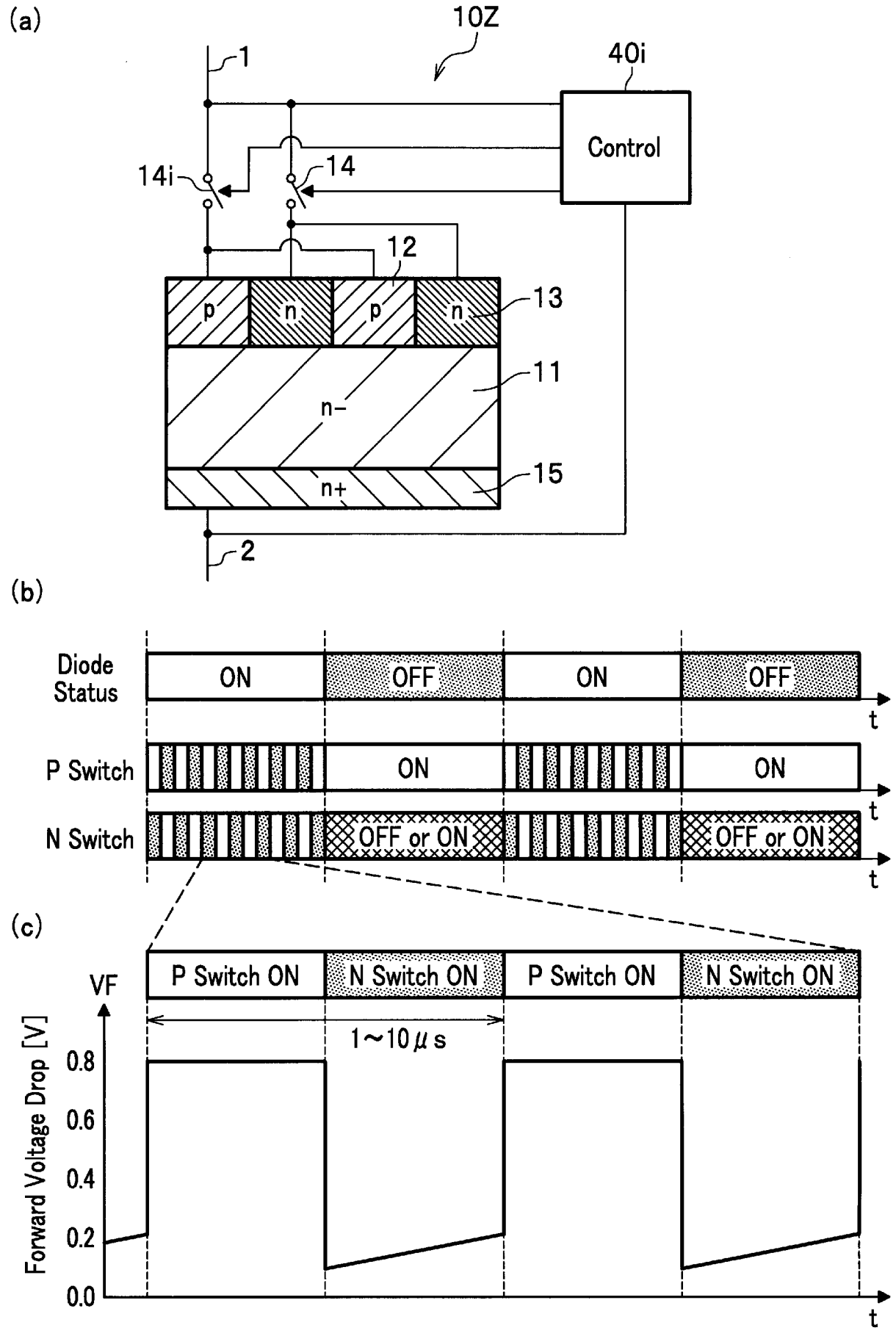
[図12]


32
31
30J
33
EMITTER
38
34
37
G
p
G
35
11
n-
19
20
16
22
G
p
G
12
23
36
COLLECTOR
13

[図13]


500
900
700u1
700v1
700w1
800u1
800v1
800w1
600w1
910u1
950
960
600u1
600v1
910v1
MOTOR
700u2
700v2
700w2
910w1
800u2
800v2
800w2
600u2
600v2
600w2
901

[図14]


(a)
10Z
1
40i
Control
14i
14
12
p
n
p
n
13
11
n−
15
n+
2
(b)
Diode Status
ON
OFF
ON
OFF
t
P Switch
ON
ON
t
N Switch
OFF or ON
OFF or ON
t
(c)
VF
P Switch ON
N Switch ON
P Switch ON
N Switch ON
1～10μs
Forward Voltage Drop [V]
0.8
0.6
0.4
0.2
0.0
t

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/051606

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/861(2006.01)i, *H01L21/8234*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/06*(2006.01)i, *H01L27/088*(2006.01)i, *H01L29/739*(2006.01)i, *H01L29/78*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/861, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-009522 A (Mitsubishi Electric Corp.), 12 January 2012 (12.01.2012), fig. 1 to 29 (Family: none)	8,20 16-19
X Y	JP 10-163469 A (Toshiba Corp.), 19 June 1998 (19.06.1998), fig. 3, 4 (Family: none)	8,20 16-19
X Y	Tsuda, M. et al., Ultra low loss trench gate PCI-PiN diode with VF<350mV, Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on, 2011.05. 23, P.84-87	8-10,20 16-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 14 March, 2012 (14.03.12)	Date of mailing of the international search report 27 March, 2012 (27.03.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/051606

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-225816 A (Toshiba Corp.), 07 October 2010 (07.10.2010), fig. 1 to 5 & US 2010/0237457 A1	16,21 17
A	Matsumoto, Y. et al., Challenge to the barrier of conduction loss in PiN diode toward VF<300 mV with pulsed carrier injection concept, Power Semiconductor Devices & IC's (ISPSD), 2010 22nd International Symposium on, 2010.06.06, P.119-122	1-21
A	JP 2011-096852 A (Toyota Motor Corp.), 12 May 2011 (12.05.2011), fig. 1 to 6 (Family: none)	1-21
A	JP 2011-146555 A (Toyota Central Research and Development Laboratories, Inc.), 28 July 2011 (28.07.2011), fig. 1 to 4 (Family: none)	1-21
A	JP 2006-019528 A (Fuji Electric Holdings Co., Ltd.), 19 January 2006 (19.01.2006), fig. 2 & US 2006/0006459 A1 & DE 102005030411 A	1-21
A	JP 2007-258363 A (Denso Corp.), 04 October 2007 (04.10.2007), fig. 1, 3 (Family: none)	1-21

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０５１６０６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/861(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/861, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2012-009522 A (三菱電機株式会社) 2012.01.12, 図 1-29 (ファミリーなし)	8, 20 16-19
X Y	JP 10-163469 A (株式会社東芝) 1998.06.19, 図 3, 4 (ファミリーなし)	8, 20 16-19
X Y	Tsuda, M. et al., Ultra low loss trench gate PCI-PiN diode with VF<350mV, Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on, 2011.05.23, P.84-87	8-10, 20 16-19

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１４．０３．２０１２	２７．０３．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｌ　３４４８
村岡　一磨
電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2010-225816 A (株式会社東芝) 2010.10.07, 図 1-5 & US 2010/0237457 A1	16, 21 17
A	Matsumoto, Y. et al., Challenge to the barrier of conduction loss in PiN diode toward VF<300 mV with pulsed carrier injection concept, Power Semiconductor Devices & IC's (ISPSD), 2010 22nd International Symposium on, 2010.06.06, P.119-122	1-21
A	JP 2011-096852 A (トヨタ自動車株式会社) 2011.05.12, 図 1-6 (ファミリーなし)	1-21
A	JP 2011-146555 A (株式会社豊田中央研究所) 2011.07.28, 図 1-4 (ファミリーなし)	1-21
A	JP 2006-019528 A (富士電機ホールディングス株式会社) 2006.01.19, 図 2 & US 2006/0006459 A1 & DE 102005030411 A	1-21
A	JP 2007-258363 A (株式会社デンソー) 2007.10.04, 図 1, 3 (ファミリーなし)	1-21