

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3556904号
(P3556904)

(45) 発行日 平成16年8月25日(2004.8.25)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int.Cl.⁷
H01L 23/14

F I
H01L 23/14

R

請求項の数 17 (全 22 頁)

(21) 出願番号 (86) (22) 出願日 (65) 公表番号 (43) 公表日 (86) 国際出願番号 (87) 国際公開番号 (87) 国際公開日 審査請求日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国	特願2000-531990 (P2000-531990) 平成11年2月11日 (1999.2.11) 特表2002-503889 (P2002-503889A) 平成14年2月5日 (2002.2.5) PCT/US1999/002887 W01999/041957 平成11年8月19日 (1999.8.19) 平成13年2月14日 (2001.2.14) 60/074, 571 平成10年2月13日 (1998.2.13) 米国 (US) 09/199, 675 平成10年11月25日 (1998.11.25) 米国 (US)	(73) 特許権者 500039485 メリマック・インダストリーズ・インコー ポレーテッド アメリカ合衆国・ニュージャージー・07 006・ウエスト・コールドウェル・フェ アフィールド・プレイス・4 1 (74) 代理人 100064908 弁理士 志賀 正武 (72) 発明者 ジェイムズ・ジェイ・ロゴセティス アメリカ合衆国・ペンシルヴァニア・18 301・イースト・ストラウズバーグ・パ イン・グローヴ・ドライヴ・8 4
前置審査		最終頁に続く

(54) 【発明の名称】 フルオロ複合体基板を用いたマイクロ波多機能モジュールの製造方法

(57) 【特許請求の範囲】

【請求項 1】

多層構造（200）を製造する方法であって、
各層がフルオロポリマー複合体基板を備えた複数の層（1-10）であって、複数の層のうちの少なくとも一の層はアクティブ半導体素子（1592）を埋め込むためのキャビティを構成する切り抜きを有するところの複数の層（1-10）を製造する段階と；
前記の複数の層の少なくとも一つのサブセットを溶融接着する段階であって、溶融接着時の前記の複数の層の位置合わせは複数のピンを用いて固定して行う段階と；
前記の複数の層の前記の少なくとも一つのサブセット上に少なくとも一つのアクティブ半導体素子（1592）を取付ける段階と；
前記の複数の層の少なくとも一層を前記の複数の層の前記サブセットに接着する段階と、
を備えた多層構造（200）の製造方法。

【請求項 2】

前記フルオロポリマー複合物基板が2.9から10.2の比誘電率値を有する請求項1に記載の多層構造（200）の製造方法。

【請求項 3】

前記フルオロポリマー複合物基板がマイクロ波信号に対して0.0013から0.0024の誘電正接を有する請求項1に記載の多層構造（200）の製造方法。

【請求項 4】

前記の複数の層のうちの少なくとも二層はメッキされたビアホール（1005）によって

接続されている請求項1に記載の多層構造（200）の製造方法。

【請求項5】

接着膜（150）を用いて、前記の複数の層のうちの少なくとも一層を前記の複数の層の前記の少なくともサブセットに接続する請求項1に記載の多層構造（200）の製造方法。

【請求項6】

多層構造のアレイが幅少なくとも22.9cmでかつ長さ少なくとも30.5cmであって、前記多層構造を前記多層構造アレイから取り外す段階をさらに備えた請求項1に記載の多層構造の製造方法。

【請求項7】

前記多層構造アレイが幅少なくとも45.7cmでかつ長さ少なくとも61.0cmである請求項6に記載の多層構造の製造方法。

【請求項8】

少なくとも一つの埋め込まれたアクティブ半導体素子を有する一様誘電サブアセンブリの製造方法であって、

フルオロポリマー複合物基板を備えた複数の層を製造する段階と；

前記の複数の層の少なくとも一つに切り抜きを形成する段階と；

前記の切り抜きを形成した後、前記の複数の層の少なくとも一層を前記の複数の層の少なくとも他の一層に溶融接着する段階であって、溶融接着時の前記の複数の層の位置合わせは複数のピンを用いて固定して行う段階と；

前記の溶融接着の後に、前記の少なくとも一つのアクティブ半導体素子を前記金属化部に付着して、少なくとも一つの埋め込まれたアクティブ半導体素子を有する前記一様誘電サブアセンブリを形成する段階と、を備えた一様誘電サブアセンブリの製造方法。

【請求項9】

請求項8に記載の一様誘電サブアセンブリの製造方法を備え、かつ前記の少なくとも一つのアクティブ半導体素子を保護するために、前記の少なくとも一つの埋め込まれたアクティブ半導体素子を被覆する段階を備えた多層構造製造方法。

【請求項10】

前記の少なくとも一つの埋め込まれたアクティブ半導体素子を被覆する段階が、少なくとも一つの被覆層を前記一様誘電サブアセンブリに結合することを含んでいる請求項9に記載の多層構造製造方法。

【請求項11】

前記の少なくとも一つの被覆層を前記一様誘電サブアセンブリに結合することが、膜を結合することを利用する請求項10に記載の多層構造製造方法。

【請求項12】

フルオロポリマー複合物基板材料を穴あけして前記切り抜きへの経路を形成する段階を含んでおり、前記切り抜きが前記の穴あけの前にフルオロポリマー複合物基板材料によって完全に包まれている請求項8に記載の一様誘電サブアセンブリの製造方法。

【請求項13】

前記の複数の層の少なくとも二つがメッキされたビアホールによって結合している請求項8に記載の一様誘電サブアセンブリの製造方法。

【請求項14】

請求項12に記載の一様誘電サブアセンブリの製造方法を備え、かつ、前記の少なくとも一つのアクティブ半導体素子を保護するために、前記の少なくとも一つのアクティブ半導体素子を被覆する段階を備えた多層構造の製造方法。

【請求項15】

前記の前記の少なくとも一つのアクティブ半導体素子を被覆する段階が、前記の少なくとも一つの被覆層を前記一様誘電サブアセンブリに結合することを含む請求項14に記載の多層構造の製造方法。

【請求項16】

10

20

30

40

50

前記の少なくとも一つの被覆層を前記一様誘電サブアセンブリに結合することが、接着膜を用いる請求項 15 に記載の多層構造の製造方法。

【請求項 17】

前記の複数の層の少なくとも二層をメッキされたビアホールによって結合されている請求項 12 に記載の一様誘電サブアセンブリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層集積回路、マイクロ波、及び多機能モジュールに関するものである。さらに詳細には、本発明は、溶融接着（fusion bonding）法を利用することによって、多層構造に接着されたフルオロポリマー複合物（composite）内に、アクティブ半導体素子を含む半導体素子を埋め込んでこのような回路及びモジュールの新しい製造方法を開示する。

10

【0002】

【従来の技術及び発明が解決しようとする課題】

数10年にわたって、無線通信システムは、より小さいサイズによるパフォーマンスの向上、より高周波でかつそれに伴うバンド幅の増加した状態での作動、所定のパワー出力に対するより低パワーの消費、ロバストネス等を伴って、益々技術的に進歩している。より優れた通信システムへ向けたトレンドとして、これらのシステムのメーカーはより大きな需要を有している。

20

【0003】

今日、衛星、軍事、及び他のカッティングエッジデジタル通信システムの需要はマイクロ波技術に関係している。これらの応用では、コンパクトでかつ軽量の回路及びシステムの表面実装とする必要がある。マイクロ波信号処理の需要では、組み合わせるアセンブリ間の熱膨張性が合う材料、及び信頼性の改良を可能にするはんだ接合を慎重に選択することも必要である。一方、サイズ及び製造性のような要素は、エンジニアリングコストを下げるため、及び製造設計サイクル時間を短くするため、より高い集積レベル及び分離した要素の減少が必要である。

【0004】

マイクロ波回路は構築用使用する材料を分類してもよい。例えば、普及している技術には、低温度共焼成セラミック（LTCC）、セラミック／ポリアミド（CP）、エポキシファイバーガラス（FR4）、フルオロポリマー複合物（PTFE）、及び混合誘電体（MDK、FR4とPTFEとの組合せ）を含む。各技術はその強さを有し、上記に記載の一あるいは二以上の課題を提出するが、現在の技術はそれらの課題を全て提出するわけではない。

30

【0005】

例えば、FR4、PTFE、あるいはMDK技術を使用する多層プリント回路基板は、導電性ポリマーのはんだ接合によって表面に実装する要素に信号を送るためにしばしば使用する。これらの回路では、レジスタはスクリーン印刷あるいはエッチングすることができ、また埋め込んでも（はめ込んでも）よい。これらの技術によって、一体型マイクロ波集積回路（MMICs）を載置し、かつマザーボード上に実装することができる多機能モジュール（MCM）を製造することができる。

40

【0006】

FR4は低コストで機械加工も容易だが、高正接及び材料誘電率と温度の間の高い相関関係のため、マイクロ波周波数には通常適していない。アセンブリにミスマッチを引き起こす熱膨張（CTE）係数の差を有する傾向もある。FR4基板の最近の発展は電子的性質を改善してはいるが、層を接着するのに使用する熱硬化性膜は層間のビアホール接続のタイプを制限するかもしれない。

【0007】

PTFEは、ほとんどのマイクロ波応用にとってはFR4より優れた技術である。ガラス

50

及びセラミックを有する複合物はしばしば非常に大きな熱安定性を有する。さらに、複雑なマイクロ波回路はP F T E技術を用いて組立製造することができ、溶融接着の適用によって均一な多層アセンブリを形成することができる。しかしながら、この技術を用いる現在の方法は、装置をこれらの多機能モジュールの表面にさらすものである。さらに、設計サイクル時間は長く、大きなコストがかかる。

【0008】

他の普及している方法は、M M I C sを含むセラミック底部層上にポリアミド誘電体の非常に薄い層を形成すること及び金被覆することを含むC Pである。この技術は、F R 4、P T F E、あるいはM D Kより小さく、かつ高マイクロ波周波数で非常によく働く回路を製造する。半導体はポリアミド層で被覆してもよい。しかしながら、P F T E技術を用いると、設計サイクルは通常比較的長くかつ高コストである。さらに、C T E差はしばしばいくつかの合体アセンブリとのミスマッチの原因となる。

10

【0009】

最後に、セラミック層と金被覆とを組み合わせることによって多層構造を形成するL T C技術もまた、高マイクロ波周波数でよく働く。さらに、装置を囲繞するためのキャビティを容易に形成することができ、セラミック層で被覆することができる。しかしながら、C P技術を用いると、設計サイクルは通常比較的長く高コストであり、C T E差はしばしばいくつかの合体アセンブリとのミスマッチの原因となる。

【0010】**【課題を解決するための手段】**

20

本発明は、多層集積回路及びマイクロ波多機能モジュールとを、溶融接着工程を用いることによって多層構造として一緒に接着するフルオロポリマー複合物基板を用いることによって製造する方法に関係している。複合物基板材料は、ポリガラスファイバーとセラミックとによって充填されたポリテトラフルオロエチレン（P F T E）を備えている。半導体素子のためのスペースを作るために、切欠きを個々の基板層内に形成する。ポリマー接着膜層を、構造内に埋め込まれた半導体素子を被覆するための付加する基板層を接着するために用いてもよい。好ましくは、例えば、円形、溝、及び／又は楕円形のような様々な形状を有してもよいビアホールが層の回路を接続するのに用いられる。

【0011】

本発明の目的は、高ボリューム製造及び低ボリューム製造に適した低コスト製造方法を提供することである。

30

【0012】

本発明の他の目的は、マイクロ波信号に対して低誘電正接を有するフルオロポリマー複合基板材料を用いて、アクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュールを提供することである。

【0013】

本発明の他の目的は、アクティブ半導体素子を含む埋込型半導体素子であって、一あるいは二以上の被覆膜で保護された埋込型半導体素子を有する多機能モジュールを提供することである。

【0014】

40

本発明の他の目的は、できるだけ大きな範囲の誘電率の値を有するフルオロポリマー複合基板材料を用いて、アクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュールを提供することである。

【0015】

本発明の他の目的は、銅及びアルミニウムのC T E値に実質的に合う小さなC T E値を有するフルオロポリマー複合基板材料を用いて、アクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュールを提供することである。

【0016】

本発明の他の目的は、接着領域における等しくないC T Eによる最小の応力を有するアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュールを提供することであ

50

る。

【0017】

本発明の他の目的は、パフォーマンスの信頼性が改善されためっきビアホールを接着領域を貫いて装備したアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュールを提供することである。

【0018】

本発明の他の目的は、回路パターンとレジスタとの間の接続が連続であって、はんだ接点より実質的に信頼性の高い内部接続を提供するアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュールを提供することである。

【0019】

本発明の他の目的は、内部接続経路長が減少されているために受動要素 (passive component) に対してより低い挿入損失を与えるアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュールを提供することである。

【0020】

本発明の他の目的は、層を接着し、かつ、特定の層内に形成されたキャビティ内に埋め込まれたアクティブ半導体素子を含む半導体素子を保護するためにポリマー膜接着を用いて多機能モジュールを提供することである。

【0021】

本発明の他の目的は、小さな輪郭を有するアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュール構造を提供することである。

【0022】

本発明の他の目的は、低いプロファイルを有するアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュール構造を提供することである。

【0023】

本発明の他の目的は、軽量のアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュール構造を提供することである。

【0024】

本発明の他の目的は、マイクロストリップあるいはコプレーナ型 (coplanar) の導波管に整合する表面実装フォーマットを有するアクティブ半導体素子を含む埋込型半導体素子を有する多機能モジュール構造を提供することである。

【0025】

本発明の他の目的は、適用特定集積回路を形成する調整可能多層設計アプローチであるモジュール構造設計の基準法 (platform method) を提供することである。

【0026】

本発明の他の目的は、モジュール構造設計の他の方法より短時間の製造設計サイクル時間にできるモジュール構造設計の基準法を提供することである。

【0027】

本発明の他の目的は、マイクロ波周波数での電氣的パフォーマンスを改善する一様誘電媒体を製造する、アクティブ半導体素子を含む埋込型半導体素子を有する基板層の溶融工程を提供することである。

【0028】

【発明の実施の形態】

以下の図面のいくつかは、基板層上での銅エッチング及びホールを含む回路パターンを示している。ホールのような構造をわかりやすくするために拡大しているが、これらの図は、本発明の好適な実施形態に対する様々な構造の形状及び相対位置に関しては正確に描かれている。

【0029】

1. 基板層

ここに記載の多層構造は基板層のスタックを備えている。基板“層”は一及び両側上の回路を含む基板として定義している。層はその中に含むダイオードのような半導体素子を有

10

20

30

40

50

してもよい。

【0030】

基板構造のスタックは接着して多層構造を形成している。多層構造は数層あるいは多くの層を有してもよい。下に記載の好適な実施形態では、10層多層構造を開示している。

【0031】

好適な実施形態では、基板は約0.13mmから0.76mmの厚さであり、ポリテトラフルオロエチレン（PTFE）、ガラス、及びセラミックの複合物である。しばしば、もっとはるかに厚めの基板も可能であるが、多くの応用では望ましくない物理的に大きめの回路になってしまう。ガラスやセラミックが誘電定数を変えるため及び安定性を付与するために加えられる際に、PTFEが溶融接着に対して好適な材料であることは当業者には周知である。代替材料は購入可能かも知れない。厚めの基板も可能であるが、多くの応用では望ましくない物理的に大きめの回路になってしまう。基板複合物材料は約7ppm°Cから約27ppm°C程度の銅のCTEに近いCTEを有することが好ましい。基板複合物材料はマイクロ波信号に対して約0.0013から約0.0024の誘電正接を有することが好ましい。

10

【0032】

これらの層は約1から約100程度の広い誘電係数を有していてもよいが、現在の基板は望ましい性質は約2.9から約10.2の典型的な誘電定数のものが購入可能である。

【0033】

II. 溶融接着プロセス

20

PTFE複合物基板を接着する好適な方法は溶融接着である。溶融接着プロセスはマイクロ波周波数で優れた電氣的パフォーマンスを有する均一構造を示す。例えば、溶融接着は接着領域でのCTE差による応力を実質的に低下させ、接着領域を貫くめっきされたビアホールの信頼性を改善する。

【0034】

溶融接着は通常圧力釜あるいは水圧プレスにおいて、好適には機械的に、平衡で、あるいはその両方の組合せで所定量の圧力を同時に付与して、PTFE複合物融点を過ぎて基板層を加熱することによって行われる。層の位置合わせは、PTFE樹脂が状態を粘性の高い液体に変えかつ近接層が圧力下で溶融するときに流れを安定にするために、好適には3個から8個であるがそれ以上でも可能な複数のピンを用いて、精度器具（precision fixture）によって固定する。ピンの配置は、接着されるスタックの適用及びサイズに依存して、三角あるいは矩形であることが望ましい。ピン自体は円形か、正方形か、矩形か、楕円形か、ダイヤモンド形状かであることが好ましいが、他の実施形態の他の形状でもよい。

30

【0035】

接着圧力は通常約100PSIから約1000PSIまで変化し、接着温度は通常約350°Cから450°Cまで変化する。例えば、プロファイルの例としては、200PSIで、室温から240°Cまで40分間で昇温、375°Cまで45分間で昇温、375°Cで15分間休止、そして35°Cまで90分間で降温するものである。

【0036】

40

III. スロット、キャビティ及びホールの形成

層及び複数の層からなるサブアセンブリは、通常22.9cm×30.5cm、あるいは45.7cm×61.0cmの大きめの基板パネル上にアレイをなして作られる。基板パネルの位置合わせは通常ルーターテーブル上で、好適には3個から8個であるがそれ以上でも可能な複数のピンを用いて精度器具によって行う。ピンの配置は、スタックの適用及びサイズに依存して、三角あるいは矩形であることが望ましい。ピン自体は円形か、正方形か、矩形か、楕円形か、ダイヤモンド形状かであることが好ましいが、他の実施形態の他の形状でもよい。

【0037】

キャビティあるいはスポット面パターンは、キャビティサイズを最小にするため、それら

50

の中に埋込まれる装置の形状に適合していることが好ましい。スロットはアセンブリ或いはサブアセンブリに作られることが好ましい。好適な実施形態では、2つの楕円形ホールを穴あけし、好適な実施形態では1.0mmの長さのフラットによって互いに接着し、続いてエンドミルを用いてそのエッジをきれいにすることによって、スロットを形成する。スルーホールあるいはビアホールは好適な実施形態では穴あけするが、プラズマエッチングを行ってもよい。エッジ、あるいはサブアセンブリあるいはアセンブリ（あるいはある実施形態では、各層）の角も好適には穴あけ及び／又は圧延してきれいにする。

【0038】

ほとんどの応用では、ドリルの速度、送り、ヒット数は穴あけされる全線形距離が、穴あけ／圧延工程の間モニターする臨界パラメータである。道具の摩耗は、フルオロポリマー複合物の塗り（smearing）に寄与し、メッキ工程に影響を与えるかもしれない。代替実施形態において標準高速スチールが使用することができるが、好適な実施形態ではカーバイドドリルビット及びエンドミルを利用する。好適な実施形態では、ドリル速度は約30,000から150,000RPMの範囲であるが、エンドミル速度は約25,000から75,000RPMの範囲である。これらの道具の送り速度は1分あたり51cmと127cmとの間である。通常のドリルビットでは、ドリルヒットは約200から800の範囲で、送られた基板の線形距離は約64cmから254cmの範囲である。通常の工程は最大250ヒットに対して50,000RPMで穴あけすることであり、最大127線形cmに対して35,000RPMで送ることである。最大ヒット数及び最大線形距離に達するときには、道具が変化するのが好ましい。

【0039】

IV. スロット、キャビティ及びホールのめっき

スロット、キャビティ及びホールの表面めっきの好適な方法は、ナトリウムエッチング液を用いて表面を活性化し、その後、15分から30分間アルコールですすぐことによって基板を清浄化し、次に好適には水（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）ですすぐことを含んでいる。次に基板は約90℃から180℃で約30分から2時間の間（好適には、149℃で1時間）真空ベーキングを行い、水分を除去する。次に、電界銅メッキした無電界銅シード層（seed layer）を用いて、約13μmから25μmの厚さまで銅メッキする。次に、少なくとも1分間消イオン化した水で基板をすすぐことが好ましい。

【0040】

V. 半導体素子の装着

例えばダイオードや他のアクティブ素子のような半導体素子は、特別な基板層で形成したキャビティ内に埋め込んでもよい。これらの素子は、例えば、表面マウントにパッケージされたあるいはされていないダイス、ビームリード、チップスケール、フリップフロップ、及び／又はBGAであってもよい。好適な実施形態では、素子は空圧あるいはマニュアルで取り出された半田ペーストによって取り付け；他の実施形態では、導電性ポリマー、ワイヤボンダ、あるいは溶接を使ってもよい。素子は手あるいはSMTピックアンドプレイス装置のような機械で配設する。

【0041】

VI. 膜接着（film bonding）

溶融接着は通常膜接着に好適であるが、膜接着が使用される例がある。例えば、基板キャビティ内に埋め込んだ素子は溶融接着工程の熱及び／又は圧力を耐えることができない。以下のポリマー膜接着工程を用いて埋込素子を有するサブアセンブリ上に少なくとも一つ被覆層を接着することはしばしば好都合である。被覆層は環境から素子を保護し、かつ付加的パッケージングを必要としなくなるかもしれない。装着された素子の検査は通常、手動ビジョンシステム、自動ビジョンシステム、あるいはX線システムを用いて膜を被覆層に接着する前に実施される。

【0042】

約25μmから64μmの厚さで好適には38μmを有する接着膜（bonding f

10

20

30

40

50

i l m) を用いることが好ましい。通常、熱硬化性あるいは熱可塑性ポリマー膜を機械加工して、取付られた素子、ビアホール、及びキャビティに対してクリアランスを形成する。膜接着は通常、通常圧力釜あるいは水圧プレスにおいて、好適には機械的に、平衡で、あるいはその両方の組合せで所定量の圧力を同時に付与して、接着膜融点を過ぎて接着膜をサンドイッチする基板層を含むサブアセンブリを加熱することによって行う。層及び接着膜の位置合わせは通常、好適には3個から8個であるがそれ以上でも可能な複数のピンを用いて、精度器具 (precision fixture) によって固定する。

【0043】

接着圧力及び温度は変化してもよいが、熱硬化ポリマー膜に対する硬化プロファイルの例としては、200PSIで、室温から180℃まで30分間で昇温、180℃で95分間 10
休止、245℃まで30分間で昇温、245℃で120分間休止、そして35℃まで60分間で降温するものである。熱可塑性ポリマー膜の硬化プロファイルの例としては、200PSIで、室温から150℃まで30分間で昇温、150℃まで50分間休止、そして35℃まで30分間で降温するものである。

【0044】

V I I . マスク位置合わせ及び露光

一般に、CADソフトウェアの基準手順 (platform strategy) を対応してマスクファイルを形成する。好適な実施形態では、ターゲットは位置合わせに対してデジタル化し、次に穴あけ及びピンあけを行うが、代替の好適実施形態では十字線を使用してもよい。基板層を約90℃から125℃の温度で約5分から30分間の間、好適には 20
90℃で5分間加熱する。ターゲット (あるいは十字線) 及び位置合わせピンとを用いて基板パネルにわたってマスクを位置合わせし、フォトレジストは適当な露光設定を用いて露光して、残ったレジスト領域の下で回路パターンを形成する。

【0045】

V I I I . 銅エッチング

通常、銅エッチングで行う手順は、回路パターンを銅フォイルの間隙層にエッチングすることを含んでいる。約76µmと同じ大きさのライン幅及びギャップを、18µm厚の銅 (1/2オンス銅ともいう) 上でエッチングを行うことが好ましい。約25µmのような小さめのジオメトリを、1/4オンス銅のような薄い銅層上にエッチングしてもよい。好適な実施形態では、銅エッチングは、基板層あるいはサブアセンブリ上の銅を除去する 30
ために、強アルカリあるいは強酸を使って行う。基板層あるいはサブアセンブリを15分から30分間アルコールですすぎ、次に好適には水 (好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する水) ですすぐことによって清浄にする。次に基板層あるいはサブアセンブリを約90℃から180℃で約30分から2時間の間 (好適には、149℃で1時間) 真空ベーキングを行い、水分を除去する。

【0046】

I X . レジスタのエッチング

好適な実施形態では、銅エッチングと同様な方法を用いて、銅層に隣接するニッケルリン酸塩薄膜にレジスタをエッチングする。通常、第2のマスクをつけかつ、アルカリ性のアンモニウムを付ける前に、回路を銅エッチングする。好適な実施形態では、各レジスタ上の 40
銅を、ニッケル表面に達するまでゆっくりエッチングする。

【0047】

X . 取り外し (depaneling) 法

接着層のアセンブリを上記のようにアレイで製造したとき、それらを基板パネルから除去しなければならない。上述の穴あけ及び圧延手法を通常アレイを取り外すために使用するが、代替する好適な実施形態として、ダイヤモンドソー及びエキシマレーザーを用いてもよい。

【0048】

アセンブリの位置合わせは通常、好適には3個から8個であるがそれ以上でも可能な複数のピンを用いて、精度器具 (precision fixture) によってルーターテ 50

ーブル上に固定する。ピンの配置は、接着されるスタックの適用及びサイズに依存して、三角あるいは矩形であることが望ましい。ピン自体は円形か、正方形か、矩形か、楕円形か、ダイヤモンド形状かであることが好ましいが、他の実施形態の他の形状でもよい。通常、穴あけ及び圧延の組合せはアセンブリの最終輪郭を形成するのに用いる。それから、そのアセンブリをそれらのパネルから分離して、貯蔵トレイに取り外しておく。

【0049】

さらに、ドリルの速度、送り、ヒット数は穴あけされる全線形距離が、穴あけ／圧延工程の間モニターする臨界パラメータである。道具の摩耗は、フルオロポリマー複合物の塗りに寄与し、メッキ工程に影響を与えるかもしれない。好適な実施形態では、ドリル速度は約30,000から150,000RPMの範囲であるが、エンドミル速度は約25,000から75,000RPMの範囲である。これらの道具の送り速度は1分あたり51cmから127cmの間の範囲である。通常のドリルビットでは、ドリルヒットは約200から800の範囲で、送られた基板の線形距離は約64cmから254cmの範囲である。通常の工程は最大250ヒットに対して50,000RPMで穴あけすることであり、最大127線形cmに対して35,000RPMで送ることである。最大ヒット数及び最大線形距離に達するときには、道具が変化するのが好ましい。

【0050】

XI. 基準設計

好適な実施形態では、共通化した輪郭及び交換可能な層の機能グループ間の内部接続経路を供給するためにモジュール構造設計の基準手順が用いられる。従って、一度十分な大きさのモジュールライブラリを作ると、これらのモジュールを組み込んだ次の回路に対する設計時間が実質的に短くなる。

【0051】

好適な実施形態では、基準設計手順は文書を書く3次元CAD及びプログラム可能処理段階を通して実施する。予め設計したライブラリからの機能層(functional layer)ブロックあるいはモジュールは混合されて、特定の応用に合う回路を作るのに合致していてもよい。新しい機能ブロックは各輪郭に対して共通の3次元構造テンプレートを重ねることによって設計してもよい。好適な実施形態では、処理段階は自動的に配列され、所望のアセンブリにおける多くの層をもとに新しい設計の上に重ねられている。

【0052】

XII. 製造プロセスの応用の例

図1を参照すると、フローチャート100は層1, 2, 3, 4, 5, 6, 7, 8, 9, 10を結合した手順の広範な概要を示し、各々は好適な実施形態では一辺2.03cmの正方形を有し、最終的なアセンブリあるいは多層構造200を形成する。

【0053】

以下のより詳細な手順の即行概要によれば、フローチャート100は以下のように示される。層1, 2, 3を形成し、次に接着してサブアセンブリ110を形成する。層5, 6を形成し、次に接着してサブアセンブリ120を形成する。層8, 9を形成し、次に接着してサブアセンブリ130を形成する。サブアセンブリ110、層4、サブアセンブリ120、層7、及びサブアセンブリ130を形成し、次に接着してサブアセンブリ140を形成する。サブアセンブリ140と層10とを接着膜150を用いて接着し、図2に示すような多層構造200を形成する。

【0054】

好適な実施形態では、サブアセンブリを形成するための層(サブアセンブリに対する各層)を接着するのに用いれる接着プロセスは、上述の溶融接着プロセスである。

【0055】

下記の好適な実施形態では、層1, 3, 10の基板は厚さ約760 μ mを有し、層4, 7の基板は厚さ約510 μ mを有し、層5, 6, 8, 9の基板は厚さ約250 μ mを有し、層2の基板は厚さ約130 μ mを有する。回路は通常銅で基板を金属化することによって形成され、それは通常5から250 μ mであり、好適には13から64 μ mであり、例え

10

20

30

40

50

ば、スズでまたはニッケル／金あるいはスズ／鉛の組合せでメッキしてもよい。これらの回路は、通常直径0.13から3.2mm、好ましくは0.2から0.48mmで好ましくは銅メッキされたビアホールを用いて接続している。

【0056】

以下は多層構造200の製造に用いるプロセスのステップバイステップである。使用される数（例えば、寸法、温度、時間）近似的なものであり、変更してもよいことは高く評価すべきことであり、ある段階は異なる順で実施してもよいことは当業者には明らかである。

【0057】

図が実施する全段階の完了後に見える基板層の概略を示していることは評価すべきことである。従って、図の中には、全層が互いに接続され、スロット250が圧延され、コーナーホール260及びエッジホール270が図2に示すように多層構造200に穴あけされるまで、存在しない基板層の端部のコーナーホールやスロットを描いている。

【0058】

a. サブアセンブリ110

図3には、層1の好適な実施形態を示している。第一に、図3に示したように、直径約0.48mmを有する3個のホール310を層1に穴あけする。次に層1をナトリウムエッチングして、3個のレジスタ340をエッチングする。銅メッキしたPTFEをベースにした基板をナトリウムエッチングする際に使用する手順はPTFE基板のメッキの当業者には周知である。次いで、層1を15から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。層1は約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。層1を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13μmから25μmの厚さまで銅メッキする。層1を、好ましくは消イオンした水で少なくとも1分間すすぐ。層1を約90℃から125℃の温度で約5分から30分間の間、好適には90℃で5分間加熱し、次いでフォトレジストを薄く覆う。マスクを用い、図3aで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層1の上面側を銅エッチングする。層1を15から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。層1を約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。

【0059】

図4では、層2の好適な実施形態を示す。第一に、図4a及び図4bに示したように、直径約0.25mmを有する3個のホール405と直径約0.48mmを有するホール410を層2に穴あけする。次に層2をナトリウムエッチングする。層2を15から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。層2は約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。層2を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13μmから25μmの厚さまで銅メッキする。層2を、好ましくは消イオンした水で少なくとも1分間すすぐ。層2を約90℃から125℃の温度で約5分から30分間、好適には90℃で5分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図4a及び図4bで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層2の上面側及び下面側を銅エッチングする。層2を15から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。次に層2を約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。

【0060】

図5では、層3の好適な実施形態を示す。第一に、図5a及び図5bに示したように、直径約0.25mmを有する4個のホール505を層3に穴あけする。次に層3をナトリウ

10

20

30

40

50

ムエッチングする。層 3 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次に層 3 を約 90℃から 180℃で約 30 分から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。層 3 を、好ましくは最初に無電界法を用い、その後電界法を用いて、約 13 μm から 25 μm の厚さまで銅メッキする。層 3 を、好ましくは消イオンした水で少なくとも 1 分間すすぐ。層 3 を約 90℃から 125℃の温度で約 5 分間から 30 分間、好適には 90℃で 5 分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図 5 b で示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層 3 の下面側を銅エッチングする。層 3 を 15 から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次に層 3 を約 90℃から 180℃で約 30 分から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。

10

【0061】

図 6 を参照して、層 1, 2, 3 を接着することによってサブアセンブリ 110 を製造する。上述の溶融接着プロセスを用いて、図 6 b に示すように、層 1 の上面側を層 2 の下面側に接着し、層 2 の上面側を層 3 の下面側に接着する。次に、直径約 0.48 mm を有する 27 個のホール 610 を図 6 a に示すように、サブアセンブリ 110 に穴あけする。次にサブアセンブリ 110 をナトリウムエッチングする。サブアセンブリ 110 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次に、サブアセンブリ 110 を約 90℃から 180℃で約 30 分から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。サブアセンブリ 110 を、好ましくは最初に無電界法を用い、その後電界法を用いて、約 13 μm から 25 μm の厚さまで銅メッキする。サブアセンブリ 110 を、好ましくは消イオンした水で少なくとも 1 分間すすぐ。サブアセンブリ 110 を約 90℃から 125℃の温度で約 5 分間から 30 分間、好適には 90℃で 5 分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図 6 a で示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。サブアセンブリ 110 の上面側を銅エッチングする。サブアセンブリ 110 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次にサブアセンブリ 110 を約 90℃から 180℃で約 30 分間から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。

20

30

【0062】

図 7 では、層 4 の好適な実施形態を示す。第一に、図 7 a に示したように、直径約 0.25 mm を有する 30 個のホール 705 と直径約 0.48 mm を有する 8 個のホール 710 を層 4 に穴あけする。次に層 4 をナトリウムエッチングする。層 4 を 15 から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。層 4 は約 90℃から 180℃で約 30 分から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。層 4 を、好ましくは最初に無電界法を用い、その後電界法を用いて、約 13 μm から 25 μm の厚さまで銅メッキする。層 4 を、好ましくは消イオンした水で少なくとも 1 分間すすぐ。層 4 を約 90℃から 125℃の温度で約 5 分間から 30 分間、好適には 90℃で 5 分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図 7 a 及び図 7 b で示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層 4 の上面側及び下面側を銅エッチングする。層 4 を 15 から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次に層 4 を約 90℃から 180℃で約 30 分から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。

40

【0063】

50

c. サブアセンブリ

図8では、層5の好適な実施形態を示す。第一に、図8aに示したように、直径約0.25mmを有する4個のホール805と直径約0.48mmを有する2個のホール810を層5に穴あけする。次に層5をナトリウムエッチングする。層5を15から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。層5は約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。層5を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13μmから25μmの厚さまで銅メッキする。層5を、好ましくは消イオンした水で少なくとも1分間すすぐ。層5を約90℃から125℃の温度で約5分間から30分間、好適には90℃で5分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図8aで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層5の上面側を銅エッチングする。層5を15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。次に層5を約90℃から180℃で約30分間から2時間、好ましくは149℃で1時間、真空ベーキングする。

10

【0064】

図9では、層6の好適な実施形態を示す。第一に、図9a及び図9bに示したように、直径約0.25mmを有する6個のホール905を層6に穴あけする。次に層6をナトリウムエッチングする。層6を15から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。層6は約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。層6を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13μmから25μmの厚さまで銅メッキする。層6を、好ましくは消イオンした水で少なくとも1分間すすぐ。層6を約90℃から125℃の温度で約5分間から30分間、好適には90℃で5分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図9bで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層6の下面側を銅エッチングする。層6を15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。次に層6を約90℃から180℃で約30分間から2時間、好ましくは149℃で1時間、真空ベーキングする。

20

30

【0065】

図10を参照して、層5、6を接着することによってサブアセンブリ120を製造する。上述の溶融接着プロセスを用いて、図10cに示すように、層5の上面側を層6の下面側に接着する。次に、直径約0.20mmを有する136個のホール1003及び直径約0.25mmを有する18個のホール1005を図10a及び図10bに示すように、サブアセンブリ120に穴あけする。次にサブアセンブリ120をナトリウムエッチングする。サブアセンブリ120を15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。次に、サブアセンブリ120を約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。サブアセンブリ120を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13μmから25μmの厚さまで銅メッキする。サブアセンブリ120を、好ましくは消イオンした水で少なくとも1分間すすぐ。サブアセンブリ120を約90℃から125℃の温度で約5分間から30分間、好適には90℃で5分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図10a及び図10bで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。サブアセンブリ120の上面側及び下面側を銅エッチングする。2箇所穴あきの切り抜き1050、1060を機械で形成する。サブアセンブリ120を15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イ

40

50

オンし、少なくとも15分間21℃から52℃の温度を有する)水ですすぐことによって洗浄する。次にサブアセンブリ120を約90℃から180℃で約30分間から2時間、好ましくは149℃で1時間、真空ベーキングする。

【0066】

d. 層7

図11では、層7の好適な実施形態を示す。第一に、図11a及び図11bに示したように、直径約0.25mmを有する28個のホール1105を層7に穴あけする。次に層7をナトリウムエッチングする。層7を15分間から30分間アルコールですすぎ、次いで好ましくは(好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する)水ですすぐことによって洗浄する。層7は約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。層7を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13μmから25μmの厚さまで銅メッキする。層7を、好ましくは消イオンした水で少なくとも1分間すすぐ。層7を約90℃から125℃の温度で約5分間から30分間、好適には90℃で5分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図11a及び図11bで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層7の両側を銅エッチングする。層7を15分間から30分間アルコールですすぎ、次いで好ましくは(好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する)水ですすぐことによって洗浄する。次に層7を約90℃から180℃で約30分間から2時間、好ましくは149℃で1時間、真空ベーキングする。

【0067】

e. サブアセンブリ130

図12では、層8の好適な実施形態を示す。第一に、図12aに示したように、直径約0.25mmを有する4個のホール1205を層8に穴あけする。次に層8をナトリウムエッチングする。層8を15分間から30分間アルコールですすぎ、次いで好ましくは(好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する)水ですすぐことによって洗浄する。層8は約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。層8を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13μmから25μmの厚さまで銅メッキする。層8を、好ましくは消イオンした水で少なくとも1分間すすぐ。層8を約90℃から125℃の温度で約5分間から30分間、好適には90℃で5分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図12aで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。層8の上面側を銅エッチングする。層8を15分間から30分間アルコールですすぎ、次いで好ましくは(好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する)水ですすぐことによって洗浄する。次に層8を約90℃から180℃で約30分間から2時間、好ましくは149℃で1時間、真空ベーキングする。

【0068】

図13では、層9の好適な実施形態を示す。第一に、図13aに示したように、層9に、基板を貫通しないように約130μmから200μmの深さまでの座ぐり部1370、1380(ときどき、“カウンタボア部”という)を形成する。次に層9の座ぐり部上面上をナトリウムエッチングする。層9を15分間から30分間アルコールですすぎ、次いで好ましくは(好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する)水ですすぐことによって洗浄する。層9を約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。

【0069】

図14を参照して、層8、9を接着することによってサブアセンブリ130を製造する。上述の溶融接着プロセスを用いて、図14cに示すように、層8の上面側を層9の下面側に接着する。次に、直径約0.20mmを有する240個のホール1403を図14a及び図14bに示すように、サブアセンブリ130の上面側に穴あけする。次にサブアセン

10

20

30

40

50

ブリ 130 をナトリウムエッチングする。サブアセンブリ 130 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次に、サブアセンブリ 130 を約 90℃から 180℃で約 30 分から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。サブアセンブリ 130 を、好ましくは最初に無電界法を用い、その後電界法を用いて、約 13 μm から 25 μm の厚さまで銅メッキする。サブアセンブリ 130 を、好ましくは消イオンした水で少なくとも 1 分間すすぐ。サブアセンブリ 130 を約 90℃から 125℃の温度で約 5 分間から 30 分間、好適には 90℃で 5 分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図 14b で示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。サブアセンブリ 130 の下面側を銅エッチングする。サブアセンブリ 130 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次にサブアセンブリ 130 を約 90℃から 180℃で約 30 分間から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。

10

【0070】

f. サブアセンブリ 140

図 15 を参照して、サブアセンブリ 110、層 4、サブアセンブリ 120、層 7、サブアセンブリ 130 を接着することによってサブアセンブリ 140 を製造する。上述の溶融接着プロセスを用いて、図 15b に示すように、サブアセンブリ 110 の上面側を層 4 の下面側に接着し、層 4 の上面側にサブアセンブリ 120 の下面側に接着し、サブアセンブリ 120 の上面側に層 7 の下面側に接着し、層 7 の上面側にサブアセンブリ 130 の下面側に接着する。サブアセンブリ 140 を約 90℃から 125℃の温度で約 5 分間から 30 分間、好適には 90℃で 5 分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図 15a で示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。サブアセンブリ 140 の上面側を銅エッチングする。サブアセンブリ 140 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。4 箇所穴あきの切り抜き 1550、1560、1570、1580 を機械で形成する。好適な実施形態では、50 オームレジスタ 1581、1582、130 オームレジスタ 1585、1586、0.68 μF のキャパシタ 1590、1591、P/N CLC 416 増幅器 1592、及びダイオードリング 1595、1596 を、Sn₉₆AgO₄ のようなはんだペーストを用いて取付ける。

20

30

【0071】

サブアセンブリ 140 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。次にサブアセンブリ 140 を約 90℃から 125℃で約 45 分間から 90 分間、好ましくは 100℃で 1 時間、真空ベーキングする。

【0072】

g. 層 10

図 16 に層 10 の好適な実施形態を示す。第一に、図 16a に示したように、層 10 に、基板を貫通しないように約 0.51 mm の深さまでの座ぐり部 1670、1380、1690 を形成する。次に層 10 の座ぐり部上面上をナトリウムエッチングする。層 10 を 15 分間から 30 分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも 15 分間 21℃から 52℃の温度を有する）水ですすぐことによって洗浄する。層 10 を約 90℃から 180℃で約 30 分から 2 時間、好ましくは 149℃で 1 時間、真空ベーキングする。

40

【0073】

h. 接着膜 150

図 17 に接着膜 150 の好適な実施形態を示す。図 17a に示すように 4 箇所に切り抜き

50

1750, 1760, 1770, 1780を機械によって形成する。好適な実施形態では、接着膜150は次のプロファイルに従って硬化する厚さ約38 μ mの熱硬化性ポリマー接着膜である：300PSIで、室温から180℃まで30分間で昇温、180℃で65分間休止、そして35℃まで30分間で降温する。代替として、接着膜150は次のプロファイルに従って硬化する：300PSIで、室温から105℃まで15分間で昇温、180℃まで10分間で昇温、180℃で65分間休止、そして35℃まで22分間で降温する。さらに代替の好適な実施形態では、接着膜150は次のプロファイルに従って硬化する厚さ約38 μ mの熱可塑性ポリマー接着膜である：200PSIで、室温から150℃まで30分間で昇温、150℃まで50分間休止、そして35℃まで30分間で降温する。他のタイプの接着膜を用いてもよく、通常接着に対するメーカーの仕様に従う。

10

【0074】

i. 多層構造200

図2を参照して、関連硬化プロファイルに従って、サブアセンブリ140と層100とを互い接着することによって多層構造200を製造する。接着膜150を用いて、サブアセンブリ140の上面側を層10の下面側に接着する。次に、図2a及び図2bに示すように、多層構造200に8個のスロット250を機械で作る。多層構造200をナトリウムエッチングする。多層構造200を15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。多層構造200を約90℃から180℃で約30分から2時間、好ましくは149℃で1時間、真空ベーキングする。多層構造200を、好ましくは最初に無電界法を用い、その後電界法を用いて、約13 μ mから25 μ mの厚さまで銅メッキする。多層構造200を、好ましくは消イオンした水で少なくとも1分間すすぐ。多層構造200を約90℃から125℃の温度で約5分間から30分間、好適には90℃で5分間加熱し、次いでフォトレジストで薄く覆う。マスクを用い、図2bで示したようなパターン形成のための適当な露光設定を用いてフォトレジストを現像する。多層構造200の下面側を銅エッチングする。多層構造200を15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。多層構造200をスズあるいは鉛でメッキし、次にスズ／鉛メッキを融点まで加熱して過剰のメッキをはんだ合金内に再フローさせる。多層構造200を再び15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。半径約1mmを有する4個のコーナーホール260及び4個のエッジコーナー270とを多層構造200に穴あけする。穴あけ及び圧延、ダイヤモンドソー及び／又はエキシマレーザーを含むパネル外し法を用いて多層構造200をパネルから外す。多層構造200を再び15分間から30分間アルコールですすぎ、次いで好ましくは（好適には消イオンし、少なくとも15分間21℃から52℃の温度を有する）水ですすぐことによって洗浄する。多層構造200を約90℃から125℃の温度で約45分間から90分間、好適には100℃で1時間真空ベーキングする。

20

30

【0075】

40

XIII. 他の実施形態

当業者が開示してきた方法をもとにした様々な回路を製造してもよいことは評価すべきである。例えば、異なる回路を多層構造に組み込んでもよいし、層の数も変えてもよい。当業者は明らかな方法に製造プロセスを変更してもよい（例えば、異なるマスクを用いて、異なる数のホールを穴あけすること、異なる素子を加えること）。

【0076】

さらに、実施形態に応用されるように、基礎的な新規な特徴を示し、記載しかつ指摘してきたが、ここに開示してきたように、本発明の構成及び詳細において様々な省略、置換、及び変更を本発明の精神から逸脱することなく行ってよいことを理解されたい。同じ結果を得るために実質的に同じように実質的に同じ作用が働くこれらの要素及び／又は方法段

50

階の全組合せが本発明の範囲内であることを特に意図している。従って、添付したクレームの範囲によって示されたようにだけ限定されることを意図している。

【図面の簡単な説明】

【図1】10層を有する本発明の好適な実施形態に対するサブアセンブリ及び最終的なアセンブリの組立の概要を示すフローチャートである。

【図2】(a)図1のフローチャートで概略されたプロセスによって作られた10層マイクロ波多層集積回路の最終的アセンブリの平面図である。(b)(a)図1のフローチャートで概略されたプロセスによって作られた10層マイクロ波多層集積回路の最終的アセンブリの底面図である。(c)図1のフローチャートで概略されたプロセスによって作られた10層マイクロ波多層集積回路の最終的アセンブリの側面図である。

10

【図3】(a)図2で示した10層マイクロ波多層集積回路の完成していない第1層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第1層の側面図である。

【図4】(a)図2で示した10層マイクロ波多層集積回路の完成していない第2層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第2層の底面図である。(c)図2で示した10層マイクロ波多層集積回路の完成していない第2層の側面図である。

【図5】(a)図2で示した10層マイクロ波多層集積回路の完成していない第3層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第3層の底面図である。(c)図2で示した10層マイクロ波多層集積回路の完成していない第3層の側面図である。

20

【図6】(a)図2で示した10層マイクロ波多層集積回路の三層構造サブアセンブリの平面図である。(b)図2で示した10層マイクロ波多層集積回路の三層構造サブアセンブリの側面図である。

【図7】(a)図2で示した10層マイクロ波多層集積回路の完成していない第4層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第4層の底面図である。(c)図2で示した10層マイクロ波多層集積回路の完成していない第4層の側面図である。

【図8】(a)図2で示した10層マイクロ波多層集積回路の完成していない第5層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第5層の側面図である。

30

【図9】(a)図2で示した10層マイクロ波多層集積回路の完成していない第6層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第6層の底面図である。(c)図2で示した10層マイクロ波多層集積回路の完成していない第6層の側面図である。

【図10】(a)図2で示した10層マイクロ波多層集積回路の第1の二層構造サブアセンブリの平面図である。(b)図2で示した10層マイクロ波多層集積回路の第1の二層構造サブアセンブリの底面図である。(c)図2で示した10層マイクロ波多層集積回路の第1の二層構造サブアセンブリの側面図である。

【図11】(a)図2で示した10層マイクロ波多層集積回路の完成していない第7層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第7層の底面図である。(c)図2で示した10層マイクロ波多層集積回路の完成していない第7層の側面図である。

40

【図12】(a)図2で示した10層マイクロ波多層集積回路の完成していない第8層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第8層の側面図である。

【図13】(a)図2で示した10層マイクロ波多層集積回路の完成していない第9層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第9層の側面図である。

【図14】(a)図2で示した10層マイクロ波多層集積回路の第2の二層構造サブアセ

50

ンブリの平面図である。(b)図2で示した10層マイクロ波多層集積回路の第2の二層構造サブアセンブリの底面図である。(c)図2で示した10層マイクロ波多層集積回路の第2の二層構造サブアセンブリの側面図である。

【図15】(a)図2で示した10層マイクロ波多層集積回路の九層構造サブアセンブリの平面図である。(b)図2で示した10層マイクロ波多層集積回路の九層構造サブアセンブリの側面図である。

【図16】(a)図2で示した10層マイクロ波多層集積回路の完成していない第10層の平面図である。(b)図2で示した10層マイクロ波多層集積回路の完成していない第10層の側面図である。

【図17】(a)図2で示した10層マイクロ波多層集積回路の接着膜の平面図である。 10
(b)図2で示した10層マイクロ波多層集積回路の接着膜の側面図である。

【符号の説明】

- 1-10 層
- 150 接着膜
- 200 多層構造
- 1005 ビアホール手段
- 1592 半導体素子

【図1】

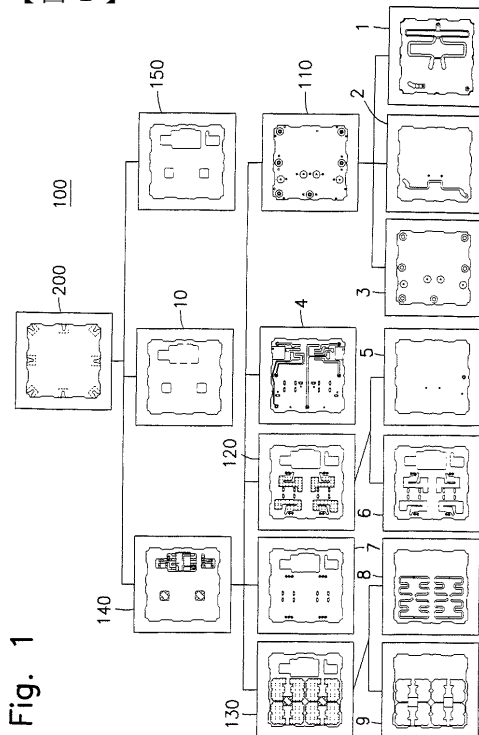


Fig. 1

【図2】

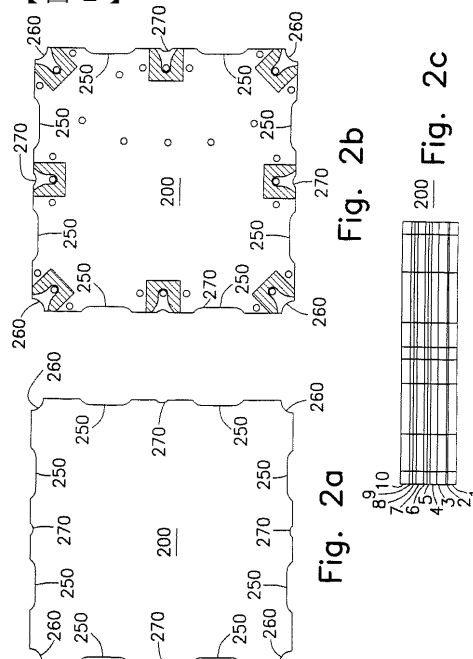


Fig. 2a

Fig. 2b

Fig. 2c

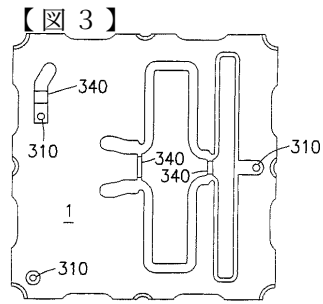


Fig. 3a



Fig. 3b

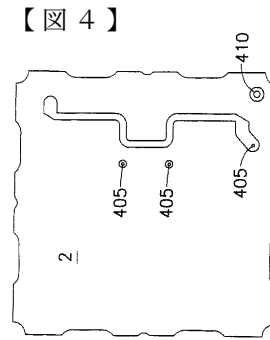


Fig. 4b

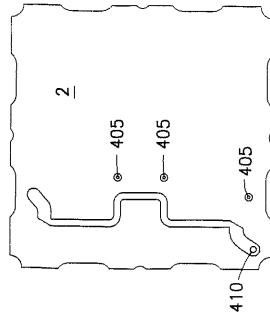


Fig. 4a



Fig. 4c

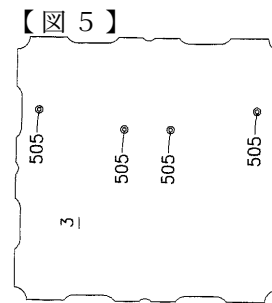


Fig. 5b

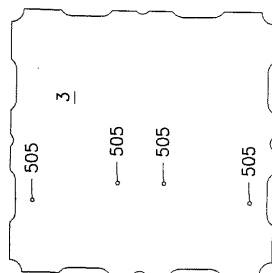


Fig. 5a

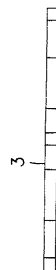


Fig. 5c

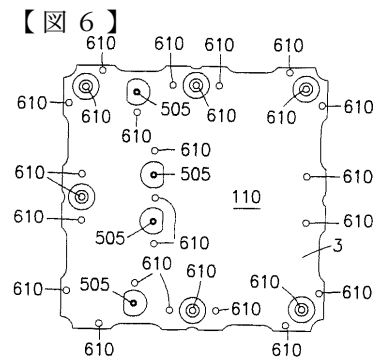


Fig. 6a

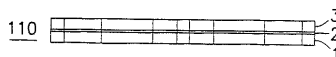
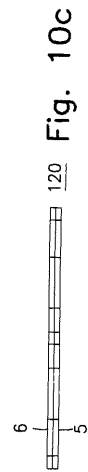
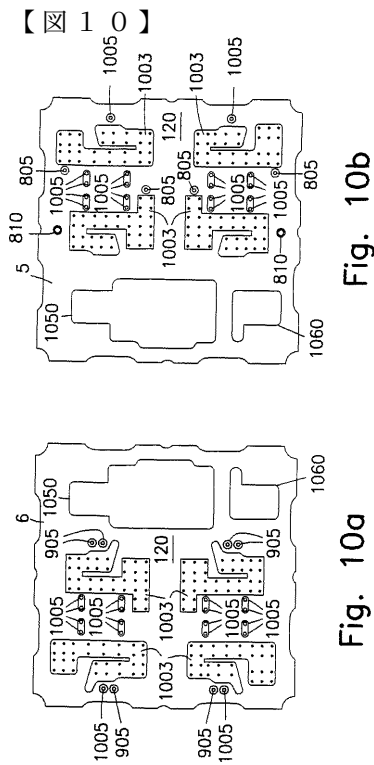
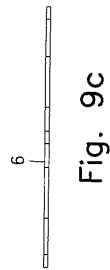
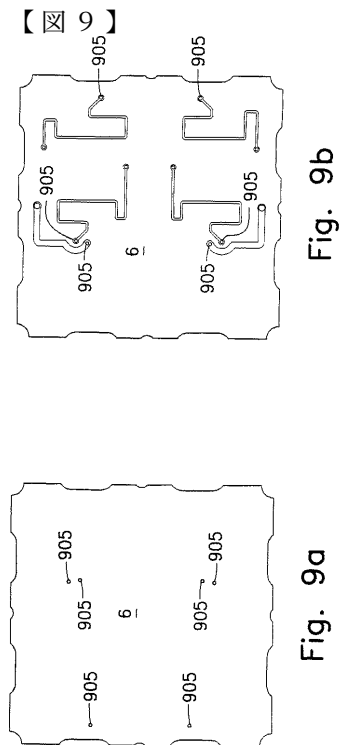
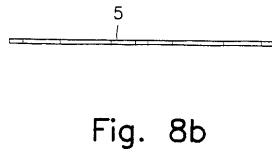
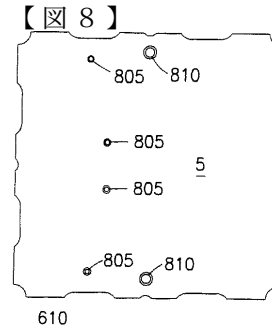
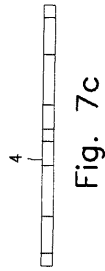
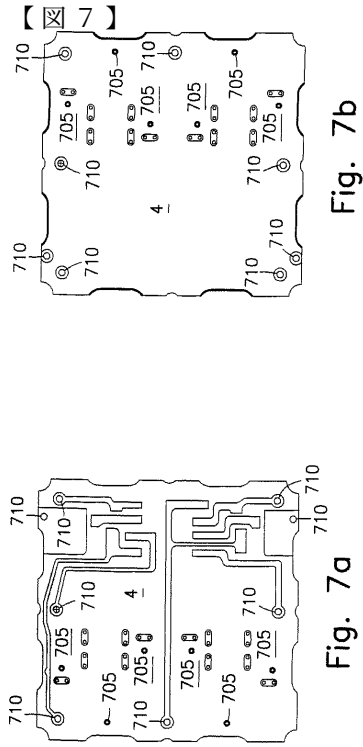


Fig. 6b



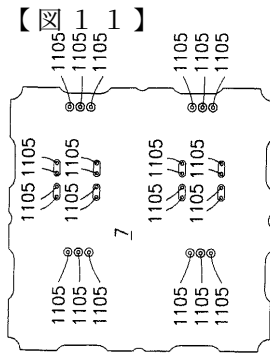


Fig. 11a

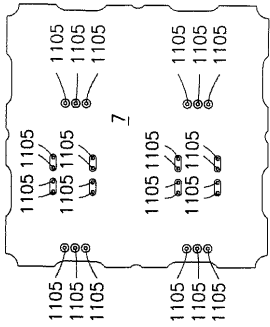


Fig. 11b



Fig. 11c

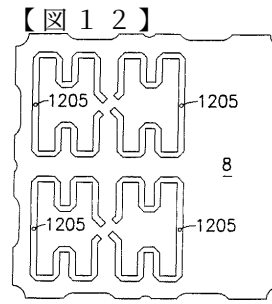


Fig. 12a

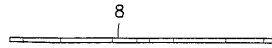


Fig. 12b

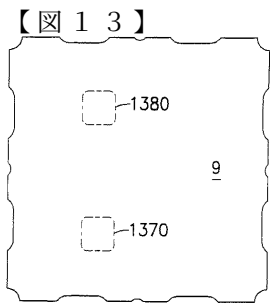


Fig. 13a

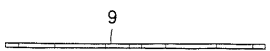


Fig. 13b

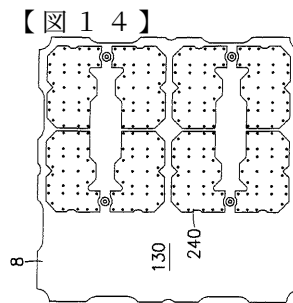


Fig. 14a

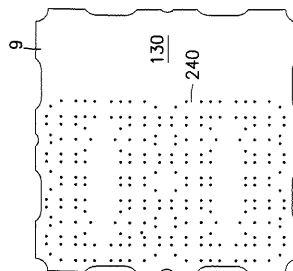


Fig. 14b



Fig. 14c

【図 15】

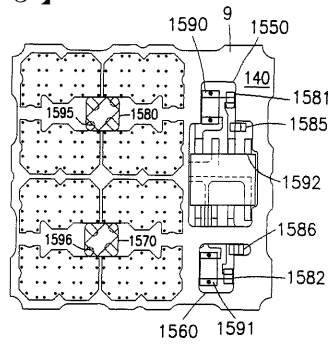


Fig. 15a

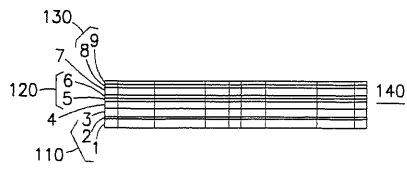


Fig. 15b

【図 16】

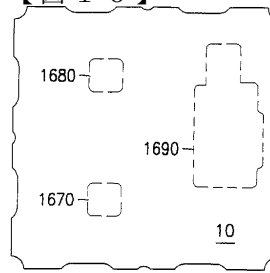


Fig. 16a

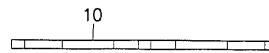


Fig. 16b

【図 17】

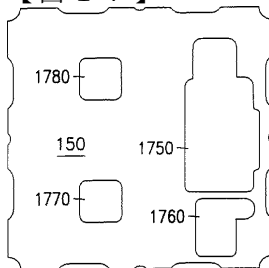


Fig. 17a

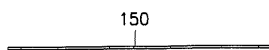


Fig. 17b

フロントページの続き

(72)発明者 ジョゼフ・マックアンドリュース
アメリカ合衆国・ニュージャージー・07885・フォートン・フォーン・テラス・4

審査官 土屋 知久

(56)参考文献 特開平6-349974 (JP, A)
特表2000-505245 (JP, A)
特開平6-24857 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
H01L 23/12- 23/15