

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5526215号
(P5526215)

(45) 発行日 平成26年6月18日(2014.6.18)

(24) 登録日 平成26年4月18日(2014.4.18)

(51) Int.Cl.	F I
HO 2 M 7/10 (2006.01)	HO 2 M 7/10 B
HO 2 M 7/06 (2006.01)	HO 2 M 7/06 Z
HO 1 L 29/93 (2006.01)	HO 1 L 29/93 Z
HO 1 L 21/329 (2006.01)	HO 1 L 27/06 1 O 2 A
HO 1 L 27/06 (2006.01)	HO 1 L 27/08 3 3 1 E
請求項の数 4 (全 44 頁) 最終頁に続く	

(21) 出願番号	特願2012-249815 (P2012-249815)	(73) 特許権者	000153878
(22) 出願日	平成24年11月14日(2012.11.14)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2007-258304 (P2007-258304) の分割		神奈川県厚木市長谷398番地
原出願日	平成19年10月2日(2007.10.2)	(72) 発明者	長多 剛
(65) 公開番号	特開2013-94052 (P2013-94052A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成25年5月16日(2013.5.16)	審査官	神山 貴行
審査請求日	平成24年11月14日(2012.11.14)		
(31) 優先権主張番号	特願2006-274567 (P2006-274567)	(56) 参考文献	特開平11-233798 (JP, A)
(32) 優先日	平成18年10月6日(2006.10.6)		特開昭62-134959 (JP, A)
(33) 優先権主張国	日本国(JP)		特開2006-203187 (JP, A)
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、
第2のトランジスタと、
素子と、

前記第1のトランジスタのゲート及び前記第2のトランジスタのゲートの上方の第1の絶縁膜と、

前記第1の絶縁膜の上方の第1の導電膜と、

前記第1の導電膜の上方の第2の絶縁膜と、

前記第2の絶縁膜の上方の第2の導電膜と、

前記第2の導電膜の上方の第3の導電膜と、を有し、

前記第2の導電膜は、前記第2の絶縁膜のコンタクトホールにおいて前記第1の導電膜と接する領域を有し、

前記第3の導電膜は、前記第2の導電膜と接する領域を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第1のトランジスタのソースと電氣的に接続され、

前記第2のトランジスタのゲートは、前記第2のトランジスタのソースと電氣的に接続され、

10

20

前記素子の第2の端子は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記素子の第1の端子に第1の電圧が供給された場合の前記素子の第1の端子と前記素子の第2の端子との間の容量値は、前記素子の第1の端子に第2の電圧が供給された場合の前記素子の第1の端子と前記素子の第2の端子との間の容量値よりも小さい値を有し、

前記第1の電圧は、前記第2の電圧よりも大きい値を有することを特徴とする半導体装置。

【請求項2】

第1のトランジスタと、

第2のトランジスタと、

第3のトランジスタと、

前記第1のトランジスタのゲート及び前記第2のトランジスタのゲートの上方の第1の絶縁膜と、

前記第1の絶縁膜の上方の第1の導電膜と、

前記第1の導電膜の上方の第2の絶縁膜と、

前記第2の絶縁膜の上方の第2の導電膜と、

前記第2の導電膜の上方の第3の導電膜と、を有し、

前記第2の導電膜は、前記第2の絶縁膜のコンタクトホールにおいて前記第1の導電膜と接する領域を有し、

前記第3の導電膜は、前記第2の導電膜と接する領域を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第1のトランジスタのソースと電氣的に接続され、

前記第2のトランジスタのゲートは、前記第2のトランジスタのソースと電氣的に接続され、

前記第3のトランジスタのソース及びドレインは、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのゲートに第1の電圧が供給された場合の前記第3のトランジスタのゲートと前記第3のトランジスタのソース又はドレインとの間の容量値は、前記第3のトランジスタのゲートに第2の電圧が供給された場合の前記第3のトランジスタのゲートと前記第3のトランジスタのソース又はドレインとの間の容量値よりも小さい値を有し、

前記第1の電圧は、前記第2の電圧よりも大きい値を有することを特徴とする半導体装置。

【請求項3】

第1のトランジスタと、

第2のトランジスタと、

素子と、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第1のトランジスタのソースと電氣的に接続され、

前記第2のトランジスタのゲートは、前記第2のトランジスタのソースと電氣的に接続され、

前記素子の第2の端子は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記素子の第1の端子に第1の電圧が供給された場合の前記素子の第1の端子と前記素子の第2の端子との間の容量値は、前記素子の第1の端子に第2の電圧が供給された場合の前記素子の第1の端子と前記素子の第2の端子との間の容量値よりも小さい値を有し、

前記第1の電圧は、前記第2の電圧よりも大きい値を有することを特徴とする半導体装置。

【請求項4】

第1のトランジスタと、

第2のトランジスタと、

第3のトランジスタと、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第1のトランジスタのソースと電氣的に接続され、

10

前記第2のトランジスタのゲートは、前記第2のトランジスタのソースと電氣的に接続され、

前記第3のトランジスタのソース及びドレインは、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのゲートに第1の電圧が供給された場合の前記第3のトランジスタのゲートと前記第3のトランジスタのソース又はドレインとの間の容量値は、前記第3のトランジスタのゲートに第2の電圧が供給された場合の前記第3のトランジスタのゲートと前記第3のトランジスタのソース又はドレインとの間の容量値よりも小さい値を有し、

前記第1の電圧は、前記第2の電圧よりも大きい値を有することを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リミッタとしての機能を兼ね備えた整流回路に関する。さらに本発明は、該整流回路により整流化された電圧を用いることで、無線での通信を行うことが出来る半導体装置及びその駆動方法に関する。

【背景技術】

【0002】

集積回路及びアンテナが組み込まれた媒体（タグ）との間で、非接触にて信号の送受信を行う技術（RFID：Radio frequency identification）は、様々な分野において実用化が進められており、新しい情報通信の形態としてさらなる市場の拡大が見込まれている。RFIDで用いられるタグの形状は、カード状、或いはカードよりもさらに小型のチップ状であることが多いが、用途に合わせて様々な形状を採りうる。

30

【0003】

RFIDでは、タグとリーダの間の通信は電波を用いて行なうことができる。具体的には、リーダから発せられる電波がタグ内のアンテナにおいて電気信号に変換され、該電気信号に従い、タグ内の集積回路が動作する。そして、集積回路から出力された電気信号に従って変調された電波が、アンテナから発せられることで、非接触にて信号をリーダに送ることができる。

40

【0004】

なおタグは、アクティブタイプとパッシブタイプの2つに大別することができる。アクティブタイプは一次電池を内蔵しており、タグ内で電気エネルギーの生成は行わない。

【0005】

一方パッシブタイプは、リーダからの電波を用い、電気エネルギーをタグ内において生成することができる。具体的には、リーダから受信した電波をアンテナにおいて交流電圧に変換した後、該交流電圧を整流回路において整流化し、タグ内の各回路に供給している。よってアンテナにおいて受信できる電波のエネルギーが高ければ高いほど、高い電気エネルギーの生成が可能である。しかしリーダから発せられる電波の強度は規定により定めら

50

れているため、タグ内において生成される電気エネルギーは、通常、所定の範囲内に収められる。

【0006】

ところが、リーダからの電波にノイズが含まれていたり、リーダ以外の電子機器から不要輻射が発せられていたりすると、規定を上回る強力な電波にタグがさらされてしまう。この場合、所定の範囲を逸脱するような過度に大きい交流電圧がアンテナにおいて生じる。その結果、集積回路内の半導体素子に供給される電流値が急激に上昇し、絶縁破壊により集積回路が破壊または劣化されてしまう恐れがある。

【0007】

特に通信距離を伸ばすために高い周波数の電波を用いて通信を行う場合、集積回路をより高速で動作させることが出来るように、集積回路を構成している半導体素子を微細化する傾向がある。しかし半導体素子を微細化すると、より耐圧が低くなり、さらに過電流によりタグが壊れやすくなる。

10

【0008】

またタグとリーダ間の通信距離が近い場合の電波の強度と、タグとリーダ間の通信距離が遠い場合の電波の強度とが同じだと、タグにおいて生成される電気エネルギーは、タグとリーダ間の通信距離が近いほど大きくなる。よって、通信距離が短いときに、余分な電気エネルギーが生成されてしまう場合がある。

【0009】

そこで、余分な電気エネルギーを放出する機能を有するリミッタを、集積回路内に設けることは、タグの信頼性を向上させるのに非常に有効である。リミッタは、入力された電圧に関わらず出力される電圧を設定電圧（リミット電圧）以下に抑える機能を有している。リミッタを用いることで、上述した過電流による半導体素子の劣化または破壊を防いでいる。

20

【0010】

タグの場合、最も過電流により半導体素子が劣化または破壊されやすい回路は、アンテナからの交流電圧が直接入力される回路である。整流回路はその一つであり、下記の特許文献1には、リミッタとして機能するダイオードを入力側に設けた整流回路について記載されている。

【先行技術文献】

30

【特許文献】

【0011】

【特許文献1】特開2002-176141号公報（第6頁、第1図）

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしリミッタをアンテナと整流回路の間に設けた場合、過電流が生じていなくても、リミッタ内の寄生容量や寄生インダクタンスにより整流回路がグラウンド（GND）側と短絡し、電力を消耗してしまうという問題があった。

【0013】

40

図19（A）に、アンテナ1901と、リミッタ1902と、整流回路1903の一般的な構成を示す。リミッタ1902と整流回路1903は集積回路の一部に相当し、リミッタ1902はアンテナ1901が有する端子A1及び端子A2と接続されている。また整流回路1903はリミッタ1902の後段に接続されている。

【0014】

図19（B）に、図19（A）に示したアンテナ1901、リミッタ1902、整流回路1903の等価回路図を示す。なお図19（B）では、端子A2をGNDに落とした状態における回路図を示している。アンテナ1901は並列に接続されたインダクタ1910と共振容量1911とを有している。リミッタ1902は、端子A1と端子A2の間の接続を制御するスイッチ1912を有している。また整流回路1903はリミッタ1902

50

の後段において、端子A 1と端子A 2に接続されている。

【0015】

規定より低い電圧が端子A 1と端子A 2の間に印加されると、スイッチ1912は開放し、端子A 1と端子A 2の間の電圧はそのまま整流回路1903に印加される。逆に規定より大きい振幅の電圧が端子A 1と端子A 2の間に印加されると、スイッチ1912が短絡することで過電流は端子A 2 (GND) 側へ流れ、結果的に整流回路1903に印加される電圧が抑えられるという仕組みになっている。

【0016】

ところで、このスイッチ1912は通常トランジスタやダイオードなどの半導体素子を用いて形成されているため、寄生容量や寄生インダクタンスを有している。そのため端子A 1と端子A 2の間に高い周波数の交流電圧が印加されると、スイッチ1912が開放している場合であっても、該寄生容量や寄生インダクタンスにより、端子A 2側にも該交流電圧が印加され、電力が損失してしまう。タグ内において形成できる電気エネルギーには限りがあるので、不要な電力の損失は極力避けたいというのが現状である。

10

【0017】

本発明は上記問題に鑑み、半導体素子が有する寄生容量や寄生インダクタンスによる電力の損失を抑えることが出来る、整流回路の提供を課題とする。さらに本発明は、該整流回路により整流化された電圧を用い、無線での通信を行うことが出来る半導体装置及びその駆動方法に関する。

【課題を解決するための手段】

20

【0018】

本発明の整流回路は、入力された交流電圧の振幅に従い、前段の回路と該整流回路の間におけるインピーダンスを整合または不整合にすることを特徴とする。入力される交流電圧が規定の振幅以下である場合は、インピーダンスを整合にし、該交流電圧をそのまま整流回路に印加する。逆に入力される交流電圧が規定の振幅よりも大きい場合は、インピーダンスを不整合にし、反射により該交流電圧の振幅を小さくしてから整流回路に印加する。

【0019】

そして本発明では、整流回路に可変容量を設け、該可変容量を用いて整流回路の入力インピーダンスを調整する。詳述すると、可変容量の容量値は整流回路に入力される交流電圧の振幅に従って変化する。そして整流回路の入力インピーダンスの虚数部に相当するリアクタンスは、可変容量の容量値に従って変化する。よって、整流回路と前段の回路の間のインピーダンスマッチングは、交流電圧の振幅に合わせて該可変容量の容量値を変化させることで、整合または不整合とすることが出来る。

30

【0020】

不整合は、整流回路の入力インピーダンスを前段の回路の出力インピーダンスよりも大きくすることでも実現できるが、逆に整流回路の入力インピーダンスを前段の回路の出力インピーダンスよりも小さくすることでも実現可能である。

【0021】

また本発明の半導体装置は、アンテナにおいて生成される交流電圧の振幅に従い、アンテナと整流回路の間におけるインピーダンスを整合または不整合にすることを特徴とする。アンテナにおいて生成される交流電圧が規定の振幅以下である場合は、インピーダンスを整合にし、該交流電圧をそのまま整流回路に印加する。逆にアンテナにおいて生成される交流電圧が規定の振幅よりも大きい場合は、インピーダンスを不整合にし、反射により該交流電圧の振幅を小さくしてから整流回路に印加する。

40

【0022】

そして本発明の半導体装置では、整流回路に可変容量を設ける。整流回路の入力インピーダンスの虚数部に相当するリアクタンスは、該可変容量の容量値によって決定する。よって、インピーダンスの整合と不整合の選択は、交流電圧の振幅に合わせて該可変容量の容量値を変化させることで、行うことが出来る。整流回路の入力インピーダンスをアンテナの出力インピーダンスよりも大きくすることで、インピーダンスを不整合にすることが出

50

来る。逆に整流回路の入力インピーダンスをアンテナの出力インピーダンスよりも小さくすることで、インピーダンスを不整合にすることも出来る。

【0023】

可変容量は少なくとも2つの電極を有する。またアンテナは少なくとも2つの端子を有する。そしてアンテナが有する2つの端子のうち、いずれか一方から供給される交流電圧が、可変容量の2つの電極のいずれか一方に印加されるように、可変容量は整流回路内において接続されている。

【0024】

なお本発明の半導体装置は、少なくとも集積回路を有していれば良く、アンテナを有していなくても良い。本発明の半導体装置が有する集積回路は、アンテナにおいて生成された交流電圧を整流化して直流の電源電圧を生成する整流回路と、該電源電圧を用いて動作する演算回路と、該演算回路から生成された信号を用いて電波を変調するための変調回路とを有していれば良い。

【発明の効果】

【0025】

本発明の整流回路はリミッタとしての機能を兼ね備えているので、従来のように整流回路の前段にリミッタを設けなくとも、過電流による整流回路内の半導体素子の劣化または破壊を抑えることができる。

【0026】

そして、過度の電波に半導体装置がさらされていない場合であっても、リミッタのスイッチとして機能する半導体素子が予め有している寄生容量や寄生インダクタンスを介してグラウンド（GND）側と短絡し、電力を消耗してしまう、といった事態を避けることが出来る。本発明ではインピーダンスの不整合により生じる反射を敢えて用いることで、アンテナにおいて生成される交流電圧の振幅を小さく抑えることが出来るので、過電流により整流回路内の半導体素子が劣化または破壊されるのを防ぎつつ、なおかつ半導体装置の信頼性を向上させることが出来る。さらに半導体装置内の電力の損失を抑えることで、半導体装置をより高機能化させる、或いは通信距離を伸ばすことが可能である。

【図面の簡単な説明】

【0027】

【図1】本発明の整流回路の構成を示す回路図。

【図2】本発明の整流回路の構成を示す回路図。

【図3】本発明の整流回路の構成を示す回路図。

【図4】MOSバラクタの特性を示す図。

【図5】本発明の整流回路の構成を示す回路図。

【図6】本発明の整流回路の構成を示す回路図。

【図7】本発明の整流回路の構成を示す回路図。

【図8】本発明の整流回路の構成を示す回路図。

【図9】本発明の半導体装置の構成を示すブロック図。

【図10】本発明の半導体装置の外観を示す図。

【図11】本発明の整流回路の上面図。

【図12】本発明の半導体装置の作製方法を示す図。

【図13】本発明の半導体装置の作製方法を示す図。

【図14】本発明の半導体装置の作製方法を示す図。

【図15】本発明の半導体装置の作製方法を示す図。

【図16】本発明の半導体装置の作製方法を示す図。

【図17】本発明の半導体装置の作製方法を示す図。

【図18】本発明の半導体装置の作製方法を示す図。

【図19】従来の半導体装置の構成を示す図。

【発明を実施するための形態】

【0028】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0029】

(実施の形態1)

図1を用いて、本発明の整流回路の構成について説明する。図1(A)において、整流回路101はアンテナ102が有する端子A1、端子A2に接続されており、アンテナ102が有する端子A1、端子A2が、整流回路101の入力端子として機能する。なお図1(A)ではアンテナ102がコイル状になっている場合を図示しているが、本発明にて用いられるアンテナの形状はこれに限定されない。通信を磁界でなく電界を用いて行う場合には、アンテナ102はコイル状である必要はない。

10

【0030】

整流回路101は、可変容量103と、端子A1と端子A2の間に印加された交流電圧を整流化するためのダイオード104及びダイオード105と、整流化された電圧を平滑化するための平滑用容量106とを有している。可変容量103は少なくとも2つの電極を有している。この第1の電極と第2の電極の間に印加される電圧の値に従って、可変容量103はその容量値が変化する。本実施の形態では可変容量103として、可変容量ダイオードを用いる。

【0031】

平滑用容量106は、整流回路101が有する出力端子OUT1と出力端子OUT2の間に接続されている。なお図1(A)に示した整流回路は、整流化された電圧の平滑化のために平滑用容量106を用いているが、必ずしも平滑用容量106は用いなくとも良い。ただし平滑用容量106を用いることで、整流化された電圧が有するリップルなどの直流以外の成分を、低減させることが出来る。

20

【0032】

また整流回路101が有するダイオードの数及びその接続は、図1(A)に示した構成に限定されない。本発明の整流回路101では、少なくとも2つのダイオード104、105が、直列に、なおかつ各ダイオードの順方向が揃うように接続されている。そして上記2つのダイオード104、105のうち、一方は可変容量103の第2の電極と整流回路101の出力端子OUT1との間において直列に接続されており、他方は可変容量103の第2の電極と整流回路101の出力端子OUT2との間において直列に接続されている。

30

【0033】

具体的に図1(A)に示す整流回路101では、可変容量103が有する第1の電極が端子A1に接続されている。また、可変容量103が有する第2の電極は、ダイオード104が有する第2の電極(カソード)及びダイオード105が有する第1の電極(アノード)に接続されている。ダイオード104が有する第1の電極(アノード)は端子A2及び出力端子OUT2に接続されている。ダイオード105が有する第2の電極(カソード)は出力端子OUT1に接続されている。平滑用容量106が有する第1の電極は出力端子OUT1に接続され、平滑用容量106が有する第2の電極は出力端子OUT2に接続されている。

40

【0034】

端子A2をグラウンド(GND)に落とした場合の、図1(A)に示した整流回路101とアンテナ102の等価回路図を、図1(B)に示す。

【0035】

アンテナ102は、インダクタ107と共振容量108とを有している。インダクタ107は少なくとも2つの端子を有し、一方の端子は端子A1に接続され、他方の端子はGNDに落とされる。また共振容量108は少なくとも2つの電極を有し、一方の電極は端子A1に接続され、他方の電極はGNDに落とされる。このようにインダクタ107と共振

50

容量108とが並列に接続されることで、アンテナ102では並列共振回路が形成されている。

【0036】

また図1(B)では、ダイオード104が有する第1の電極がGNDに落とされる。平滑用容量106が有する第2の電極はGNDに落とされる。

【0037】

アンテナ102が特定の範囲の波長を有する電波にさらされると、アンテナ102において交流起電力が生じ、端子A1と端子A2の間に交流電圧が印加される。

【0038】

端子A2よりも高い電圧 V_h が端子A1に印加されると、該電圧 V_h は可変容量103の第1の電極に与えられる。すると可変容量103の第2の電極側には負の電荷が蓄積されるため、可変容量103の第2の電極の電圧は端子A2の電圧（この場合GND）よりも低くなる。するとダイオード104がオンとなり、可変容量103の第2の電極に端子A2の電圧（この場合GND）が与えられる。次に端子A2よりも低い電圧 V_l （ $= -V_h$ ）が端子A1に印加されると、該電圧 V_l は可変容量103の第1の電極に与えられる。ここで、可変容量103に蓄積されている電荷は保存されるので、可変容量103の第2の電極における電圧は、電圧 V_h を2倍にした高さとなる。そしてダイオード104はオフ、ダイオード105はオンとなり、電圧 V_h の2倍の電圧が出力端子OUT1に与えられる。

【0039】

なお可変容量103は、第1の電極に印加される電圧の値によって、その容量値が変化する。整流回路101の入力インピーダンスは、可変容量103の容量値に従って変化させることが可能である。よって可変容量103の第1の電極に印加される電圧と、容量値の関係は、予め設計の段階で定めておく。すなわち、可変容量103の第1の電極に印加される電圧の値が所定の範囲内に収まっている場合、整流回路101とアンテナ102の間においてインピーダンスの整合が取れるように、可変容量103の特性を予め定めておく。また、可変容量103の第1の電極に所定の範囲を逸脱するような大きい振幅の電圧が印加された場合、整流回路101とアンテナ102の間においてインピーダンスが不整合となるように、可変容量103の特性を予め定めておく。

【0040】

図1(B)に示した整流回路101の場合、可変容量103が有する第1の電極に所定の範囲内の電圧が印加されると、整流回路101とアンテナ102の間においてインピーダンスが整合となる。そして、可変容量103が有する第1の電極に印加された交流電圧は、可変容量103の後段の半導体素子に印加される。具体的にはダイオード104の第2の電極及びダイオード105の第1の電極に印加される。

【0041】

一方、図1(B)に示した整流回路101の場合、可変容量103が有する第1の電極に所定の範囲を逸脱した大きい振幅の電圧が印加されると、可変容量103の容量値が小さくなる。整流回路101の入力端子に相当する端子A1と出力端子OUT1の間において直列に接続されている可変容量103の場合、 ω を角周波数、 C を容量値、 j を虚数単位とすると、インピーダンス Z は $1/(j\omega C)$ で表される。よって、可変容量103の容量値を小さくすればするほど、整流回路101の入力インピーダンスは大きくなり、整流回路101とアンテナ102の間においてインピーダンスを不整合とすることが出来る。その結果、第1の電極に印加された交流電圧は反射によりその振幅が抑えられ、可変容量103の後段の半導体素子に印加される。具体的にはダイオード104の第2の電極及びダイオード105の第1の電極に印加される。

【0042】

なお、どこまでが整合であり、どこまでが不整合であるかの判断は、反射により低下する電圧の値によって、設計者が適宜定めれば良い。例えば、アンテナ102において発生する交流電圧の振幅と、実際に整流回路101に入力される交流電圧の振幅とを比較し、電

10

20

30

40

50

圧の低下が3%未満であるときは整合が取れているものとし、電圧の低下が10%以上であるときは整合が取れていない、すなわち不整合であると判断することができる。

【0043】

なお実際の設計では、配線の特性インピーダンスも考慮に入れることで、より設計に即した特性を有する整流回路を形成することが出来る。

【0044】

本実施の形態の整流回路は可変容量を有し、入力電圧に応じて該可変容量の容量値が変化するように構成されている。可変容量の容量値の変化は整流回路の入力インピーダンスを変化させ、入力信号が反射するように作用する。この作用により、過大な交流電圧が整流回路に印加され、過電流による整流回路内の半導体素子の劣化または破壊を抑えることができる。

10

【0045】

なお、このような整流回路を備える半導体装置とリーダとの通信は、リーダから送られてくる搬送波の反射波に変調を加えることで行っている。この通信における反射波は、整流回路に入力される交流電圧の振幅を抑えるための反射電力と比べて十分大きい。よって、アンテナと整流回路間でインピーダンスを敢えて不整合としても、信号の送信が妨げられにくいという利点を有している。

【0046】

このように本発明の整流回路は、過大な交流電圧が入力されないように入力インピーダンスを変化させる特性を有している。よって、過電流により整流回路101内のダイオード104、105、平滑用容量106などの半導体素子の劣化または破壊を抑えることができる。また従来のように整流回路の前段にリミッタを設けなくとも良いので、リミッタが有する寄生容量や寄生インダクタンスを介してグラウンド(GND)側と短絡し、電力を消耗してしまう、といった事態を避けることが出来る。

20

【0047】

なお整流回路101に用いられる半導体素子の種類及びその数は、本実施の形態に示した構成に限定されない。より理想的に近い整流特性を得るために、図1(A)に示した半導体素子に加えて、抵抗、容量、ダイオード、インダクタ、スイッチなどを適宜追加しても良い。

【0048】

(実施の形態2)

図2を用いて、本発明の整流回路の構成について説明する。図2(A)において、整流回路201はアンテナ202が有する端子A1、端子A2に接続されており、アンテナ202が有する端子A1、端子A2が、整流回路201の入力端子として機能する。なお図2(A)ではアンテナ202がコイル状になっている場合を図示しているが、本発明にて用いられるアンテナの形状はこれに限定されない。通信を磁界でなく電界を用いて行う場合には、アンテナ202はコイル状である必要はない。

30

【0049】

整流回路201は、可変容量203と、端子A1と端子A2の間に印加された交流電圧を整流化するためのダイオード204及びダイオード205と、ローパスフィルタとして機能する抵抗209と、整流回路から出力される電圧を2倍圧にするための容量210とを有している。可変容量203は少なくとも2つの電極を有している。この第1の電極と第2の電極の間に印加される電圧の値に従って、可変容量203はその容量値が変化する。本実施の形態では可変容量203として、可変容量ダイオードを用いる。

40

【0050】

整流回路201が有するダイオードの数及びその接続は、図2(A)に示した構成に限定されない。本発明の整流回路201では、少なくとも2つのダイオード204、205が、直列に、なおかつ各ダイオードの順方向が揃うように接続されている。そして上記2つのダイオード204、205のうち、一方は容量210の第2の電極と整流回路201の出力端子OUT1との間において直列に接続されており、他方は容量210の第2の電極

50

と整流回路 201 の出力端子 OUT 2 との間において直列に接続されている。

【0051】

具体的に図 2 (A) に示す整流回路 201 では、容量 210 が有する第 1 の電極が端子 A 1 に接続されている。また、容量 210 が有する第 2 の電極は、抵抗 209 が有する第 1 の端子に接続されている。抵抗 209 が有する第 2 の端子は可変容量 203 が有する第 1 の電極、ダイオード 204 が有する第 2 の電極 (カソード) 及びダイオード 205 が有する第 1 の電極 (アノード) に接続されている。可変容量 203 が有する第 2 の電極及びダイオード 204 が有する第 1 の電極 (アノード) は、端子 A 2 及び出力端子 OUT 2 に接続されている。ダイオード 205 が有する第 2 の電極 (カソード) は出力端子 OUT 1 に接続されている。

10

【0052】

端子 A 2 をグラウンド (GND) に落とした場合の、図 2 (A) に示した整流回路 201 とアンテナ 202 の等価回路図を、図 2 (B) に示す。

【0053】

アンテナ 202 は、インダクタ 207 と共振容量 208 とを有している。インダクタ 207 は少なくとも 2 つの端子を有し、一方の端子は端子 A 1 に接続され、他方の端子は GND に落とされる。また共振容量 208 は少なくとも 2 つの電極を有し、一方の電極は端子 A 1 に接続され、他方の電極は GND に落とされる。このようにインダクタ 207 と共振容量 208 とが並列に接続されることで、アンテナ 202 では並列共振回路が形成されている。

20

【0054】

また図 2 (B) では、ダイオード 204 が有する第 1 の電極が GND に落とされる。可変容量 203 が有する第 2 の電極は GND に落とされる。

【0055】

アンテナ 202 が特定の範囲の波長を有する電波にさらされると、アンテナ 202 において交流起電力が生じ、端子 A 1 と端子 A 2 の間に交流電圧が印加される。

【0056】

端子 A 2 よりも高い電圧 V_h が端子 A 1 に印加されると、該電圧 V_h は容量 210 の第 1 の電極に与えられる。すると容量 210 の第 2 の電極側には負の電荷が蓄積されるため、容量 210 の第 2 の電極の電圧は端子 A 2 の電圧 (この場合 GND) よりも低くなる。するとダイオード 204 がオンとなり、容量 210 の第 2 の電極に端子 A 2 の電圧 (この場合 GND) が与えられる。次に端子 A 2 よりも低い電圧 $V_l (= -V_h)$ が端子 A 1 に印加されると、該電圧 V_l は容量 210 の第 1 の電極に与えられる。ここで、容量 210 に蓄積されている電荷は保存されるので、容量 210 の第 2 の電極における電圧は、電圧 V_h を 2 倍にした高さとなる。そしてダイオード 204 はオフ、ダイオード 205 はオンとなり、電圧 V_h の 2 倍の電圧が出力端子 OUT 1 に与えられる。

30

【0057】

可変容量 203 は、第 1 の電極に印加される電圧の値によって、その容量値が変化する。整流回路 201 の入力インピーダンスは、可変容量 203 の容量値に従って変化させることが可能である。よって可変容量 203 の第 1 の電極に印加される電圧と、容量値の関係は、予め設計の段階で定めておく。すなわち、可変容量 203 の第 1 の電極に印加される電圧の値が所定の範囲内に収まっている場合、整流回路 201 とアンテナ 202 の間においてインピーダンスの整合が取れるように、可変容量 203 の特性を予め定めておく。また、可変容量 203 の第 1 の電極に所定の範囲を逸脱するような大きい振幅の電圧が印加された場合、整流回路 201 とアンテナ 202 の間においてインピーダンスが不整合となるように、可変容量 203 の特性を予め定めておく。

40

【0058】

図 2 (B) に示した整流回路 201 の場合、可変容量 203 が有する第 1 の電極に所定の範囲内の電圧が印加されると、整流回路 201 とアンテナ 202 の間においてインピーダンスが整合となる。そして、容量 210 の第 1 の電極に印加された交流電圧は、可変容量

50

203の後段の半導体素子に印加される。具体的にはダイオード204の第2の電極及びダイオード205の第1の電極に印加される。

【0059】

一方、図2(B)に示した整流回路201の場合、可変容量203が有する第1の電極に所定の範囲を逸脱した大きい振幅の電圧が印加されると、可変容量203の容量値が大きくなる。整流回路201の入力端子に相当する端子A1と出力端子OUT2の間において直列に接続されている可変容量203の場合、 ω を角周波数、Cを容量値、jを虚数単位とすると、インピーダンスZは $1/(j\omega C)$ で表される。よって、可変容量203の容量値を大きくすればするほど、整流回路201の入力インピーダンスは小さくなり、整流回路201とアンテナ202の間においてインピーダンスを不整合とすることが出来る。その結果、容量210の第1の電極に印加された交流電圧は反射によりその振幅が抑えられ、可変容量203の後段の半導体素子に印加される。具体的にはダイオード204の第2の電極及びダイオード205の第1の電極に印加される。

10

【0060】

なお、どこまでが整合であり、どこまでが不整合であるかの判断は、反射により低下する電圧の値によって、設計者が適宜定めれば良い。また実際の設計では、配線の特性インピーダンスも考慮に入れることで、より設計に即した特性を有する整流回路を形成することが出来る。

【0061】

このように本発明の整流回路は、反射を用いることで交流電圧の振幅を抑えることが出来る。よって、過電流により整流回路201内のダイオード204、205などの半導体素子の劣化または破壊を抑えることができる。また従来のように整流回路の前段にリミッタを設けなくとも良いので、リミッタが有する寄生容量や寄生インダクタンスを介してグラウンド(GND)側と短絡し、電力を消耗してしまう、といった事態を避けることが出来る。

20

【0062】

なお整流回路201に用いられる半導体素子の種類及びその数は、本実施の形態に示した構成に限定されない。より理想的に近い整流特性を得るために、図2(A)に示した半導体素子に加えて、抵抗、容量、ダイオード、インダクタ、スイッチなどを適宜追加しても良い。

30

【0063】

(実施の形態3)

本実施の形態では、可変容量としてMOS(metal-oxide semiconductor)バラクタを用いた整流回路の構成について説明する。

【0064】

図3(A)に、MOSバラクタを用いた本発明の整流回路の一形態を示す。図3(A)では、図1(A)に示した整流回路101が有する可変容量103として、MOSバラクタを用いた例を示している。また図3(A)では、ダイオード104及びダイオード105としてMOSトランジスタを用いた例を示している。

【0065】

可変容量103として用いられているMOSバラクタは、ソース領域(S)とドレイン領域(D)が電氣的に接続されたpチャネル型のMOSトランジスタである。そして、該MOSトランジスタのゲート電極(G)が第1の電極に相当する。またソース領域(S)及びドレイン領域(D)は第2の電極に相当する。

40

【0066】

ダイオード104として用いられているトランジスタは、ソース領域(S)とゲート電極(G)が電氣的に接続されたnチャネル型のMOSトランジスタである。そして該MOSトランジスタのソース領域(S)及びゲート電極(G)は、ダイオード104の第1の電極(アノード)に相当し、ドレイン領域(D)はダイオード104の第2の電極(カソード)に相当する。

50

【0067】

ダイオード105として用いられているトランジスタは、ダイオード104と同様に、ソース領域（S）とゲート電極（G）が電氣的に接続されたnチャネル型のMOSトランジスタである。そして該MOSトランジスタのソース領域（S）及びゲート電極（G）は、ダイオード105の第1の電極（アノード）に相当し、ドレイン領域（D）はダイオード105の第2の電極（カソード）に相当する。

【0068】

なお図3（A）では、pチャネル型のMOSトランジスタを用いてMOSバラクタを形成しているが、本発明はこの構成に限定されない。nチャネル型のMOSトランジスタを用いてMOSバラクタを形成しても良い。ただし、図3（A）のように、端子A1と出力端子OUT1の間においてMOSバラクタが直列に接続されている場合、MOSバラクタとしてpチャネル型のMOSトランジスタを用いる方が望ましい。なぜならば、pチャネル型のMOSトランジスタを用いて形成されたMOSバラクタの場合、図4（A）に示すように、破線401で囲まれた領域を用いて動作を行う。よって、第1の電極に印加される電圧が高くなるほど、可変容量103は容量値が小さくなり、インピーダンスは逆に大きくなる。インピーダンスは形式的には直流回路の抵抗と同様に扱うことができるので、インピーダンスが大きいほど可変容量103の第2の電極に供給される交流の電流の振幅を抑えることが出来る。よって、可変容量103の第2の電極と出力端子OUT1の間に接続されている半導体素子（この場合ダイオード105）において、電流による絶縁破壊が生じるのを、より効果的に抑えることが出来る。同様に可変容量103の第2の電極と出力端子OUT2の間に接続されている半導体素子（この場合ダイオード104）において、電流による絶縁破壊が生じるのを、より効果的に抑えることが出来る。

【0069】

また図3（A）では、nチャネル型のMOSトランジスタを用いてダイオード104及びダイオード105を形成しているが、本発明はこの構成に限定されない。pチャネル型のMOSトランジスタを用いてダイオード104及びダイオード105を形成しても良い。ただしこの場合、MOSトランジスタのドレイン領域（D）が、ダイオード104、105の第1の電極（アノード）に相当し、ソース領域（S）及びゲート電極（G）がダイオード104、105の第2の電極（カソード）に相当する。

【0070】

図3（B）に、MOSバラクタを用いた本発明の整流回路の、図3（A）とは異なる形態を示す。図3（B）では、図2（A）に示した整流回路201が有する可変容量203として、MOSバラクタを用いた例を示している。また図3（B）では、ダイオード204及びダイオード205としてnチャネル型のMOSトランジスタを用いた例を示している。

【0071】

可変容量203として用いられているMOSバラクタは、ソース領域（S）とドレイン領域（D）が電氣的に接続されたnチャネル型のMOSトランジスタである。そして、該MOSトランジスタのゲート電極（G）が第1の電極に相当する。またソース領域（S）及びドレイン領域（D）は第2の電極に相当する。

【0072】

ダイオード204として用いられているトランジスタは、ソース領域（S）とゲート電極（G）が電氣的に接続されたnチャネル型のMOSトランジスタである。そして該MOSトランジスタのソース領域（S）及びゲート電極（G）は、ダイオード204の第1の電極（アノード）に相当し、ドレイン領域（D）はダイオード204の第2の電極（カソード）に相当する。

【0073】

ダイオード205として用いられているトランジスタは、ダイオード204と同様に、ソース領域（S）とゲート電極（G）が電氣的に接続されたnチャネル型のMOSトランジスタである。そして該MOSトランジスタのソース領域（S）及びゲート電極（G）は、

ダイオード 205 の第 1 の電極（アノード）に相当し、ドレイン領域（D）はダイオード 205 の第 2 の電極（カソード）に相当する。

【0074】

なお図 3（B）では、n チャネル型の MOS トランジスタを用いて MOS バラクタを形成しているが、本発明はこの構成に限定されない。p チャネル型の MOS トランジスタを用いて MOS バラクタを形成しても良い。ただし、図 3（B）のように、端子 A1 と出力端子 OUT2 の間において MOS バラクタが直列に接続されている場合、MOS バラクタとして n チャネル型の MOS トランジスタを用いる方が望ましい。なぜならば、n チャネル型の MOS トランジスタを用いて形成された MOS バラクタの場合、図 4（B）に示すように、破線 402 で囲まれた領域を用いて動作を行う。よって、第 1 の電極に印加される電圧が高くなるほど、可変容量 203 は容量値が大きくなり、インピーダンスは逆に小さくなる。インピーダンスは形式的には直流回路の抵抗と同様に扱うことができるので、インピーダンスが小さいほど可変容量 203 の第 2 の電極に供給される交流の電流の振幅を抑えることが出来る。よって、可変容量 203 の第 1 の電極と出力端子 OUT1 の間に接続されている半導体素子（この場合ダイオード 205）において、電流による絶縁破壊が生じるのを、より効果的に抑えることが出来る。同様に可変容量 203 の第 1 の電極と出力端子 OUT2 の間に接続されている半導体素子（この場合ダイオード 204）において、電流による絶縁破壊が生じるのを、より効果的に抑えることが出来る。

10

【0075】

また図 3（B）では、n チャネル型の MOS トランジスタを用いてダイオード 204 及びダイオード 205 を形成しているが、本発明はこの構成に限定されない。p チャネル型の MOS トランジスタを用いてダイオード 204 及びダイオード 205 を形成しても良い。ただしこの場合、MOS トランジスタのドレイン領域（D）が、ダイオード 204、205 の第 1 の電極（アノード）に相当し、ソース領域（S）及びゲート電極（G）がダイオード 204、205 の第 2 の電極（カソード）に相当する。

20

【0076】

なお MOS バラクタまたはダイオードとして用いられるトランジスタは、半導体基板を用いて形成されたトランジスタであっても良いし、SOI 基板を用いて形成されたトランジスタであっても良い。或いは、ガラス基板、石英基板、プラスチック基板などの絶縁表面を有する基板上に形成された薄膜の半導体膜を用いて形成されたトランジスタであっても

30

【0077】

本発明の整流回路は、可変容量を含め、全て通常の MOS のプロセスで形成することが可能である。従来のリミッタでは、スイッチとして機能する半導体素子としてツェナーダイオードを用いる場合がある。ツェナーダイオードは通常の MOS（metal-oxide semiconductor）のプロセスを用いて形成することが困難であった。しかし本発明の整流回路は、可変容量を含め、全て通常の MOS のプロセスで形成することが可能である。この場合、整流回路、ひいては該整流回路を用いた半導体装置を小型化することが出来る。

【実施例 1】

40

【0078】

本実施例では、出力電圧の高さを 3 倍にすることができる、本発明の整流回路の構成について、図 5 を用いて説明する。

【0079】

図 5 において、整流回路 501 はアンテナ 502 が有する端子 A1、端子 A2 に接続されており、アンテナ 502 が有する端子 A1、端子 A2 が、整流回路 501 の入力端子として機能する。なお図 5 ではアンテナ 502 がコイル状になっている場合を図示しているが、本実施例にて用いられるアンテナの形状はこれに限定されない。通信を磁界でなく電界を用いて行う場合には、アンテナ 502 はコイル状である必要はない。

【0080】

50

整流回路501は、可変容量503と、端子A1と端子A2の間に印加された交流電圧を整流化するためのダイオード504、ダイオード505及びダイオード507と、整流化された電圧を平滑化するための平滑用容量506及び平滑用容量508とを有している。可変容量503は少なくとも2つの電極を有している。この第1の電極と第2の電極の間に印加される電圧の値に従って、可変容量503はその容量値が変化する。本実施例では可変容量503として、可変容量ダイオードを用いる。

【0081】

平滑用容量506及び平滑用容量508は、整流回路501が有する出力端子OUT1と出力端子OUT2の間に直列に接続されている。なお図5に示した整流回路501は、整流化された電圧の平滑化のために平滑用容量506及び平滑用容量508を用いているが、必ずしもこれらの容量は用いなくとも良い。ただし平滑用容量506及び平滑用容量508を用いることで、整流化された電圧が有するリップルなどの直流以外の成分を、低減させることが出来る。

10

【0082】

図5に示す整流回路501では、端子A1が、可変容量503が有する第1の電極及びダイオード507が有する第1の電極（アノード）に接続されている。また、可変容量503が有する第2の電極は、ダイオード504が有する第2の電極（カソード）及びダイオード505が有する第1の電極（アノード）に接続されている。ダイオード504が有する第1の電極（アノード）及びダイオード507が有する第2の電極（カソード）は、平滑用容量506が有する第2の電極及び平滑用容量508が有する第1の電極に接続されている。ダイオード505が有する第2の電極（カソード）及び平滑用容量506が有する第1の電極は出力端子OUT1に接続されている。平滑用容量508が有する第2の電極は端子A2及び出力端子OUT2に接続されている。

20

【0083】

図5において端子A2がグラウンド（GND）に落とされると、平滑用容量508が有する第2の電極はGNDに落とされる。

【0084】

アンテナ502が特定の範囲の波長を有する電波にさらされると、アンテナ502において交流起電力が生じ、端子A1と端子A2の間に交流電圧が印加される。端子A1と端子A2の間に印加される交流電圧の振幅がVhであるとする、出力端子OUT1には、Vhの3倍の高さに相当する電圧が与えられる。

30

【0085】

整流回路501の入力インピーダンスは、可変容量503の容量値に従って変化させることが可能である。可変容量503は、第1の電極に印加される電圧の値によって、その容量値を変化させることが出来る。図5に示した整流回路501の場合、可変容量503が有する第1の電極に所定の範囲内の電圧が印加されると、整流回路501とアンテナ502の間においてインピーダンスが整合となる。そして、第1の電極に印加された交流電圧は、可変容量503の後段の半導体素子に印加される。具体的にはダイオード504の第2の電極及びダイオード505の第1の電極に印加される。

40

【0086】

一方、図5に示した整流回路501の場合、可変容量503が有する第1の電極に所定の範囲を逸脱した大きい振幅の電圧が印加されると、可変容量503の容量値が小さくなる。可変容量503の容量値を小さくすればするほど、整流回路501の入力インピーダンスは大きくなるので、整流回路501とアンテナ502の間においてインピーダンスを不整合とすることが出来る。その結果、第1の電極に印加された交流電圧は反射によりその振幅が抑えられ、可変容量503の後段の半導体素子に印加される。具体的にはダイオード504の第2の電極及びダイオード505の第1の電極に印加される。

【0087】

このように本実施例の整流回路は、反射を用いることで交流電圧の振幅を抑えることが出来る。よって、過電流により整流回路501内のダイオード504、505、平滑用容量

50

506などの半導体素子の劣化または破壊を抑えることができる。また従来のように整流回路の前段にリミッタを設けなくとも良いので、リミッタが有する寄生容量や寄生インダクタンスを介してグラウンド（GND）側と短絡し、電力を消耗してしまう、といった事態を避けることができる。

【0088】

なお整流回路501に用いられる半導体素子の種類及びその数は、本実施例に示した構成に限定されない。より理想的に近い整流特性を得るために、図5に示した半導体素子に加えて、抵抗、容量、ダイオード、インダクタ、スイッチなどを適宜追加しても良い。

【実施例2】

【0089】

本実施例では、出力電圧の高さを3倍にすることができる、本発明の整流回路の構成について、図6を用いて説明する。

【0090】

図6において、整流回路601はアンテナ602が有する端子A1、端子A2に接続されており、アンテナ602が有する端子A1、端子A2が、整流回路601の入力端子として機能する。なお図6ではアンテナ602がコイル状になっている場合を図示しているが、本実施例にて用いられるアンテナの形状はこれに限定されない。通信を磁界でなく電界を用いて行う場合には、アンテナ602はコイル状である必要はない。

【0091】

整流回路601は、可変容量603と、端子A1と端子A2の間に印加された交流電圧を整流化するためのダイオード604、ダイオード605及びダイオード607と、整流化された電圧を平滑化するための平滑用容量606及び平滑用容量608とを有している。可変容量603は少なくとも2つの電極を有している。この第1の電極と第2の電極の間に印加される電圧の値に従って、可変容量603はその容量値が変化する。本実施例では可変容量603として、可変容量ダイオードを用いる。

【0092】

平滑用容量606及び平滑用容量608は、整流回路601が有する出力端子OUT1と出力端子OUT2の間に直列に接続されている。なお図6に示した整流回路601は、整流化された電圧の平滑化のために平滑用容量606及び平滑用容量608を用いているが、必ずしもこれらの容量は用いなくとも良い。ただし平滑用容量606及び平滑用容量608を用いることで、整流化された電圧が有するリップルなどの直流以外の成分を、低減させることができる。

【0093】

図6に示す整流回路601では、端子A1は、可変容量603が有する第1の電極及びダイオード607が有する第2の電極（カソード）に接続されている。また、可変容量603が有する第2の電極は、ダイオード604が有する第2の電極（カソード）及びダイオード605が有する第1の電極（アノード）に接続されている。ダイオード604が有する第1の電極（アノード）及び端子A2は、平滑用容量606が有する第2の電極及び平滑用容量608が有する第1の電極に接続されている。ダイオード607が有する第1の電極（アノード）及び平滑用容量608が有する第2の電極は、出力端子OUT2に接続されている。ダイオード605が有する第2の電極（カソード）及び平滑用容量606が有する第1の電極は出力端子OUT1に接続されている。

【0094】

図6において端子A2がグラウンド（GND）に落とされると、ダイオード604が有する第1の電極（アノード）、平滑用容量606が有する第2の電極、平滑用容量608が有する第1の電極が、GNDに落とされる。

【0095】

アンテナ602が特定の範囲の波長を有する電波にさらされると、アンテナ602において交流起電力が生じ、端子A1と端子A2の間に交流電圧が印加される。端子A1と端子A2の間に印加される交流電圧の振幅がVhであるとする、出力端子OUT1には、V

10

20

30

40

50

hの3倍の高さに相当する電圧が与えられる。

【0096】

整流回路601の入力インピーダンスは、可変容量603の容量値に従って変化させることが可能である。可変容量603は、第1の電極に印加される電圧の値によって、その容量値を変化させることが出来る。図6に示した整流回路601の場合、可変容量603が有する第1の電極に所定の範囲内の電圧が印加されると、整流回路601とアンテナ602の間においてインピーダンスが整合となる。そして、第1の電極に印加された交流電圧は、可変容量603の後段の半導体素子に印加される。具体的にはダイオード604の第2の電極及びダイオード605の第1の電極に印加される。

【0097】

一方、図6に示した整流回路601の場合、可変容量603が有する第1の電極に所定の範囲を逸脱した大きい振幅の電圧が印加されると、可変容量603の容量値が小さくなる。可変容量603の容量値を小さくすればするほど、整流回路601の入力インピーダンスは大きくなるので、整流回路601とアンテナ602の間においてインピーダンスを不整合とすることが出来る。その結果、第1の電極に印加された交流電圧は反射によりその振幅が抑えられ、可変容量603の後段の半導体素子に印加される。具体的にはダイオード604の第2の電極及びダイオード605の第1の電極に印加される。

【0098】

このように本実施例の整流回路は、反射を用いることで交流電圧の振幅を抑えることが出来る。よって、過電流により整流回路601内のダイオード604、605、平滑用容量606などの半導体素子の劣化または破壊を抑えることができる。また従来のように整流回路の前段にリミッタを設けなくとも良いので、リミッタが有する寄生容量や寄生インダクタンスを介してグラウンド（GND）側と短絡し、電力を消耗してしまう、といった事態を避けることが出来る。

【0099】

なお整流回路601に用いられる半導体素子の種類及びその数は、本実施例に示した構成に限定されない。より理想的に近い整流特性を得るために、図6に示した半導体素子に加えて、抵抗、容量、ダイオード、インダクタ、スイッチなどを適宜追加しても良い。

【実施例3】

【0100】

本実施例では、出力電圧の高さを4倍にすることができる、本発明の整流回路の構成について、図7を用いて説明する。

【0101】

図7において、整流回路701はアンテナ702が有する端子A1、端子A2に接続されており、アンテナ702が有する端子A1、端子A2が、整流回路701の入力端子として機能する。なお図7ではアンテナ702がコイル状になっている場合を図示しているが、本実施例にて用いられるアンテナの形状はこれに限定されない。通信を磁界でなく電界を用いて行う場合には、アンテナ702はコイル状である必要はない。

【0102】

整流回路701は、可変容量703及び可変容量709と、端子A1と端子A2の間に印加された交流電圧を整流化するためのダイオード704、ダイオード705、ダイオード707及びダイオード710と、整流化された電圧を平滑化するための平滑用容量706及び平滑用容量708とを有している。可変容量703と可変容量709は、少なくとも2つの電極をそれぞれ有している。この第1の電極と第2の電極の間に印加される電圧の値に従って、可変容量703と可変容量709はその容量値が変化する。本実施例では可変容量703及び可変容量709として、可変容量ダイオードを用いる。

【0103】

平滑用容量706及び平滑用容量708は、整流回路701が有する出力端子OUT1と出力端子OUT2の間に直列に接続されている。なお図7に示した整流回路701は、整流化された電圧の平滑化のために平滑用容量706及び平滑用容量708を用いているが

10

20

30

40

50

、必ずしもこれらの容量は用いなくとも良い。ただし平滑用容量 706 及び平滑用容量 708 を用いることで、整流化された電圧が有するリップルなどの直流以外の成分を、低減させることが出来る。

【0104】

図 7 に示す整流回路 701 では、端子 A1 は、可変容量 703 が有する第 1 の電極に接続されている。また、可変容量 703 が有する第 2 の電極は、可変容量 709 が有する第 1 の電極、ダイオード 710 が有する第 1 の電極（アノード）及びダイオード 707 が有する第 2 の電極（カソード）に接続されている。可変容量 709 が有する第 2 の電極は、ダイオード 704 が有する第 2 の電極（カソード）及びダイオード 705 が有する第 1 の電極（アノード）に接続されている。ダイオード 707 が有する第 1 の電極（アノード）及び平滑用容量 708 が有する第 2 の電極は、端子 A2 及び出力端子 OUT2 に接続されている。ダイオード 704 が有する第 1 の電極（アノード）及びダイオード 710 が有する第 2 の電極（カソード）は、平滑用容量 706 が有する第 2 の電極及び平滑用容量 708 が有する第 1 の電極に接続されている。ダイオード 705 が有する第 2 の電極（カソード）及び平滑用容量 706 が有する第 1 の電極は出力端子 OUT1 に接続されている。

10

【0105】

図 7 において端子 A2 がグラウンド（GND）に落とされると、ダイオード 707 が有する第 1 の電極（アノード）及び平滑用容量 708 が有する第 2 の電極が GND に落とされる。

【0106】

アンテナ 702 が特定の範囲の波長を有する電波にさらされると、アンテナ 702 において交流起電力が生じ、端子 A1 と端子 A2 の間に交流電圧が印加される。端子 A1 と端子 A2 の間に印加される交流電圧の振幅が V_h であるとする、出力端子 OUT1 には、 V_h の 4 倍の高さに相当する電圧が与えられる。

20

【0107】

整流回路 701 の入力インピーダンスは、可変容量 703 の容量値と、可変容量 709 の容量値に従って変化させることが可能である。可変容量 703 と可変容量 709 は、第 1 の電極に印加される電圧の値によって、その容量値を変化させることが出来る。図 7 に示した整流回路 701 の場合、可変容量 703 が有する第 1 の電極に所定の範囲内の電圧が印加されると、整流回路 701 とアンテナ 702 の間においてインピーダンスが整合となる。そして、第 1 の電極に印加された交流電圧は、可変容量 703 の後段の半導体素子に印加される。具体的には可変容量 709 の第 1 の電極、ダイオード 710 の第 1 の電極及びダイオード 707 の第 2 の電極に印加される。

30

【0108】

一方、可変容量 703 が有する第 1 の電極に所定の範囲を逸脱した大きい振幅の電圧が印加されると、可変容量 703 の容量値が小さくなる。可変容量 703 の容量値を小さくすればするほど、整流回路 701 の入力インピーダンスは大きくなるので、整流回路 701 とアンテナ 702 の間においてインピーダンスを不整合とすることが出来る。その結果、第 1 の電極に印加された交流電圧は反射によりその振幅が抑えられ、可変容量 703 の後段の半導体素子に印加される。具体的には可変容量 709 の第 1 の電極、ダイオード 710 の第 1 の電極及びダイオード 707 の第 2 の電極に印加される。

40

【0109】

さらに可変容量 709 の第 1 の電極、ダイオード 710 の第 1 の電極及びダイオード 707 の第 2 の電極に印加される交流の電圧の振幅が、依然として所定の範囲を逸脱する程度に大きい場合も想定される。本実施例ではこの場合でも、可変容量 709 の容量値が小さくなることで、インピーダンスを不整合とすることが出来る。その結果、可変容量 709 の第 1 の電極に印加された交流電圧は反射によりその振幅が抑えられ、可変容量 709 の後段の半導体素子に印加される。具体的にはダイオード 705 の第 1 の電極及びダイオード 704 の第 2 の電極に印加される。

【0110】

50

このように本実施例の整流回路701は、反射を用いることで交流電圧の振幅を抑えることが出来る。よって、過電流により整流回路701内のダイオード704、705、707、710、平滑用容量706、708などの半導体素子の劣化または破壊を抑えることができる。また従来のように整流回路の前段にリミッタを設けなくとも良いので、リミッタが有する寄生容量や寄生インダクタンスを介してグラウンド（GND）側と短絡し、電力を消耗してしまう、といった事態を避けることが出来る。

【0111】

なお本実施例では、可変容量を2つ用いた整流回路の構成について説明したが、可変容量703と可変容量709のうちいずれか一方を、容量値が固定の容量で置き換えても良い。ただし可変容量703と可変容量709を用いることで、より整流回路701の信頼性を高めることが出来る。

10

【0112】

また整流回路701に用いられる半導体素子の種類及びその数は、本実施例に示した構成に限定されない。より理想的に近い整流特性を得るために、図7に示した半導体素子に加えて、抵抗、容量、ダイオード、インダクタ、スイッチなどを適宜追加しても良い。

【実施例4】

【0113】

本実施例では、出力電圧の高さを4倍にすることができる、本発明の整流回路の構成について、図8を用いて説明する。

【0114】

20

図8において、整流回路801はアンテナ802が有する端子A1、端子A2に接続されており、アンテナ802が有する端子A1、端子A2が、整流回路801の入力端子として機能する。なお図8ではアンテナ802がコイル状になっている場合を図示しているが、本実施例にて用いられるアンテナの形状はこれに限定されない。通信を磁界でなく電界を用いて行う場合には、アンテナ802はコイル状である必要はない。

【0115】

整流回路801は、可変容量803及び可変容量809と、端子A1と端子A2の間に印加された交流電圧を整流化するためのダイオード804、ダイオード805、ダイオード807及びダイオード810と、整流化された電圧を平滑化するための平滑用容量806及び平滑用容量808とを有している。可変容量803と可変容量809は、少なくとも2つの電極をそれぞれ有している。この第1の電極と第2の電極の間に印加される電圧の値に従って、可変容量803と可変容量809はその容量値が変化する。本実施例では可変容量803及び可変容量809として、可変容量ダイオードを用いる。

30

【0116】

平滑用容量806及び平滑用容量808は、整流回路801が有する出力端子OUT1と出力端子OUT2の間に直列に接続されている。なお図8に示した整流回路801は、整流化された電圧の平滑化のために平滑用容量806及び平滑用容量808を用いているが、必ずしもこれらの容量は用いなくとも良い。ただし平滑用容量806及び平滑用容量808を用いることで、整流化された電圧が有するリップルなどの直流以外の成分を、低減させることが出来る。

40

【0117】

図8に示す整流回路801では、端子A1は、可変容量803が有する第1の電極及び可変容量809が有する第1の電極に接続されている。また、可変容量809が有する第2の電極は、ダイオード810が有する第1の電極（アノード）及びダイオード807が有する第2の電極（カソード）に接続されている。可変容量803が有する第2の電極は、ダイオード804が有する第2の電極（カソード）及びダイオード805が有する第1の電極（アノード）に接続されている。ダイオード807が有する第1の電極（アノード）及び平滑用容量808が有する第2の電極は、出力端子OUT2に接続されている。ダイオード804が有する第1の電極（アノード）及びダイオード810が有する第2の電極（カソード）は、端子A2、平滑用容量806が有する第2の電極及び平滑用容量808

50

が有する第1の電極に接続されている。ダイオード805が有する第2の電極（カソード）及び平滑容量806が有する第1の電極は出力端子OUT1に接続されている。

【0118】

図8において端子A2がグラウンド（GND）に落とされると、ダイオード804の第1の電極、ダイオード810の第2の電極、平滑容量806の第2の電極、平滑容量808の第1の電極が、GNDに落とされる。

【0119】

アンテナ802が特定の範囲の波長を有する電波にさらされると、アンテナ802において交流起電力が生じ、端子A1と端子A2の間に交流電圧が印加される。端子A1と端子A2の間に印加される交流電圧の振幅がVhであるとする、出力端子OUT1には、Vhの4倍の高さに相当する電圧が与えられる。

10

【0120】

整流回路801の入力インピーダンスは、可変容量803の容量値と、可変容量809の容量値に従って変化させることが可能である。可変容量803と可変容量809は、第1の電極に印加される電圧の値によって、その容量値を変化させることが出来る。図8に示した整流回路801の場合、可変容量803と可変容量809がそれぞれ有する第1の電極に所定の範囲内の電圧が印加されると、整流回路801とアンテナ802の間においてインピーダンスが整合となる。そして、第1の電極に印加された交流電圧は、可変容量803と可変容量809の後段の半導体素子に印加される。具体的にはダイオード810の第1の電極、ダイオード807の第2の電極、ダイオード804の第2の電極、ダイオード805の第1の電極に印加される。

20

【0121】

一方、可変容量803と可変容量809がそれぞれ有する第1の電極に所定の範囲を逸脱した大きい振幅の電圧が印加されると、可変容量803と可変容量809の容量値がそれぞれ小さくなる。可変容量803と可変容量809の容量値を小さくすればするほど、整流回路801の入力インピーダンスは大きくなるので、整流回路801とアンテナ802の間においてインピーダンスを不整合とすることが出来る。その結果、第1の電極に印加された交流電圧は反射によりその振幅が抑えられ、可変容量803と可変容量809の後段の半導体素子に印加される。具体的にはダイオード810の第1の電極、ダイオード807の第2の電極、ダイオード804の第2の電極、ダイオード805の第1の電極に印加される。

30

【0122】

このように本実施例の整流回路801は、反射を用いることで交流電圧の振幅を抑えることが出来る。よって、過電流により整流回路801内のダイオード804、805、807、810、平滑容量806、808などの半導体素子の劣化または破壊を抑えることができる。また従来のように整流回路の前段にリミッタを設けなくとも良いので、リミッタが有する寄生容量や寄生インダクタンスを介してグラウンド（GND）側と短絡し、電力を消耗してしまう、といった事態を避けることが出来る。

【0123】

なお本実施例では、可変容量を2つ用いた整流回路の構成について説明したが、可変容量803と可変容量809のうちいずれか一方を、容量値が固定の容量で置き換えても良い。ただし可変容量803と可変容量809を用いることで、より整流回路801の信頼性を高めることが出来る。

40

【0124】

また整流回路801に用いられる半導体素子の種類及びその数は、本実施例に示した構成に限定されない。より理想的に近い整流特性を得るために、図8に示した半導体素子に加えて、抵抗、容量、ダイオード、インダクタ、スイッチなどを適宜追加しても良い。

【実施例5】

【0125】

本発明の半導体装置の構成について、図9を用いて説明する。図9は本発明の半導体装置

50

の一形態を示すブロック図である。図9において半導体装置900は、アンテナ901と、集積回路902とを有している。集積回路902は、整流回路903、復調回路904、変調回路905、レギュレータ906、信号生成回路907、エンコーダ908、メモリ909を有している。

【0126】

リーダから電波が送られてくると、アンテナ901において該電波が交流電圧に変換される。整流回路903では、アンテナ901からの交流電圧を整流化し、電源用の電圧を生成する。本発明の整流回路903では、アンテナ901において生成される交流電圧が、所定の範囲を逸脱するほど大きい振幅を有していても、整流回路903内の半導体素子の劣化または破壊を抑えつつ、電源用の電圧を生成することが出来る。

10

【0127】

整流回路903において生成された電源用の電圧は、信号生成回路907とレギュレータ906に与えられる。レギュレータ906は、整流回路903からの電源用の電圧を安定化させるか、またはその高さを調整した後、集積回路902内の復調回路904、変調回路905、信号生成回路907、エンコーダ908またはメモリ909などの各種回路に該電圧を供給する。

【0128】

復調回路904は、アンテナ901からの交流電圧を復調して信号を生成し、後段の信号生成回路907に出力する。信号生成回路907は復調回路904から入力された信号に従って演算処理を行い、別途信号を生成する。上記演算処理を行う際に、メモリ909は一次キャッシュメモリまたは二次キャッシュメモリとして用いることが出来る。信号生成回路907において生成された信号はエンコーダ908において符号化された後、変調回路905に出力される。変調回路905は該信号に従って、アンテナ901において生成される電波に変調を加える。アンテナ901において該変調が加えられた電波が生成されると、リーダは該電波で受け取ることで、信号生成回路907からの信号を受信することができる。

20

【0129】

このように半導体装置900とリーダとの間における通信は、キャリア（搬送波）として用いる電波を変調することで行うことが出来る。キャリアとして、125kHz、13.56MHz、950MHzなど様々な周波数の電波を用いることが出来る。変調の方式も振幅変調、周波数変調、位相変調など様々な方式があるが、特に限定はされない。

30

【0130】

信号の伝送方式は、キャリアの波長によって電磁結合方式、電磁誘導方式、マイクロ波方式など様々な種類に分類することが出来る。電磁結合方式や電磁誘導方式の場合、強い電波に半導体装置がさらされることで、アンテナに過度に大きい交流電圧が生じてしまう恐れがある。本発明の整流回路を用いることは、過度に大きい交流電圧によって集積回路内の、集積回路において半導体素子が劣化または破壊されるのを防止することができるので、電磁結合方式や電磁誘導方式の場合は特に有効である。

【0131】

メモリ909は不揮発性メモリであっても揮発性メモリであってもどちらでも良い。メモリ909として、例えばSRAM、DRAM、フラッシュメモリ、EEPROM、FeRAMなどを用いることが出来る。

40

【0132】

本実施例では、アンテナ901を有する半導体装置900の構成について説明しているが、本発明の半導体装置は必ずしもアンテナを有していなくとも良い。また図9に示した半導体装置に、発振回路または二次電池を設けても良い。

【0133】

また図9では、アンテナを1つだけ有する半導体装置の構成について説明したが、本発明はこの構成に限定されない。電力を受信するためのアンテナと、信号を受信するためのアンテナとの、2つのアンテナを有していても良い。アンテナが1つだと、例えば950M

50

H z の電波で電力の供給と信号の伝送を両方行う場合、遠方まで大電力が伝送され、他の無線機器の受信妨害を起こす可能性がある。そのため、電力の供給は電波の周波数を下げて近距離にて行う方が望ましいが、この場合通信距離は必然的に短くなってしまう。しかしアンテナが2つあると、電力を供給する電波の周波数と、信号を送るための電波の周波数とを使い分けることができる。例えば電力を送る際は電波の周波数を13.56MHzとして磁界を用い、信号を送る際は電波の周波数を950MHzとして電界を用いることができる。このように機能合わせてアンテナを使い分けることによって、電力の供給は近距離のみの通信とし、信号の伝送は遠距離も可能なものとすることができる。

【0134】

本実施例は、実施の形態1～3、実施例1～4と適宜組み合わせることで実施することが可能である。

10

【実施例6】

【0135】

次に、本発明の半導体装置の外観について説明する。

【0136】

図10(A)に、チップ状に形成された本発明の半導体装置の一形態を、斜視図で示す。1601は集積回路、1602はアンテナに相当する。アンテナ1602は集積回路1601に接続されている。1603は基板、1604はカバー材に相当する。本発明の整流回路は集積回路1601に含まれている。集積回路1601は基板1603上に形成されており、カバー材1604は集積回路1601及びアンテナ1602を覆うように基板1603と重なっている。なおアンテナ1602は基板1603上にて形成されていても良いし、別途形成したアンテナ1602を、集積回路1601形成後に基板1603上に貼り付けても良い。

20

【0137】

図10(B)に、カード状に形成された本発明の半導体装置の一形態を、斜視図で示す。1605は集積回路、1606はアンテナに相当し、アンテナ1606は集積回路1605に接続されている。1608はインレットシートとして機能する基板、1607、1609はカバー材に相当する。集積回路1605及びアンテナ1606は基板1608上に形成されており、基板1608は2つのカバー材1607、1609の間に挟まれている。

30

【0138】

なお図10(A)及び図10(B)では、アンテナ1602及びアンテナ1606がコイル状になっている場合を図示しているが、本発明にて用いられるアンテナの形状はこれに限定されない。通信を磁界でなく電界を用いて行う場合には、アンテナ1602及びアンテナ1606はコイル状である必要はない。

【0139】

本発明の整流回路は、可変容量を含め、全て通常のMOSのプロセスで形成することが可能である。よって、整流回路、ひいては該整流回路を用いた半導体装置を小型化することが出来る。

【実施例7】

40

【0140】

次に、本発明の半導体装置の作製方法について詳しく述べる。なお本実施例では薄膜トランジスタ(TFT)を半導体素子の一例として示すが、本発明の半導体装置に用いられる半導体素子はこれに限定されない。例えばTFTの他に、記憶素子、ダイオード、抵抗、コイル、容量、インダクタなどを用いることができる。

【0141】

まず図12(A)に示すように、耐熱性を有する基板300上に、絶縁膜301、剥離層302、下地膜として機能する絶縁膜303と、半導体膜304とを順に形成する。絶縁膜301、剥離層302、絶縁膜303及び半導体膜304は連続して形成することが可能である。

50

【0142】

基板300として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板、またはシリコン基板等の半導体基板を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度は低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0143】

プラスチック基板として、ポリエチレンテレフタレート（PET）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ナイロン、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

10

【0144】

なお本実施例では、剥離層302を基板300上の全面に設けているが本発明はこの構成に限定されない。例えばフォトリソグラフィ法などを用いて、基板300上において剥離層302を部分的に形成する様にしても良い。

【0145】

絶縁膜301、絶縁膜303は、CVD法やスパッタリング法などを用いて、酸化珪素、窒化珪素（ SiN_x 、 Si_3N_4 等）、酸化窒化珪素（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁性を有する材料を用いて形成する。

20

【0146】

絶縁膜301、絶縁膜303は、基板300中に含まれるNaなどのアルカリ金属やアルカリ土類金属が半導体膜304中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また絶縁膜303は、剥離層302に含まれる不純物元素が半導体膜304中に拡散するのを防ぎ、なおかつ後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。

【0147】

絶縁膜301、絶縁膜303は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。本実施例では、膜厚100nmの酸化窒化珪素膜、膜厚50nmの窒化酸化珪素膜、膜厚100nmの酸化窒化珪素膜を順に積層して絶縁膜303を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層の酸化窒化珪素膜に代えて、膜厚0.5～3μmのシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法、印刷法などによって形成しても良い。また、中層の窒化酸化珪素膜に代えて、窒化珪素膜（ SiN_x 、 Si_3N_4 等）を用いてもよい。また、上層の酸化窒化珪素膜に代えて、酸化珪素膜を用いても良い。また、それぞれの膜厚は、0.05～3μmとするのが望ましく、その範囲から自由に選択することができる。

30

【0148】

或いは、剥離層302に最も近い、絶縁膜303の下層を酸化窒化珪素膜または酸化珪素膜で形成し、中層をシロキサン系樹脂で形成し、上層を酸化珪素膜で形成しても良い。

40

【0149】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも1種を有していても良い。

【0150】

酸化珪素膜は、 SiH_4/O_2 、TEOS（テトラエトキシシラン）/ O_2 等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、パイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、 SiH_4/NH_3 の混合ガ

50

スを用い、プラズマCVDによって形成することができる。また、酸化窒化珪素膜、窒化酸化珪素膜は、代表的には、 $\text{SiH}_4/\text{N}_2\text{O}$ の混合ガスを用い、プラズマCVDによって形成することができる。

【0151】

剥離層302は、金属膜、金属酸化膜、金属膜と金属酸化膜とを積層して形成される膜を用いることができる。金属膜と金属酸化膜は、単層であっても良いし、複数の層が積層された積層構造を有していても良い。また、金属膜や金属酸化膜の他に、金属窒化物や金属酸化窒化物を用いてもよい。剥離層302は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。

【0152】

剥離層302に用いられる金属としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)またはイリジウム(Ir)等が挙げられる。剥離層302は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。

【0153】

また剥離層302は珪素(Si)単体で形成された膜を用いても良いし、珪素(Si)を主成分とする化合物で形成された膜を用いても良い。或いは、珪素(Si)と上記金属とを含む合金で形成された膜を用いても良い。珪素を含む膜は、非晶質、微結晶、多結晶のいずれでもよい。

【0154】

剥離層302は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。金属膜と金属酸化膜とが積層された剥離層302は、元となる金属膜を形成した後、該金属膜の表面を酸化または窒化させることで形成することができる。具体的には、酸素雰囲気中または N_2O 雰囲気中で元となる金属膜にプラズマ処理を行ったり、酸素雰囲気中または N_2O 雰囲気中で金属膜に加熱処理を行ったりすればよい。また元となる金属膜上に接するように、酸化珪素膜または酸化窒化珪素膜を形成することでも、酸化を行うことが出来る。また元となる金属膜上に接するように、窒化酸化珪素膜または窒化珪素膜を形成することで、窒化を行うことが出来る。

【0155】

金属膜の酸化または窒化を行うプラズマ処理として、プラズマ密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ から $9 \times 10^{15} \text{ cm}^{-3}$ 以下であり、マイクロ波(例えば周波数2.45GHz)などの高周波を用いた高密度プラズマ処理を行っても良い。

【0156】

なお元となる金属膜の表面を酸化することで、金属膜と金属酸化膜とが積層した剥離層302を形成するようにしても良いが、金属膜を形成した後に金属酸化膜を別途形成するようにしても良い。

【0157】

例えば金属としてタングステンを用いる場合、スパッタ法やCVD法等により元となる金属膜としてタングステン膜を形成した後、該タングステン膜にプラズマ処理を行う。これにより、金属膜に相当するタングステン膜と、該金属膜に接し、なおかつタングステンの酸化物で形成された金属酸化膜とを、形成することができる。

【0158】

なおタングステンの酸化物は WO_x で表される。 x は2以上3以下の範囲内にあり、 x が2の場合(WO_2)、 x が2.5の場合(W_2O_5)、 x が2.75の場合(W_4O_{11})、 x が3の場合(WO_3)となる。タングステンの酸化物を形成するにあたり x の値に特に制約はなく、エッチングレート等をもとに x の値を定めれば良い。

【0159】

半導体膜 304 は、絶縁膜 303 を形成した後、大気に曝さずに形成することが望ましい。半導体膜 304 の膜厚は 20 ~ 200 nm (望ましくは 40 ~ 170 nm、好ましくは 50 ~ 150 nm) とする。なお半導体膜 304 は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は 0.01 ~ 4.5 atomic % 程度であることが好ましい。

【0160】

なお半導体膜 304 は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板 300 として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950℃程度の高温アニールを自由に組み合わせた結晶法を用いても良い。

【0161】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する半導体膜 304 の耐性を高めるために、550℃、4時間の加熱処理を該半導体膜 304 に対して行なう。そして連続発振が可能な固体レーザを用い、基本波の第2高調波~第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄ レーザ (基本波 1064 nm) の第2高調波 (532 nm) や第3高調波 (355 nm) を用いるのが望ましい。具体的には、連続発振の YVO₄ レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力 10 W のレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜 304 に照射する。このときのエネルギー密度は 0.01 ~ 100 MW/cm² 程度 (好ましくは 0.1 ~ 10 MW/cm²) が必要である。そして、走査速度を 10 ~ 2000 cm/sec 程度とし、照射する。

【0162】

連続発振の気体レーザとして、Ar レーザ、Kr レーザなどを用いることが出来る。また連続発振の固体レーザとして、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、フォルステライト (Mg₂SiO₄) レーザ、GdVO₄ レーザ、Y₂O₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどを用いることが出来る。

【0163】

またパルス発振のレーザとして、例えば Ar レーザ、Kr レーザ、エキシマレーザ、CO₂ レーザ、YAG レーザ、Y₂O₃ レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

【0164】

また、パルス発振のレーザ光の発振周波数を 10 MHz 以上とし、通常用いられている数十 Hz ~ 数百 Hz の周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を半導体膜 304 に照射してから半導体膜 304 が完全に固化するまでの時間は数十 nsec ~ 数百 nsec とされている。よって上記周波数を用いることで、半導体膜 304 がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜 304 中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜 304 が形成される。具体的には、含まれる結晶粒の走査方向における幅が 10 ~ 30 μm、走査方向に対して垂直な方向における幅が 1 ~ 5 μm 程度の結晶粒の集合を形成することができる。該走査方向に沿って連続的に成長した単結晶の結晶粒を形成することで、少なくとも TFT のチャネル方向には結晶粒界のほとんど存在しない半導体膜 304 の形成が可能となる。

【0165】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

【0166】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0167】

上述したレーザ光の照射により、結晶性がより高められた半導体膜304が形成される。なお、予め半導体膜304に、スパッタ法、プラズマCVD法、熱CVD法などで形成した多結晶半導体を用いるようにしても良い。

10

【0168】

また本実施例では半導体膜304を結晶化しているが、結晶化せずに非晶質珪素半導体膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を用いたTFETは、多結晶半導体を用いたTFETよりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

【0169】

非晶質半導体は、珪素を含む気体をグロー放電分解することにより得ることができる。珪素を含む気体としては、 SiH_4 、 Si_2H_6 が挙げられる。この珪素を含む気体を、水素、水素及びヘリウムで希釈して用いても良い。

20

【0170】

次に図12(B)に示すように、半導体膜304を所定の形状に加工（パターニング）し、島状の半導体膜305～307を形成する。そして、島状の半導体膜305～307を覆うように、ゲート絶縁膜308を形成する。ゲート絶縁膜308は、プラズマCVD法またはスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素または酸化窒化珪素を含む膜を、単層で、または積層させて形成することができる。積層する場合には、例えば、基板300側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

【0171】

ゲート絶縁膜308は、高密度プラズマ処理を行うことにより島状の半導体膜305～307の表面を酸化または窒化することで形成しても良い。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）や窒素ラジカル（NHラジカルを含む場合もある）によって、半導体膜の表面を酸化または窒化することにより、1～20nm、代表的には膜厚5～10nmの絶縁膜が半導体膜に接するように形成される。この膜厚5～10nmの絶縁膜をゲート絶縁膜308として用いる。

30

【0172】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜と半導体膜の界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることが出来る。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

40

【0173】

次に図12(C)に示すように、ゲート絶縁膜308上に導電膜を形成した後、該導電膜を所定の形状に加工（パターニング）することで、島状の半導体膜305～307の上方

50

にゲート電極 309 を形成する。本実施例では積層された 2 つの導電膜をパターニングしてゲート電極 309 を形成する。導電膜は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0174】

本実施例では、1 層目の導電膜として窒化タンタル膜またはタンタル (Ta) 膜を、2 層目の導電膜としてタングステン (W) 膜を用いる。2 つの導電膜の組み合わせとして、本実施例で示した例の他に、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜、アルミニウム膜とタンタル膜、アルミニウム膜とチタン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2 層の導電膜を形成した後の行程において、熱活性化を目的とした加熱処理を行うことができる。また、2 層目の導電膜の組み合わせとして、例えば、n 型を付与する不純物がドーピングされた珪素と NiSi (ニッケルシリサイド)、n 型を付与する不純物がドーピングされた Si と WSi_x 等も用いることが出来る。

10

【0175】

また、本実施例ではゲート電極 309 を積層された 2 つの導電膜で形成しているが、本実施例はこの構成に限定されない。ゲート電極 309 は単層の導電膜で形成されていても良いし、3 つ以上の導電膜を積層することで形成されていても良い。3 つ以上の導電膜を積層する 3 層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

20

【0176】

導電膜の形成には CVD 法、スパッタリング法等を用いることが出来る。本実施例では 1 層目の導電膜を 20 ~ 100 nm の厚さで形成し、2 層目の導電膜を 100 ~ 400 nm の厚さで形成する。

【0177】

なおゲート電極 309 を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、酸化窒化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、酸化窒化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有するゲート電極 309 を形成することができる。またマスクを用いずに、液滴吐出法を用いて選択的にゲート電極 309 を形成しても良い。

30

【0178】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0179】

次に、ゲート電極 309 をマスクとして、島状の半導体膜 305 ~ 307 に、n 型を付与する不純物元素 (代表的には P (リン) または As (砒素)) を低濃度にドーピングする (第 1 のドーピング工程)。第 1 のドーピング工程の条件は、ドーズ量: $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^2$ 、加速電圧: 50 ~ 70 keV としたが、これに限定されるものではない。この第 1 のドーピング工程によって、ゲート絶縁膜 308 を介してドーピングがなされ、島状の半導体膜 305 ~ 307 に、一對の低濃度不純物領域 310 がそれぞれ形成される。なお、第 1 のドーピング工程は、p チャネル型 TFT となる島状の半導体膜 305 をマスクで覆って行っても良い。

40

【0180】

次に図 13 (A) に示すように、n チャネル型 TFT となる島状の半導体膜 306、307 を覆うように、マスク 311 を形成する。そしてマスク 311 に加えてゲート電極 309 をマスクとして用い、島状の半導体膜 305 に、p 型を付与する不純物元素 (代表的に

50

はB（ホウ素）を高濃度にドーピングする（第2のドーピング工程）。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧： $20 \sim 40 \text{ keV}$ として行なう。この第2のドーピング工程によって、ゲート絶縁膜308を介してドーピングがなされ、島状の半導体膜305に、p型の高濃度不純物領域312が形成される。

【0181】

次に図13（B）に示すように、マスク311をアッシング等により除去した後、ゲート絶縁膜308及びゲート電極309を覆うように、絶縁膜を形成する。該絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素膜または窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成する。本実施例では、膜厚100nmの酸化珪素膜をプラズマCVD法によって形成する。

10

【0182】

そして、垂直方向を主体とした異方性エッチングにより、ゲート絶縁膜308及び該絶縁膜を部分的にエッチングする。上記異方性エッチングによりゲート絶縁膜308が部分的にエッチングされて、島状の半導体膜305～307上に部分的に形成されたゲート絶縁膜313が形成される。また上記異方性エッチングにより絶縁膜が部分的にエッチングされて、ゲート電極309の側面に接するサイドウォール314が形成される。サイドウォール314は、LDD（Lightly Doped drain）領域を形成する際のドーピング用のマスクとして用いる。本実施例ではエッチングガスとしては、 CHF_3 とHeの混合ガスを用いる。なお、サイドウォール314を形成する工程は、これらに限定

20

【0183】

次にpチャネル型TFTとなる島状の半導体膜305を覆うようにマスクを形成する。そして、形成したマスクに加えてゲート電極309及びサイドウォール314をマスクとして用い、n型を付与する不純物元素（代表的にはPまたはAs）を高濃度にドーピングする（第3のドーピング工程）。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧： $60 \sim 100 \text{ keV}$ として行なう。この第3のドーピング工程によって、島状の半導体膜306、307に、一对のn型の高濃度不純物領域315がそれぞれ形成される。

【0184】

なおサイドウォール314は、後に高濃度のn型を付与する不純物をドーピングし、サイドウォール314の下部に低濃度不純物領域またはノンドープのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域またはオフセット領域の幅を制御するには、サイドウォール314を形成する際の異方性エッチングの条件またはサイドウォール314を形成するための絶縁膜の膜厚を適宜変更し、サイドウォール314のサイズを調整すればよい。

30

【0185】

次に、マスクをアッシング等により除去した後、不純物領域の加熱処理による活性化を行っても良い。例えば、50nmの酸化窒化珪素膜を形成した後、 550°C 、4時間、窒素雰囲気中において、加熱処理を行えばよい。

40

【0186】

また、水素を含む窒化珪素膜を、100nmの膜厚に形成した後、 410°C 、1時間、窒素雰囲気中において加熱処理を行ない、島状の半導体膜305～307を水素化する工程を行なっても良い。或いは、水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で1～12時間の加熱処理を行ない、島状の半導体膜305～307を水素化する工程を行なっても良い。加熱処理には、熱アニール、レーザーアニール法またはRTA法などを用いることが出来る。加熱処理により、水素化のみならず、半導体膜に添加された不純物元素の活性化も行なうことが出来る。また、水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを終端することができる。

50

【0187】

上述した一連の工程により、nチャネル型TF T 3 1 8、3 1 9、pチャネル型TF T 3 1 7が形成される。

【0188】

次に図13 (C) に示すように、TF T 3 1 7～3 1 9を保護するためのパッシベーション膜として機能する絶縁膜3 2 0を形成する。絶縁膜3 2 0は必ずしも設ける必要はないが、絶縁膜3 2 0を形成することで、アルカリ金属やアルカリ土類金属などの不純物がTF T 3 1 7～3 1 9へ侵入するのを防ぐことが出来る。具体的に絶縁膜3 2 0として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。本実施例では、膜厚6 0 0 nm程度の酸化窒化珪素膜を、絶縁膜3 2 0として用いる。この場合、上記水素化の工程は、該酸化窒化珪素膜形成後に行っても良い。

10

【0189】

次に、TF T 3 1 7～3 1 9を覆うように、絶縁膜3 2 0上に絶縁膜3 2 1を形成する。絶縁膜3 2 1は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、PSG（リンシリケートガラス）、BPSG（リンボロンシリケートガラス）、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜3 2 1を形成しても良い。

20

【0190】

絶縁膜3 2 1の形成には、その材料に応じて、CVD法、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0191】

次に島状の半導体膜3 0 5～3 0 7がそれぞれ一部露出するように絶縁膜3 2 0及び絶縁膜3 2 1にコンタクトホールを形成する。そして、導電膜3 2 2と、該コンタクトホールを介して島状の半導体膜3 0 5～3 0 7に接する導電膜3 2 3～3 2 6とを形成する。コンタクトホール開口時のエッチングに用いられるガスは、CHF₃とHeの混合ガスを用いたが、これに限定されるものではない。

30

【0192】

導電膜3 2 2～3 2 6は、CVD法やスパッタリング法等により形成することができる。具体的に導電膜3 2 2～3 2 6として、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジウム（Nd）、炭素（C）、珪素（Si）等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜3 2 2～3 2 6は、上記金属が用いられた膜を単層または複数積層させて形成することが出来る。

40

【0193】

アルミニウムを主成分とする合金の例として、アルミニウムを主成分としニッケルを含むものが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方とを含むものも例として挙げることが出来る。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜3 2 2～3 2 6を形成する材料として最適である。特にアルミニウムシリコン（Al-Si）膜は、導電膜3 2 2～3 2 6をパターンニングするとき、レジストバークにおけるヒロックの発生をアルミニウム膜に比べて防止することができる。また、珪素（Si）の代わりに、アルミニウム膜に0.5%程度のCuを混入させても良い。

【0194】

50

導電膜 322～326 は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリコン (Al-Si) 膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、島状の半導体膜 305～307 上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜 323～326 と島状の半導体膜 305～307 が良好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いても良い。その場合、例えば、導電膜 322～326 をチタン、窒化チタン、アルミニウムシリコン、チタン、窒化チタンの順に積層された 5 層構造とすることが出来る。

10

【0195】

なお、導電膜 324、325 は n チャンネル型 TFT 318 の高濃度不純物領域 315 に接続されている。導電膜 325、326 は n チャンネル型 TFT 319 の高濃度不純物領域 315 に接続されている。導電膜 323 は p チャンネル型 TFT 317 の高濃度不純物領域 312 に接続されている。p チャンネル型 TFT 317 は、導電膜 323 によりその不純物領域 312 が全て電氣的に接続されている。また p チャンネル型 TFT 317 は 2 つのゲート電極 309 が電氣的に接続されており、MOS バラクタとして機能する。

20

【0196】

次に図 14 (A) に示すように、導電膜 322～326 を覆うように絶縁膜 330 を形成し、その後、導電膜 322 の一部が露出するように、該絶縁膜 330 にコンタクトホールを形成する。そして該コンタクトホールにおいて導電膜 322 と接するように、導電膜 331 を形成する。導電膜 322～326 に用いることが出来る材料であるならば、導電膜 331 の材料として使用することが出来る。

【0197】

絶縁膜 330 は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることが出来る。無機絶縁膜ならば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC (ダイヤモンドライクカーボン) に代表される炭素を含む膜などを用いることができる。なおフォトリソグラフィ法で開口部を形成するのに用いるマスクを、液滴吐出法または印刷法で形成することができる。また絶縁膜 330 はその材料に応じて、CVD 法、スパッタ法、液滴吐出法または印刷法などで形成することが出来る。

30

【0198】

次にアンテナとして機能する導電膜 332 を、その一部が導電膜 331 と接するように形成する。導電膜 332 は、銀 (Ag)、金 (Au)、銅 (Cu)、パラジウム (Pd)、クロム (Cr)、白金 (Pt)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、タングステン (W)、アルミニウム (Al)、鉄 (Fe)、コバルト (Co)、亜鉛 (Zn)、錫 (Sn)、ニッケル (Ni) などの金属を用いて形成することが出来る。導電膜 332 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。導電膜 332 は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。

40

【0199】

導電膜 332 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、めっき法、フォトリソグラフィ法、蒸着法等を用いて形成することが出来る。

【0200】

例えばスクリーン印刷法を用いる場合、粒径が数 nm から数十 μm の導電性を有する粒子 (導電体粒子) を有機樹脂に分散させた導電性のペーストを、絶縁膜 330 上に選択的に

50

印刷することで導電膜 332 を形成することができる。導電体粒子は、銀 (Ag)、金 (Au)、銅 (Cu)、ニッケル (Ni)、白金 (Pt)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo)、錫 (Sn)、鉛 (Pb)、亜鉛 (Zn)、クロム (Cr) またはチタン (Ti) 等を用いて形成することが出来る。導電体粒子は上記金属で形成されたものの他に、上記金属を主成分とする合金で形成されていても良いし、上記金属を含む化合物を用いて形成されていても良い。またハロゲン化銀の微粒子または分散性ナノ粒子も用いることができる。また、導電性ペーストに含まれる有機樹脂として、ポリイミド、シロキサン系樹脂、エポキシ樹脂、珪素樹脂等を用いることが出来る。

【0201】

上記金属の合金の一例として、銀 (Ag) とパラジウム (Pd)、銀 (Ag) と白金 (Pt)、金 (Au) と白金 (Pt)、金 (Au) とパラジウム (Pd)、銀 (Ag) と銅 (Cu) の組み合わせが挙げられる。また例えば、銅 (Cu) を銀 (Ag) でコートした導電体粒子なども用いることが可能である。

10

【0202】

なお導電膜 332 の形成にあたり、印刷法や液滴吐出法で導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストに、銀を主成分とする導電体粒子 (例えば粒径 1 nm 以上 100 nm 以下) を用いる場合、150~300℃の温度範囲で焼成することにより、導電膜 332 を形成することができる。焼成は、赤外ランプ、キセノンランプ、ハロゲンランプなどを用いたランプアニールで行なっても良いし、電気炉を用いたファーネスアニールで行なっても良い。またエキシマレーザや、Nd:YAG レーザを用いたレーザーアニール法で行なっても良い。また、半田や鉛フリーの半田を主成分とする微粒子を用いてもよく、この場合は粒径 20 μm 以下の微粒子を用いることが好ましい。半田や鉛フリーの半田は、低コストであるといった利点を有している。

20

【0203】

印刷法、液滴吐出法を用いることで、露光用のマスクを用いずとも導電膜 332 を形成することが可能になる。また、液滴吐出法、印刷法だと、フォトリソグラフィ法と異なり、エッチングにより除去されてしまうような材料の無駄がない。また高価な露光用のマスクを用いなくとも良いので、半導体装置の作製に費やされるコストを抑えることができる。

【0204】

次に図 14 (B) に示すように、導電膜 331 及び導電膜 332 を覆うように、絶縁膜 330 上に絶縁膜 333 を形成する。絶縁膜 333 は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることが出来る。無機絶縁膜ならば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC (ダイヤモンドライクカーボン) に代表される炭素を含む膜などを用いることができる。なおフォトリソグラフィ法で開口部を形成するのに用いるマスクを、液滴吐出法または印刷法で形成することができる。また絶縁膜 333 はその材料に応じて、CVD 法、スパッタ法、液滴吐出法または印刷法などで形成することが出来る。

30

【0205】

次に図 15 (A) に示すように、絶縁膜 303 から絶縁膜 333 までの、TFE に代表される半導体素子と各種導電膜を含む層 (以下、「素子形成層 334」と記す) を、基板 300 から剥離する。本実施例では、第 1 のシート材 335 を素子形成層 334 の絶縁膜 333 側の面に貼り合わせ、物理的な力を用いて基板 300 から素子形成層 334 を剥離する。剥離層 302 は、全て除去せず一部が残存した状態であっても良い。

40

【0206】

また上記剥離は、剥離層 302 のエッチングを用いた方法で行っても良い。この場合、剥離層 302 が一部露出するように溝を形成する。溝は、ダイシング、スクライビング、UV 光を含むレーザ光を用いた加工、フォトリソグラフィ法などにより、溝を形成する。溝は、剥離層 302 が露出する程度の深さを有していれば良い。そしてエッチングガスとしてフッ化ハロゲンを用い、該ガスを溝から導入する。本実施例では、例えば CF_3 (三

50

フッ化塩素)を用い、温度：350℃、流量：300sccm、気圧：6Torr、時間：3hの条件で行なう。また、 ClF_3 ガスに窒素を混ぜたガスを用いても良い。 ClF_3 等のフッ化ハロゲンを用いることで、剥離層302が選択的にエッチングされ、基板300をTF317~319から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

【0207】

次に図15(B)に示すように、素子形成層334の上記剥離により露出した面に、第2のシート材336を貼り合わせた後、素子形成層334を第1のシート材335から剥離する。

【0208】

なお基板300上に複数の半導体装置に対応する半導体素子を形成している場合には、素子形成層334を半導体装置ごとに分断する。分断は、レーザ照射装置、ダイシング装置、スクライブ装置等を用いることができる。

【0209】

なお本実施例では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、本発明はこの構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、集積回路と電気的に接続するようにしても良い。この場合、アンテナと集積回路との電気的な接続は、異方導電性フィルム(ACF(Anisotropic Conductive Film))や異方導電性ペースト(ACP(Anisotropic Conductive Paste))等で圧着させることにより電気的に接続することが出来る。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

【0210】

なお、図15(B)に示す半導体装置が完成したら、絶縁膜333を覆うように第3のシート材を貼り合わせ、加熱処理と加圧処理の一方または両方を行って第2のシート材336と第3のシート材を貼り合わせる様にしても良い。第2のシート材336、第3のシート材として、ホットメルトフィルム等を用いることができる。また第3のシート材を用意せずとも、第1のシート材335を剥離せずに、第1のシート材335と第2のシート材336を貼り合わせる様にしても良い。

【0211】

また第2のシート材336、第3のシート材として、静電気等を防止する帯電防止対策を施したフィルム(以下、帯電防止フィルムと記す)を用いることもできる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0212】

帯電防止フィルムは、帯電を防ぐことが出来る材料(帯電防止剤)がフィルムに練り込まれたタイプ、フィルムそのものが帯電を防ぐ効果を有するタイプ、及び帯電防止剤をフィルムにコーティングしたタイプ等が挙げられる。帯電防止剤は、ノニオンポリマー系、アニオンポリマー系、カチオンポリマー系、ノニオン界面活性剤系、アニオン界面活性剤系、カチオン界面活性剤系、両性界面活性剤系を用いることが出来る。また金属、インジウムと錫の酸化物(ITO)等も帯電防止剤として用いることが出来る。また帯電を防ぐ効果を有するフィルムの材料として、オレフィン系樹脂、ABS樹脂、スチレン系樹脂、PMMA樹脂、ポリカーボネート系樹脂、PVCポリエステル系樹脂、ポリアミド樹脂、変性PPO樹脂などを用いることが出来る。

【0213】

なお、本実施例は、上記実施の形態及び実施例と組み合わせて実施することが出来る。

【実施例8】

【0214】

本実施例では、単結晶基板に形成されたトランジスタを用いて、本発明の半導体装置を作製する例について説明する。単結晶基板に形成されたトランジスタは特性のばらつきを抑

10

20

30

40

50

えることが出来るので、半導体装置に用いるトランジスタの数を抑えることが出来る。

【0215】

まず図16(A)に示すように、半導体基板2300に、半導体素子を電気的に分離するための素子分離用絶縁膜2301を絶縁膜で形成する。素子分離用絶縁膜2301の形成により、トランジスタを形成するための領域(素子形成領域)2302と、素子形成領域2303とを電気的に分離することが出来る。

【0216】

半導体基板2300は、例えば、n型またはp型の導電型を有する単結晶シリコン基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等)、貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon on Insulator)基板等を用いることができる。

10

【0217】

素子分離用絶縁膜2301の形成には、選択酸化法(LOCOS(Local Oxidation of Silicon)法)またはトレンチ分離法等を用いることができる。

【0218】

また本実施例ではn型の導電型を有する単結晶シリコン基板を半導体基板2300として用い、素子形成領域2303にpウェル2304を形成した例を示している。半導体基板2300の素子形成領域2303に形成されたpウェル2304は、p型の導電型を付与する不純物元素を素子形成領域2303に選択的に導入することによって形成することができる。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等を用いることができる。また半導体基板2300としてp型の導電型を有する半導体基板を用いる場合、素子形成領域2302にn型を付与する不純物元素を選択的に導入し、nウェルを形成すれば良い。

20

【0219】

なお本実施例では、半導体基板2300としてn型の導電型を有する半導体基板を用いているため、素子形成領域2302には不純物元素の導入を行っていない。しかし、n型を付与する不純物元素を導入することにより素子形成領域2302にnウェルを形成してもよい。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。

30

【0220】

次に図16(B)に示すように、素子形成領域2302、2303を覆うように絶縁膜2305、2306をそれぞれ形成する。本実施例では、半導体基板2300を熱酸化することで素子形成領域2302、2303に形成された酸化珪素膜を、絶縁膜2305、2306として用いる。また、熱酸化により酸化珪素膜を形成した後、窒化処理を行うことによって酸化珪素膜の表面を窒化させて酸窒化珪素膜を形成し、酸化珪素膜と酸窒化珪素膜とが積層された層を絶縁膜2305、2306として用いても良い。

【0221】

他にも、上述したように、プラズマ処理を用いて絶縁膜2305、2306を形成してもよい。例えば、高密度プラズマ処理により半導体基板2300の表面を酸化または窒化することで、素子形成領域2302、2303に、絶縁膜2305、2306として用いる酸化珪素(SiO_x)膜または窒化珪素(SiN_x)膜を形成することができる。

40

【0222】

次に図16(C)に示すように、絶縁膜2305、2306を覆うように導電膜を形成する。本実施例では、導電膜として、順に積層された導電膜2307と導電膜2308とを用いた例を示している。導電膜は、単層の導電膜を用いても良いし、3層以上の導電膜が積層された構造を用いても良い。

【0223】

導電膜2307、2308として、タンタル(Ta)、タングステン(W)、チタン(Ti)

50

i)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることが出来る。また導電膜2307、2308は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。本実施例では、窒化タンタルを用いて導電膜2307を形成し、タングステンをを用いて導電膜2308を形成する。

【0224】

次に図17(A)に示すように、積層して設けられた導電膜2307、2308を所定の形状に加工(パターニング)することによって、絶縁膜2305、2306上にゲート電極2309、2310を形成する。

10

【0225】

次に図17(B)に示すように、素子形成領域2302を覆うように、レジストでマスク2311を選択的に形成する。そして、素子形成領域2303に不純物元素を導入する。マスク2311に加えてゲート電極2310もマスクとして機能するので、上記不純物元素の導入により、pウェル2304にソース領域またはドレイン領域として機能する不純物領域2312と、チャンネル形成領域2313が形成される。不純物元素は、n型を付与する不純物元素またはp型を付与する不純物元素を用いる。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本実施例では、不純物元素として、リン(P)を用いる。

20

【0226】

次にマスク2311を除去した後、図17(C)に示すように、素子形成領域2303を覆うようにレジストでマスク2314を選択的に形成する。そして素子形成領域2302に不純物元素を導入する。マスク2314に加えてゲート電極2309もマスクとして機能するので、上記不純物元素の導入により、素子形成領域2302内の半導体基板2300において、ソース領域またはドレイン領域として機能する不純物領域2315と、チャンネル形成領域2316が形成される。不純物元素としては、n型を付与する不純物元素またはp型を付与する不純物元素を用いる。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本実施例では、図17(B)で素子形成領域2303に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。

30

【0227】

次に図18(A)に示すように、絶縁膜2305、2306、ゲート電極2309、2310を覆うように絶縁膜2317を形成する。そして絶縁膜2317にコンタクトホールを形成し、不純物領域2312、2315を一部露出させる。次にコンタクトホールを介して不純物領域2312、2315と接続する導電膜2318を形成する。導電膜2318は、CVD法やスパッタリング法等により形成することができる。

【0228】

絶縁膜2317は、無機絶縁膜、有機樹脂膜またはシロキサン系絶縁膜を用いて形成することができる。無機絶縁膜ならば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC(ダイヤモンドライクカーボン)に代表される炭素を含む膜などを用いることができる。有機樹脂膜ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることが出来る。また絶縁膜2317はその材料に応じて、CVD法、スパッタ法、液滴吐出法または印刷法などで形成することが出来る。

40

【0229】

なお本発明の半導体装置に用いるトランジスタは、本実施例において図示した構造に限定されるものではない。例えば、逆スタガ構造であっても良い。

【0230】

50

次に図18(B)に示すように層間膜2324を形成する。そして層間膜2324をエッチングしコンタクトホールを形成し、導電膜2318の一部を露出させる。層間膜2324は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜2324上に、コンタクトホールを介して導電膜2318と接する配線2325を形成する。

【0231】

次にアンテナとして機能する導電膜2326を、配線2325と接するように形成する。導電膜2326は、銀(Ag)、金(Au)、銅(Cu)、パラジウム(Pd)、クロム(Cr)、白金(Pt)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、タングステン(W)、アルミニウム(Al)、鉄(Fe)、コバルト(Co)、亜鉛(Zn)、錫(Sn)、ニッケル(Ni)などの金属を用いて形成することが出来る。導電膜2326は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。導電膜2326は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。

10

【0232】

導電膜2326は、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、めっき法、フォトリソグラフィ法、蒸着法等を用いて形成することが出来る。

【0233】

なお本実施例では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、本発明はこの構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、集積回路と電氣的に接続するようにしても良い。この場合、アンテナと集積回路との電氣的な接続は、異方導電性フィルム(ACF(Anisotropic Conductive Film))や異方導電性ペースト(ACP(Anisotropic Conductive Paste))等で圧着させることにより電氣的に接続することが出来る。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

20

【0234】

上記作製方法を用いることで、本発明の半導体装置は、半導体基板にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。上記構成により、より極薄化、小型化された半導体装置を提供することができる。

30

【0235】

なお、本実施例は、上記実施の形態及び実施例と組み合わせて実施することが出来る。

【実施例9】

【0236】

本実施例では、図3(A)に示した本発明の整流回路の構成を、その上面図を用いて説明する。

【0237】

図11に、本発明の整流回路の上面図を示す。図11において、103は可変容量、104はダイオード、105はダイオード、106は平滑用容量に相当する。図11では可変容量103としてpチャネル型のMOSバラクタを用いている。またダイオード104、ダイオード105として、nチャネル型のトランジスタを用いている。

40

【0238】

導電膜130には入力端子A1の電位が与えられている。そして、導電膜130は導電膜132と接続されている。導電膜132は、その一部が、可変容量103として用いるMOSバラクタの第1の電極として機能する。可変容量103が有する半導体膜131の不純物領域は、MOSバラクタの第2の電極として機能し、全て導電膜134に接続されている。

【0239】

50

導電膜 137 には入力端子 A2 の電位が与えられており、なおかつ導電膜 137 の電位は出力端子 OUT2 の電位として後段の回路に与えられる。導電膜 137 は、ダイオード 104 が有する半導体膜 135 のソース領域と接続されている。導電膜 133 は、その一部がダイオード 104 のゲート電極として機能し、導電膜 137 に接続されている。ダイオード 104 が有する半導体膜 135 のドレイン領域は、導電膜 134 に接続されている。

【0240】

導電膜 143 は、その一部がダイオード 105 のゲート電極として機能し、導電膜 134 に接続されている。ダイオード 105 が有する半導体膜 136 のソース領域は、導電膜 134 に接続されている。ダイオード 105 が有する半導体膜 136 のドレイン領域は、導電膜 138 に接続されている。導電膜 138 の電位は、出力端子 OUT1 の電位として後段の回路に与えられる。

10

【0241】

平滑用容量 106 が有する半導体膜 140 は、ゲート絶縁膜を間に挟んで導電膜 141 と重なっている。導電膜 141 は導電膜 138 に接続されており、半導体膜 140 は導電膜 137 に接続されている。ゲート絶縁膜を間に挟んで半導体膜 140 と導電膜 141 とが重なっている領域が、平滑用容量 106 として機能する。

【0242】

なおダイオード 104 において、半導体膜 135 のドレイン領域はカソードとして機能し、ソース領域はゲート電極と共にアノードとして機能する。またダイオード 105 において、半導体膜 136 のドレイン領域はカソードとして機能し、ソース領域はゲート電極と共にアノードとして機能する。

20

【0243】

本発明の整流回路は、通常の薄膜のトランジスタのプロセスを用いて形成することができる。よって、整流回路、延いては該整流回路を用いた半導体装置を作製するためのコストを抑えることが出来る。

【符号の説明】

【0244】

- 101 整流回路
- 102 アンテナ
- 103 可変容量
- 104 ダイオード
- 105 ダイオード
- 106 平滑用容量
- 107 インダクタ
- 108 共振容量
- 130 導電膜
- 131 半導体膜
- 132 導電膜
- 133 導電膜
- 134 導電膜
- 135 半導体膜
- 136 半導体膜
- 137 導電膜
- 138 導電膜
- 140 半導体膜
- 141 導電膜
- 143 導電膜
- 201 整流回路
- 202 アンテナ
- 203 可変容量

30

40

50

2 0 4	ダイオード	
2 0 5	ダイオード	
2 0 7	インダクタ	
2 0 8	共振容量	
2 0 9	抵抗	
2 1 0	容量	
3 0 0	基板	
3 0 1	絶縁膜	
3 0 2	剥離層	
3 0 3	絶縁膜	10
3 0 4	半導体膜	
3 0 5	半導体膜	
3 0 6	半導体膜	
3 0 8	ゲート絶縁膜	
3 0 9	ゲート電極	
3 1 0	不純物領域	
3 1 1	マスク	
3 1 2	不純物領域	
3 1 3	ゲート絶縁膜	
3 1 4	サイドウォール	20
3 1 5	不純物領域	
3 1 7	T F T	
3 1 8	T F T	
3 1 9	T F T	
3 2 0	絶縁膜	
3 2 1	絶縁膜	
3 2 2	導電膜	
3 2 3	導電膜	
3 2 4	導電膜	
3 2 5	導電膜	30
3 3 0	絶縁膜	
3 3 1	導電膜	
3 3 2	導電膜	
3 3 3	絶縁膜	
3 3 4	素子形成層	
3 3 5	シート材	
3 3 6	シート材	
4 0 1	破線	
4 0 2	破線	
5 0 1	整流回路	40
5 0 2	アンテナ	
5 0 3	可変容量	
5 0 4	ダイオード	
5 0 5	ダイオード	
5 0 6	平滑用容量	
5 0 7	ダイオード	
5 0 8	平滑用容量	
6 0 1	整流回路	
6 0 2	アンテナ	
6 0 3	可変容量	50

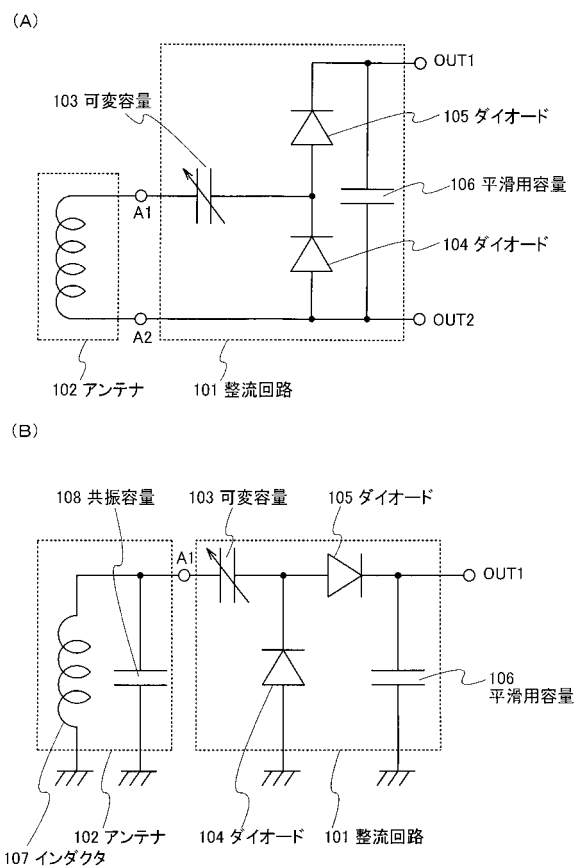
6 0 4	ダイオード	
6 0 5	ダイオード	
6 0 6	平滑用容量	
6 0 7	ダイオード	
6 0 8	平滑用容量	
7 0 1	整流回路	
7 0 2	アンテナ	
7 0 3	可変容量	
7 0 4	ダイオード	
7 0 5	ダイオード	10
7 0 6	平滑用容量	
7 0 7	ダイオード	
7 0 8	平滑用容量	
7 0 9	可変容量	
7 1 0	ダイオード	
8 0 1	整流回路	
8 0 2	アンテナ	
8 0 3	可変容量	
8 0 4	ダイオード	
8 0 5	ダイオード	20
8 0 6	平滑用容量	
8 0 7	ダイオード	
8 0 8	平滑用容量	
8 0 9	可変容量	
8 1 0	ダイオード	
9 0 0	半導体装置	
9 0 1	アンテナ	
9 0 2	集積回路	
9 0 3	整流回路	
9 0 4	復調回路	30
9 0 5	変調回路	
9 0 6	レギュレータ	
9 0 7	信号生成回路	
9 0 8	エンコーダ	
9 0 9	メモリ	
1 6 0 1	集積回路	
1 6 0 2	アンテナ	
1 6 0 3	基板	
1 6 0 4	カバー材	
1 6 0 5	集積回路	40
1 6 0 6	アンテナ	
1 6 0 7	カバー材	
1 6 0 8	基板	
1 9 0 1	アンテナ	
1 9 0 2	リミッタ	
1 9 0 3	整流回路	
1 9 1 0	インダクタ	
1 9 1 1	共振容量	
1 9 1 2	スイッチ	
2 3 0 0	半導体基板	50

2 3 0 1	素子分離用絶縁膜
2 3 0 2	素子形成領域
2 3 0 3	素子形成領域
2 3 0 4	p ウェル
2 3 0 5	絶縁膜
2 3 0 7	導電膜
2 3 0 8	導電膜
2 3 0 9	ゲート電極
2 3 1 0	ゲート電極
2 3 1 1	マスク
2 3 1 2	不純物領域
2 3 1 3	チャンネル形成領域
2 3 1 4	マスク
2 3 1 5	不純物領域
2 3 1 6	チャンネル形成領域
2 3 1 7	絶縁膜
2 3 1 8	導電膜
2 3 2 4	層間膜
2 3 2 5	配線
2 3 2 6	導電膜

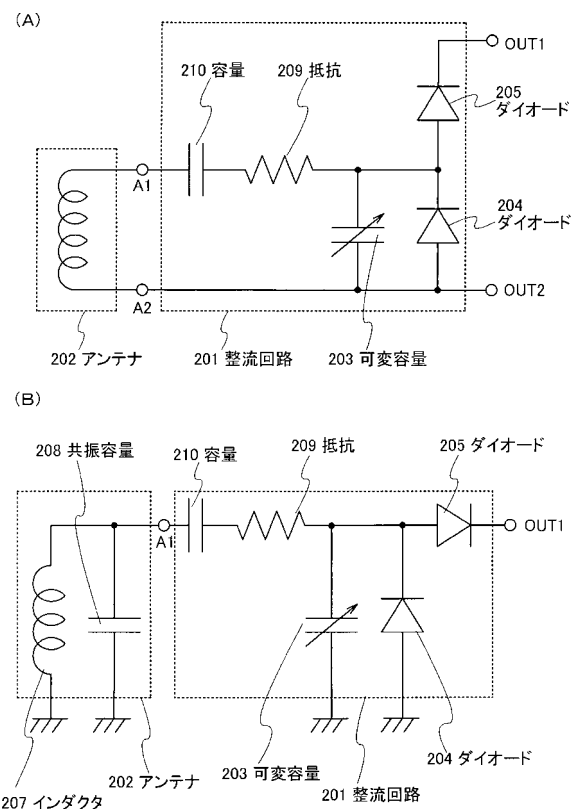
10

20

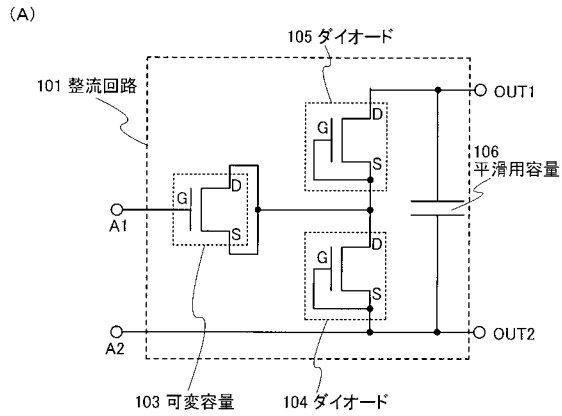
【図 1】



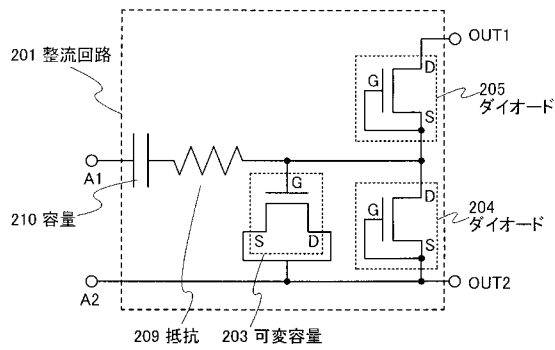
【図 2】



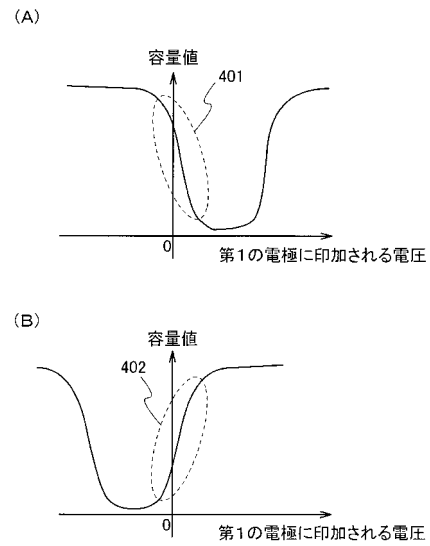
【図 3】



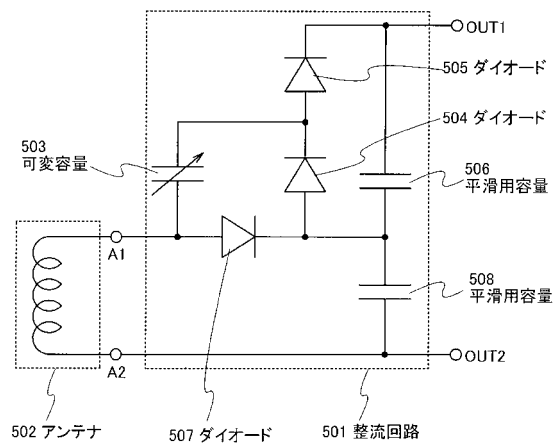
(B)



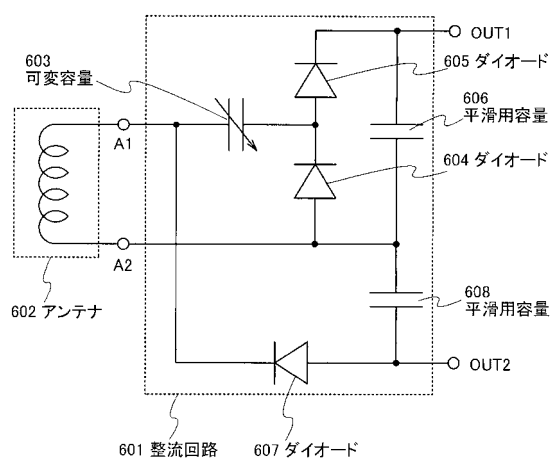
【図 4】



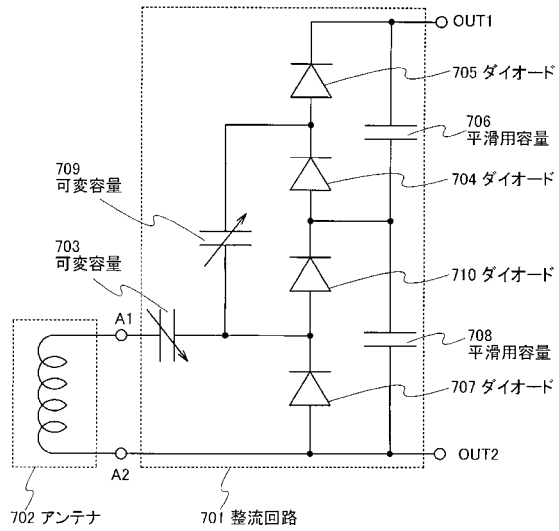
【図 5】



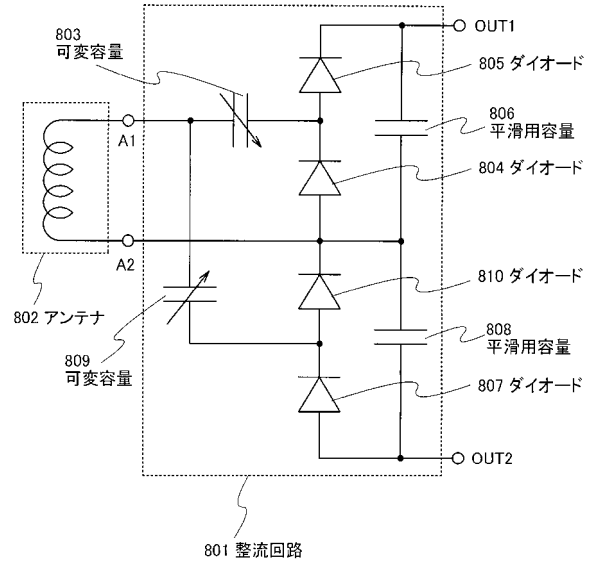
【図 6】



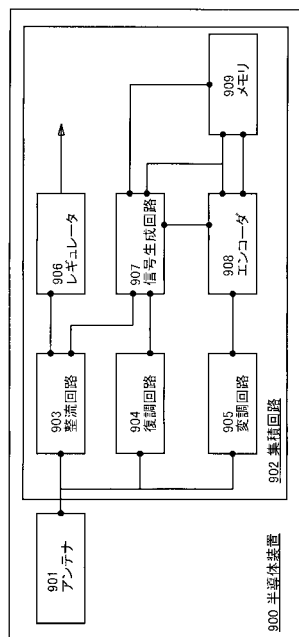
【図 7】



【図 8】

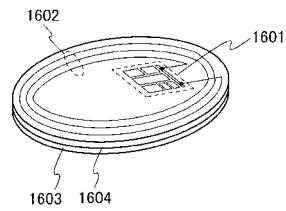


【図 9】

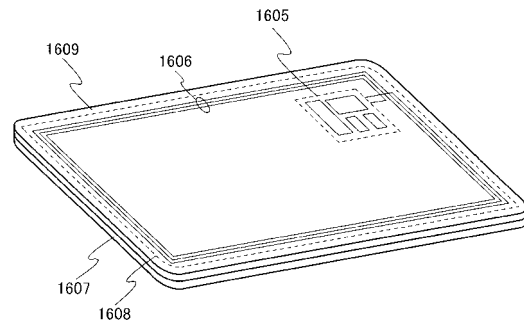


【図 10】

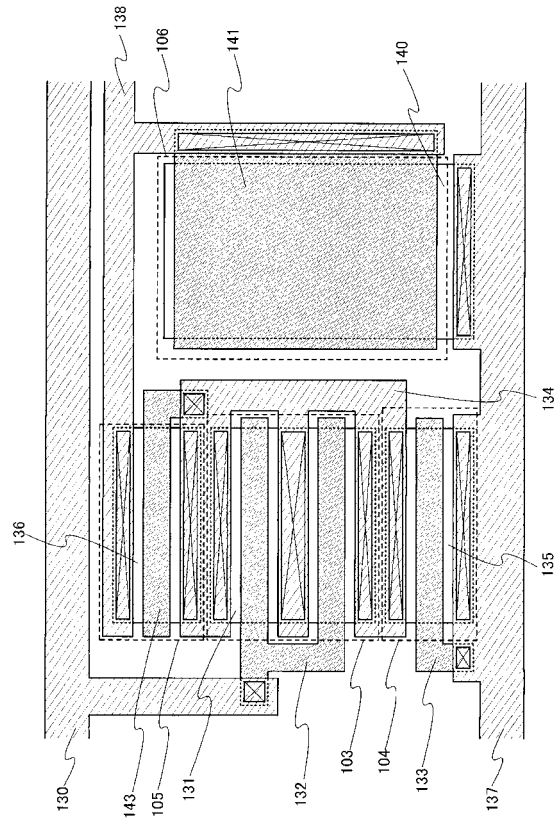
(A)



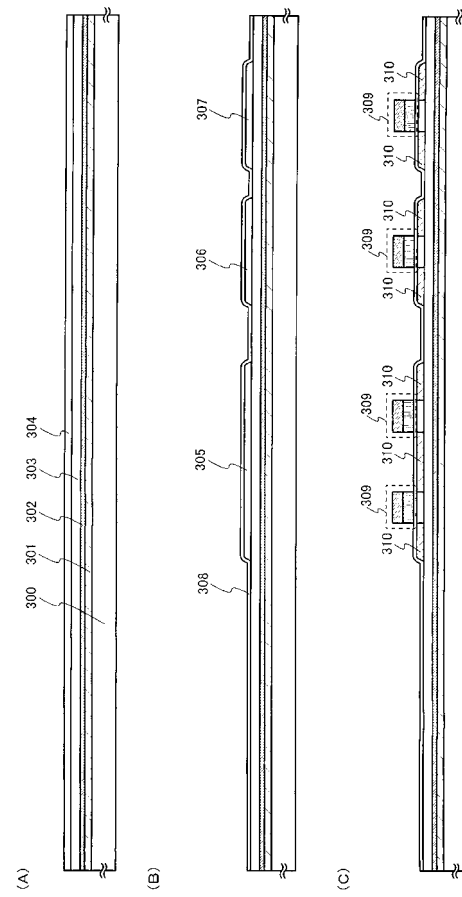
(B)



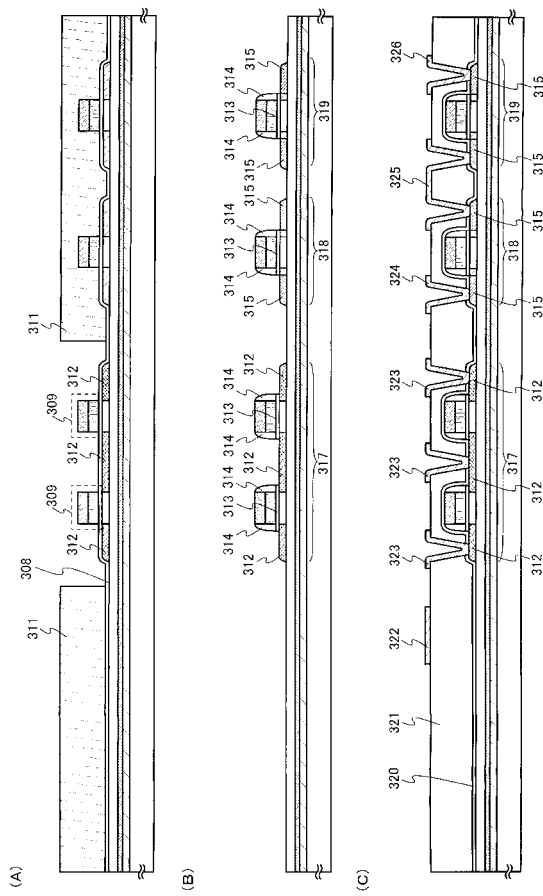
【図 1 1】



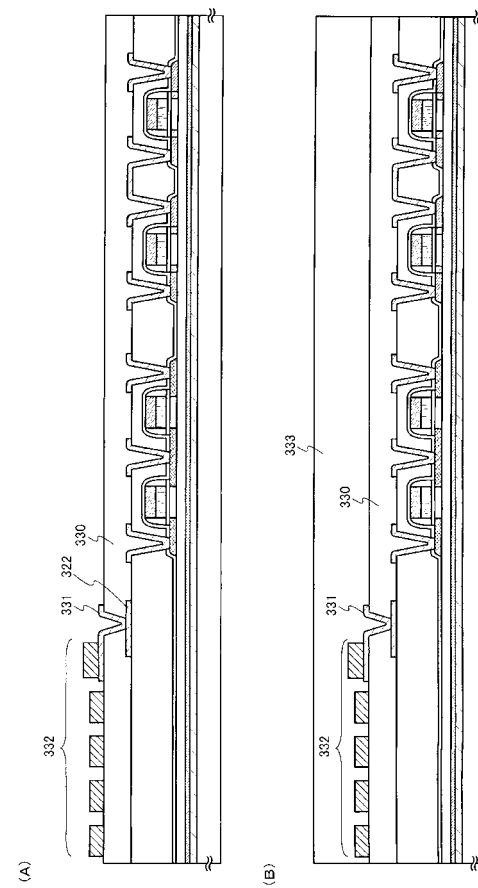
【図 1 2】



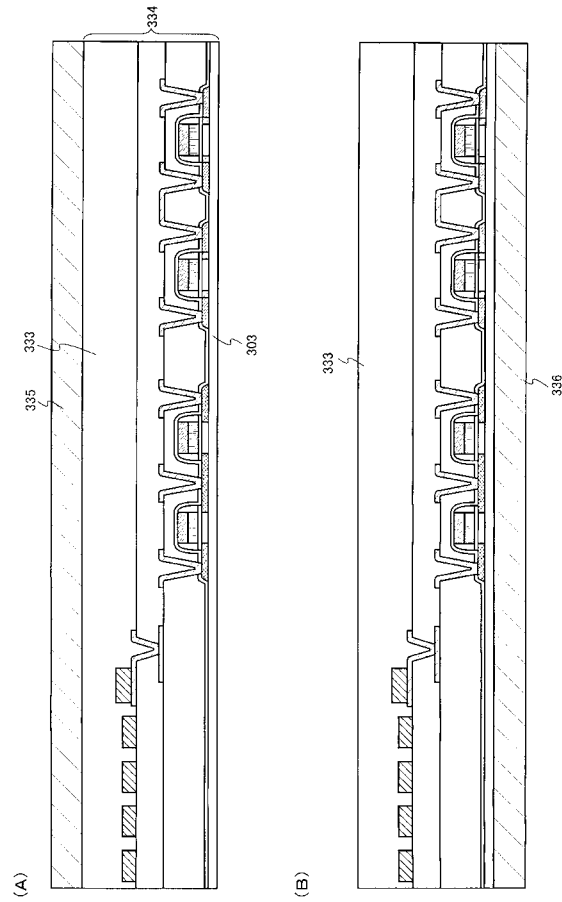
【図 1 3】



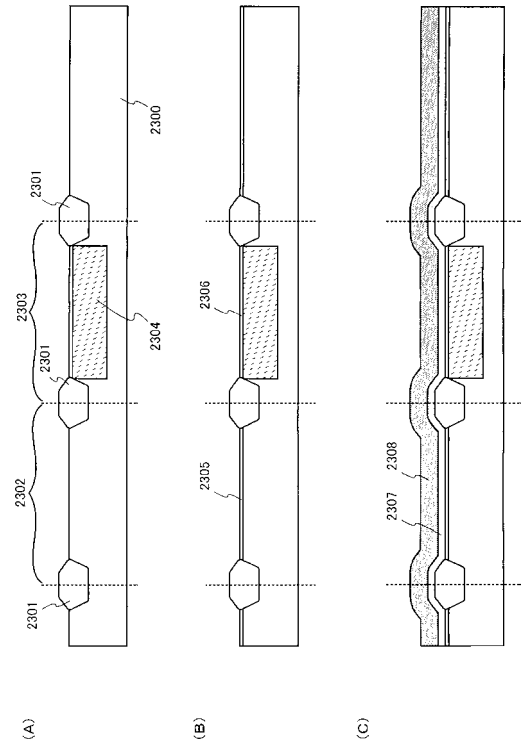
【図 1 4】



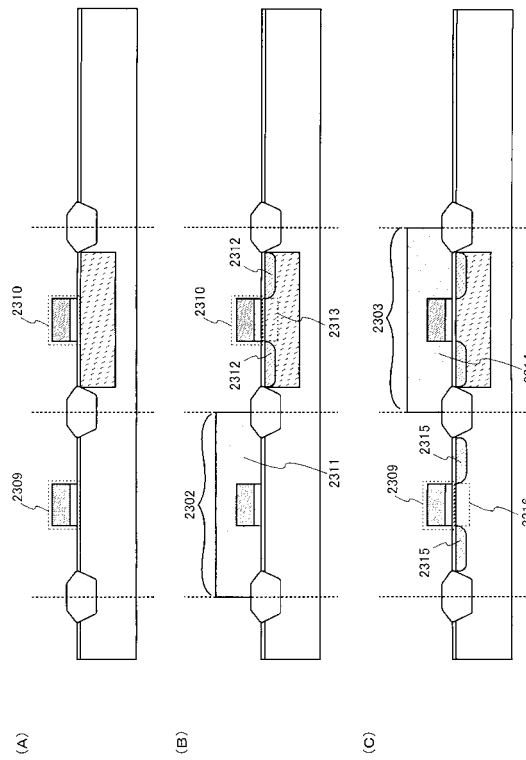
【図 15】



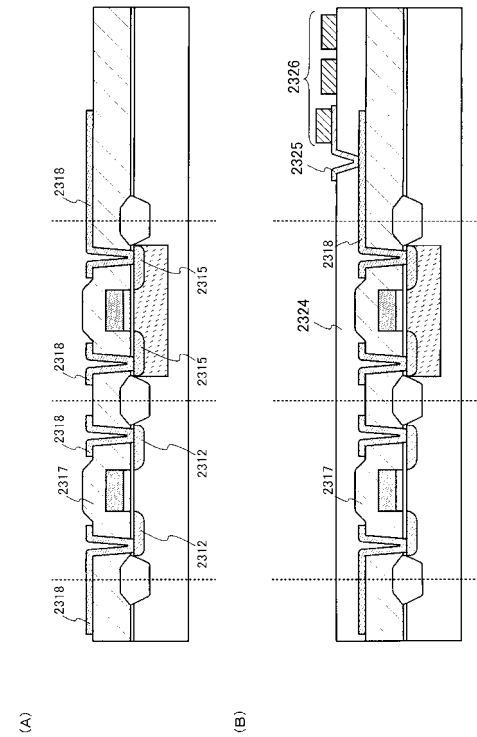
【図 16】



【図 17】

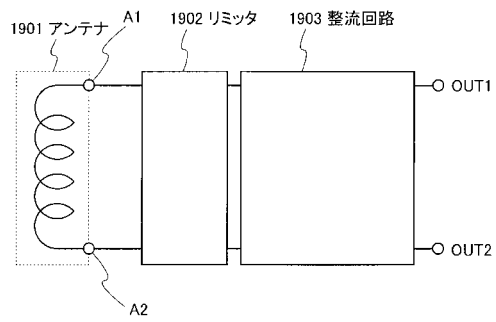


【図 18】

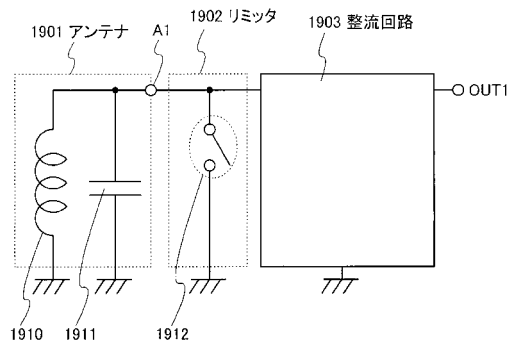


【図 19】

(A)



(B)



フロントページの続き

(51)Int.Cl.

F I

<i>H 0 1 L</i>	<i>21/8234</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i>	<i>G</i>
<i>H 0 1 L</i>	<i>27/08</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i>	<i>V</i>
<i>H 0 1 L</i>	<i>21/822</i>	<i>(2006.01)</i>	<i>H 0 3 D</i>	<i>1/10</i>	<i>Z</i>
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	<i>H 0 4 B</i>	<i>5/02</i>	
<i>H 0 3 D</i>	<i>1/10</i>	<i>(2006.01)</i>			
<i>H 0 4 B</i>	<i>5/02</i>	<i>(2006.01)</i>			

(58)調査した分野(Int.Cl., DB名)

<i>H 0 2 M</i>	<i>7/06</i>
<i>H 0 2 M</i>	<i>7/10</i>
<i>H 0 1 L</i>	<i>21/329</i>
<i>H 0 1 L</i>	<i>21/822</i>
<i>H 0 1 L</i>	<i>21/8234</i>
<i>H 0 1 L</i>	<i>27/04</i>
<i>H 0 1 L</i>	<i>27/06</i>
<i>H 0 1 L</i>	<i>27/08</i>
<i>H 0 1 L</i>	<i>29/93</i>
<i>H 0 3 D</i>	<i>1/10</i>
<i>H 0 4 B</i>	<i>5/02</i>