

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G02F 1/136

(45) 공고일자 2005년03월18일
(11) 등록번호 10-0477565
(24) 등록일자 2005년03월09일

(21) 출원번호 10-2001-0014615 (65) 공개번호 10-2001-0093064
(22) 출원일자 2001년03월21일 (43) 공개일자 2001년10월27일

(30) 우선권주장 2000-85103 2000년03월24일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고

(72) 발명자 니노미야도시히로
일본국사이타마현후카야시하타라정1정목9번2호가부시끼가이샤도
시바후카야공장내

(74) 대리인 김윤배
이범일

심사관 : 임동재

(54) 평면표시장치용 어레이 기관의 제조방법 및평면표시장치의 제조방법

요약

평면표시장치에 이용하는 어레이기관의 제조방법에 있어서, 미리 열처리에 의해 발생하는 절연기관의 변형량을 고려하여, 상기 변형량분 만큼 칫수를 보정하여 제1패턴을 상기 절연기관상에 형성한다. 그리고, 절연기관 및 제1패턴을 소정 온도로 가열하는 열처리를 수행한 후, 앞에서 형성한 패턴에 일치시켜 다음의 패턴을 절연기관상에 형성한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예에 따른 제조방법에 의해 제조되는 TFT 어레이 기관을 나타낸 단면도,

도 2는 상기 TFT 어레이 기관을 이용하여 구성된 액정표시장치를 도시한 단면도,

도 3 내지 도 8은 본 발명의 제3실시예에 따른 제조방법을 나타낸 것으로,

도 3은 반도체층을 형성하는 공정을 나타낸 단면도,

도 4는 게이트 절연막 및 게이트 전극의 형성공정 및, 이온 도핑공정을 나타낸 단면도,

도 5는 층간절연막 및 콘택트홀의 형성공정을 나타낸 단면도,

도 6은 전극 및 보호막의 형성공정을 나타낸 단면도,

도 7은 콘택트홀의 노광공정 및 에칭공정을 나타낸 단면도,
 도 8은 화소전극의 형성공정을 나타낸 단면도,
 도 9 내지 도 12는 본 발명의 제5실시예에 따른 유기 EL표시장치의 제조방법을 나타낸 것으로,
 도 9는 상기 유기 EL표시장치를 나타낸 단면도,
 도 10a 내지 도 10d는 유리기관상에 TFT, 절연막, 애노드전극, 격벽을 형성하는 공정을 각각 나타낸 단면도,
 도 11a는 유기 EL표시장치를 형성하는 공정을 나타낸 단면도,
 도 11b 내지 도 11d는 새도우 마스크를 이용하여 각 색의 발광층을 증착하는 공정을 각각 나타낸 단면도,
 도 12는 캐소드전극 및 커버금속을 형성하는 공정을 나타낸 단면도이다.

- 1 --- 유리기관
- 2 --- 반도체층
- 2a --- 채널영역
- 3 --- 게이트 절연막
- 4 --- 게이트 전극
- 5 --- 소스영역
- 6 --- 드레인영역
- 7 --- 층간절연막
- 8 --- 콘택트홀
- 9 --- 콘택트홀
- 10 --- 화소전극
- 11 --- 소스전극
- 12 --- 드레인전극
- 16 --- 보호막
- 17 --- 평탄화층
- 18 --- 콘택트홀
- 19 --- 커버코트층
- 20 --- 콘택트홀
- 22 --- 어레이 기관
- 24 --- 대향전극
- 26 --- 칼라필터
- 28 --- 대향전극
- 29 --- 액정분자

- 30 --- TFT(박막트랜지스터)
- 32 --- 마스크
- 40 --- 어레이 기판
- 42 --- 대향기판
- 43 --- 시일(seal)재
- 44 --- 밀폐공간
- 46 --- 유리기판
- 50 --- TFT(박막트랜지스터)
- 52 --- 유기 EL소자
- 54 --- 절연막
- 54a --- 콘택트홀
- 56 --- 애노드전극
- 58 --- 유기 EL층
- 60 --- 캐소드전극
- 62 --- 격벽
- 64 --- 커버금속
- 66 --- 홀수층
- 68 --- 발광층
- 68R --- 적색 발광층
- 68G --- 녹색 발광층
- 68B --- 청색 발광층
- 70 --- 새도우 마스크
- 72 --- 개구

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 액정표시장치, 유기 일렉트로루미네센스(이하, EL로 칭함)표시장치등의 평면표시장치에 이용하는 어레이 기판에 관한 것으로, 특히 다결정 실리콘을 이용한 평면표시장치용 어레이 기판의 제조방법 및 평면표시장치의 제조방법에 관한 것이다.

최근, 액정표시장치는 고화질, 박형경량, 저소비전력이라는 큰 이점을 갖기 때문에, 노트북 컴퓨터 또는 다양한 휴대용 기기등에 널리 이용되고 있다. 이에 수반하여 액정표시장치의 더더욱의 성능의 향상이나 제조기술의 향상이 요망되고 있다. 특히, 박막트랜지스터(이하, TFT로 칭함)등의 스위칭소자가 각 표시화소에 접속되어 있는 액티브 매트릭스형 액정표시장치는 대화면을 얻기 쉽고, 종래의 반도체 제조기술을 응용하여 제조할 수 있는 등의 점으로부터 주목되고 있다. 또한, 액정표시장치의 어레이 기판에 이용되는 TFT의 개발연구도 활발하게 수행되어, 최근에는 전계효과 이동도가 높은 다결정 실리콘을 반도체층에 이용한 TFT가 활발하게 연구되고 있다.

이와 같은 TFT를 구비한 액정표시장치의 어레이 기판은 이하의 공정으로 제조된다. 먼저, 유리등으로 이루어진 절연기판상에 다결정 실리콘으로 이루어진 반도체층을 형성한다. 이 반도체층을 피복하도록 게이트 절연막을 형성하고, 게이트 절연막상에 제1배선층(게이트 전극 및 게이트 전극과 일체인 게이트 배선)을 형성한다.

다음에, 제1배선층 자체를 마스크로 하여, 또는 제1배선층을 형성한 때 이용한 레지스트를 마스크로 사용하여 이온주입법 등에 의해 반도체층에 인이나 보론등을 다량으로 도핑하고, 소스영역 및 드레인영역을 형성한다.

이 경우, 도핑만으로는 도펀트가 활성화되지 않기 때문에, 도핑 후에 열처리를 수행하는 것으로 도펀트를 활성화하여 원하는 저저항을 확보하고 있다. 이 열처리공정은 500~600℃의 온도에서 수행된다.

이어서, 게이트 전극과 게이트 절연막을 피복하도록 층간절연막을 형성한 후, 소스영역 및 드레인영역의 위쪽의 게이트 절연막 및 층간절연막에 콘택트홀을 각각 형성한다.

더욱이, 층간절연막에 제2배선층으로서 소스영역 및 드레인영역을 형성한다. 소스전극은 콘택트홀을 매개로 소스영역에 접속되고, 드레인전극은 콘택트홀을 매개로 드레인영역에 접속된다. 또한, TFT 형성영역 이외의 층간절연막상의 일부에는 소스전극에 접속된 화소전극을 형성한다. 그 후, 전체 면에 보호막을 형성함으로써 TFT 어레이 기판이 형성된다.

상기 TFT에서는 반도체층에 다결정 실리콘을 이용하고 있기 때문에 전계효과 이동도가 높아 액정의 구동능력을 높일 수 있고, 개개의 TFT를 소형화하는 것이 가능하다. 그 결과, 상기 TFT 어레이 기판을 이용하여 액정표시장치를 구성한 경우, 개구율이 향상되어, 표시화상의 휘도 향상 또는 소비전력의 절감을 도모하는 것이 가능하다.

또한, 상기한 바와 같이 다결정 실리콘을 이용한 경우, 높은 전계효과 이동도를 얻기 때문에, 이를 반도체층에 이용하여 TFT의 동작을 제어하기 위한 시프트 레지스터등의 회로를 유리기판상에 일체적으로 형성하는 것이 가능하다. 이 경우, TFT 구동용 집적회로를 별도로 실장할 필요가 없어 외부 회로도 간략화하는 것이 가능하기 때문에, 액정표시장치 전체의 제조공정의 삭감 또는 제조비용의 삭감이 가능하게 된다.

그러나, 다결정 실리콘 TFT 어레이의 제조공정에서는 아몰퍼스 실리콘 TFT 어레이의 제조공정 보다도 고온의 열공정이 많고, 특히 도핑 후의 열처리공정이 고온의 온도처리로 되기 때문에, 유리기판이 큰 양의 열팽창 또는 열수축을 수행한다.

그 때문에, 다결정 실리콘 TFT 어레이 기판에서는 아몰퍼스 실리콘 TFT 어레이 기판에 사용하고 있는 것과 같은 유리기판은 사용할 수 없고, 보다 내구성이 높은 다결정 실리콘 TFT 어레이 기판 전용의 유리기판을 이용하고 있다.

그러나, 이와 같은 전용의 유리기판을 이용한 경우에도 유리기판의 열팽창 또는 열수축은 피할 수 없게 된다. 그 때문에, 포토리소그래피를 이용한 노광, 현상, 에칭을 수행하는 각 포토 인그레이빙 프로세스(Photo Engraving Process)(이하, PEP로 칭함)에 있어서, 노광된 패턴의 상대위치관계는 노광기에 의해 자동 보정하는 것이 가능하지만, 최종적으로 완성된 어레이 기판은 대향기판과 비교하여 팽창이나 수축을 하고 있다. 그 결과, 어레이 기판은 대향기판에 대해 정밀도 좋게 조립할 수 없다는 등의 문제가 있다.

또한, 노광기에서는 자동 보정을 수행할 수 없는 PEP, 예컨대 대형 마스크를 이용한 일괄 노광공정에서는 기판의 팽창, 수축을 가미하는 것 없이 패턴닝이 수행되기 때문에, 형성한 패턴은 미리 형성되어 있기 전의 패턴에 대해 위치 어긋남을 발생시킨다. 특히, 패턴에 콘택트홀이 있는 경우에는 콘택트홀이 원하는 위치로부터 어긋나 소스전극, 드레인전극 등의 접속 불량 발생하여 점결함(占缺陷)등의 표시불량을 발생시키는 것도 많다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 제조공정중에 있어서 절연기판의 열팽창 또는 수축에 기인한 패턴닝의 어긋남을 방지하고, 점결합등의 표시불량을 절감한 신뢰성이 높은 평면표시장치용 어레이 기판을 제조할 수 있는 어레이 기판의 제조방법 및, 평면표시장치의 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 평면표시장치용 어레이 기판의 제조방법은, 기판상에 각각 복수씩 형성된 제1 및 제2배선층과, 각각 박막트랜지스터를 매개로 상기 제1 및 제2배선층에 접속된 복수의 화소를 구비하고, 상기 박막트랜지스터의 각각은 다결정 실리콘으로 이루어진 반도체층과, 상기 반도체층에 게이트 절연막을 매개로 형성된 게이트전극을 구비하고 있는 어레이 기판의 제조방법에 있어서, 절연기판의 변형량을 고려하여 상기 변형량만큼 첫수를 보정하여 제1패턴을 상기 기판상에 형성하는 제1패턴형성공정과, 상기 제1패턴에 일치시켜 제2패턴을 상기 기판상에 형성하는 제2패턴형성공정을 구비하고 있다.

상기와 같이 구성된 본 발명에 따른 제조방법에 의하면, 기판의 변형량을 예상하여 미리 제1패턴형성공정에서 상기 변형량에 따라 패턴을 보정한 다음 패턴닝을 수행함으로써 기판이 변형된 경우에도 최종적으로 소정 형상의 패턴을 형성하는 것이 가능하게 된다. 이에 의해, 표시불량의 발생을 방지하여 신뢰성이 높은 어레이 기판을 수율 좋게 제조할 수 있게 된다.

또한 본 발명에 따른 표시장치의 제조방법은, 기판상에 배치되는 제1전극과, 이 제1전극과 대향 배치된 제2전극 및, 이들 제1 및 제2전극간에 광변조층을 구비한 복수의 화소가 매트릭스형상으로 배치된 표시장치의 제조방법에 있어

서, 미리 상기 기관의 변형량을 고려하여 상기 변형량분 만큼 치수를 보정하여 제1패턴을 상기 기관상에 형성하는 제1패턴형성공정과, 상기 제1패턴에 일치시켜 일괄 처리에 의해 제2패턴을 상기 기관상에 형성하는 제2패턴형성공정을 구비하고 있다.

상기와 같이 구성된 본 발명에 따른 표시장치의 제조방법에 의하면, 기관의 변형량을 예상하여 미리 제1패턴형성공정에서 상기 변형량에 따라 패턴을 보정한 다음 패턴닝을 수행함으로써 기관이 변형된 경우에도 최종적으로 소정형상의 패턴을 형성할 수 있게 된다. 이에 의해, 표시불량의 발생을 방지하여 신뢰성이 높은 어레이 기관을 수율 좋게 제조할 수 있게 된다. 그리고, 이 어레이 기관을 이용하여 표시장치를 조립하는 것에 의해 조립 정밀도가 높은 표시장치를 용이하게 제조할 수 있게 된다.

(실시예)

액정표시장치나 유기 EL표시장치로 대표되는 평면표시장치는 복수의 표시소자를 매트릭스상으로 배치하여 구성된다. 각 표시소자는 대향하는 전극간에 광변조층을 구비하여 구성된다.

예컨대, 액정표시장치에서는 투명절연 기관상에 배치되는 복수의 신호배선과, 신호배선에 거의 직교하여 배치되는 복수의 게이트선, 이들 교차점 부근에 배치되는 스위칭소자로서의 TFT, TFT에 접속되는 화소전극을 구비한 어레이기관 및, 이에 대향배치되는 대향기관을 구비하고, 이들 기관간에 광변조층으로서 액정재료를 유지하여 구성된다.

표시소자의 1전극으로 되는 대향전극은 어레이 기관 또는 대향기관상에 형성된다.

이하, 예시도면을 참조하여 본 발명에 따른 다결정 실리콘 TFT 어레이 기관의 제조방법에 대해 상세히 설명한다.

여기에서는 본 제조방법에 의해 제조되는 다결정 실리콘 TFT 어레이 기관의 구성을 제조방법과 일치시켜 설명한다.

도 1에 나타난 바와 같이, 먼저 절연기관으로서 400×500nm의 투명한 구형상(矩形狀)의 유리기관(1)(유리 왜점(歪点) 667℃)상에, 예컨대 플라즈마 CVD법에 의해 막두께 30nm~60nm, 여기서는 50nm의 비결정 실리콘막을 성막한다. 다음에, 예컨대 엑시머 레이저 어닐법에 의해 비결정 실리콘막으로부터 다결정 실리콘막을 형성하고, 이 다결정 실리콘막을 PEP에 의해 에칭하여 섬형상의 반도체층(2)을 형성한다. 더욱이, 반도체층(2)을 피복하도록, 예컨대 산화실리콘막으로 이루어진 막두께 40nm 정도의 게이트 절연막(3)을 플라즈마 CVD법에 의해 성막한다.

이어서, 스퍼터링법에 의해 유리기관(1)상에 MoW 합금을 성막한다. 이 MoW 합금을 PEP에 의해 에칭한 후, 레지스트를 박리하는 것에 의해 반도체층(2)의 중앙부상에 위치한 게이트 전극(4) 및, 이 게이트 전극(4)과 일체인 도시되지 않은 게이트 배선을 형성한다. 또한, 게이트 전극(4) 및 게이트 배선은 제1배선으로서 기능한다.

다음에, 게이트 전극(4)을 마스크로 하여 반도체층(2)에 예컨대 B를 고농도 도핑하여 소스영역(5) 및 드레인영역(6)을 형성한다. 도핑에는, 예컨대 이온주입법을 이용한다. 그 경우, 도우즈량은 $1 \times 10^{15} \sim 5 \times 10^{16}/\text{cm}^2$ 정도가 최적이다. 이에 의해, 각 반도체층(2)은 소스영역(5)과, 드레인영역(6) 및, 이들 사이에 위치한 채널영역(2a)을 갖춘 구성으로 된다.

그 후, 다양한 막이 형성된 유리기관(1) 전체를 450~650℃, 본 실시예에서는 600℃로 열처리하는 것에 의해 도펀트를 활성화하고, 이에 의해 저저항의 소스 및 드레인영역(5,6)을 형성한다. 이 열처리온도는 유리의 왜점에 대해 65~95%, 특히 70~90%의 온도로 설정하는 것이 바람직하다.

다음에, 게이트 전극(4) 및 게이트 절연막(3)을 피복하도록 산화실리콘등으로 이루어진 층간절연막(7)을 형성한다. 그리고, 게이트 절연막(3) 및 층간절연막(7)의 내, 소스영역(5) 및 드레인영역(6)의 위쪽에 위치한 영역을 PEP에 의해 에칭제거하여 콘택트홀(8,9)을 각각 형성한다. 또한, 층간절연막(7)상의 일부에 있어서 TFT형성영역 이외의 영역에 스퍼터링법에 의해 ITO(Indium Tin Oxide)막을 막두께 40nm 정도 성막하고, 이를 PEP에 의해 에칭하여 투명 화소전극(10)을 형성한다.

더욱이, 스퍼터링법에 의해 층간절연막(7)상에 Al을 막두께 500nm 정도 성막하고, 이를 PEP에 의해 에칭하는 것에 의해 제2배선층으로서의 소스전극(11)과, 드레인전극(12) 및, 도시되지 않은 신호배선을 형성한다. 이 경우, 소스전극(11)은 콘택트홀(8)을 매개로 소스영역(5)과 화소전극(10)을 접속한다. 또한, 드레인전극(12)은 콘택트홀(9)을 매개로 드레인영역(6)에 접속된다. 이에 의해, 유리기관(1)상에 화소전극(10), TFT(30)등을 구비한 TFT 어레이기관(22)이 형성된다.

그 후, 소자부를 확보하기 위해, 기관 전체면에 도시되지 않은 절연막을 형성하여도 된다.

이와 같이 하여 제조된 TFT 어레이 기관(22)은 약 5~20ppm 만큼 이방적으로 열팽창 또는 수축한다. 이는 예컨대 400×500nm의 유리기관(1)의 경우, 장변 방향으로 2.5~10 μm 만큼 열팽창 또는 수축하는 것을 의미한다. 550×650nm의 유리기관(1)에서는 3.25~13 μm 만큼 열팽창 또는 수축하는 것을 의미한다. 그리고, 유리기관(1)상에 작성된 각 패턴도 마찬가지로 열팽창 또는 수축을 하고 있는 것을 의미한다. 유리의 왜점의 50% 이상의 열을 받으면 열팽창이 시작되므로, TFT 어레이 기관의 제조공정에 있어서 유리는 열변형된다. 따라서, 액정표시장치의 제조공정에 있어서 유리기관(22)과 대향기관을 정밀도 좋게 조합시키는 것이 곤란하게 된다.

여기서, 본 실시형태에 의하면, 예컨대 TFT 어레이 기판의 제조공정의 1PEP제, 즉 다결정 실리콘을 섬형상의 반도체층(2)에 형성하는 PEP에 있어서, 미리 유리기판(1)이 약 5~20ppm 열팽창 또는 수축하는 것을 고려하여, 반도체층(2)을 형성하기 위한 패턴을 열팽창 또는 수축량의 분 만큼 축소 또는 확대하여 노광한다. 예컨대, 열처리공정에 있어서, 유리기판(1)이 열팽창하는 경우, 그 열팽창량 분의 약 5~20ppm 만큼 미리 패턴을 축소하여 노광한다.

이 후에 수행하는 PEP의 포토리소그래피공정에서는 노광기가 자동으로 전의 패턴에 일치되어 다음의 패턴의 노광을 수행하여 패터닝한다. 그 때문에, 열처리공정에서 유리기판(1)이 열팽창하면, 이 유리기판상에 형성되어 있는 각 패턴도 팽창하여 소정 설계치와 같은 패턴으로 된다. 따라서, 최종적으로 TFT 어레이 기판이 완성된 경우, 제조전에 비교하여 유리기판(1)이 열팽창하고 있어도 소정의 설계치와 같이 형성된 패턴을 갖춘 TFT 어레이 기판이 얻어진다.

상기와 같이 제조된 TFT 어레이 기판(22)은 도 2에 나타난 바와 같이, 대향전극(24), 칼라필터(26)등을 갖춘 대향기판(28)과 대향 배치되어, 주연부(周緣部)끼리 접속된다. 그리고, 이들 TFT 어레이 기판(22)과 대향기판(28)과의 사이에 광변조층으로서 액정분자(29)를 밀봉하는 것에 의해 액정표시장치가 완성된다.

이와 같은 조립공정에 있어서, TFT 어레이 기판(22)과 대향기판(28)과는 오차가 약 5 μ m 이하의 높은 정밀도로 조합시킬 수 있어 높은 정밀도의 액정표시장치를 제조하는 것이 가능하게 된다.

다음에, 본 발명의 제2실시예에 따른 제조방법에 대해 설명한다.

상기한 제1실시예에서는 TFT 어레이 기판 제조공정의 1PEP제의 포토리소그래피공정에서 미리 유리기판의 열팽창 또는 수축량인 약 5~20ppm을 예상하여 그 만큼 패턴을 축소 또는 확대하여 노광하였지만, 1PEP제에 한정되지 않고, 예컨대 게이트 전극(4)을 형성하기 위한 MoW 합금층의 PEP에 있어서 포토리소그래피공정으로 패턴을 축소 또는 확대하여 노광하여도 된다.

그 이유는 도핑 후의 열처리공정은 500~600 $^{\circ}$ C의 고온처리이고, 이 때에 유리기판(1)의 열팽창 및 수축량이 많다. 그 때문에, 이 열처리공정 직전의 PEP공정에서 유리기판(1)의 열팽창 또는 수축을 고려하여 패턴을 축소 또는 확대하여 노광하는 것에 의해 상기 제1실시예와 마찬가지로의 효과가 얻어진다.

즉, 최종적으로 TFT 어레이 기판(22)이 완성된 시점에서 유리기판(1)이 열팽창 또는 수축하고 있어도 각 공정에서 형성된 패턴은 유리기판의 팽창 또는 수축에 수반하여 팽창 또는 수축하여 소정의 설계치와 같은 패턴으로 된다. 따라서, 액정표시장치를 제조하는 경우, 이와 같이 제조된 TFT 어레이 기판(22)을 대향기판과 용이하면서 정확하게 조합시키는 것이 가능하여 약 $\pm 5\mu$ m의 높은 조립 정밀도로 액정표시장치를 얻는 것이 가능하다.

또한, 제2실시예에 있어서, 다른 제조공정은 상기한 제1실시예와 동일하므로 그 설명은 생략한다.

다음에, 본 발명의 제3실시예에 따른 제조방법 및 그 제조방법에 의해 제조되는 TFT 어레이 기판의 구성에 대해 설명한다.

도 3에 나타난 바와 같이, 먼저 절연기판으로서 투명한 구형상의 유리기판(1)상에, 예컨대 플라즈마 CVD법에 의해 막두께 30nm~60nm, 여기서는 50nm의 비결정 실리콘막을 성막한다. 다음에, 예컨대 엑시머 레이저 어닐법에 의해 비결정 실리콘막으로부터 다결정 실리콘막을 형성하고, 이 다결정 실리콘막을 PEP법에 의해 에칭하여 섬형상의 반도체층(2)을 형성한다.

이어서, 도 4에 나타난 바와 같이 반도체층(2)을 피복하도록 산화실리콘막으로 이루어진 막두께 40nm 정도의 게이트 절연막(3)을 플라즈마 CVD법에 의해 성막한다. 더욱이, 스퍼터링법에 의해 게이트 절연막(3)상에 MoW 합금을 성막한다. 이 MoW 합금층을 PEP에 의해 소정의 패턴으로 에칭한 후, 레지스트를 박리하는 것에 의해 반도체층(2)의 중앙부상에 위치한 게이트 전극(4) 및, 이 게이트 전극과 일체인 도시되지 않은 게이트 배선을 형성한다. 또한, 게이트 전극(4) 및 게이트 배선은 제1배선층으로서 기능한다.

다음에, 게이트 전극(4)을 마스크로 하여 반도체층(2)에 예컨대 B를 고농도 도핑하여 소스영역(5) 및 드레인영역(6)을 형성한다. 도핑에는 예컨대 이온주입법을 이용한다. 그 경우, 도우즈량은 $1 \times 10^{15} \sim 10^{16}/\text{cm}^2$ 정도가 최적이다. 이에 의해, 각 반도체층(2)은 소스영역(5), 드레인영역(6) 및, 이들의 사이에 위치한 채널영역(2a)을 갖춘 구성으로 된다.

그 후, 여러가지 막이 형성된 유리기판(1) 전체를 500~600 $^{\circ}$ C에서 열처리하는 것에 의해 도펀트를 활성화하고, 이에 의해 저저항의 소스 및 드레인영역(5,6)을 형성한다.

다음에, 도 5에 나타난 바와 같이, 게이트 전극(4) 및 게이트 절연막(3)을 피복하도록 산화실리콘등으로 이루어진 층간절연막(7)을 형성한다. 그리고, 게이트 절연막(3) 및 층간절연막(7)의 내, 소스영역(5) 및 드레인영역(6)의 위쪽에 위치한 영역을 PEP에 의해 에칭 제거하여 콘택트홀(8,9)을 각각 형성한다.

이어서, 도 6에 나타난 바와 같이, 스퍼터링법에 의해 층간절연막(7)상에 Al을 막두께 500nm 정도 성막하고, 이를 PEP에 의해 에칭하는 것에 의해 제2배선층으로서의 소스전극(11), 드레인전극(12) 및, 도시되지 않은 신호배선을 형성한다. 이 경우, 소스전극(11)은 콘택트홀(8)을 매개로 소스영역(5)에 접속되고, 드레인전극(12)은 콘택트홀(9)을 매개로 드레인영역(6)에 접속된다. 이에 의해, 유리기판(1)상에 TFT(30)가 형성된다. 다음에, 소자부를 보호하기 위한 보호막(16)을 기판 전체면에 형성한다.

도 7에 나타난 바와 같이, 평탄화층(17)을 전체면에 형성 한 후, 각 소스전극(11)과 대응하는 위치에 있어서 보호막(16) 및 평탄화층(17)을 에칭 제거하여 콘택트홀(18,20)을 형성한다. 이 경우, 소정 패턴으로 형성된 마스크(32)를 이용하여 보호막(16) 및 평탄화층(17)을 프록시미티방식(proximity)방식으로 노광한다. 또한, 평탄화층(17) 대신 칼라 필터층을 형성하는 구성으로 하여도 된다. 프록시미티방식의 노광이라는 것은 마스크와 기판을 근접(예컨대, 마스크와 기판간 거리가 100nm)시켜 배치하고, 이들 사이에 광학계를 개재시키는 것 없이 노광하는 것으로, 마스크와 기판을 1:1의 비율로 노광을 수행하는 것이다.

이어서, 도 8에 나타난 바와 같이, 평탄화층(17)상에 오염방지용의 오버코트(over coat)층(19)을 형성한다. 그리고, 그 후 오버코트층(19)상의 소정 위치에 화소전극(10)을 형성하고, 콘택트홀(18,20)을 매개로 소스전극(11)에 접속한다. 이에 의해, 도시된 TFT 어레이 기판(22)이 완성된다.

한편, 상기한 바와 같이 하여 제조된 TFT 어레이 기판(22)은 보호막(16)을 형성한 시점에서 약 5~20ppm 열팽창 또는 수축하고 있다. 이는, 예컨대 550×650nm의 유리기판(1)에서는 유리기판의 장변 방향으로 3.25~13 μ m 만큼 열팽창 또는 수축하는 것을 의미한다. 그리고, 유리기판(1)상에 작성된 각 패턴도 마찬가지로의 팽창 또는 수축을 하고 있다.

또한, 평탄화층(17) 및 보호막(16)에 콘택트홀(18,20)을 패턴닝하는 공정에서는 열팽창 또는 수축량의 보정이 불가능한 대형 마스크(32)를 이용하여 프록시미티방식의 노광을 수행한다. 그 때문에, 이 경우 이미 형성되어 있는 전의 패턴에 대해 콘택트홀(18,20)의 패턴이 3.25~13 μ m 어긋나 버린다. 따라서, 화소전극(10)과 소스전극(11)과의 콘택트가 충분히 수행되지 않아 점결합등의 표시불량이 다수 발생하여 수율의 저하가 현저하다.

여기서, 본 실시예에 의하면, 예컨대 TFT 어레이 기판(22)의 제조공정의 1PEP제, 즉 다결정 실리콘을 섬형상의 반도체층(2)에 형성하는 PEP에 있어서 미리 유리기판(1)이 약 5~20ppm 열팽창 또는 수축하는 것을 고려하여 반도체층(2)을 형성하기 위한 패턴을 유리기판의 열팽창 또는 수축량의 분 만큼 축소 또는 확대하여 노광한다. 예컨대, 열처리공정에 있어서 유리기판(1)이 열팽창하는 경우에는 그 열팽창량 약 5~20ppm 분 만큼 미리 패턴을 축소하여 노광한다. 이 후에, 수행하는 PEP의 포토리소그래피공정에서는 노광기가 자동적으로 전의 공정에서 형성된 패턴에 일치시켜 다음의 패턴의 치수를 보정하여 노광을 수행하여 패턴닝한다.

이에 의해, 평탄화층(17)에 콘택트홀(18)을 패턴닝하는 공정의 직전에서는 유리기판(1)이 열팽창 또는 수축하고 있어도 그때까지의 각 공정에서 형성된 패턴은 유리기판과 함께 팽창 또는 수축하여 소정의 설계치와 같이 형성되어 있다. 그 때문에, 대형 마스크(32)를 이용한 프록시미티방식의 노광에 의해서도 콘택트홀(18,20)을 소정의 위치에 형성할 수 있어 화소전극(10)과 소스전극(11)을 확실하게 접속할 수 있게 된다. 따라서, 점결합등의 표시불량을 절감하여 신뢰성이 높은 TFT 어레이 기판을 높은 수율로 제조할 수 있게 된다.

또한, 상기와 같이 제조된 TFT 어레이 기판(22)은 제1실시예와 마찬가지로 대향기판과 용이하면서 정밀도 좋게 조합시킬 수 있어 높은 정밀도의 액정표시장치를 제조하는 것이 가능하게 된다.

또한, 제3실시예에 있어서도 유리기판(1)의 열팽창 또는 수축량 분 만큼 패턴을 축소 또는 확대하여 노광하는 공정은 1PEP제에 한정되지 않고, 다른 PEP로서도 된다. 또한, 상기한 제1 내지 제3실시예는 채널영역과 소스영역의 사이 및, 채널영역과 드레인영역의 사이의 적어도 한쪽에 저분순물농도영역(LDD영역)이 설치되어 있는 TFT 어레이 기판의 제조에도 적용할 수 있다.

또한, 상기 실시예에 있어서는 일괄 처리의 노광을 프록시미티방식으로 수행한 것에 대해 설명하였지만, 스캐닝방식인 주사노광이나 스텝핑방식인 분할노광에 있어서도 배율을 보정할 수 있는 허용범위(예컨대, ± 20 ppm)가 있기 때문에, 이들 방식의 노광에 대해서도 본 발명을 적용하는 것은 유효하다.

또한, 평탄화층(17) 대신 칼라필터층을 형성하는 경우, 칼라필터층은 잉크젯 방식에 의해 형성하는 것이 가능하다. 잉크젯 방식에 있어서는 복수의 잉크젯 헤드를 소정의 간격으로 배치하고, 복수열을 동시에 일괄 처리하여 각 색마다 일괄 주사를 반복하는 것에 의해 칼라필터층을 형성한다.

상기 일괄처리공정 전의 패턴형성공정에 있어서 유리기판의 변형을 고려한 패턴닝을 수행하는 것에 의해 칼라필터층을 형성하는 공정에서 보정을 행하지 않고 각 색의 칼라필터층을 소정 위치에 정밀도 좋게 형성할 수 있다.

다음에, 본 발명을 유기 EL표시장치의 제조방법에 적용한 제4실시예에 대해 설명한다. 먼저, 도 9를 참조하여 유기 EL표시장치의 구성을 개략적으로 설명한다. 여기에서는 특히 1화소분의 유기 EL소자, 즉 발광부의 구조를 나타내고 있다.

도 9에 나타난 바와 같이, 유기 EL표시장치는 어레이 기판(40)과, 이 어레이 기판에 소정의 간격을 두고서 대향하여 배치된 대향기판(42)을 구비하고 있다. 이들 어레이 기판(40) 및 대향기판(42)은 시일(seal)재(43)에 의해 주변부끼리가 접합되고, 이들의 기판간에 밀폐공간(44)을 형성하고 있다. 이 밀폐공간(44)에는 예컨대 질소가 충전되어 있다.

어레이 기판(40)은 절연기판으로서 투명한 유리기판(46)과, 이 유리기판상에 형성된 다수의 TFT(50) 및, 다수의 유기 EL소자(52)를 구비하고, 유기 EL소자는 각각 TFT에 접속되어 있다. 각 TFT(50)는 상기한 실시예와 마찬가지로 다결정 실리콘막으로 이루어진 반도체층을 구비하여 구성되어 있다. 또한, 각 유기 EL소자(52)는 절연막(54)을 매개로 TFT(50)의 소스영역에 콘택트된 애노드전극(56)과, 소스전극(56)상에 배치된 유기 EL층(58), 애노드전극(56)과의 사이에 유기 EL층(58)을 끼워 지지하는 캐소드전극(60) 및, 캐소드전극(60)을 덮는 커버금속(64)을 구비하고 있다. 1화소분의 유기 EL소자(52)는 유리기판(46)상에 격자형상으로 배치된 격벽(62)에 의해 구획되어 있다.

유기 EL소자(52)의 애노드전극(56)은, 예컨대 인듐-틴-옥사이드(ITO; Indium-Tin-Oxide)로 이루어진 투명전극에 의해 형성되어, 투명한 절연막(54)상에 배치되어 있다. 유기 EL층(58)은 홀수층(66) 및 발광층(68)을 적층하여 구성되어 있다. 즉, 홀수층(66)은 애노드전극(56)상에 배치되고, 방향족 아민유도체나 폴리치오펜 유도체, 폴리아닐린 유도체 등의 박막에 의해 형성되어 있다. 발광층(68)은 홀수층(66)상에 배치되고, 적(R), 녹(G) 또는 청(B)으로 발광하는 유기화합물에 의해 형성되어 있다. 이 발광층(68)은, 예컨대 Alq₃(알루미퀴놀린 착체)에 의해 형성된 박막을 포함하는 적층구조, 또는 PPV(폴리파라페닐렌비닐렌)나 폴리플루오렌 유도체 또는 그 전구체등을 적층한 구조를 갖추고 있다.

캐소드전극(60)은 전자 주입의 기능을 하는 재료에 의해 형성된 반사전극으로, 유기 EL층(58)상에 적층되어 있다. 이 캐소드전극(60)은, 예컨대 바륨, 칼륨, 바륨-이테르비움등을 증착하는 것에 의해 형성되고 있다. 또한, 유기 EL층(58)은 캐소드전극(60)으로부터의 전자 주입 효율을 향상시키기 위해 발광층(68)과 캐소드전극(60)과의 사이에 전자수송층을 포함하여 구성되어 있어도 된다. 커버금속(64)은 캐소드전극(60)상에 배치되고, 예컨대 알루미늄을 증착하는 것에 의해 형성되어 있다.

이와 같이 구성된 유기 EL소자(52)에서는 애노드전극(56)과 캐소드전극(60)과의 사이에 끼워 지지된 발광층(68)에 전자 및 홀을 주입하고, 이들을 재결합시키는 것에 의해 여기자(勵起子)를 생성하고, 이 여기자가 활동을 잃어버리는 때에 생기는 소정 파장의 광방출에 의해 발광한다.

다음에, 상기 유기 EL표시장치의 제조방법에 대해 설명한다.

도 10a에 나타낸 바와 같이, 먼저 상기한 실시형태와 거의 마찬가지로인 방법에 의해 다결정 실리콘으로 이루어진 반도체층의 형성, 절연막의 성막 및 금속막의 성막과 PEP를 수행하고, 유리기판(46)의 표시영역내에 복수의 TFT(50)를 형성한다. 동시에, 유리기판(46)상에, 도시되지 않은 각종 전극배선을 형성한다. 이에 의해, 종 480픽셀, 횡 640×3(R,G,B)픽셀, 합계 약 92만 화소에 대응하는 TFT(50), 각종 전극배선이 형성된다.

이어서, 도 10b에 나타낸 바와 같이, CVD법에 의해 유리기판(46)상에 투명한 절연막(54), 예컨대 산화실리콘막을 성막한다. 더욱이, 절연막(54)을 PEP에 의해 에칭하고, 이 절연막(54)에 TFT(50)의 소스영역까지 관통하는 콘택트홀(54a)을 형성한다.

이어서, 도 10c에 나타낸 바와 같이, 각 화소에 대응하여 ITO로 이루어진 애노드전극(56)을 형성한다. 이 애노드전극(56)은 ITO를 기판 전체면에 퇴적한 후에 PEP에 의해 패터닝하는 것에 의해 형성한다. 또는, 각 화소에 대응하여 ITO를 마스크 스퍼터법으로 퇴적하는 것에 의해 형성하여도 된다.

다음에, 도 10d에 나타낸 바와 같이 각 화소간의 전기적인 쇼트를 방지하기 위해 각 화소를 에워싸도록 격자형상으로 격벽(62)을 형성한다. 이 격벽(62)은 자외선경화형 아크릴수지 레지스트를 배치한 후, 포토리소그래피공정에 의해 패터닝하고, 더욱이 220℃에서 30분간 베이킹(bake)처리를 하는 것에 의해 형성된다.

그 후, 도 11a에 나타낸 바와 같이 각 화소의 애노드전극(56)상에 유기 EL층(58)을 형성한다. 본 실시예에서는 애노드전극(56)상에 먼저 홀수층(66)을 형성한다. 이 홀수층(66)은, 예컨대 스트라이프형상의 새도우 마스크를 이용하여 각 색 마다의 화소에 방향족 아민 유도체등의 저분자계 재료를 직접 증착하는 것에 의해 형성한다. 이어서, 홀수층(66)상에 발광층(68)을 적층한다. 이 발광층(68)은 동일한 새도우 마스크를 이용하여 적, 녹, 청의 각 색을 발광하는 발광층(68) 마다에 직접 증착하는 것에 의해 형성된다.

즉, 도 11b에 나타낸 바와 같이, 적, 녹, 청의 3색의 발광층(68)을 매트릭스형상으로 형성하는 경우, 각 화소의 발광영역과 거의 동일한 형상의 개구(72)가 1색분 만큼 매트릭스형상으로 배열된 새도우 마스크(70)를 준비한다. 그리고, 먼저 새도우 마스크(70)를 어레이 기판(40)에 대향 배치하고, 적(R)으로 되는 화소와, 새도우 마스크의 개구(72)를 정렬시킨 후, 어레이 기판(40)과 새도우 마스크가 어긋나지 않도록 고정한다. 그리고, 이들 어레이 기판(40) 및 새도우 마스크(70)를 진공 챔버내에 배치한 상태에서 새도우 마스크(70)를 통해 적의 발광재료를 대응하는 화소의 홀수층(66)상에 증착하여, 적의 발광층(68R)을 형성한다.

다음에, 동일한 새도우 마스크(70)를 이용하여 진공을 파괴하지 않고서 녹(G)으로 되는 화소의 발광영역과 새도우 마스크의 개구(72)를 정렬하고, 어레이 기판(40)과 새도우 마스크가 어긋나지 않도록 고정한다. 이 상태에서 새도우 마스크(70)를 통해 녹의 발광재료를 대응하는 화소의 홀수층(66)상에 증착하여, 녹의 발광층(68G)을 형성한다.

더욱이, 동일한 새도우 마스크(70)를 이용하여 진공을 파괴하지 않고서 청(B)으로 되는 화소의 발광영역과 새도우 마스크의 개구(72)를 정렬하고, 어레이 기판(40)과 새도우 마스크가 어긋나지 않도록 고정한다. 이 상태에서 새도우 마스크(70)를 통해 청의 발광재료를 대응하는 화소의 홀수층(66)상에 증착하여, 청의 발광층(68B)을 형성한다.

그 후, 도 12에 나타낸 바와 같이 유기 EL층(58)상에 캐소드전극(60)을 형성하고, 이어서 캐소드전극(60)상에 커버금속(64)을 형성한다. 이 경우, 진공 챔버내에 있어서, 먼저 유기 EL층(58)상에 바륨 단체를 증착하는 것에 의해 캐소드전극(60)을 형성한다. 다음에, 캐소드전극(60)상에 알루미늄 단체 또는 합금을 증착하는 것에 의해 커버금속(64)을 형성한다.

이상의 공정에 의해 유기 EL표시장치용의 어레이 기판(40)이 완성된다.

한편, 상기한 바와 같이 하여 제조된 어레이 기판(40)에 있어서 유리기판(46)은 TFT를 형성하는 과정에서 약 5~20ppm 열팽창 또는 수축하고 있다. 그리고, 예컨대 각 색의 발광층(68R,68G,68B)을 형성하는 공정에서는 대형의 새도우 마스크(70)를 이용하여 어레이 기판(40) 전체를 일괄하여 증착 처리하기 때문에 유리기판(46)의 변형량에 따라 발광층의 형성패턴을 보정할 수 없게 된다.

여기서, 본 실시예에 의하면, 예컨대 어레이 기관(40)의 제조공정의 1PEP제, 즉 TFT(50)의 반도체층에 형성하는 PEP에 있어서, 미리 유리기관(46)이 약 5~20ppm 열팽창 또는 수축하는 것을 고려하여, 반도체층을 형성하기 위한 패턴을 유리기관의 열팽창 또는 수축량의 분 만큼 축소 또는 확대하여 노광한다. 예컨대, 열처리공정에 있어서, 유리기관(46)이 열팽창하는 경우, 그 열팽창량 약 5~20ppm 만큼 미리 패턴을 축소하여 노광한다. 이후에 수행하는 PEP의 포토리소그래피공정에서는 노광기가 자동적으로 전의 공정에서 형성된 패턴에 일치시켜 다음의 패턴의 첫수를 보정하여 노광을 수행하여 패터닝한다.

이에 의해, 각 발광층(68R,68G,68B)을 증착하는 공정의 직전에서는 유리기관(46)이 열팽창하여도 그때까지의 각 공정에서 형성된 패턴은 유리기관과 함께 팽창하여 소정의 설계치와 같이 형성되어 있다. 그 때문에, 새도우 마스크(70)를 이용한 일괄 증착에 의해서도 각 발광층을 소정의 발광영역에 정확하게 형성할 수 있게 된다. 따라서, 각 유기 EL소자(52)에 있어서 애노드전극(56)과 캐소드전극(60)과의 단락이라는 결함의 발생을 절감하여 신뢰성이 높은 어레이 기관(40)을 높은 수율로 제조할 수 있게 된다.

상기와 같이 제조된 어레이 기관(40)은 도 9에 나타난 바와 같이 대향기관(42)과 대향 배치되고, 질소가스나 알곤 가스등의 불활성가스 분위기중에서 이들 기관의 주연부 끼리가 자외선 경화형의 시일재(43)에 의해 접합된다. 그 후, 자외선을 조사하여 시일재(43)를 경화시킨다. 이에 의해 밀폐공간(44)내에 배치된 다수의 유기 EL소자(52)를 갖춘 액티브 매트릭스형의 유기 EL표시장치가 형성된다.

또한, 상기 실시예에서는 새도우 마스크를 이용하여 유기발광층을 증착 형성하는 방법을 설명하였지만, 이에 한정되지 않고, 예컨대 유기발광층이 고분자계 재료인 경우에는 잉크젯방식에 의해 R,G,B의 각 발광재료를 토출하여 형성하여도 된다. 잉크젯방식에 의한 제조방법에 있어서는 재료 토출 간격이 고정된 잉크젯 헤드를 이용하여 각 색마다, 또는 1회의 토출 마다 일괄하여 처리하는 것으로 된다. 이 일괄처리공정의 전의 패턴공정에서 유리기관의 변형을 고려한 패터닝을 하는 것에 의해 유기발광층을 형성하는 공정에서 보정을 수행하지 않아도 각 유기발광층을 소정의 위치에서 높은 정밀도로 형성할 수 있게 된다.

또한, 상기 실시예에서는 TFT의 반도체층에 폴리실리콘을 이용한 TFT에 대해 설명하였지만, 아몰퍼스 실리콘, 단결정의 것이어도 본 발명을 적용할 수 있다.

한편, 본 발명은 상기한 실시예로 한정되는 것은 아니고, 본 발명의 요지를 벗어나지 않는 범위내에서 다양하게 변형하여 실시할 수 있음은 물론이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 제조공정중에 있어서 절연기관의 열팽창 또는 수축에 기인한 패터닝의 어긋남을 방지하고, 점결함등의 표시불량을 절감한 신뢰성이 높은 평면표시장치용 어레이 기관을 제조할 수 있는 어레이 기관의 제조방법 및, 평면표시장치의 제조방법을 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1.

기관상에 각각 복수씩 형성된 제1 및 제2배선층과, 각각 박막트랜지스터를 매개로 상기 제1 및 제2배선층에 접속된 복수의 화소를 구비하고, 상기 박막트랜지스터의 각각은 다결정 실리콘으로 이루어진 반도체층과, 상기 반도체층에 게이트 절연막을 매개로 형성된 게이트전극을 구비하고 있는 어레이 기관의 제조방법에 있어서,

미리 상기 기관의 변형량을 고려하여 상기 변형량분 만큼 첫수를 보정하여 제1패턴을 상기 기관상에 형성하는 제1패턴형성공정과,

상기 제1패턴에 일치시켜 일괄 처리에 의해 제2패턴을 상기 기관상에 형성하는 제2패턴형성공정을 구비하여 이루어진 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 2.

제1항에 있어서, 상기 기관상에 막을 형성하는 성막공정과 형성된 막을 패터닝하는 패터닝공정을 각각 포함한 복수의 패턴형성공정을 더 구비하여 이루어지고,

상기 제1패턴형성공정은 상기 복수의 패턴형성공정 내의 가장 최초의 패턴형성공정인 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 3.

제2항에 있어서, 상기 제1패턴형성공정은, 상기 기관상에 반도체층을 형성하는 공정과, 형성된 상기 반도체층을 패터닝하는 공정을 포함하고 있는 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 4.

제3항에 있어서, 상기 반도체층에 도펀트를 주입하는 도핑공정과,

상기 기관 및 반도체층을 열처리하여 상기 도펀트를 활성화하는 공정을 더 포함하여 이루어지고,
상기 열처리에 의해 상기 기관이 변형되는 것을 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 5.

제1항에 있어서, 상기 제2패턴형성공정의 상기 일괄 처리는 상기 기관상에 형성된 막을 마스크를 이용해서 일괄 노광하는 공정을 더 포함하는 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 6.

제5항에 있어서, 상기 제2패턴형성공정은 상기 각 부를 접촉하는 콘택트홀을 갖춘 패턴을 형성하는 공정을 포함하고 있는 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 7.

제1항에 있어서, 상기 기관상에 전극층을 형성하는 공정과, 상기 형성된 전극층을 패터닝하여 각각 화소를 구성하는 복수의 화소전극을 형성하는 공정을 더 구비하여 이루어진 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 8.

제1항에 있어서, 상기 제2패턴형성공정의 상기 일괄 처리는 상기 기관상에 칼라필터층을 일괄 형성하는 공정을 더 포함하고 있는 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 9.

제8항에 있어서, 상기 칼라필터층은 잉크젯 처리에 의해 형성되는 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 10.

제1항에 있어서, 상기 일괄 노광하는 공정은 프록시미티방식의 노광인 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 11.

제4항에 있어서, 상기 열처리는 상기 기관의 왜점의 75~90%의 온도에서 이루어지는 것을 특징으로 하는 어레이 기관의 제조방법.

청구항 12.

기관상에 배치되는 제1전극과, 이 제1전극과 대향 배치된 제2전극 및, 이들 제1 및 제2전극간에 광변조층을 구비한 복수의 표시소자가 매트릭스형상으로 배치된 표시장치의 제조방법에 있어서,

미리 상기 기관의 변형량을 고려하여 상기 변형량분 만큼 치수를 보정하여 패턴을 상기 기관상에 형성하는 패턴형성공정과,

상기 패턴 및 상기 기관이 변형되는 공정 및,

상기 기관을 일괄 처리하는 공정을 구비하여 이루어진 것을 특징으로 하는 표시장치의 제조방법.

청구항 13.

제12항에 있어서, 상기 광변조층은 액정층인 것을 특징으로 하는 표시장치의 제조방법.

청구항 14.

제12항에 있어서, 상기 광변조층은 유기발광층인 것을 특징으로 하는 표시장치의 제조방법.

청구항 15.

제14항에 있어서, 상기 일괄 처리하는 공정은 새도우 마스크를 이용하여 각각 상기 표시소자를 구성하는 복수의 광변조층을 상기 기관상에 일괄하여 증착하는 공정을 포함하고 있는 것을 특징으로 하는 표시장치의 제조방법.

청구항 16.

제15항에 있어서, 상기 복수의 광면조층을 상기 기판상에 일괄하여 증착하는 공정은 새도우 마스크를 이용하여 각 색마다 증착하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 17.

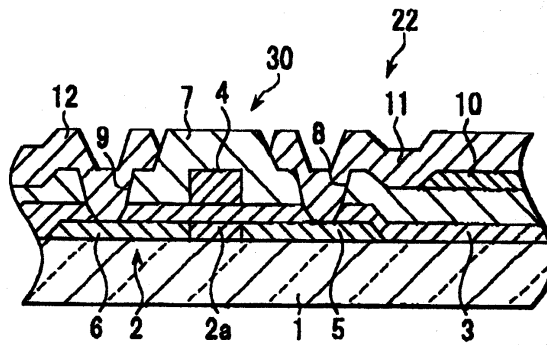
제14항에 있어서, 상기 변조층을 잉크젯처리에 의해 변형하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 18.

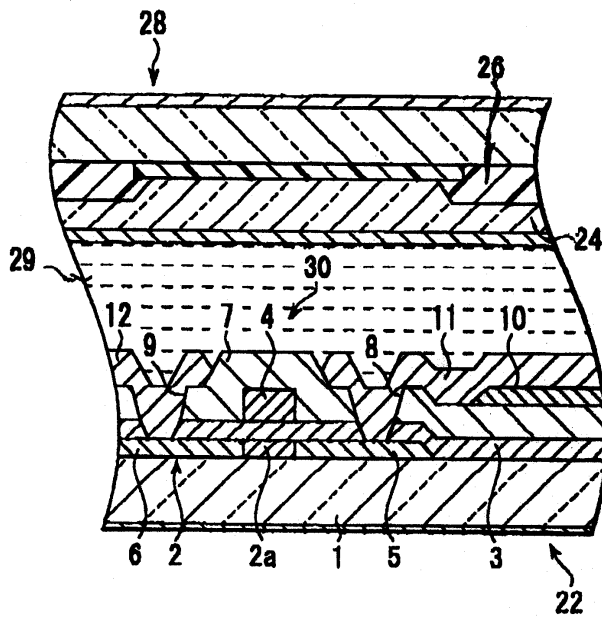
제14항에 있어서, 상기 일괄 처리공정은 상기 기판과 대향하는 기판을 배치하는 것을 특징으로 하는 표시장치의 제조방법.

도면

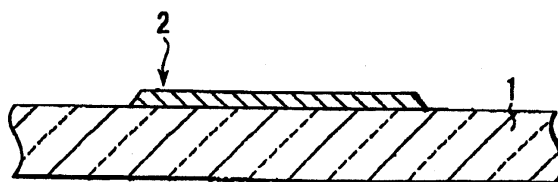
도면1



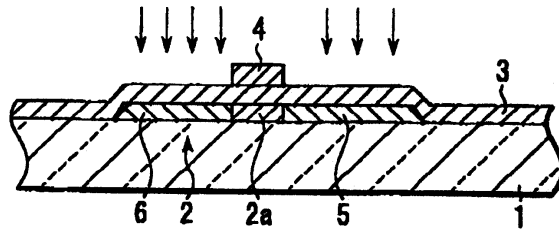
도면2



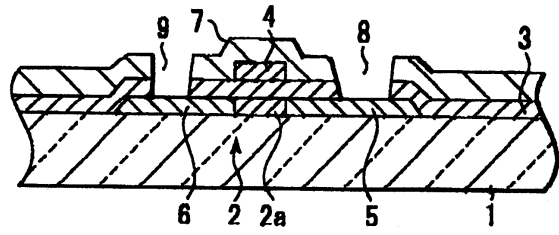
도면3



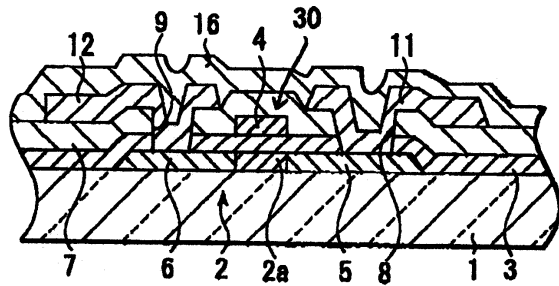
도면4



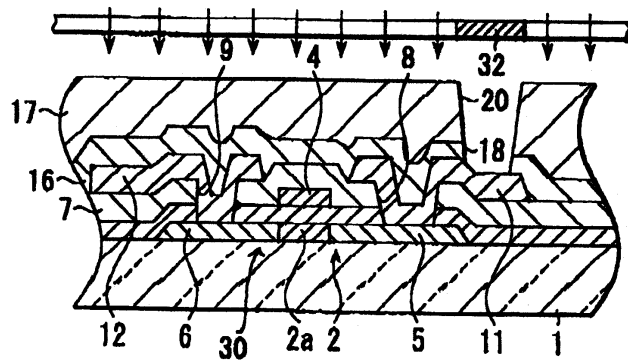
도면5



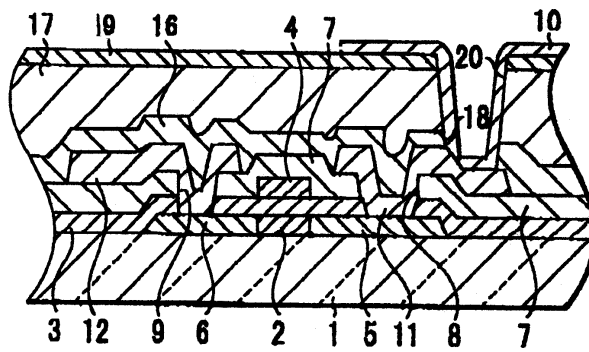
도면6



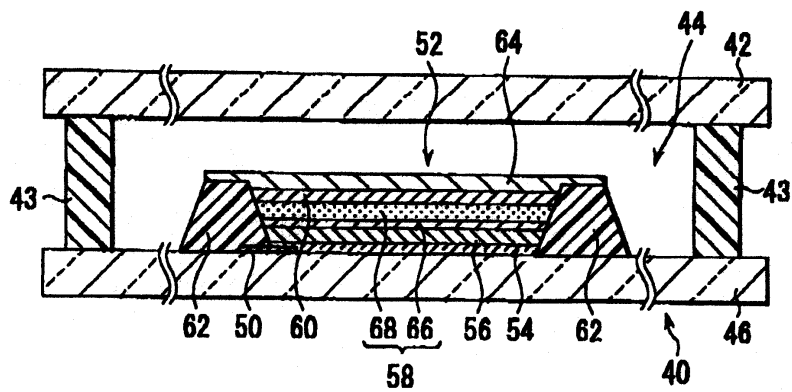
도면7



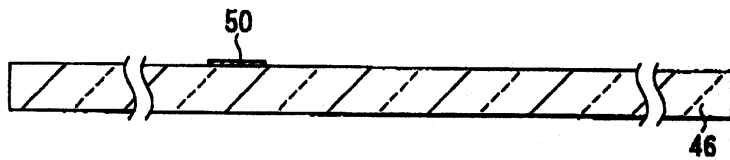
도면8



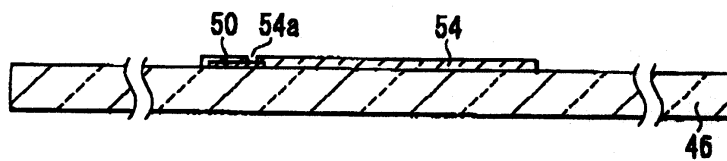
도면9



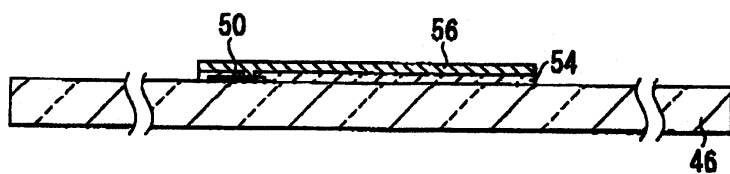
도면10a



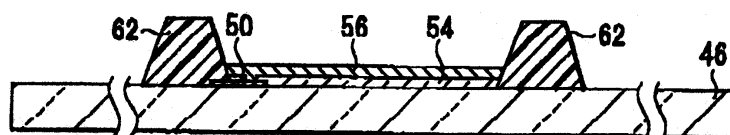
도면10b



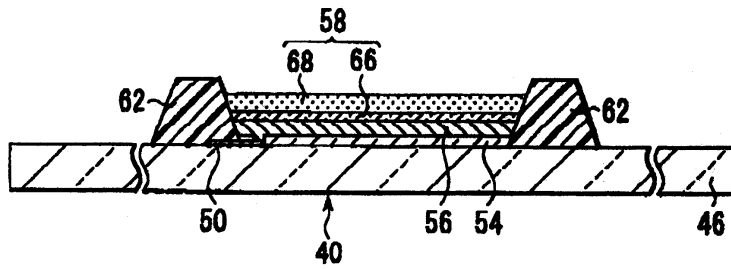
도면10c



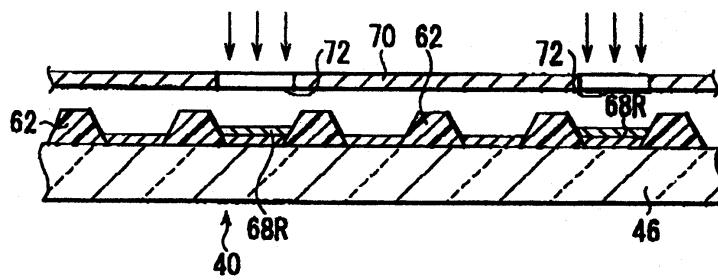
도면10d



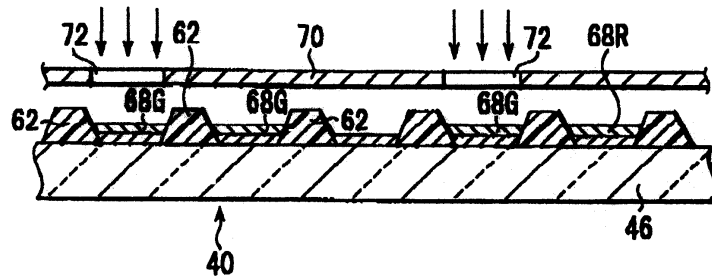
도면11a



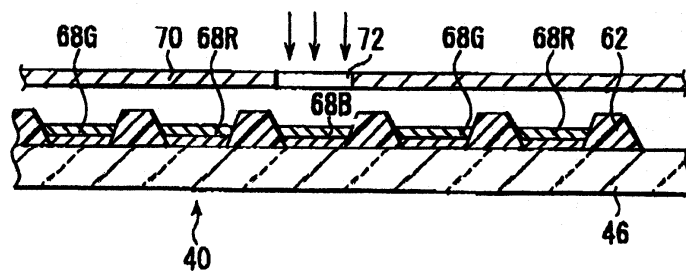
도면11b



도면11c



도면11d



도면12

