



(12)发明专利

(10)授权公告号 CN 104349087 B

(45)授权公告日 2019.01.22

(21)申请号 201410344776.5

(22)申请日 2014.07.18

(65)同一申请的已公布的文献号
申请公布号 CN 104349087 A

(43)申请公布日 2015.02.11

(30)优先权数据
2013-154457 2013.07.25 JP

(73)专利权人 索尼公司
地址 日本东京

(72)发明人 山口和哲 吉川玲 樋爪幸二
川又大典

(74)专利代理机构 北京康信知识产权代理有限
责任公司 11240
代理人 余刚 吴孟秋

(51)Int.Cl.

H04N 5/374(2011.01)

H04N 5/3745(2011.01)

H04N 5/378(2011.01)

H04N 9/04(2006.01)

(56)对比文件

CN 102137237 A, 2011.07.27,

CN 103051847 A, 2013.04.17,

CN 102811318 A, 2012.12.05,

JP 2010206653 A, 2010.09.16,

JP 2010098548 A, 2010.04.30,

US 2009219420 A1, 2009.09.03,

审查员 王芳

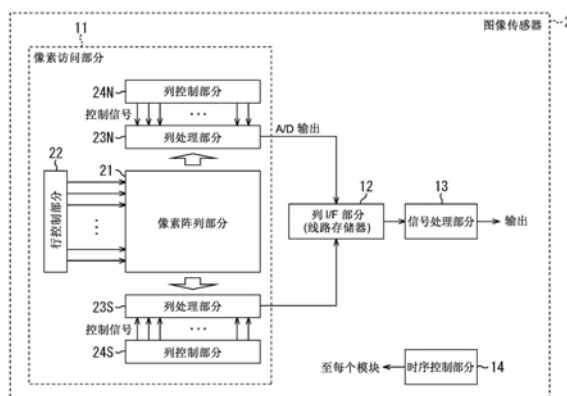
权利要求书3页 说明书25页 附图21页

(54)发明名称

图像传感器、控制方法以及电子设备

(57)摘要

本公开涉及图像传感器、控制方法以及电子设备。该图像传感器包括像素阵列部分、列处理部分以及行控制部分。像素阵列部分被配置为包括被排布成二维阵列的两个或更多个共享像素单元，共享像素单元分别包括通过光电转换输出电信号的多个像素。列处理部分被配置为处理同时从位于二维阵列中的多个行上的共享像素单元中读取的电信号。行控制部分被配置为在不同的行之间不同地执行访问控制，以从共享像素单元中的像素中读取电信号。



1. 一种图像传感器,包括:

像素阵列部分,被配置为包括被排布成二维阵列的两个或更多个共享像素单元,所述共享像素单元均包括通过光电转换输出电信号的多个像素;

列处理部分,被配置为处理同时从所述二维阵列中的多个行上的所述共享像素单元读取的所述电信号;以及

行控制部分,被配置为在不同的行之间不同地执行访问控制,以从所述共享像素单元中的所述像素中读取所述电信号,

其中,所述共享像素单元的一列与多个列信号线连接,并且从所述共享像素单元中读取的所述电信号经由所述列信号线供应至所述列处理部分,并且

其中,利用并联连接至所述列处理部分的多个电容器以及选择哪个电容器与所述列信号线连接的开关,通过用于同时从位于所述多个行上的所述共享像素单元读取所述电信号的所述访问控制,所述行控制部分对同时从在所述多个行上的所述共享像素单元读取的所述电信号执行加权加法以供应至所述列处理部分,所述加权加法通过经由连接至所述列信号线的一个所述电容器供应同时从位于所述多个行上的所述共享像素单元中读取的所述电信号来执行。

2. 根据权利要求1所述的图像传感器,其中,

所述列处理部分设置在所述列信号线的一个端侧与另一个端侧上。

3. 根据权利要求2所述的图像传感器,其中,

所述共享像素单元的所述一行与两个所述列信号线连接,

所述两个列信号线中的其中一个连接至位于采用奇数的任何所述行上的所述共享像素单元,

所述两个列信号线中的另一个连接至位于采用偶数的任何所述行上的所述共享像素单元,

所述列处理部分包括AD转换部分,AD转换部分被配置为对同时从位于所述奇数行和所述偶数行的每一个上的不同的列中的所述共享像素单元中读取的所述电信号执行模拟数字转换,

设置在所述列信号线的所述一个端侧上的所述列处理部分

包括与所述共享像素单元的列数一样多的所述AD转换部分,并且

对来自所述奇数行上的共享像素单元中的所述电信号执行所述模拟数字转换,所述电信号经由所述两个列信号线中的其中一个供应,并且

所述行控制部分执行用于从所述奇数行上的共享像素单元与所述偶数行上的共享像素单元之间的不同位置中的所述像素中读取电信号的所述访问控制。

4. 根据权利要求3所述的图像传感器,其中,

在每个所述共享像素单元中的所述像素共享浮置扩散,并且

通过执行用于同时从共享所述浮置扩散的所述两个或更多个像素中读取所述电信号的所述访问控制,所述行控制部分从所述共享像素单元中读取相加信号,所述相加信号通过其中在所述浮置扩散中将同时从所述两个或更多个像素中读取的所述电信号相加的浮置扩散加法来获得。

5. 根据权利要求4所述的图像传感器,其中,

所述行控制部分执行所述访问控制以执行所述浮置扩散加法,利用所述浮置扩散加法,使垂直间隔在由所述列处理部分处理提供有值的所述像素之间均匀。

6. 根据权利要求3所述的图像传感器,其中,

所述行控制部分还在所述行中的一个行上的不同的列之间不同地执行所述访问控制。

7. 根据权利要求3所述的图像传感器,其中,

通过用于同时从在所述多个行上并且连接至任一个所述列信号线的共享像素单元中读取所述电信号的所述访问控制,所述行控制部分将同时从所述共享像素单元读取的所述电信号在所述列信号线上加在一起,以供应至所述列处理部分。

8. 根据权利要求1所述的图像传感器,其中,

所述列处理部分

设置在所述列信号线的一个端侧上,并且

包括AD转换部分,所述AD转换部分对同时从位于所述多个行上的不同列中的共享像素单元中读取的所述电信号执行模拟数字转换,所述AD转换部分被设置为与通过将所述共享像素单元的列数乘以行数所获得的乘积数一样多。

9. 根据权利要求8所述的图像传感器,其中,所述列处理部分进一步包括:

DA转换部分,生成用于供应至所述AD转换部分的模拟参考信号。

10. 一种控制方法,包括:

在图像传感器中,所述图像传感器包括:

像素阵列部分,被配置为包括被排布成二维阵列的两个或更多个共享像素单元,所述共享像素单元均包括通过光电转换输出电信号的多个像素;以及

列处理部分,被配置为处理同时从所述二维阵列中的多个行上的所述共享像素单元读取的所述电信号;

由行控制部分在不同的行之间不同地执行访问控制,以从所述共享像素单元中的所述像素中读取所述电信号,

其中,所述共享像素单元的一列与多个列信号线连接,并且从所述共享像素单元中读取的所述电信号经由所述列信号线供应至所述列处理部分,并且

其中,利用并联连接至所述列处理部分的多个电容器以及选择哪个电容器与所述列信号线连接的开关,通过用于同时从位于所述多个行上的所述共享像素单元读取所述电信号的所述访问控制,所述行控制部分对同时从在所述多个行上的所述共享像素单元读取的所述电信号执行加权加法以供应至所述列处理部分,所述加权加法通过经由连接至所述列信号线的一个所述电容器供应同时从位于所述多个行上的所述共享像素单元中读取的所述电信号来执行。

11. 一种电子设备,包括:

光学系统,被配置为聚集光;以及

图像传感器,被配置为通过接收光来捕捉图像,所述图像传感器具有

像素阵列部分,被配置为包括被排布成二维阵列的两个或更多个共享像素单元,所述共享像素单元均包括通过光电转换输出电信号的多个像素;

列处理部分,被配置为处理同时从二维阵列中的多个行上的所述共享像素单元读取的所述电信号;以及

行控制部分,被配置为在不同的行之间不同地执行访问控制,以从所述共享像素单元中的所述像素中读取所述电信号,

其中,所述共享像素单元的一列与多个列信号线连接,并且从所述共享像素单元中读取的所述电信号经由所述列信号线供应至所述列处理部分,并且

其中,利用并联连接至所述列处理部分的多个电容器以及选择哪个电容器与所述列信号线连接的开关,通过用于同时从位于所述多个行上的所述共享像素单元读取所述电信号的所述访问控制,所述行控制部分对同时从在所述多个行上的所述共享像素单元读取的所述电信号执行加权加法以供应至所述列处理部分,所述加权加法通过经由连接至所述列信号线的一个所述电容器供应同时从位于所述多个行上的所述共享像素单元中读取的所述电信号来执行。

图像传感器、控制方法以及电子设备

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年7月25日提交的日本在先专利申请JP2013-154457的权益,将其全部内容通过引用结合于此。

技术领域

[0003] 本公开涉及图像传感器、控制方法以及电子设备,并且涉及采用像素共享技术的图像传感器、控制方法以及电子设备,利用其,在图像传感器中实现高速成像。

背景技术

[0004] 最新类型的图像传感器具有更大数量的像素,并且预期更长的时间用于从执行光电转换的像素中读取电信号。

[0005] 有鉴于此,对于具有更大数量的像素的图像传感器,提供了一种无需减小帧速率进行成像的技术以及一种以更高的帧速率进行高速成像的技术。例如,参考日本专利申请公开No.2012-253624(在下文中称为专利文献1)。

[0006] 在下文中为了方便起见,高速成像的表示可包括无需减小帧速率的成像。

发明内容

[0007] 在此所担心的是,目前提出的用于高速成像的技术是针对分别使用一块FD(浮置扩散)的像素(在下文中,这种像素被称为单位像素),因此,不一定适用于共享(使用)一块FD(浮置扩散)的像素(在下文中,这种像素称为共享像素单元(shared pixel cell))。

[0008] 因此,期望提供一种能够利用共享像素技术进行高速成像的图像传感器。

[0009] 根据本公开的实施方式,提供了一种图像传感器,该图像传感器包括像素阵列部分、列处理部分和行控制部分。像素阵列部分被配置为包括被排布成二维阵列的两个或更多个共享像素单元,共享像素单元分别包括通过光电转换输出电信号的多个像素。列处理部分被配置为处理同时从二维阵列中的多个行上的共享像素单元中读取的电信号。行控制部分被配置为在不同的行之间不同地执行访问控制,以从共享像素单元中的像素中读取电信号。

[0010] 根据本公开的另一个实施方式,在图像传感器中,提供了一种控制方法,所述图像传感器包括:像素阵列部分,被配置为包括设置排布成二维阵列的两个或更多个共享像素单元,共享像素单元分别包括通过光电转换输出电信号的多个像素;以及列处理部分,被配置为处理同时从二维阵列中的多个行上的所述共享像素单元中读取的电信号,该控制方法在不同的行之间不同地执行访问控制,以从共享像素单元中的像素中读取电信号。

[0011] 根据本公开的又一个实施方式,提供了一种电子设备,该电子设备包括被配置为聚集光的光学系统以及被配置为通过接收光来捕捉图像的图像传感器,该图像传感器具有:像素阵列部分,被配置为包括排布成二维阵列的两个或更多个共享像素单元,共享像素单元分别包括通过光电转换输出电信号的多个像素;列处理部分,被配置为处理同时从二

维阵列中的多个行上的共享像素单元中读取的电信号;以及行控制部分,被配置为在不同的行之间不同地执行访问控制,以从共享像素单元中的像素中读取电信号。

[0012] 利用本公开的实施方式,分别包括多个像素的两个或更多个共享像素单元被排布成二维阵列。像素通过光电转换输出电信号,并且处理同时从二维阵列中的多个行上的共享像素单元中读取的电信号。关于从共享像素单元中的像素中读取电信号的访问控制,在不同的行之间不同地执行访问控制。

[0013] 在本文中,图像传感器可为独立的设备,或者可为作为设备的一部分的内部模块。

[0014] 根据本公开的实施方式,在采用共享像素技术的图像传感器中,实现了高速成像。

[0015] 应注意,上述效果不一定是限制性的,并且可为在本公开中描述的那些效果中的任一个。

[0016] 根据如在附图中示出的本公开的最佳实施方式的以下详细描述,本公开的这些和其他目的、特征和优点将变得更加显而易见。

附图说明

[0017] 图1为示出在应用本公开的实施方式中的数码照相机的示例性配置的方框图;

[0018] 图2为示出图1的图像传感器的示例性配置的方框图;

[0019] 图3为示出其示例性配置的图1的图像传感器的透视图;

[0020] 图4为示出图2的像素访问部分的示例性详细配置的方框图;

[0021] 图5为示出共享像素单元的示例性配置的电路图;

[0022] 图6为示出在共享像素单元中的示例性像素布置的示意图;

[0023] 图7为示出当采用拜耳滤波器阵列时在每个 2×2 共享像素单元中的示例性像素布置的示意图;

[0024] 图8为示出从图7的 2×2 共享像素单元中进行的示例性像素信号读取的示意图;

[0025] 图9为示出具有作为利用图8的 $1/2$ 抽取(decimation)的像素信号读取的结果的值的像素的中心的示意图;

[0026] 图10为示出在单独的访问控制下利用 $1/2$ 抽取从 2×2 共享像素单元中进行的示例性像素信号读取的示意图;

[0027] 图11为示出具有作为利用图10的 $1/2$ 抽取的像素信号读取的结果的值的像素的中心的示意图;

[0028] 图12为示出当采用拜耳滤波器阵列时在每个 2×4 共享像素单元中的示例性像素布置的示意图;

[0029] 图13为示出不利用抽取从图12的 2×4 共享像素单元中进行的示例性像素信号读取的示意图;

[0030] 图14为示出在一致(consistent)的访问控制下利用 $1/4$ 抽取从 2×4 共享像素单元中进行的示例性像素信号读取的示意图;

[0031] 图15为示出具有作为在一致的访问控制下的图14的利用 $1/4$ 抽取的像素信号读取的结果的值的像素的中心的示意图;

[0032] 图16为示出在一致的访问控制下利用 $1/4$ 像素抽取从 2×4 共享像素单元中进行的示例性像素信号读取的示意图;

- [0033] 图17为示出具有作为利用图16的1/4抽取的像素信号读取的结果的值的像素的中心的示图；
- [0034] 图18为示出通过行控制部分进行的单独访问控制的流程图；
- [0035] 图19为示出SF相加的示图；
- [0036] 图20为示出图2的像素访问部分的另一个示例性详细配置的方框图；以及
- [0037] 图21为示出图1的图像传感器的另一个示例性配置的方框图。

具体实施方式

- [0038] 在下文中,将参照附图描述本公开的实施方式。
- [0039] [在应用本公开的实施方式中的数码照相机]
- [0040] 图1为示出在应用本公开的实施方式中的数码照相机的示例性配置的方框图。
- [0041] 数码照相机能够捕捉静止和移动图像。
- [0042] 在图1中,数码照相机包括光学系统1、图像传感器2、存储器3、信号处理部分4、输出部分5以及控制单元6。
- [0043] 光学系统1包括变焦透镜、聚焦透镜、光圈以及其他部件(未示出),并且将外部光导入图像传感器2中。
- [0044] 例如,图像传感器2是CMOS(互补金属氧化物半导体)图像传感器。图像传感器2接收源自光学系统1的光,并且执行光电转换,以输出与来自光学系统1的光对应的图像数据。
- [0045] 存储器3临时存储由图像传感器2提供的图像数据。
- [0046] 信号处理部分4使用存储在存储器3中的图像数据执行信号处理,例如,噪声去除和白平衡调整。信号处理部分4将所产生的图像数据提供给输出部分5。
- [0047] 输出部分5输出由信号处理部分4提供的图像数据。
- [0048] 即,例如,输出部分5包括液晶显示器(未示出),并且显示来自信号处理部分4的图像数据的图像作为所谓的穿透式(through)图像。
- [0049] 例如,输出部分5还包括驱动器(未示出),该驱动器驱动包括半导体存储器、磁盘和光盘的记录介质。输出部分5在记录介质上记录来自信号处理部分4的图像数据。
- [0050] 例如,控制单元6根据用户的操作控制数码照相机的模块。
- [0051] 利用在以上配置中的数码照相机,图像传感器2接收来自光学系统1的光,并且根据该光输出图像数据。
- [0052] 由图像传感器2提供的图像数据供应至存储器3以存储在其内。存储在存储器3内的图像数据随后通过信号处理部分4进行信号处理,并且所产生的图像数据被供应至输出部分5以从其输出。
- [0053] [图像传感器2的示例性配置]
- [0054] 图2为示出图1的图像传感器2的示例性配置的方框图。
- [0055] 在图2中,图像传感器2包括像素访问部分11、列I/F(接口)部分12、信号处理部分13以及时序控制部分14。
- [0056] 像素访问部分11包括执行光电转换的像素,并且访问像素以获取用作图像数据的像素值。像素访问部分11随后输出像素值。
- [0057] 即,像素访问部分11包括像素阵列部分21、行控制部分22、列处理部分23N和23S以

及列控制部分24N和24S。

[0058] 像素阵列部分21包括以有序的方式二维排布的两个或更多个共享像素单元。共享像素单元分别包括通过光电转换来输出电信号的多个像素。

[0059] 像素阵列部分21受行控制部分22的控制,并且从像素阵列部分21中的像素中读取电信号以供应至列处理部分23N和23S。

[0060] 行控制部分22执行访问控制,以从像素阵列部分21的共享像素单元中的像素读取电信号。

[0061] 列处理部分23N和23S对由像素阵列部分21提供的电信号(电压)执行AD转换或其他处理。列处理部分23N和23S随后将所产生的数字信号作为像素值供应至列I/F部分12。

[0062] 列控制部分24N执行列控制,以将通过列处理部分23N的处理所获得的像素值供应(输出)至列I/F部分12。

[0063] 列控制部分24S执行列控制,以将通过列处理部分23S的处理所获得的像素值供应至列I/F部分12。

[0064] 列I/F部分12具有线路(line)存储器,并且临时地存储来自像素访问部分11(其列处理部分23N和23S)的像素值,从而用作接收像素值的接口。

[0065] 信号处理部分13使用存储在列I/F部分12内的像素值,以重新排布像素、校正像素的中心以及任何其他期望的信号处理。信号处理部分13随后将结果输出到图像传感器2的外部,例如,输出至存储器3(图1)。

[0066] 时序控制部分14生成用于控制图像传感器2中的模块何时操作的时序信号,并且将时序信号供应至任何模块,以在其上进行控制。

[0067] 图3为示出其示例性配置的图1的图像传感器2的透视图。

[0068] 图像传感器2可为裸芯片或者彼此堆叠的两个裸芯片。

[0069] 图3为示出当传感器由彼此堆叠的两个裸芯片配置而成时的其示例性一般配置的图像传感器2的透视图。

[0070] 在图3中,彼此堆叠的两个裸芯片的其中一个(即,上部芯片31)由像素阵列部分21和行控制部分22形成。

[0071] 而且,在图3中,位于上部芯片31之下的剩余裸芯片(即,下部芯片32)由列I/F部分12、信号处理部分13、时序控制部分14、包括列处理部分23N和23S的列处理部分23以及包括列控制部分24N和24S的列控制部分24构成。

[0072] 图像传感器2可被配置为具有如上的彼此层叠的上部和下部芯片31和32的堆叠的图像传感器。

[0073] [像素访问部分11的示例性详细配置]

[0074] 图4为示出图2的像素访问部分11的示例性详细配置的方框图。

[0075] 如参照图2所描述的,像素访问部分11包括像素阵列部分21、行控制部分22、列处理部分23N和23S以及列控制部分24N和24S。

[0076] 像素阵列部分21包括以有序的方式二维排布的两个或更多个共享像素单元41。

[0077] 共享像素单元41分别包括通过光电转换输出电信号的多个像素。稍后将描述细节。

[0078] 在图4的像素阵列部分21中,共享像素单元41排布成矩阵。可替代地,共享像素单

元41可被排布成偶数行上的像素单元相对奇数行上的像素单元水平地偏移其间的距离的一半。

[0079] 在像素阵列部分21中,对于共享像素单元41的每一列,在列方向(垂直方向)上设置多个(例如,两个)列信号线42N和42S。

[0080] 在图4中,列信号线42N设置在每列共享像素单元41的左侧,并且连接至在该列中的奇数行上的共享像素单元41。列信号线42S设置在每列共享像素单元41的右侧,并且连接至在该列中的偶数行上的共享像素单元41。

[0081] 在列信号线42N和42S的上端侧上,设置列处理部分23N,并且在其下端侧上,设置列处理部分23S。

[0082] 列信号线42N连接至在上侧(北侧)的列处理部分23N,并且列信号线42S连接至在下侧(南侧)的列处理部分23S。

[0083] 因此,在图4中,从奇数行上的共享像素单元41中读取的电信号经由列信号线42N供应至列处理部分23N。而且,从偶数行上的共享像素单元41中读取的电信号经由列信号线42S供应至列处理部分23S。

[0084] 如上所述,连接至奇数行上的共享像素单元41的列信号线42N连接至列处理部分23N,并且连接至偶数行上的共享像素单元41的列信号线42S连接至列处理部分23S。因此,在像素访问部分11中,可同时从奇数行RN上的共享像素单元41和随后的偶数行RS上的共享像素单元41中读取电信号以进行处理。

[0085] 即,从奇数行RN上的共享像素单元41中读取的电信号可经由列信号线42N供应至列处理部分23N以进行处理。

[0086] 而且,从随奇数行RN之后的偶数行RS上的共享像素单元41中读取的电信号可经由列信号线42S供应至列处理部分23S以进行处理。

[0087] 如上所述,列处理部分23N和23S可对同时从位于两行(即,奇数和偶数行RN和RS)上的共享像素单元41中读取的电信号执行处理。

[0088] 在像素阵列部分21,对于共享像素单元41的每一行,在行方向(水平方向)上设置行信号线43A或43B。

[0089] 行信号线43A被设置到每个奇数行,并且行控制部分22将控制信号供应(引导)至行信号线43A,从而对奇数行上的共享像素单元41执行访问控制。

[0090] 行信号线43B被设置到每个偶数行,并且行控制部分22将控制信号供应至行信号线43B,从而对偶数行上的共享像素单元41执行访问控制。

[0091] 行信号线43A和43B可以说是不同的系统,从而行控制部分22可向作为不同系统的行信号线43A和43B供应不同的控制信号。

[0092] 这允许行控制部分22对两个奇数行和偶数行RN和RS之间的同时从其读取电信号的共享像素单元41不同地执行访问控制。

[0093] 列处理部分23N包括DAC(数模转换器)51N以及ADC(模数转换器)52N,ADC的数量与在像素阵列部分21中的共享像素单元41的列数一样多。

[0094] DAC51N执行DA转换,以便生成模拟参考信号以供应至ADC52N。例如,该模拟参考信号示出了作为斜坡信号的具有固定斜率的从给定的初始值到给定的最后值的电平变化的周期。

[0095] 假设共享像素单元41的列数是X,那么在X个ADC52N之中,第x个($x=1,2,\dots,X$)ADC52N连接至第x个列信号线42N。在该配置中,第x个ADC52N被提供有经由第x个列信号线42N从第x列上的共享像素单元41中读取的电信号。

[0096] 关于经由第x个列信号线42N从第x列上的共享像素单元41中读取的电信号,第x个ADC52N与来自DAC51N的参考信号进行比较。第x个ADC52N随后计算时间,直到参考信号的电平改变,即,直到参考信号的电平与电信号的电平匹配,从而对电信号执行AD转换等。

[0097] ADC52N随后根据列控制部分24N的控制将AD转换等的结果(即,为数字电信号的像素值)输出至列I/F部分12(图2)。

[0098] 列处理部分23S包括DAC51S以及X个ADC52S,即,与像素阵列部分21中的共享像素单元41的X列一样多的ADC52S。

[0099] DAC51S与DAC51N类似地生成参考信号,并且将参考信号供应至ADC52S。

[0100] 在X个ADC52S之中,第x个ADC52S连接至第x个列信号线42S。在该配置中,第x个ADC52S被提供有经由第x个列信号线42S从第x列上的共享像素单元41中读取的电信号。

[0101] 类似于ADC52N,使用来自DAC51N的参考信号,第x个ADC52S对经由第x个列信号线42N的来自第x列上的共享像素单元41的电信号执行AD转换等。

[0102] ADC52S随后根据列控制部分24S的控制将AD转换等的结果(即,为数字电信号的像素值)输出至列I/F部分12(图2)。

[0103] 应注意,一块DAC可用作DAC51N和51S。

[0104] [共享像素单元41的示例性配置]

[0105] 图5为示出共享像素单元41的示例性配置的电路图。

[0106] 图5的共享像素单元41包括多个像素(例如,八个像素)和FET(场效应晶体管)63、64和65。

[0107] 每个像素包括PD(光电二极管)61和FET62,并且通过光电转换输出电信号。

[0108] PD61是示例性光电转换元件。PD61接收入射光,并且存储对应于光的电荷,从而执行光电转换。

[0109] PD61的阳极连接至地面(接地),并且PD61的阴极连接至FET62的源极。

[0110] FET62是用于将存储在PD61中的电荷传输至FD的晶体管(T_r),并且在下文中有时被称为传输 T_r 62。

[0111] 传输 T_r 62的源极连接至PD61的阴极,并且其漏极经由FD连接至FET64的栅极。

[0112] 传输 T_r 62的栅极连接至行控制线43A或43B,并且经由行控制线43A或43B为其栅极提供传输脉冲TRG(#11、#12、#21、#22、#31、#32、#41以及#42)。

[0113] 行控制部分22(图4)将控制信号供应至行控制线43A或43B,以经由行控制线43A或43B驱动(访问控制)共享像素单元41。除了传输脉冲TRG之外,控制信号还包括稍后将描述的重置(reset)脉冲RST和选择脉冲SEL。

[0114] FD是在FET63的源极与FET64的栅极之间的连接点处形成的区域。在FD中,类似电容器,提供至其的电荷被转换成电压。

[0115] 为了简单起见,图5示出了其中八个像素共享一块FD的共享像素单元41。可替代地,共享像素单元41可包括两个FD,并且这两个FD的其中一个可由四个像素共享,并且另一个FD可由其余的四个像素共享。

[0116] FET63是用于重置存储在FD中的电荷(电压(电位))的晶体管,并且在下文中有时被称为重置Tr63。

[0117] 重置Tr63的漏极连接至电源Vdd,并且其源极连接至FD。

[0118] 重置Tr63的栅极连接至行控制线43A或43B,并且经由行控制线43A或43B为其栅极提供重置脉冲RST。

[0119] FET64是用于放大FD的电压的晶体管,并且在下文中有时被称为放大器Tr64。

[0120] 放大器Tr64的栅极连接至FD,并且其漏极连接至电源Vdd。放大器Tr64的源极连接至FET65的漏极。

[0121] FET65用于选择列信号线42N或42S,以提供电信号(电压)的输出,并且在下文中有时被称为选择Tr65。

[0122] 选择Tr65的源极连接至列信号线42N或42S。

[0123] 选择Tr65的栅极连接至列控制线43A或43B,并且经由列控制线43A或43B为其栅极提供选择脉冲SEL。

[0124] 在本文中,连接至选择Tr65的源极的列信号线42N或42S与未示出的电流源连接。该电流源利用放大器Tr64和选择Tr65配置SF(源极跟随器)中的电路。FD因此经由SF中的电路连接至列信号线42N或42S。

[0125] 可在不具有选择Tr65的情况下配置共享像素单元41。

[0126] 在图5的配置中,如果像素的数量从8减小为1,则该配置称为单位(unit)像素。

[0127] 在以上配置中的共享像素单元41中,PD61接收入射光并且执行光电转换,从而存储与接收的光量对应的电荷。在本文中,为了简单起见,假设选择脉冲SEL处于H电平,并且假设选择Tr65处于导通状态中。

[0128] 在自通过PD61存储电荷以来的预定的时间段(曝光时间)之后,行控制部分22(图4)将传输脉冲TRG的电平临时地从L(低)变为H(高)。

[0129] 随着传输脉冲TRG的电平临时地变成H,传输Tr62被临时地接通。

[0130] 由于传输Tr62被接通,因此存储在PD61中的电荷经由传输Tr62传输至FD以存储在其中。

[0131] 在将传输脉冲TRG的电平临时地变成H之前,行控制部分22将重置脉冲RST临时地设置为H电平,从而临时地接通重置Tr63。

[0132] 随着重置Tr63被接通,FD经由重置Tr63连接至电源Vdd,并且FD中的电荷通过经由重置Tr63被放电至电源Vdd中而重置。

[0133] 在本文中,通过上述与电源Vdd的连接FD中的电荷的重置有时被称为共享像素单元41的重置。

[0134] 在重置FD中的电荷之后,如上所述,行控制部分22将传输脉冲TRG的电平临时地变成H,从而临时地接通传输Tr62。

[0135] 随着传输Tr62被接通,存储在PD61中的电荷经由传输Tr62传输至电荷重置FD以存储在其中。

[0136] 与存储在FD内的电荷对应的电压(电位)随后作为信号线电压(电信号)经由放大器Tr64和选择Tr65被输出到列信号线42N或42S上。

[0137] 在连接至列信号线42N或42S的ADC52N或52S(图4)中,作为紧接重置共享像素单元

41之后的信号线电压的重置电平经历AD转换。

[0138] 同样,在ADC52N或52S中,作为传输Tr62被临时接通之后的信号线电压的信号电平经历AD转换。在本文中,信号线电压与存储在PD61中并传输至FD的电荷对应,并且信号电平包括重置电平和用作像素值的电平。

[0139] 此后,在ADC52N或52S中,执行CDS(相关双采样),以找出重置电平与信号电平之间的AD转换结果的差值作为像素值。在CDS之后,所产生的电信号作为像素值被输出至列I/F部分12(图2)。

[0140] 通过上述方式,从共享像素单元41中的一块像素中读取像素值。

[0141] 例如,通过逐个接通其中的传输Trs62,行控制部分22从八个像素中逐个地读取像素值。

[0142] 在下面,为了简单起见,未考虑CDS用于从共享像素单元41中(从其中的像素中)读取作为电信号的像素信号以用作像素值。

[0143] 在图5中,用于从像素中读取像素信号的读取部分由重置Tr63、放大器Tr64、选择Tr65以及FD配置而成。

[0144] 在图5的共享像素单元41中,读取部分由八个像素共享。共享像素单元41中的像素数量并不限于八个,并且可为任意数,例如,两个或四个。

[0145] 图6为示出共享像素单元41中的示例性像素布置的示图。

[0146] 图6的左部分为示出在包括四个像素的共享像素单元41中的示例性像素布置的示图。

[0147] 当共享像素单元41包括四个像素时,如在图6的左部分中示例性示出的,四个像素可被排布成 2×2 阵列,即,两个在水平(行)方向上,并且两个在垂直(列)方向上。

[0148] 图6的右部分为示出在包括八个像素的共享像素单元41中的示例性像素布置的示图。

[0149] 当共享像素单元41包括八个像素时,如在图6的右部分中示例性示出的,八个像素可被排布成 2×4 阵列,即,两个在水平方向上,并且四个在垂直方向上。

[0150] [2×2 阵列的共享像素单元41]

[0151] 图7为示出当采用拜耳滤波器阵列作为滤色器图案时的在 2×2 共享像素单元41(共享像素单元41包括为 2×2 阵列的四个像素)中的示例性像素布置的示图。

[0152] 在图7中,在共享像素单元41中的 2×2 阵列中,左上像素用作接收R(红色)成分光的R像素,并且右上像素用作接收G(绿色)成分光的Gr像素。左下像素用作接收G成分光的Gb像素,并且右下像素用作接收B(蓝色)成分光的B像素。

[0153] 图8为示出从如图7所示的分别为 2×2 阵列的共享像素单元41中示例性读取像素信号的示图。

[0154] 在本文中,在一行上的共享像素单元41的排列(alignment)有时被称为共享像素行,并且在一行上的像素的排列有时被称为像素行。

[0155] 在该实施方式中,在共享像素行上的共享像素单元41的数量与共享像素单元41的X列一样多。当共享像素单元41分别为 2×2 阵列时,在像素行上的像素的数量是共享像素单元41的X列的两倍。

[0156] 采用奇数的共享像素行有时被称为奇数共享像素行,并且采用偶数的共享像素行

有时被称为偶数共享像素行。

[0157] 在下面,假设ADC52N和52S(图4)均以在像素行的周期期间执行两次AD转换的速度来操作。由ADC52N和52S第一次执行的AD转换有时被称为第一阶段(phase),并且从而第二次的AD转换有时被称为第二阶段。

[0158] 图8示出了如何从两个连续的列上的共享像素单元41中执行像素信号读取以及如何从其余列上的共享像素单元41中类似地执行像素信号读取。在图8中,水平轴表示像素行的每个周期的时间。这些还适用于以下的其他示图。

[0159] 在图8中,在第N个像素行(第N行)的周期中的第一阶段期间,如由黑白字符(white-on-black character)所表示的,在位于奇数共享像素行RN上的每个共享像素单元41的左上R像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N(至其ADC52N)以进行AD转换。

[0160] 同样,在第N个像素行的周期中的第一阶段期间,从位于随奇数共享像素行RN之后的共享像素行(即,偶数共享像素行RS)上的每个共享像素单元41的左上R像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S(至其ADC52S)以进行AD转换。

[0161] 如上面参照图4所描述的,在像素阵列部分21中,共享像素单元41的每一列设置有两个列信号线42N和42S。该配置允许同时从两个连续的共享像素行(即,奇数和偶数共享像素行RN和RS)(从其每一列)中进行像素信号读取。

[0162] 此后,在第N个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41的右上Gr像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0163] 同样,在第N个像素行的周期中的第二阶段期间,从位于偶数共享像素行RS上的每个共享像素单元41的右上Gr像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23S以进行AD转换。

[0164] 在随后的第(N+1)个像素行的周期中的第一阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41的左下Gb像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0165] 同时,从位于偶数共享像素行RS上的每个共享像素单元41的左下Gb像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0166] 此后,在第(N+1)个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41的右下B像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0167] 同时,从位于偶数共享像素行RS上的每个共享像素单元41的右下B像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0168] 通过上述方式,在两个像素行的周期中,从位于这两个共享像素行上的所有像素中执行像素信号读取,两个共享像素行在数量上大于两个像素行。

[0169] 通过以两个共享像素行为单位(类似于两个连续的奇数和偶数共享像素行RN和RS)从位于剩余的共享像素行上的共享像素单元41中连续地进行像素信号读取,图像传感器2执行正常成像,通过正常成像,从所有共享像素单元41的每个像素中以预定的帧速率执行像素信号读取。

[0170] 如果利用减少数量的像素行执行像素信号读取(像素信号供应至列处理部分23N和23S),则图像传感器2能够以比预定的帧速率更高的帧速率高速成像。

[0171] 为了减少像素行的数量,在像素信号读取期间,可部分地跳过像素行(不从其读取像素信号)。

[0172] 在图8中,通过在八个像素行(四个共享像素行)之中跳过四个像素行(两个共享像素行),即,1/2跳读(reading skipping),像素行减少为一半,即,1/2抽取。

[0173] 即,在图8中,从位于两个连续的奇数和偶数共享像素行RN和RS上的每个共享像素单元41(从其中的四个像素)中执行像素信号读取。此后,跳过其随后的两个连续的奇数和偶数共享像素行RN+1和RS+1,而不从其上的每个共享像素单元41(从其中的四个像素)中执行像素信号读取。

[0174] 接着,从位于两个连续的奇数和偶数共享像素行RN+2和RS+2上的共享像素单元41中执行像素信号读取,并且跳过其随后的两个连续的奇数和偶数共享像素行RN+3和RS+3而不从其上的共享像素单元41中执行像素信号读取。

[0175] 通过与上面类似地从剩余的共享像素行中执行像素信号读取,完成1/2抽取。

[0176] 这种利用1/2抽取的像素信号读取导致以为用于正常成像的帧速率的两倍的帧速率的高速成像。

[0177] 图9为示出具有作为利用图8的1/2抽取的像素信号读取的结果的值的像素的中心(具有值的像素的位置)的示意图。

[0178] 在利用图8的1/2抽取进行像素信号读取时,重复如上所述的这种过程(process),即,从位于两个共享像素行上的共享像素单元41中执行像素信号读取,并随后跳过随后的两个共享像素行而不从其上的共享像素单元41中执行像素信号读取。

[0179] 在这种情况下,在从共享像素单元41中的某个位置pos处的像素中进行像素信号读取之后,所产生的像素值是在作为像素中心的位置pos处的像素的值。在所产生的帧图像中,共享像素行的数量减少为一半,即,在两个共享像素行上的像素具有值,并且在随后的两个共享像素行上的像素没有值。即,在所产生的图像中,像素行的数量减少为一半,即,在四个像素行上的像素具有值,并且在随后的四个像素行上的像素没有值。即,与在正常成像期间用于像素信号读取的像素行(V)的数量相比,在所产生的帧图像中的像素行的数量为一半(V/2)。

[0180] 因此,在通过利用图8的1/2抽取的像素信号读取获得的图像中,如图9所示,在具有值的像素的像素行之间的间隔不均匀(在具有值的像素之间的垂直间隔),即,该间隔可能不包括任何像素行或者包括四个像素行。在下文中,这种间隔有时被称为像素值采样间隔。

[0181] 当像素值采样间隔大幅变化时,例如,如上所述,没有像素行以及具有四个像素行,尤其是如果具有高频图像,则图像质量可能由于莫尔条纹(moire)或伪彩色而退化。

[0182] 在图9中,圆圈编号表示在像素行的周期中的像素信号读取的次序。实心(solid-filled)圆圈表示其像素信号在第一阶段期间经历AD转换的像素,并且实心菱形表示其像素信号在第二阶段期间经历AD转换的像素。这些也适用于下面的其他示图。

[0183] 通过利用图8的1/2抽取进行的像素信号读取,对于同时从两个连续的奇数和偶数共享像素行RN和RS中进行的像素信号读取,目标像素处于其上的每个共享像素单元41的相

同的位置中。

[0184] 即,在第N个像素行的周期中的第一阶段期间,例如,同时从两个连续的奇数和偶数共享像素行RN和RS中执行像素信号读取。用于这种像素信号读取的目标像素(在下文中,有时被称为读取目标像素)是奇数和偶数共享像素行RN和RS上的共享像素单元41中的左上R像素。

[0185] 如上所述,对于同时从两个共享像素行中进行的像素信号读取,当读取目标像素是其上的共享像素单元41中的处于相同位置的像素时,利用抽取进行的像素信号读取可能导致如参照图9所描述的具有大幅变化的像素值采样间隔的图像。

[0186] 在本文中,因为如参照图4所描述的,行信号线43A和43B是不同的系统,所以行控制部分22可向其供应不同的控制信号,以对在两行(两个共享像素行)(同时从其读取像素信号(电信号))之间(即,在奇数行(奇数共享像素行)RN与偶数行(偶数共享像素行)RS之间)的共享像素单元41不同地执行访问控制。

[0187] 因此,对于同时从两个共享像素行(例如,奇数共享像素行RN和随后的偶数共享像素行RN RS)中进行的像素信号读取,行控制部分22可对其执行访问控制以从其上的共享像素单元41中的处于不同的位置的像素中读取像素信号。这种访问控制在下文中有时被称为单独的访问控制。图10为示出在单独的访问控制下利用1/2抽取从 2×2 共享像素单元中进行的示例性像素信号读取的示意图。

[0188] 利用单独的访问控制,如下所述,利用1/2抽取从 2×2 共享像素单元41中进行像素信号读取。

[0189] 即,在图10中,在第N个像素行(第N行)的周期中的第一阶段期间,如由黑白字符所表示的,从位于奇数共享像素行RN上的每个共享像素单元41的左上R像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0190] 同样,在第N个像素行的周期中的第一阶段期间,从位于随奇数共享像素行RN之后的共享像素行(即,偶数共享像素行RS)上的每个共享像素单元41的并非左上R像素中而是左下Gb像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0191] 如上所述,在第N个像素行的周期中的第一阶段期间,同时从两个连续的奇数和偶数共享像素行RN和RS中执行像素信号读取。对于在奇数共享像素行RN上的共享像素单元41,这种单独的访问控制允许从其中的左上R像素中进行像素信号读取,并且对于在偶数共享像素行RS上的共享像素单元41,允许从其中的左下Gb像素中而非从左上R像素中进行像素信号读取。

[0192] 此后,在第N个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的右上Gr像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0193] 同样,在第N个像素行的周期中的第二阶段期间,从位于偶数共享像素行RS上的每个共享像素单元41中的并非右上Gr像素中而是右下B像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23S以进行AD转换。

[0194] 如上所述,在第N个像素行的周期中的第二阶段期间,同时从两个连续的奇数和偶数共享像素行RN和RS中进行像素信号读取。对于在奇数共享像素行RN上的共享像素单元

41,这种单独的访问控制允许从其中的右上Gr像素中进行像素信号读取,并且对于在偶数共享像素行RS上的共享像素单元41,允许从其中的右下B像素中而非从右上Gr像素中进行像素信号读取。

[0195] 在该实例中,应为 2×2 共享像素单元41的共享像素行是指两个像素行,所以用于同步像素信号读取的两个连续的奇数和偶数共享像素行RN和RS是指四个像素行。

[0196] 在第N个像素行的周期中,通过上述方式,从读取目标像素中执行像素信号读取,读取目标像素是在作为两个共享像素行的四个像素行中的第一和第四(从顶部开始)像素行上的像素。跳过在剩余的第三和第四像素行上的像素而不进行像素信号读取。

[0197] 在接下来的第(N+1)个像素行的周期中的第一阶段期间,从位于随偶数共享像素行RS之后的共享像素行(即,奇数共享像素行RN+1)上的每个共享像素单元41中的左上R像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0198] 同时,从位于随奇数共享像素行RN+1之后的共享像素行(即,偶数共享像素行RS+1)上的每个共享像素单元41中的左下Gb像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0199] 此后,在第(N+1)个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN+1上的每个共享像素单元41中的右上Gr像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0200] 同时,从位于偶数共享像素行RS+1上的每个共享像素单元41中的右下B像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0201] 通过上述方式,在第(N+1)个像素行的周期中的第一阶段期间,从位于奇数共享像素行RN+1上的每个共享像素单元41中的左上R像素中执行像素信号读取,并且同时,在位于偶数共享像素行RS+1上的每个共享像素单元41中的左下Gb像素中执行像素信号读取。

[0202] 此后,在第(N+1)个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN+1上的每个共享像素单元41中的右上Gr像素中读取像素信号,并且同时从位于偶数共享像素行RS+1上的每个共享像素单元41中的右下B像素中读取像素信号。

[0203] 即,与第N个像素行的情况类似,在第(N+1)个像素行的周期中,从读取目标像素中执行像素信号读取,读取目标像素是在作为两个共享像素行的四个像素行中的第一和第四像素行上的像素。跳过在剩余的第三和第四像素行上的像素而不进行像素信号读取。

[0204] 重复像素信号读取和1/2跳读的这种过程导致利用1/2抽取的像素信号读取,即,从位于四个像素行(作为两个共享像素行)中的第一和第四像素行上的像素中进行的像素信号读取以及跳过在剩余的第三和第四像素行上的像素而不进行像素信号读取的1/2跳读。这因此导致以为用于正常成像的帧速率的两倍的帧速率的高速成像。

[0205] 图11为示出具有作为利用图10的1/2抽取进行的像素信号读取的结果的值的像素的中心的示意图。

[0206] 通过利用图10的1/2抽取进行的像素信号读取,如上所述,重复像素信号读取和1/2跳读的这种过程,即,从位于四个像素行(作为两个共享像素行)中的第一和第四像素行上的像素中进行的像素信号读取以及跳过在剩余的第三和第四像素行上的像素而不进行像素信号读取的1/2跳读。

[0207] 在这种情况下,在从位于共享像素单元41中的某个位置pos处的像素中进行像素

信号读取之后,所产生的像素值是在作为像素中心的位置pos处的像素的值。在所产生的帧图像中,像素行的数量减少为一半,即,在四个像素行(作为两个共享像素行)中的第一和第四像素行上的像素具有值,并且在随后的四个像素行上的像素没有值。

[0208] 在通过利用图10的1/2抽取进行的像素信号读取而获得的图像中,像素值采样间隔(在具有值的像素的像素行之间的间隔)可变化,如图11所示,即,该间隔可不包括任何像素行或者包括四个像素行。与图9的情况相比,该像素值间隔(更)均匀。

[0209] 这因此防止由莫尔条纹或伪彩色引起的图像质量退化比在图9的情况下更好。

[0210] 同样,对于同时从采用共享像素技术的图像传感器2中的两个共享像素行上的共享像素单元41中进行的像素信号读取,当行控制部分22执行用于从其上的共享像素单元41的不同位置中的像素中进行像素信号读取的单独的访问控制时,与没有这种单独的访问控制的情况相比,即,在行控制部分22执行用于从其上的共享像素单元41的相同位置中的像素中执行像素信号读取的访问控制(在下文中,这种访问控制有时被称为一致的访问控制)的情况下,通过对图像质量的退化的控制,实现高速成像。

[0211] [2×4阵列的共享像素单元41]

[0212] 图12为示出当采用拜耳滤波器阵列作为滤色器图案时的2×4共享像素单元41(共享像素单元41包括2×4阵列的八个像素)中的示例性像素布置的示图。

[0213] 在2×4阵列的共享像素单元41中,在从顶部开始的第i个并且从左边开始的第j个上像素由(i,j)表示,并且在(i,j)处的像素表示为像素#(i,j)。

[0214] 在图12中,在2×4的共享像素单元41中的像素#(1,1)和#(3,1)用作接收R成分光的R像素,并且其中的像素#(1,2)和#(3,2)用作接收G成分光的Gr像素。其中的像素#(2,1)和#(4,1)用作接收G成分光的Gb像素,并且其中的像素#(2,2)和#(4,4)用作接收B成分光的B像素。

[0215] 图13为示出不利用抽取的从图12的2×4共享像素单元中进行的示例性像素信号读取的示图。

[0216] 在该实施方式中,对于2×4共享像素单元41,与2×2共享像素单元41类似,在像素行上的像素的数量等于共享像素单元41的列数(即,X)的两倍。

[0217] 对于未利用抽取的像素信号读取,行控制部分22不执行单独的访问控制,而是执行一致的访问控制,例如,从位于两个共享像素行上的共享像素单元41的相同的位置中的像素中执行像素信号读取。

[0218] 即,在图13中,在第N个像素行(第N行)的周期中的第一阶段期间,如由黑白字符所表示的,从位于奇数共享像素行RN上的每个共享像素单元41中的(1,1)处的R像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0219] 同样,在第N个像素行的周期中的第一阶段期间,从位于随奇数共享像素行RN之后的共享像素行(即,偶数共享像素行RS)上的每个共享像素单元41中的(1,1)处的R像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0220] 通过上述方式,同时从位于两个连续的奇数和偶数共享像素行RN和RS上的每个共享像素单元41中的(1,1)处的R像素中读取像素信号。

[0221] 此后,在第N个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的(1,2)处的Gr像素中读取像素信号。像素信号随后经由列信号线42N

供应至列处理部分23N以进行AD转换。

[0222] 同样,在第N个像素行的周期中的第二阶段期间,从位于偶数共享像素行RS上的每个共享像素单元41中的(1,2)处的Gr像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0223] 在接下来的第(N+1)个像素行的周期中的第一阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的(2,1)处的Gb像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0224] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中的(2,1)处的Gb像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0225] 此后,在第(N+1)个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的(2,2)处的B像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0226] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中的(2,2)处的B像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0227] 在接下来的第(N+2)个像素行的周期中的第一阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的(3,1)处的R像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0228] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中的(3,1)处的R像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0229] 此后,在第(N+2)个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的(3,2)处的Gr像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0230] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中的(3,2)处的Gr像素中读取像素信号。像素信号随后经由列信号线42S供应至处理部分23S以进行AD转换。

[0231] 在接下来的第(N+3)个像素行的周期中的第一阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的(4,1)处的Gb像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0232] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中的(4,1)处的Gb像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0233] 此后,在第(N+3)个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中的(4,2)处的B像素中读取像素信号。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0234] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中的(4,2)处的B像素中读取像素信号。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0235] 如上所述,以两个共享像素行为单位(类似于两个奇数和偶数共享像素行RN和RS),在剩余的共享像素行上也相继地执行这种像素信号读取,即,在四个像素行的周期中,从数量上多于四个像素行的两个共享像素行上的所有像素中进行的像素信号读取。这允许图像传感器2执行正常的成像,通过正常成像,以预定的帧速率从所有共享像素单元41的每个像素中读取像素信号。

[0236] 图14为示出在一致的访问控制下的利用1/4抽取从 2×4 共享像素单元41中进行的示例性像素信号读取的示意图。

[0237] 为了减少像素行的数量,除了如上面参照图8和图11所描述的跳过(部分)像素行而不进行像素信号读取以外,行相加也是一种选择。利用行相加,多个(例如,2个)像素行通过相加被转换成一个像素行。

[0238] 对于用于减少像素行的数量的行相加,可利用FD相加。

[0239] 通过同时从位于每个 2×4 共享像素单元41中的不同像素行上的两个(或多个)像素中进行的像素信号读取,在行控制部分22的访问控制下,可执行这种FD相加。

[0240] 更具体地,对于同时从每个共享像素单元41中的两个(或多个)像素中进行的像素信号读取,在共享像素单元41中的两个像素中的传输Tr62(图5)被同时接通。存储在两个像素的PD61中的电荷随后被传输至FD以存储在其中。

[0241] 在这种情况下,关于存储在两个像素(其中的传输Tr62被同时接通)中的PD61中的电荷,电荷在FD中被相加在一起。响应于该电荷,在列信号线42N或42S上读取像素信号。该像素信号等价于相加信号,如果分别从两个像素中读取的两个像素信号相加在一起,则获得该相加信号。

[0242] 如上所述,当在共享像素单元41中的两个像素中的传输Tr62被同时接通时,执行FD相加,即,就如将分别从FD的两个像素中读取的两个像素信号相加在一起,并且从共享像素单元41中读取作为相加信号的所产生的像素信号。

[0243] 在该实例中,通过相加将M个像素行转换成一个像素行的行相加有时被称为M行相加。

[0244] 例如,利用FD相加,执行2行相加导致将像素行的数量减少为一半的1/2抽取。

[0245] 在图14的实例中,利用1/2跳读和2行相加,像素行减少为1/4,即,执行1/4抽取。

[0246] 更具体地,在图14中,在第N个像素行的周期中的第一阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中,执行像素信号(其是通过将来自(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0247] 同样,在第N个像素行的周期中的第一阶段期间,从位于随奇数共享像素行RN之后的共享像素行(即,偶数共享像素行RS)上的每个共享像素单元41中,执行像素信号(其是通过将来自(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0248] 此后,在第N个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中,执行像素信号(其是通过将来自(1,2)和(3,2)处的Gr像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0249] 同样,在第N个像素行的周期中的第二阶段期间,从位于偶数共享像素行RS上的每个共享像素单元41中,执行像素信号(其是通过将来自(1,2)和(3,2)处的Gr像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0250] 在接下来的第(N+1)个像素行的周期中的第一阶段期间,从位于奇数共享像素行

RN上的每个共享像素单元41中,执行像素信号其是通过将来自(2,1)和(4,1)处的Gb像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0251] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中,执行像素信号(其是通过将来自(2,1)和(4,1)处的Gb像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0252] 此后,在第(N+1)个像素行的周期中的第二阶段期间,从位于奇数共享像素行RN上的每个共享像素单元41中,执行像素信号(其是通过将来自(2,2)和(4,2)处的B像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0253] 同时,从位于偶数共享像素行RS上的每个共享像素单元41中,执行像素信号(其是通过将来自(2,2)和(4,2)处的B像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0254] 如上所述,通过将 2×4 共享像素单元41的每一个中的相同颜色成分像素中读取的像素信号进行FD相加,执行这种2行相加。因此,在 2×4 共享像素单元41的一个共享像素行中的四个像素行的数量减少为一半,即,减少为两个像素行。

[0255] 在图14,字符“FD”表示在FD相加之后从由黑白字符表示的两个像素中读取像素信号。这也适用于下面的示图。

[0256] 在通过2行相加从位于两个连续的奇数和偶数共享像素行RN和RS上的共享像素单元41中进行像素信号读取之后,跳过随后的两个连续的奇数和偶数共享像素行RN+1和RS+1而不从其上的共享像素单元41(从其中的 2×4 阵列)中进行像素信号读取。

[0257] 如上所述,通过这种过程,即,在从位于两个共享像素行上的像素中进行像素信号读取之后,跳过随后的两个共享像素行而不进行像素信号读取(1/2跳读),在四个共享像素行(两个共享像素行与随后的两个共享像素行之和)中的16个像素行减少为一半,即,八个像素行。

[0258] 关于随后的两个连续的奇数和偶数共享像素行RN+2和RS+2,与上面类似地执行2行相加。并且关于随后的两个连续的奇数和偶数共享像素行RN+3和RS+3,执行1/2跳读以跳过像素信号读取。

[0259] 与上面类似,通过利用2行相加和1/2跳读的信号读取,像素行减少为1/4。

[0260] 利用1/4抽取进行的像素信号读取导致以为用于正常成像的帧速率的四倍的帧速率进行高速成像。

[0261] 图15为示出具有作为在一致的访问控制下利用图14的1/4抽取进行的像素信号读取的结果的值的像素的中心的示图。

[0262] 在利用图14的1/4抽取进行像素信号读取时,重复上述这种过程,即,两个共享像素行经历2行相加,并且然后跳过随后的两个共享像素行而不进行像素信号读取。

[0263] 在图14的2行相加之后,具有由所产生的像素信号(相加信号)获得的值的像素的中心在经历2行相加(FD相加)的两个像素之间。信号处理部分13(图2)对具有由像素信号(其是2行相加的结果)获得的值的像素上进行位置调整,例如,将像素调整为其中中心在经历2行相加(FD相加)的两个像素之间。

[0264] 如图15所示,在通过利用图14的1/4抽取进行的像素信号读取而获得的所产生的帧图像中,重复地,在两个连续的共享像素行的每一个中的四个像素行中的第二和第三像素行上的像素具有值,并且在两个连续的共享像素行中的八个像素行上的像素没有值。

[0265] 在通过利用图14的1/4抽取进行的像素信号读取而获得的这种图像中,像素值采样间隔(在具有值的像素的像素行之间的间隔)不均匀,如图15所示,即,该间隔可不包括任何像素行或者包括两个像素行或者九个像素行。

[0266] 当像素值采样间隔大幅变化时,诸如,没有像素行或者具有两个或九个像素行,如上所述,图像质量可能由于莫尔条纹或伪彩色而退化。

[0267] 同样,在一致的访问控制下减少像素行的数量以进行高速成像可使图像质量由于莫尔条纹或伪彩色而退化。然而,单独的访问控制可防止图像质量的这种退化。

[0268] 图16为示出在单独的访问控制下利用1/4像素抽取从 2×4 共享像素单元41中进行的示例性像素信号读取的示意图。

[0269] 利用单独的访问控制,如下所述,通过1/2跳读和2行相加,可执行通过1/4抽取从 2×4 共享像素单元41中进行的像素信号读取。

[0270] 即,在图16中,在第N个像素行的周期中的第一阶段期间,从位于奇数共享像素行 R_N 上的每个共享像素单元41中,执行像素信号(其是通过将来自(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0271] 同样,在第N个像素行的周期中的第一阶段期间,从位于随奇数共享像素行 R_N 之后的共享像素行(即,偶数共享像素行 R_S)上的每个共享像素单元41中,执行像素信号(其是通过将来自(2,1)和(4,1)处的Gb像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0272] 同样,在第N个像素行的周期中的第一阶段期间,同时从两个连续的奇数和偶数共享像素行 R_N 和 R_S 中执行像素信号读取。更具体地,通过单独的访问控制,从位于奇数共享像素行 R_N 上的每个共享像素单元41中,执行像素信号(其是通过将来自(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的相加信号)的读取,并且从位于偶数共享像素行 R_S 上的每个共享像素单元41中,执行像素信号(其是此时通过将来自(2,1)和(4,1)处的Gb像素的像素信号进行FD相加而获得的相加信号)的读取。

[0273] 此后,在第N个像素行的周期中的第二阶段期间,从位于奇数共享像素行 R_N 上的每个共享像素单元41中,执行像素信号(其是通过将来自(1,2)和(3,2)处的Gr像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42N供应至列处理部分23N以进行AD转换。

[0274] 同样,在第N个像素行的周期中的第二阶段期间,从位于偶数共享像素行 R_S 上的每个共享像素单元41中,执行像素信号(其是此时通过将来自(1,2)和(3,2)处的B像素的像素信号进行FD相加而获得的相加信号)的读取。像素信号随后经由列信号线42S供应至列处理部分23S以进行AD转换。

[0275] 同样,在第N个像素行的周期中的第二阶段期间,同时从两个连续的奇数和偶数共享像素行 R_N 和 R_S 中执行像素信号读取。更具体地,通过单独的访问控制,从位于奇数共享像素行 R_N 上的每个共享像素单元41中执行像素信号(其是通过将来自(1,2)和(3,2)处的Gr像

素的像素信号进行FD相加而获得的相加信号)的读取,并且从位于偶数共享像素行RS上的每个共享像素单元41中,执行像素信号(其是此时通过将来自(2,2)和(4,2)处的B像素的像素信号进行FD相加而获得的相加信号)的读取。

[0276] 在该实例中,因为 2×4 共享像素单元41的共享像素行是指四个像素行,所以同时进行像素信号读取的两个连续的奇数和偶数共享像素行RN和RS是指八个像素行。

[0277] 在第N个像素行的周期中,通过上述方式,从R和Gr像素中执行像素信号读取,R和Gr像素是位于两个共享像素行中的八个像素行中的第一和第三(从顶部开始)像素行上(即,位于奇数共享像素行RN中的第一和第三像素行上)的读取目标像素。从读取目标像素所产生的像素信号经历FD相加以进行读取。

[0278] 同样,在第N个像素行的周期中,从Gb和B像素中执行像素信号读取,Gb和B像素是位于两个共享像素行中的八个像素行中的第六和第八像素行上(即,位于偶数共享像素行RS中的第二和第四像素行上)的读取目标像素。从读取目标像素中所产生的像素信号经历FD相加以进行读取。

[0279] 通过上述方式,在两个共享像素行中的八个像素行中,第一和第三像素行经历2行相加,并且第六和第八像素行经历2行相加。

[0280] 在第N个像素行的周期中,在两个共享像素行中的八个像素行中,跳过在剩余的像素行上的像素而不进行像素信号读取,即,第二和第四像素行以及第五和第七像素行(在奇数共享像素行RN中的第二和第四像素行以及在偶数共享像素行RS中的第一和第三像素行)。

[0281] 即,在两个共享像素行中的八个像素行中,跳过不被用于2行相加的像素行从而不进行像素信号读取,即,第二和第四像素行以及第五和第七像素行。

[0282] 因此,在第N个像素行的周期中,跳过两个共享像素行中的八个像素行的一半($1/2$) (即,四个像素行)而不进行像素信号读取,并且其余的四个像素行经历2行相加,从而导致将最初的八个像素行减少为两个的 $1/4$ 抽取。

[0283] 在接下来的第(N+1)行的周期中,与第N行的周期类似,从位于随偶数共享像素行RS之后的两个共享像素行(即,奇数和偶数共享像素行RN+1和RS+1)上的像素中,执行像素信号读取。

[0284] 因此,同样在第(N+1)个像素行的周期中,在两个共享像素行中的八个像素行中,关于在第一和第三像素行上的像素以及在第六和第八像素行上的像素,即,在奇数共享像素行RN+1中的第一和第三像素行以及在偶数共享像素行RS+1中的第二和第四像素行,在FD相加之后,读取像素信号。关于在剩余的第三和第五像素行上的像素以及在第六和第七像素行上的像素,即,在奇数共享像素行RN+1中的第三和第五像素行以及在偶数共享像素行RS+1中的第一和第三像素行,通过跳过,不执行像素信号读取。

[0285] 通过对在随后共享像素行上的像素利用 $1/4$ 抽取进行像素信号读取,导致以为用于正常成像的帧速率的四倍的帧速率进行高速成像。

[0286] 图17为示出具有作为通过图16的 $1/4$ 抽取进行的像素信号读取的结果的值的像素的中心的示图。

[0287] 通过利用图16的 $1/4$ 抽取进行像素信号读取,如上所述,以2个共享像素行为单位,重复2行相加和 $1/2$ 跳读。

[0288] 在图16的2行相加之后,具有由所产生的像素信号(相加信号)而获得的值的像素的中心在经历2行相加(FD相加)的两个像素之间。信号处理部分13(图2)对具有由像素信号(其是2行相加的结果)而获得的值的像素进行位置调整,例如,将像素调整为其中心在经历2行相加(FD相加)的两个像素之间。

[0289] 如图17所示,在通过利用图16的1/4抽取进行的像素信号读取而获得的所产生的帧图像中,重复地,在一个共享像素行中的四个像素行中,在第二像素行上的像素具有值,而在剩余的三个像素行上的像素不具有值,并且在随后的共享像素行中的四个像素行中,在第三像素行上的像素具有值,而在剩余的三个像素行上不具有值。

[0290] 在通过利用图16的1/4抽取进行的像素信号读取而获得的这种图像中,像素值采样间隔(在具有值的像素的像素行之间的间隔)可变化,如图17所示,即,间隔可包括两个像素行或者四个像素行。与图15的情况相比,像素值间隔(更)均匀。

[0291] 这因此防止了由莫尔条纹或伪彩色而引起的图像质量退化,比在图15的情况下更好。

[0292] 同样,为了同时从位于图像传感器2(其采用共享像素技术)中的两个共享像素行上的共享像素单元41中进行像素信号读取,对两个共享像素行执行单独的访问控制,以从位于其上的共享像素单元41中的不同位置中的像素中进行像素信号读取,与没有这种单独的访问控制的情况相比,即,在对两个共享像素行执行一致的访问控制以从位于其上的共享像素单元41中的不同位置中的像素中进行像素信号读取的情况下(图14和15),通过对图像质量的退化的控制,实现高速成像。

[0293] 更具体地,通过单独的访问控制,从共享像素单元41中的像素中执行像素信号读取,以便允许使得像素值采样间隔(具有值的像素之间的垂直间隔)尽可能均匀的FD相加。这因此导致通过对图像质量退化的控制在采用共享像素技术的图像传感器2中进行高速成像。

[0294] [单独的访问控制]

[0295] 图18为示出通过行控制部分22进行的单独访问控制的流程图。

[0296] 在步骤S11中,行控制部分22对可以同时从其进行像素信号读取(可以同时访问其)的两个连续的共享像素行不同地执行单独的访问控制,即,经由行控制线43A向奇数共享像素行上的共享像素单元41供应控制信号,并且经由行控制线43B(其是与行控制线43A不同的系统)向偶数共享像素行上的共享像素单元41供应控制信号。

[0297] 这种单独的访问控制允许从位于奇数和偶数共享像素行(同时从其进行像素信号读取)上的共享像素单元41的不同位置中的像素中进行像素信号读取。

[0298] 通过单独的访问控制,从共享像素单元41中的像素中进行像素信号读取,以便允许使得像素值采样间隔尽可能均匀(使像素值采样间隔大致均匀)的FD相加。这因此导致通过对图像质量退化的控制在采用共享像素技术的图像传感器2中进行高速成像。

[0299] [SF相加]

[0300] 图19为示出SF(源极跟随器)相加的示图。

[0301] 对于行相加,除了FD相加以外,SF相加也是一种选择。

[0302] 如上面参照图5所描述的,电流源(未示出)连接至列信号线42N(和42S)(其连接至在每个共享像素单元41中的选择Tr65的源极)。该电流源利用放大器Tr64和选择Tr65配置

SF中的电路。

[0303] 在与用于SF中的电路的电流源连接的列信号线42N(或42S)上,执行这种SF相加。

[0304] 在图19中,通过包括作为实例的多个奇数共享像素行的某个列C,在列C中的奇数行上的共享像素单元41连接至相同的列信号线42N。关于在列C中的共享像素单元41的奇数共享像素行,当行控制部分22(图4)执行访问控制以同时从连接至相同的列信号线42N的共享像素单元41中(例如,从位于奇数共享像素行RN上的共享像素单元41以及位于奇数共享像素行RN+1上的共享像素单元41中)进行像素信号读取时,执行SF相加以将从这两个共享像素单元41中读取的像素信号在列信号线42上相加在一起。所产生的像素信号被供应至与列信号线42N连接的列处理部分23N。

[0305] 更具体地,例如,行控制部分22执行访问控制,以从位于奇数共享像素行RN上的共享像素单元41中进行像素信号(其是通过将来自(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的相加信号)的读取并且将像素信号供应到列信号线42N上。同时,行控制部分22从位于随后的奇数共享像素行RN+1上的共享像素单元41中执行像素信号(其是通过将(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的相加信号)的读取,并且将像素信号供应到列信号线42N上。通过这种访问控制,被供应到列信号线42N上的像素信号(即,通过将来自位于奇数共享像素行RN上的共享像素单元41中的(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的像素信号以及通过将来自位于奇数共享像素行RN+1上的共享像素单元41中的(1,1)和(3,1)处的R像素的像素信号进行FD相加而获得的像素信号)在其上经历SF相加。

[0306] 作为通过在列信号线42N上的SF相加而获得的相加信号的所产生的像素信号被供应至连接至列信号线42N的列处理部分23N。

[0307] 对奇数共享像素行RN和RN+1上剩余的Gr、Gb和B像素、剩余的几对奇数共享像素行以及偶数共享像素行类似地执行这种访问控制。这导致通过FD相加的2行相加以及通过SF相加的2行相加,从而通过1/4抽取执行像素信号读取。

[0308] 除了通过参照图16和17所描述的1/2跳读以及通过FD相加的2行相加以外,利用上述通过SF相加的2行相加,从而利用1/8抽取执行像素信号读取。利用1/8抽取的这种像素信号读取导致以为用于正常成像的帧速率的8倍的帧速率进行高速成像。

[0309] 上述专利文献1描述了一种由单位像素配置而成并且包括多个电容器和开关的图像传感器。电容器并联连接至负责AD转换的列处理部分,并且开关选择哪个电容器连接至列信号线。

[0310] 利用在专利文献1中的图像传感器,通过选择哪个电容器连接至列信号线的开关,执行电容相加,即,当同时从位于两个不同的行上的单位像素中读取的像素信号经由连接至列信号线的电容器供应至列处理部分时,像素信号经历加权加算。

[0311] 执行上述电容相加的这种图像传感器也可用于单独的访问控制。因此,可用于图4的单独的访问控制的图像传感器可被配置成用于电容相加。

[0312] 当可用于图4的单独的访问控制的图像传感器被配置成用于电容相加时,行控制部分22执行用于同时从位于多个共享像素行上的共享像素单元41中读取像素信号的访问控制,从而经由连接至列信号线的电容器,将同时从位于共享像素行上的共享像素单元41中读取的像素信号提供给列处理部分。通过这种方式,同时从位于多个共享像素行上的共

享像素单元41中读取的像素信号在提供给列处理部分之前通过电容相加经历加权加算。

[0313] [像素访问部分11的另一个示例性详细配置]

[0314] 图20为示出图2的像素访问部分11的另一个示例性详细配置的方框图。

[0315] 在图20中,与图4的部件对应的任何部件具有相同的参考标号,并且在适当的情况下,在下文中不再进行描述。

[0316] 图20的像素访问部分11与图4的像素访问部分的相同之处在于:该部分包括像素阵列部分21、列处理部分23N和23S以及列控制部分24N和24S。

[0317] 图20的像素访问部分11与图4的像素访问部分的相同之处还在于:像素阵列部分21包括多个共享像素单元41,列处理部分23N包括DAC51N以及与共享像素单元41的X列一样多的ADC52N,并且列处理部分23S包括DAC51S以及X个ADC52S。

[0318] 图20的像素访问部分11与图4的像素访问部分的相同之处在于:该部分包括列信号行42N和42S。

[0319] 然而,在图20的像素访问部分11中,设置行控制部分72作为行控制部分22的替代,并且设置行控制线73A1和73A2以及73B1和73B2作为行信号线43A和43B的替代。这些与图4的那些不同。

[0320] 与行信号线43A类似,行信号线73A1和73A2连接至奇数行(奇数共享像素行)。行控制部分72将控制信号供应(引导)至行信号线73A1和73A2,从而对位于奇数行上的共享像素单元41执行访问控制。

[0321] 与行信号线43B类似,行信号线73B1和73B2连接至偶数行(偶数共享像素行)。行控制部分72将控制信号供应至行信号线73B1和73B2,从而对位于偶数行上的共享像素单元41执行访问控制。

[0322] 在本文中,行信号线73A1仅连接至位于奇数行上的奇数列中的共享像素单元41,并且行信号线73A2仅连接至位于奇数行上的偶数列中的共享像素单元41。

[0323] 行信号线73B1仅连接至位于偶数行上的奇数列中的共享像素单元41,并且行信号线73B2仅连接至位于偶数行上的偶数列中的共享像素单元41。

[0324] 行信号线73A1和73A2以及73B1和73B2是不同的系统,从而允许行控制部分72为其(作为不同的系统)提供不同的控制信号。

[0325] 这允许行控制部分72在位于奇数行上的共享像素单元41与位于偶数行上的共享像素单元41之间,对两个奇数和偶数行(同时从这两个奇数和偶数行中读取像素信号(电信号))不同地执行访问控制。这也允许行控制部分72对位于一行上的一个列与另一个列(即,奇数列和偶数列)不同地执行访问控制。

[0326] 在这种情况下,对于位于相同行上的共享像素单元41,可根据哪个列(即,是奇数列还是偶数列)从不同的位置中的像素中执行像素信号读取。这因此提高了如何执行抽取的灵活性,即,像素行的跳读图案或者行相加的目标。

[0327] 在这种情况下,在通过像素信号抽取获得的图像中,使像素值采样间隔(在具有值的像素行之间的间隔)变得更均匀,从而进一步防止由莫尔条纹等引起的图像质量退化。

[0328] [图像传感器2的其他示例性配置]

[0329] 图21为示出图1的图像传感器2的另一个示例性配置的方框图。

[0330] 在图21中,与图2的部件对应的任何部件具有相同的参考标号,并且在适当的情况

下,在下文中不再进行描述。

[0331] 图21的图像传感器2与图2的图像传感器的相同之处在于:该传感器包括像素访问部分11、列I/F部分12、信号处理部分13以及时序控制部分14。

[0332] 图21的图像传感器2与图2的图像传感器的相同之处还在于:像素访问部分11包括像素阵列部分21以及行控制部分22。

[0333] 然而,在图21的图像传感器2中,像素访问部分11包括作为两个列处理部分23N和23S的代替的列处理部分81以及作为两个列控制部分24N和24S的代替的列控制部分82。这些与图2的那些不同。

[0334] 即,在图2的图像传感器2中,列处理部分23N和列控制部分24N设置在列信号线42N和42S(图4)的上端侧上,并且在其下端侧上设置列处理部分23S和列控制部分24S。另一方面,在图21的图像传感器2中,仅在列信号线42N和42S的上端侧上设置列处理部分81和列控制部分82。

[0335] 与列处理部分23N和23S类似,列处理部分81对来自像素阵列部分21的像素信号执行AD转换等。列处理部分81随后将所产生的数字信号作为像素值供应至列I/F部分12。

[0336] 与列控制部分24N和24S类似,关于通过列处理部分81执行AD转换等获得的像素值,列控制部分82执行列控制,以将像素值供应至列I/F部分12。

[0337] 在本文中,列处理部分81包括与列处理部分23N和23S(图4)类似的DAC和ADC(未示出)。

[0338] 列处理部分23N(以及列处理部分23S)包括与共享像素单元41的列数(即,X)(图4)一样多的ADC52N。另一方面,在列处理部分81中的ADC的数量等于通过将共享像素单元41的列数(即,X)与同时进行像素信号读取的行数相乘所获得的值。在列处理部分81中的ADC(AD转换部分)用于对同时从位于多行上的每列中的共享像素单元41中读取的像素信号进行AD转换。

[0339] 即,在该实施方式中,用于同时进行像素信号读取的共享像素单元41的行数(即,共享像素行的数量)是2,。因此,列处理部分81包括 $2X$ 个ADC。

[0340] 在本文中,仅包括一个用于像素信号的AD转换的列处理部分的配置被称为单列配置,并且将列处理部分划分成多块的配置称为多列配置。在这个意义上,图2的图像传感器2是多列图像传感器,并且图21的图像传感器2是单列图像传感器。

[0341] 如上所述,在包括两个列处理部分23N和23S的图2的多列图像传感器2中,列处理部分23N(以及列处理部分23S)包括 X 个ADC52N。另一方面,在仅包括列处理部分81的图21的单列图像传感器2中,列处理部分81包括 $2X$ 个ADC。

[0342] 与仅包括列处理部分81的图21的单列图像传感器2相比,包括两个列处理部分23N和23S的图2的多列图像传感器2在电路尺寸上可较大。另一方面,考虑到分别在列处理部分23N和23S中的ADC52N和52S的数量为 X ,与包括 $2X$ 个ADC的图21的单列图像传感器2相比,由于在ADC52N之间以及在ADC52S之间的足够的空间,所以容易设计图2的多列图像传感器2。

[0343] 另一方面,考虑到列处理部分81包括 $2X$ 个ADC,与其中列处理部分23N和23S分别包括 X 个ADC52N和52S的图2的多列图像传感器2相比,由于在其中的ADC之间没有足够的空间,所以难以设计图21的单列图像传感器2。然而,与包括两个列处理部分23N和23S的图2的多列图像传感器2相比,仅具有用于像素信号的AD转换列处理部分81的图21的单列图像传感

器2在电路尺寸上可较小。

[0344] 尽管已经详细地描述了本公开,但是上述描述在各个方面都是说明性的而并非限制性的。应理解,在不背离本公开的范围的情况下,可涉及很多其他修改和变更。

[0345] 在实施方式中,描述了共享像素单元41为 2×2 或 2×4 阵列的情况。共享像素单元41并不限于 2×2 或 2×4 阵列,并且可以是任何其他阵列。

[0346] 而且,在实施方式中,滤色器图案由拜耳滤波器阵列为例,但是滤色器图案并不限于拜耳滤波器阵列。

[0347] 而且,在实施方式中,同时从位于两个共享像素行上的共享像素单元41中读取像素信号。然而,本公开也适用于同时从位于L(其中,L表示3)个共享像素行上的共享像素单元41中读取像素信号的情况。

[0348] 如果这样的话,预期像素访问部分11包括相对于一列共享像素单元41的L个列信号线。而且,为了对同时进行像素信号读取的L个共享像素行不同地执行访问控制,即,为了单独的访问控制,预期像素访问部分11包括作为不同的R系统的行信号线。

[0349] 本公开适用于具有成像功能的每种电子设备,除了数码照相机之外,包括PC(个人计算机)、移动电话、平板电脑、智能电话、可穿戴式(wearable)照相机等。

[0350] 而且,在该说明书中描述的效果仅作为实例,并且从而可产生其他效果。

[0351] 本公开还可具有以下结构。

[0352] (1)一种图像传感器,包括:

[0353] 像素阵列部分,被配置为包括排布成二维阵列的两个或更多个共享像素单元,共享像素单元均包括通过光电转换输出电信号的多个像素;

[0354] 列处理部分,被配置为处理同时从位于二维阵列中的多行上的共享像素单元中读取的电信号;以及

[0355] 行控制部分,被配置为在不同的行之间不同地执行访问控制,以从共享像素单元的像素中读取电信号。

[0356] (2)根据(1)所述的图像传感器,其中,

[0357] 共享像素单元的一列与多个列信号线连接,并且

[0358] 从共享像素单元中读取的电信号经由列信号线供应至所述列处理部分。

[0359] (3)根据(2)所述的图像传感器,其中,

[0360] 列处理部分设置在列信号线的一端侧和另一端侧上。

[0361] (4)根据(3)所述的图像传感器,其中,

[0362] 共享像素单元的一列与两个列信号线连接,

[0363] 两个列信号线中的一个连接至位于采用奇数的任何行上的共享像素单元,

[0364] 两个列信号线中的另一个连接至位于采用偶数的任何行上的共享像素单元,

[0365] 列处理部分包括AD转换部分,该AD转换部分被配置为对从位于奇数行和偶数行的每一个上的不同列中的共享像素单元中同时读取的电信号执行AD(模数)转换,

[0366] 设置在列信号线的一个端侧上的列处理部分

[0367] 包括与共享像素单元的列数一样多的AD转换部分,并且

[0368] 对来自奇数行上的共享像素单元的电信号执行模数转换,经由两个列信号线的其中一个供应电信号,并且

[0369] 行控制部分执行用于从位于奇数行上的共享像素单元与位于偶数行上的共享像素单元之间的不同位置中的像素中读取电信号的访问控制。

[0370] (5) 根据 (1) 到 (4) 中任一项所述的图像传感器, 其中,

[0371] 在每个共享像素单元中的像素共享FD(浮置扩散), 并且

[0372] 通过执行用于从共享FD的两个或更多个像素中同时读取电信号的访问控制, 行控制部分从共享像素单元中读取相加信号, 通过在FD中将同时从所述两个或更多个像素中读取的电信号相加在一起获得相加信号。

[0373] (6) 根据 (5) 所述的图像传感器, 其中,

[0374] 行控制部分执行访问控制以执行FD相加, 通过FD相加, 使得在具有通过列处理部分处理的值的像素之间的垂直间隔大致均匀。

[0375] (7) 根据 (1) 到 (6) 中任一项所述的图像传感器, 其中,

[0376] 行控制部分还在位于一行上的不同列之间不同地执行访问控制。

[0377] (8) 根据 (4) 到 (6) 中任一项所述的图像传感器, 其中,

[0378] 通过执行用于同时从位于多行上并且连接至任一个列信号线的共享像素单元中读取电信号的访问控制, 行控制部分在列信号线上将同时从共享像素单元中读取的电信号加在一起, 以供应至列处理部分。

[0379] (9) 根据 (2) 所述的图像传感器, 其中,

[0380] 列处理部分

[0381] 设置在列信号线的一个端侧上, 并且

[0382] 包括AD转换部分, 该AD转换部分对同时从位于多个行上的不同列中的共享像素单元中读取的电信号执行AD(模数)转换, AD转换部分被设置为与通过将共享像素单元的列数乘以行数所获得的乘积一样多。

[0383] (10) 根据 (2) 所述的图像传感器, 其中,

[0384] 利用与列处理部分并联的多个电容器以及选择哪个电容器与列信号线连接的开关, 通过用于同时从位于多个行上的共享像素单元中读取电信号的访问控制, 行控制部分对同时从位于多个行上的共享像素单元中读取的电信号执行加权加算以供应至列处理部分, 通过经由连接至列信号线的电容器供应同时从位于多个行上的共享像素单元中读取的电信号来执行该加权加算。

[0385] (11) 一种控制方法, 包括:

[0386] 在图像传感器中, 该图像传感器包括:

[0387] 像素阵列部分, 被配置为包括排布成二维阵列的两个或更多个共享像素单元, 共享像素单元分别包括通过光电转换输出电信号的多个像素; 以及

[0388] 列处理部分, 被配置为处理同时从二维阵列中的多行上的共享像素单元中读取的电信号;

[0389] 在不同的行之间不同地执行访问控制, 以从共享像素单元中的像素中读取电信号。

[0390] (12) 一种电子设备, 包括:

[0391] 光学系统, 被配置为聚集光; 以及

[0392] 图像传感器, 被配置为通过接收光来捕捉图像, 该图像传感器具有

[0393] 像素阵列部分,被配置为包括排布成二维阵列的两个或更多个共享像素单元,共享像素单元分别包括通过光电转换输出电信号的多个像素;

[0394] 列处理部分,被配置为处理同时从二维阵列中的多个行上的共享像素单元中读取的电信号;以及

[0395] 行控制部分,被配置为在不同的行之间不同地执行访问控制,以从共享像素单元中的像素中读取电信号。

[0396] 本领域的技术人员应理解,可进行各种修改、组合、次组合和变更,只要它们落在所附权利要求或其等同物的范围内。

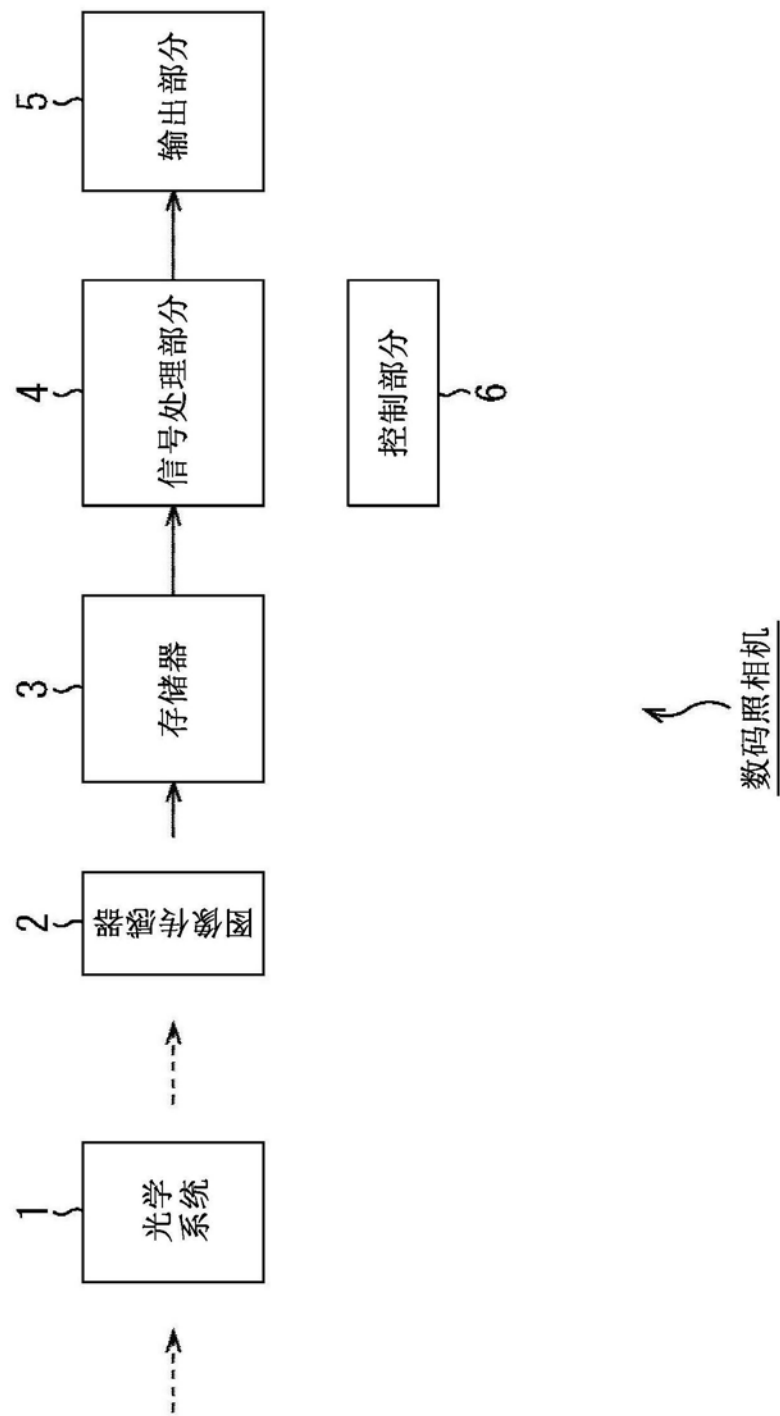


图1

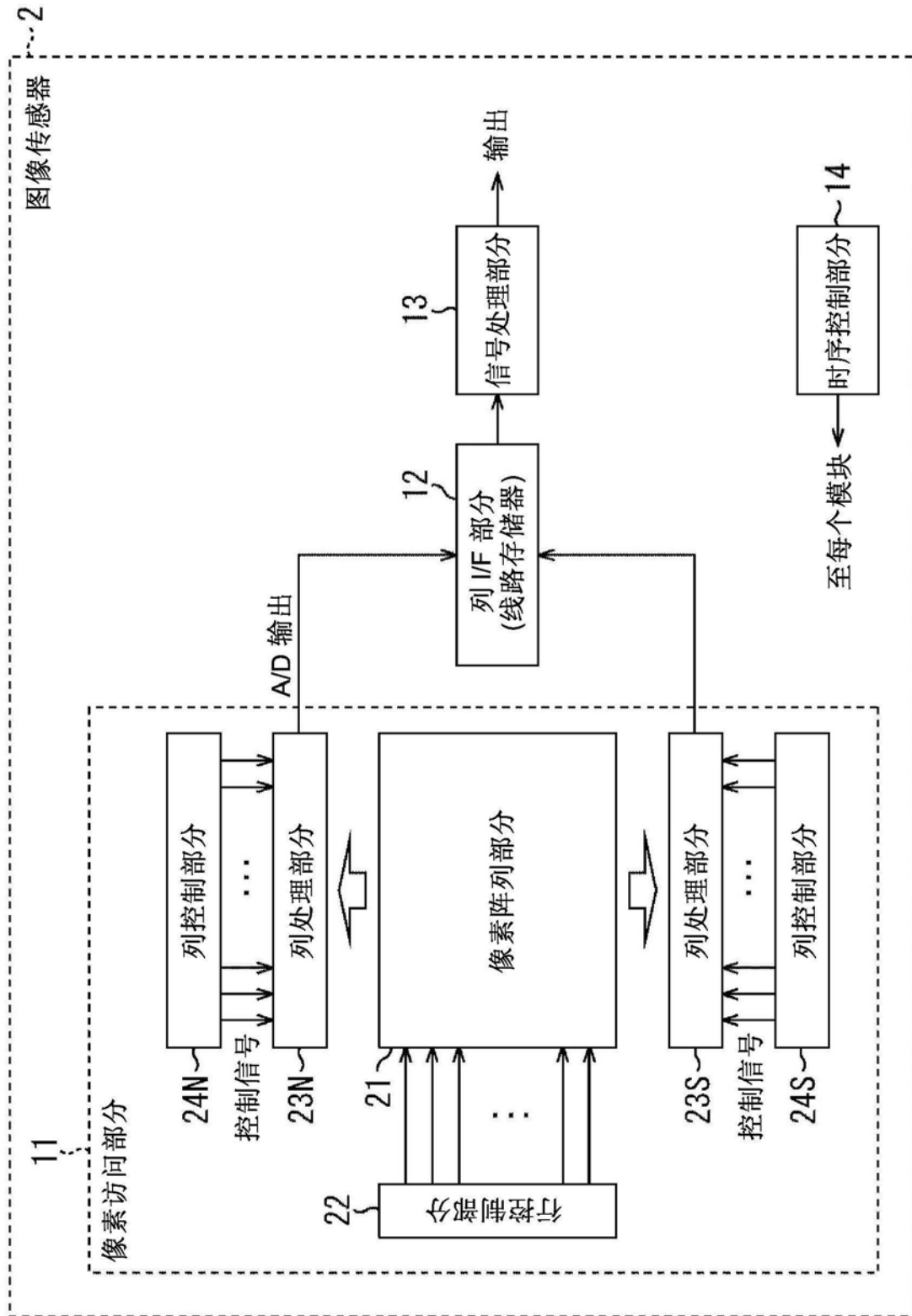


图2

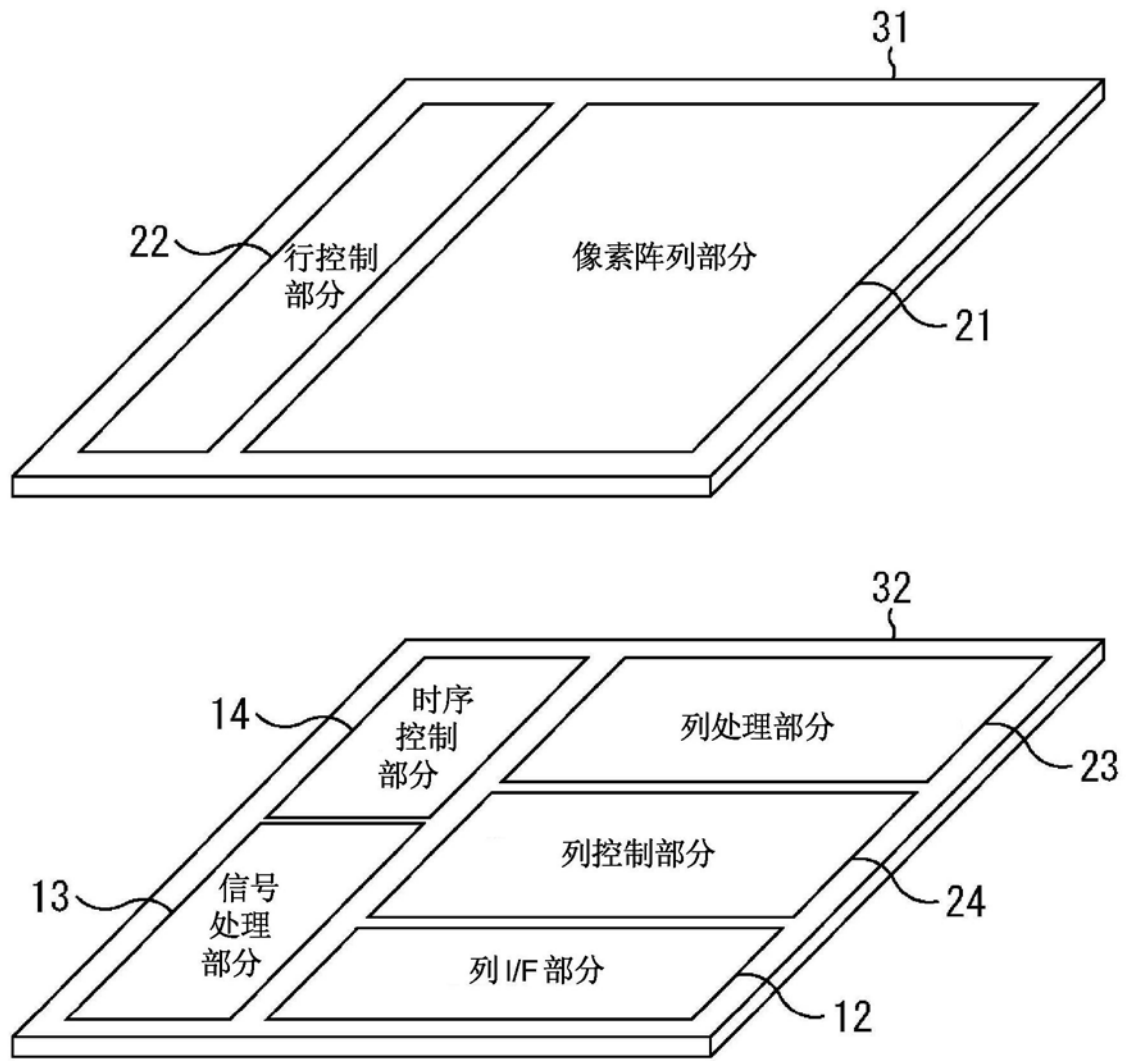


图3

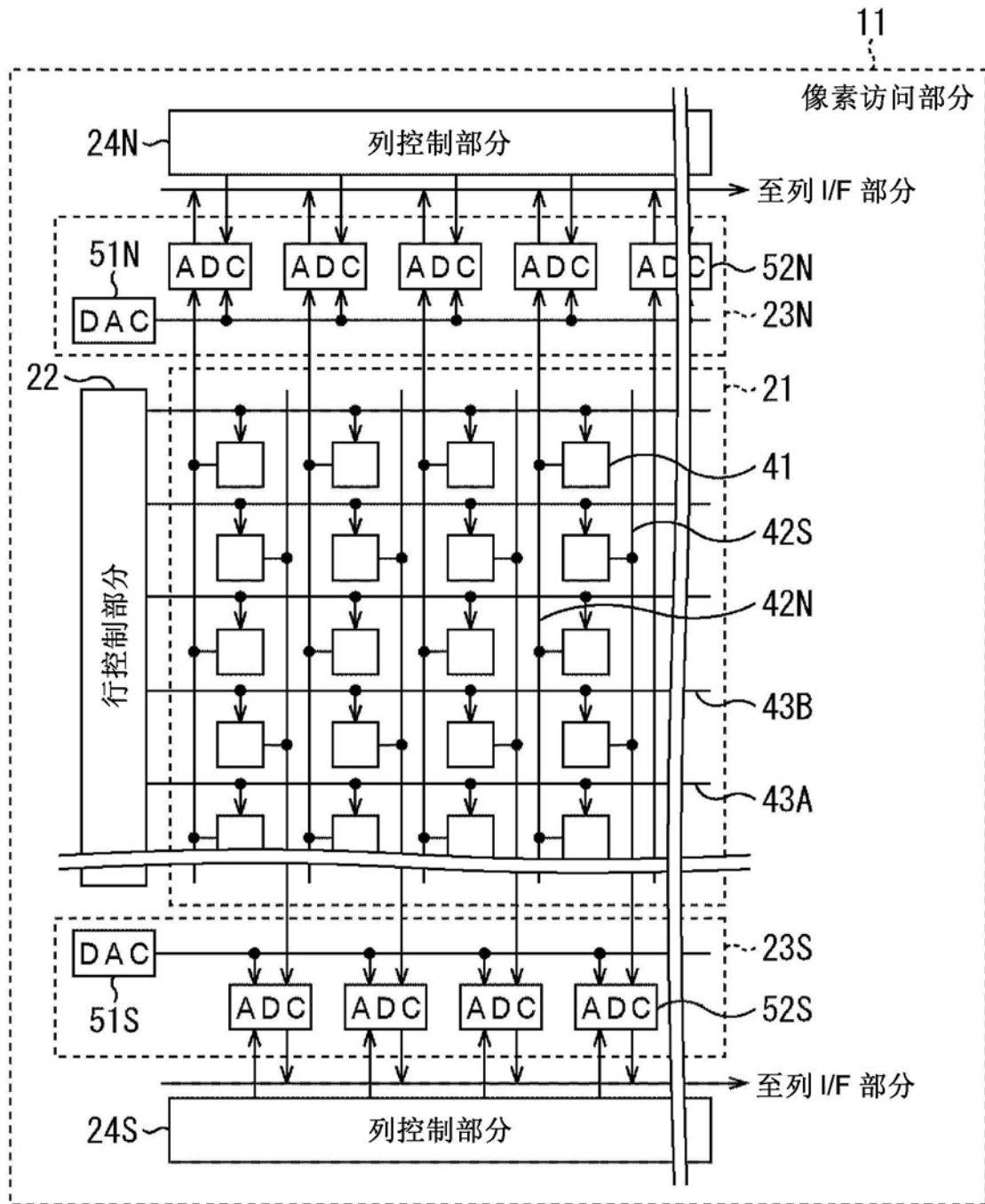


图4

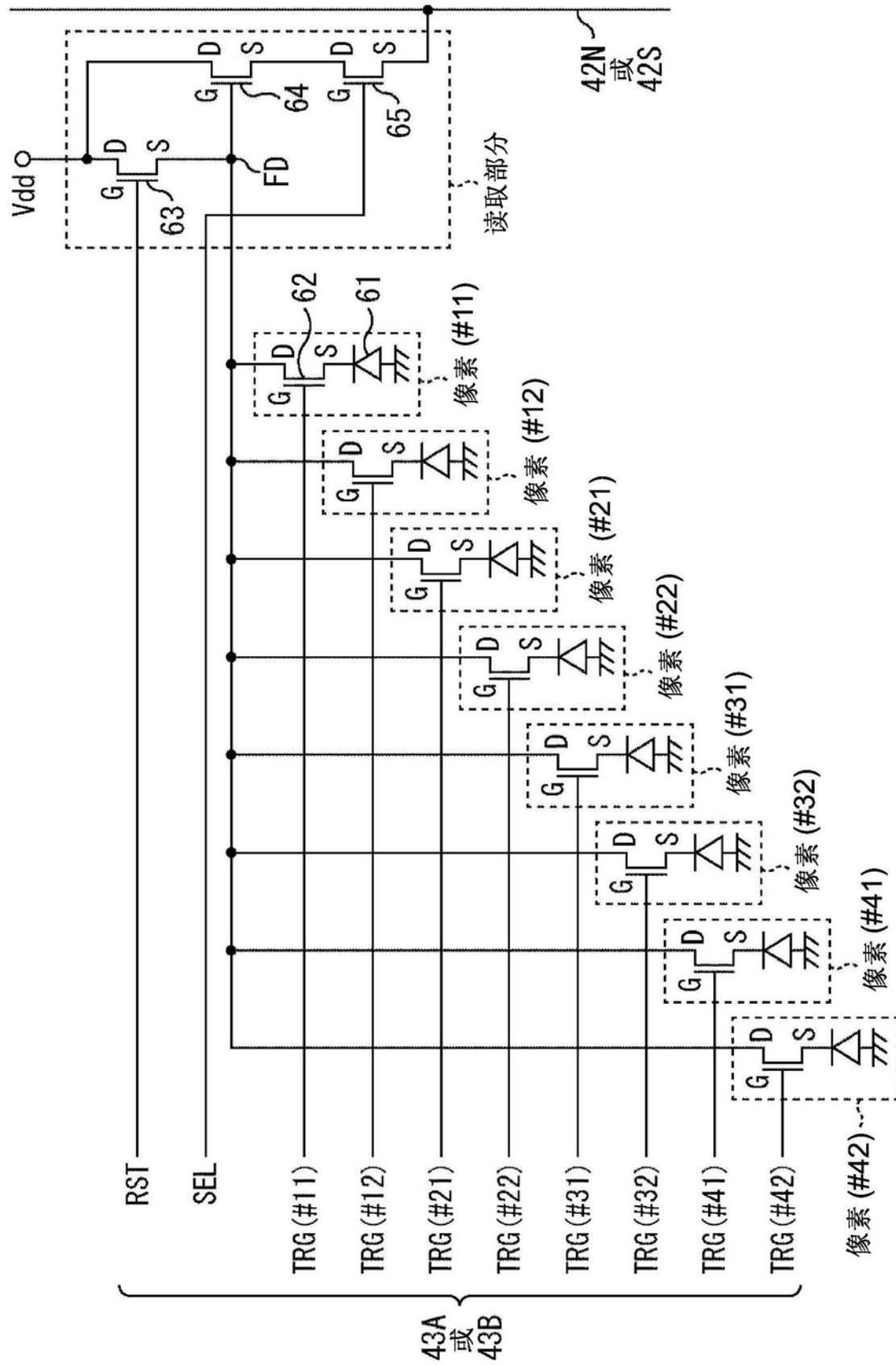


图5

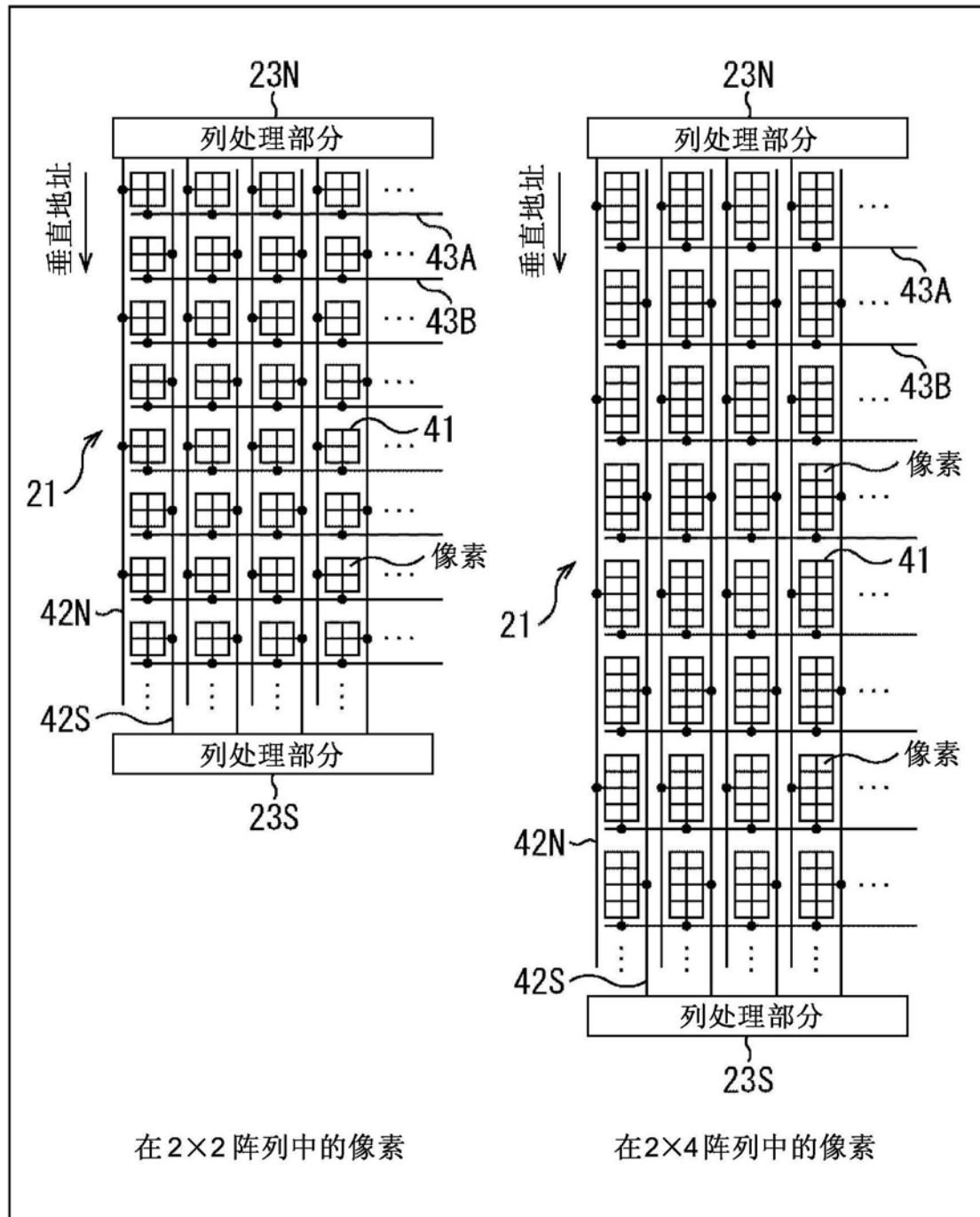


图6

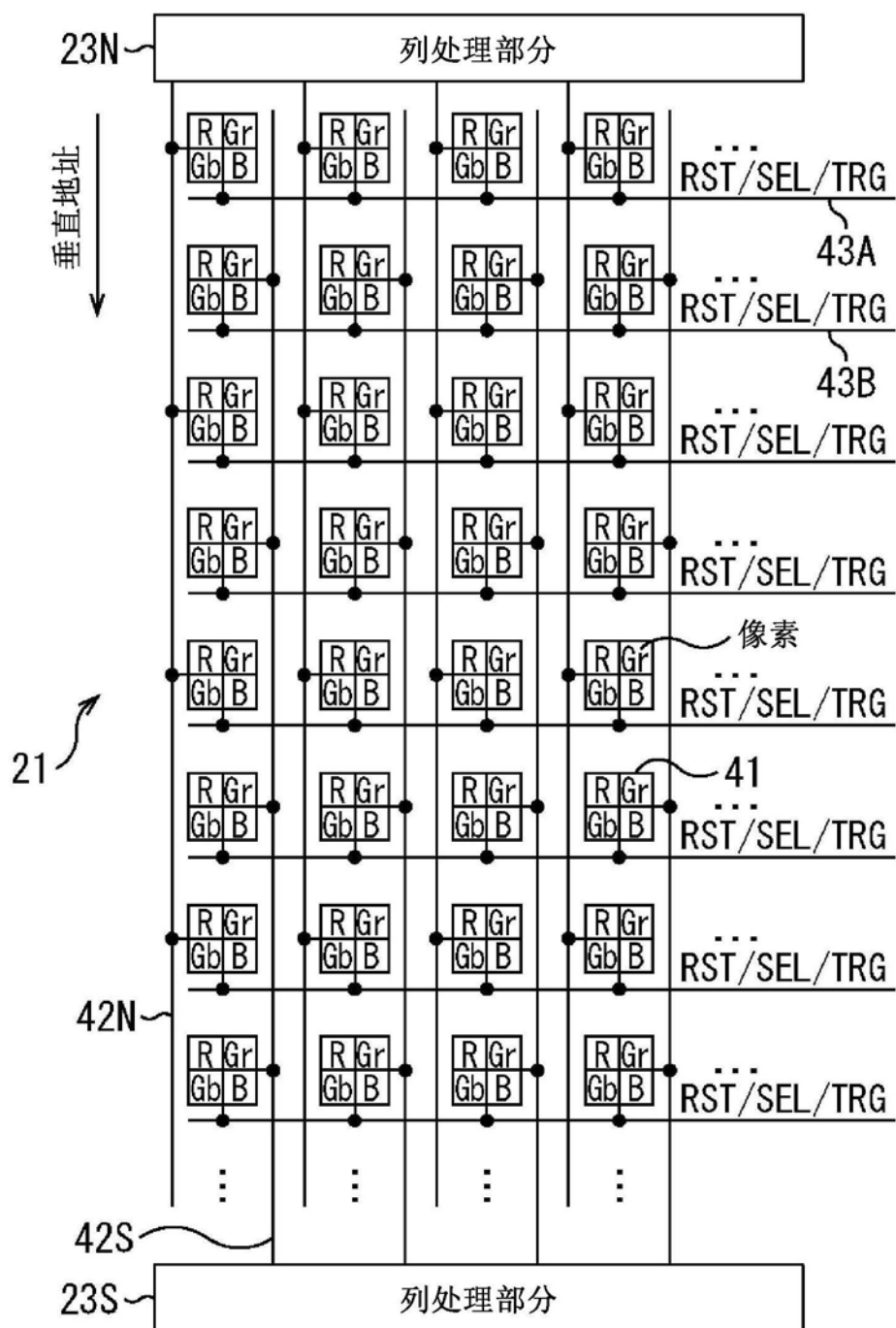


图7

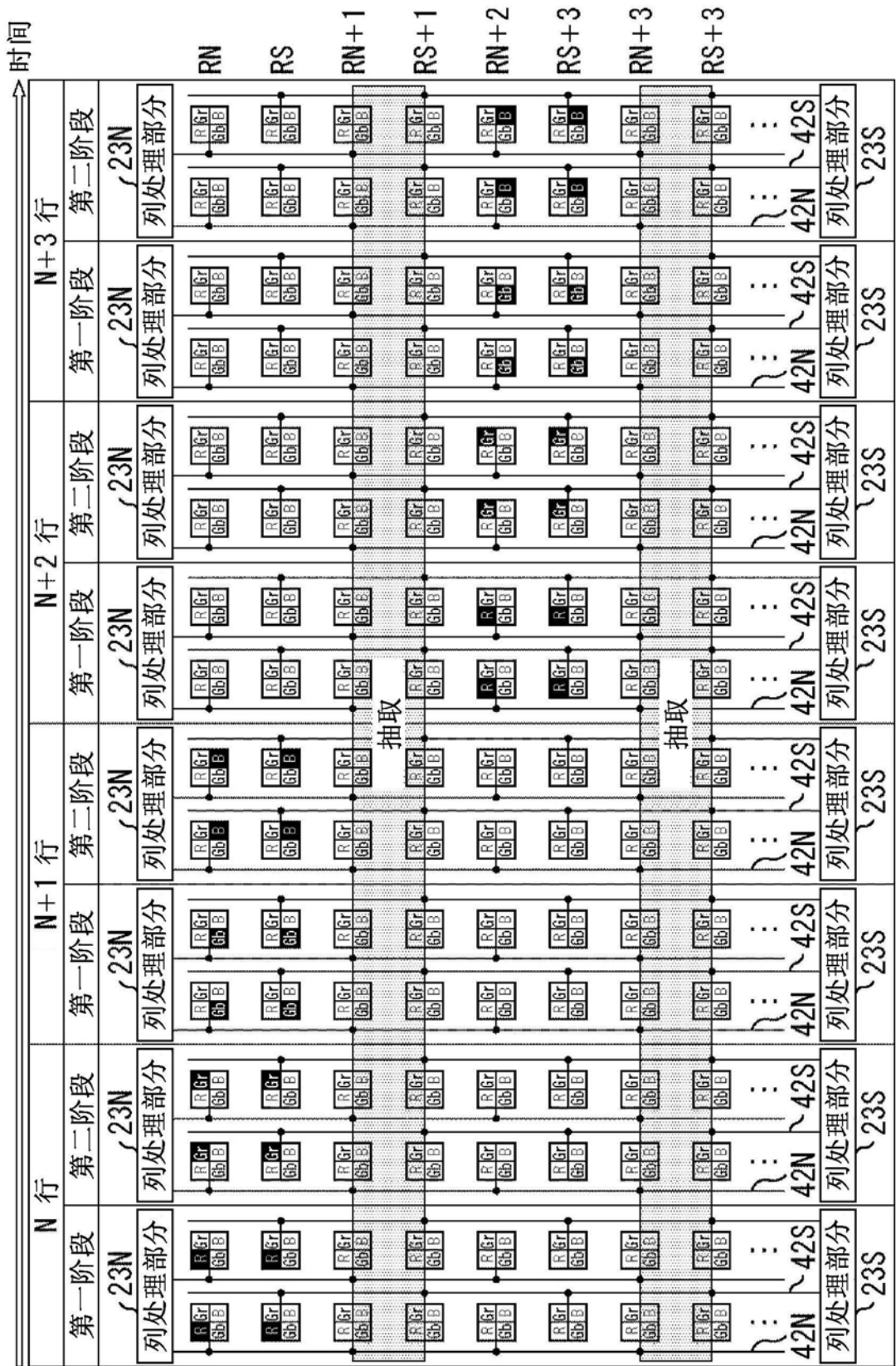


图8

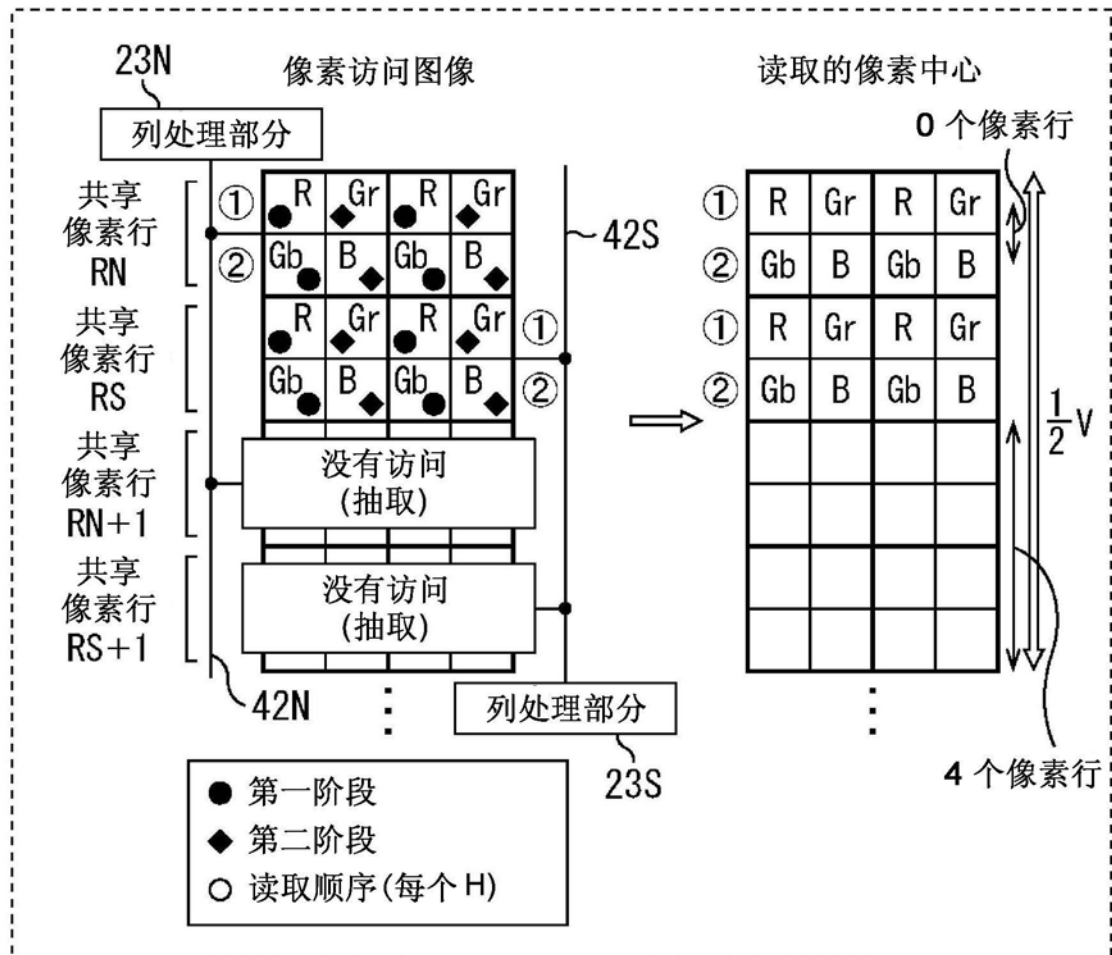


图9

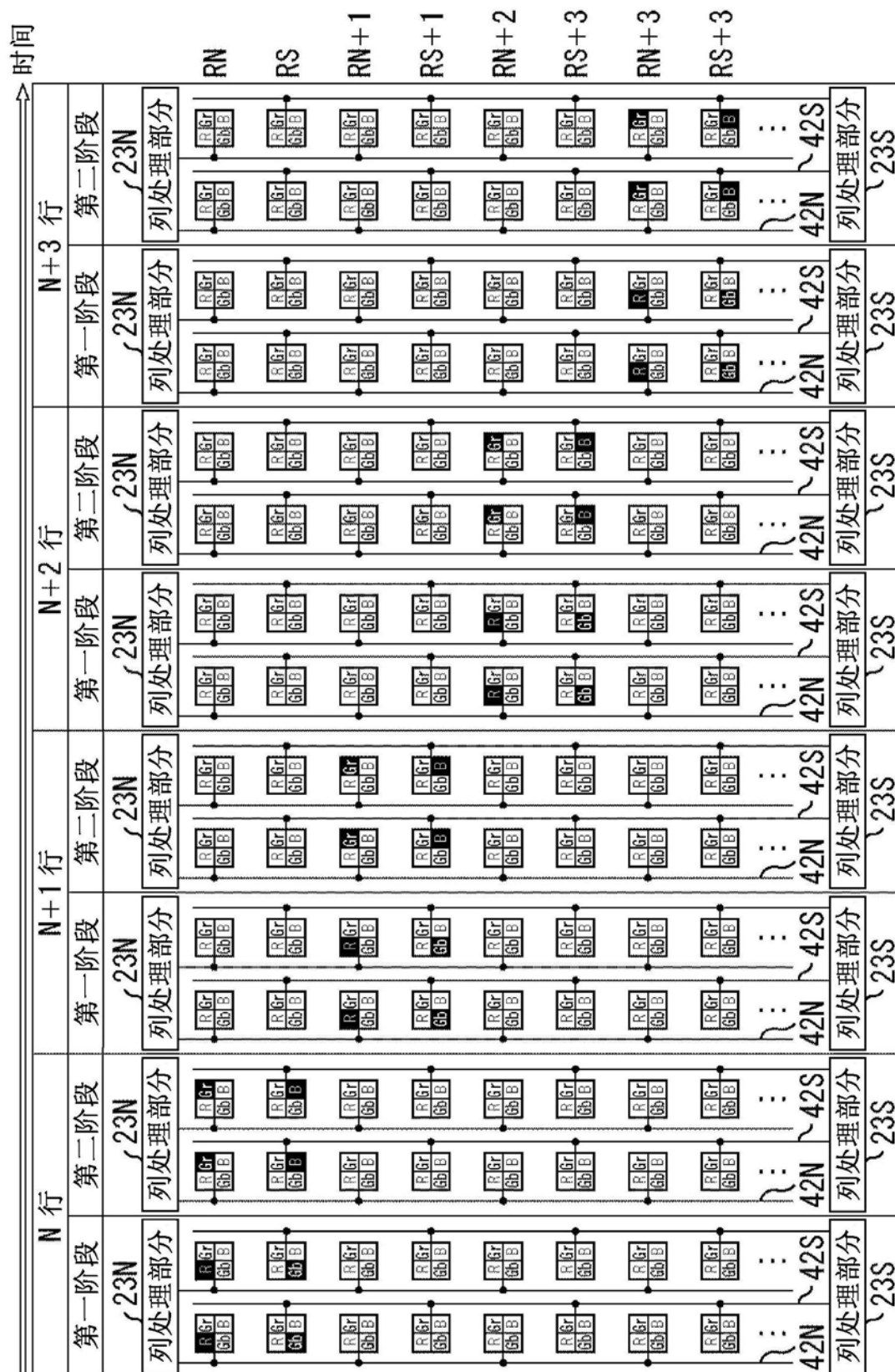


图10

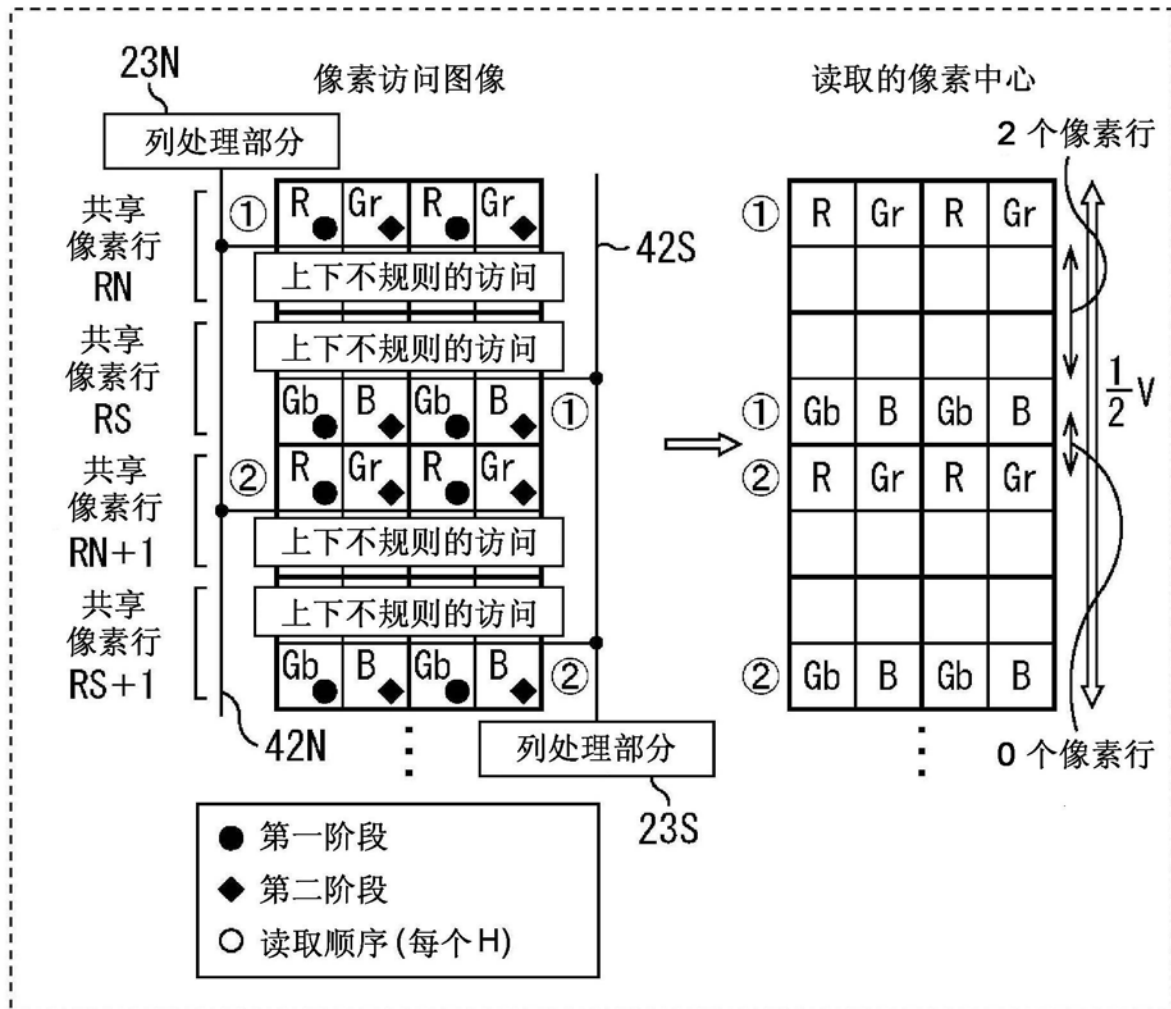


图11

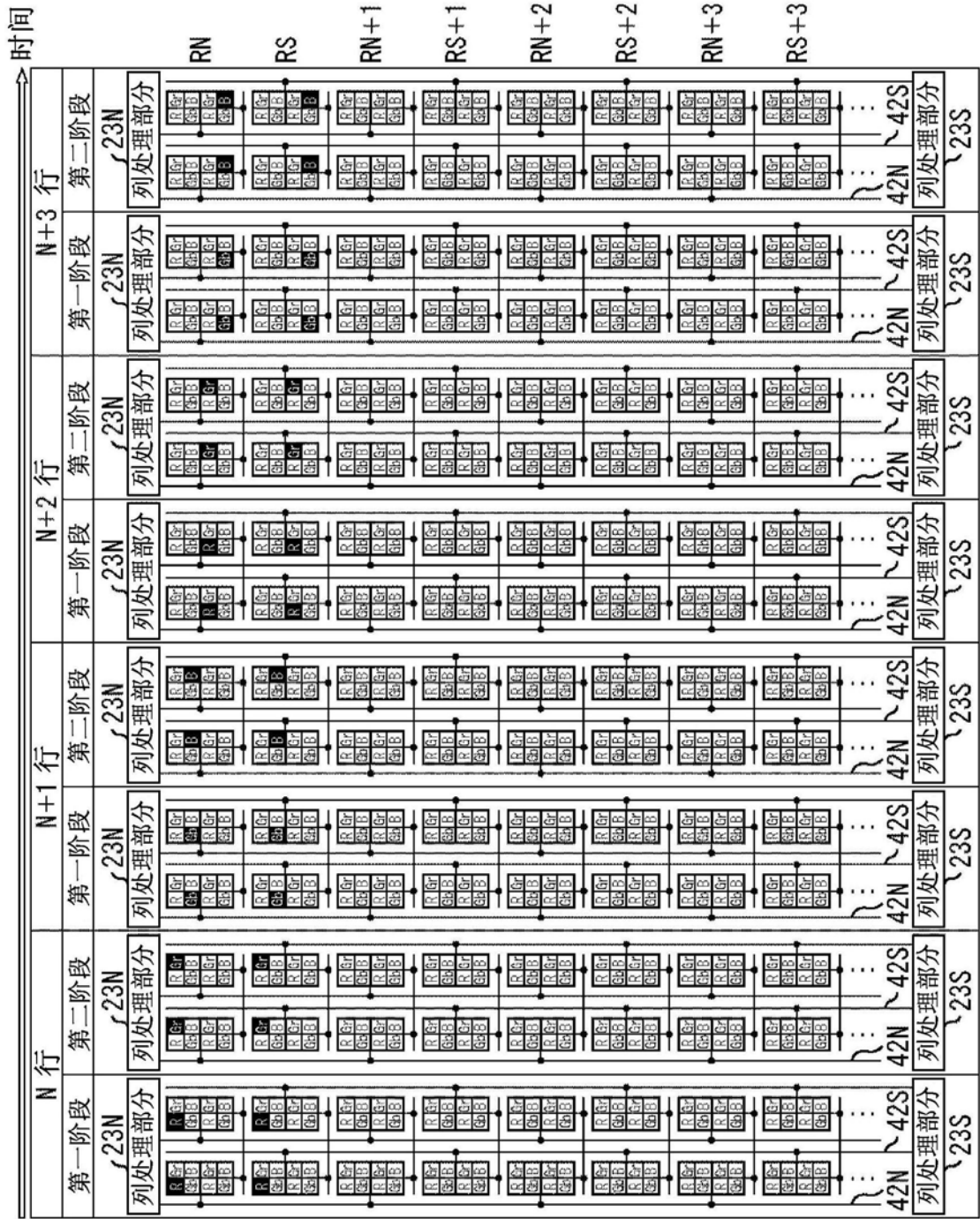


图13

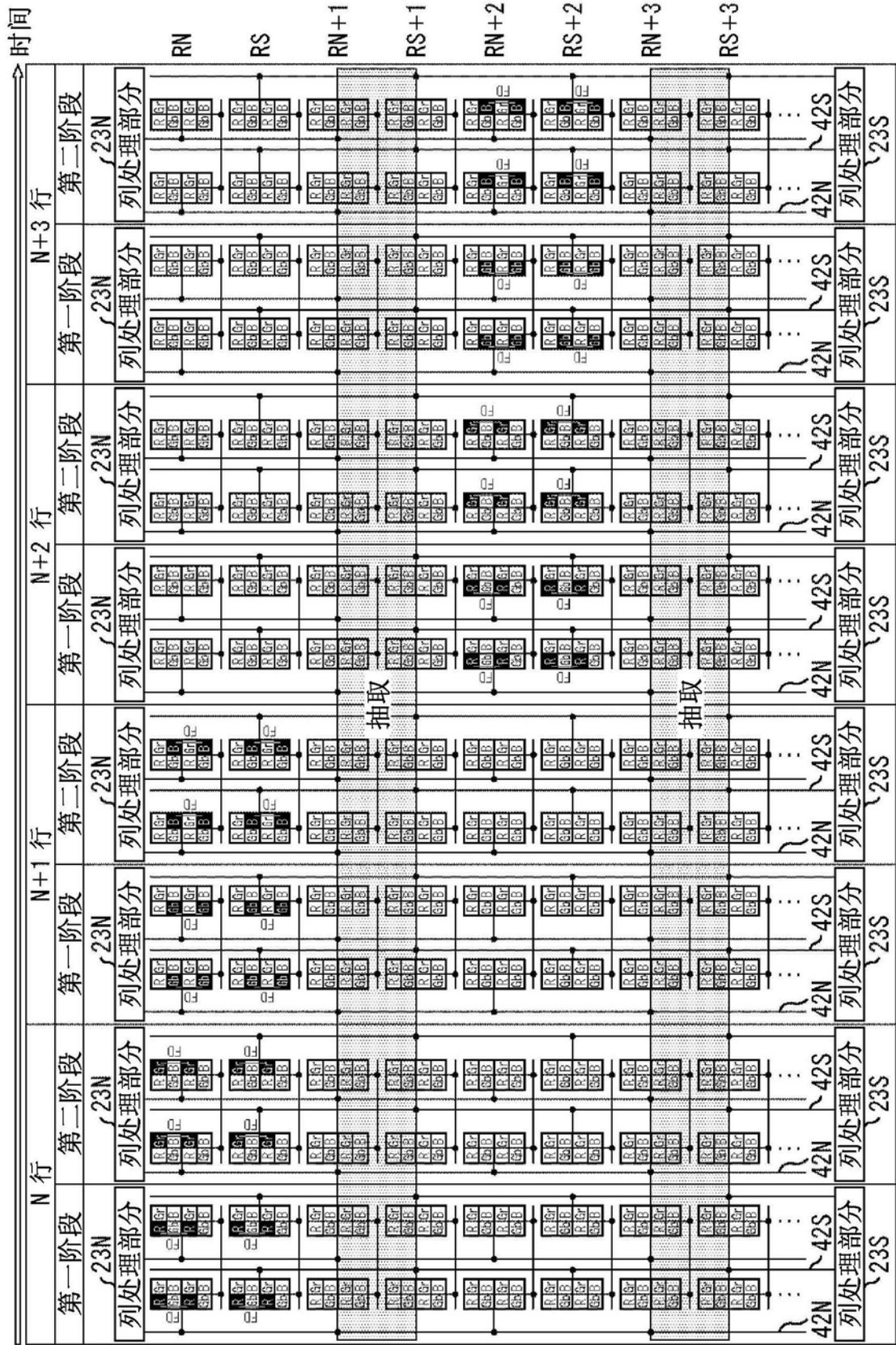


图14

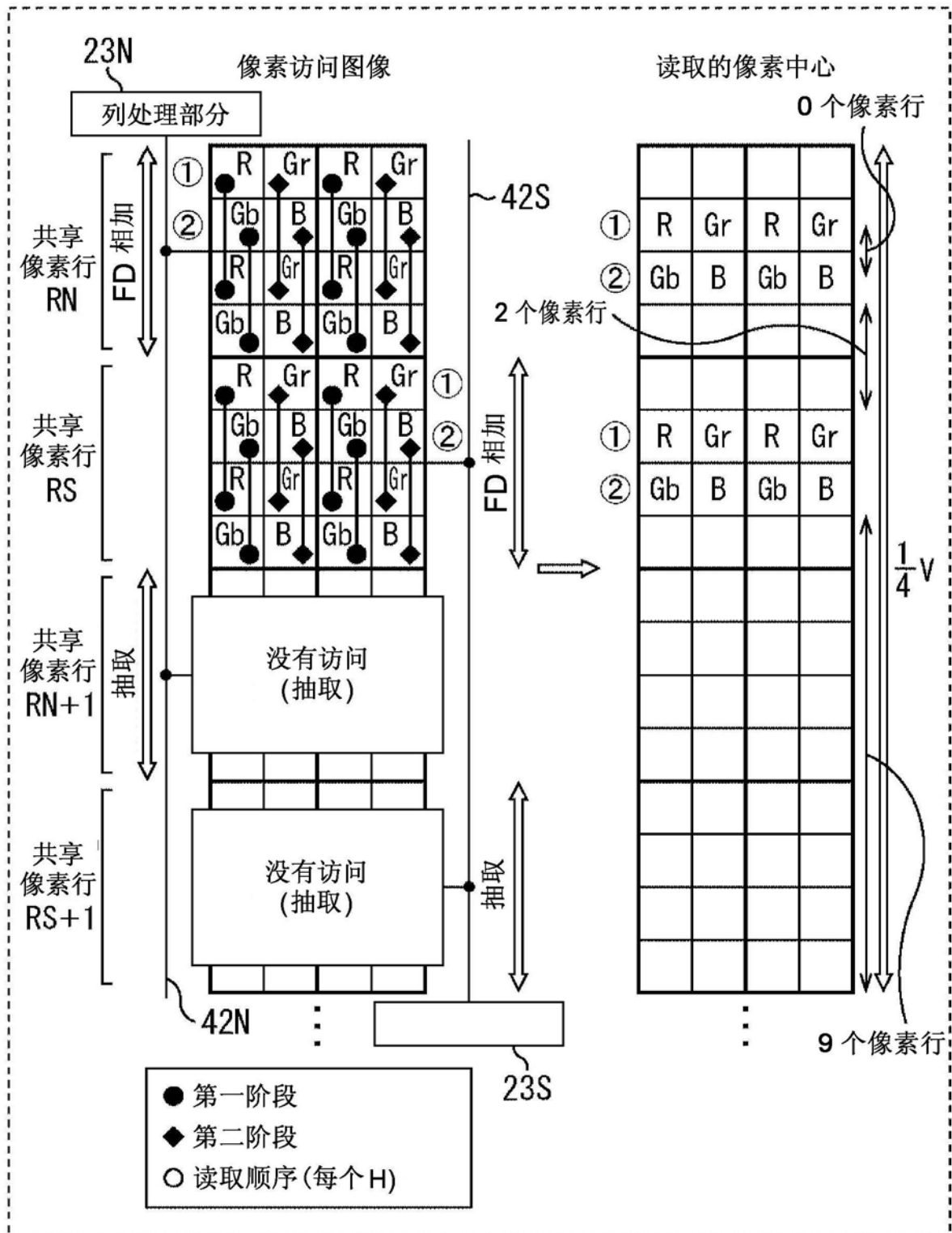


图15

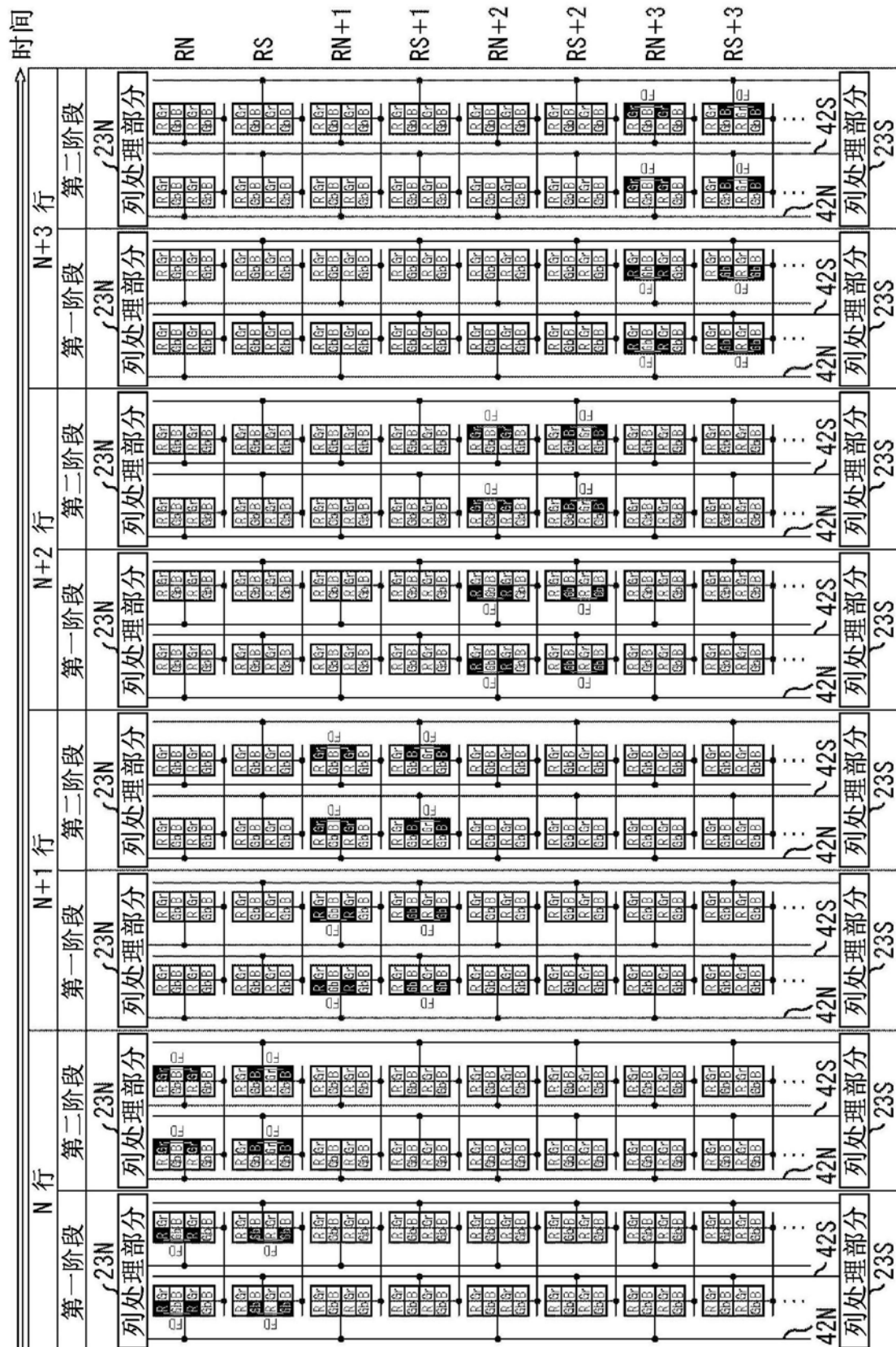


图16

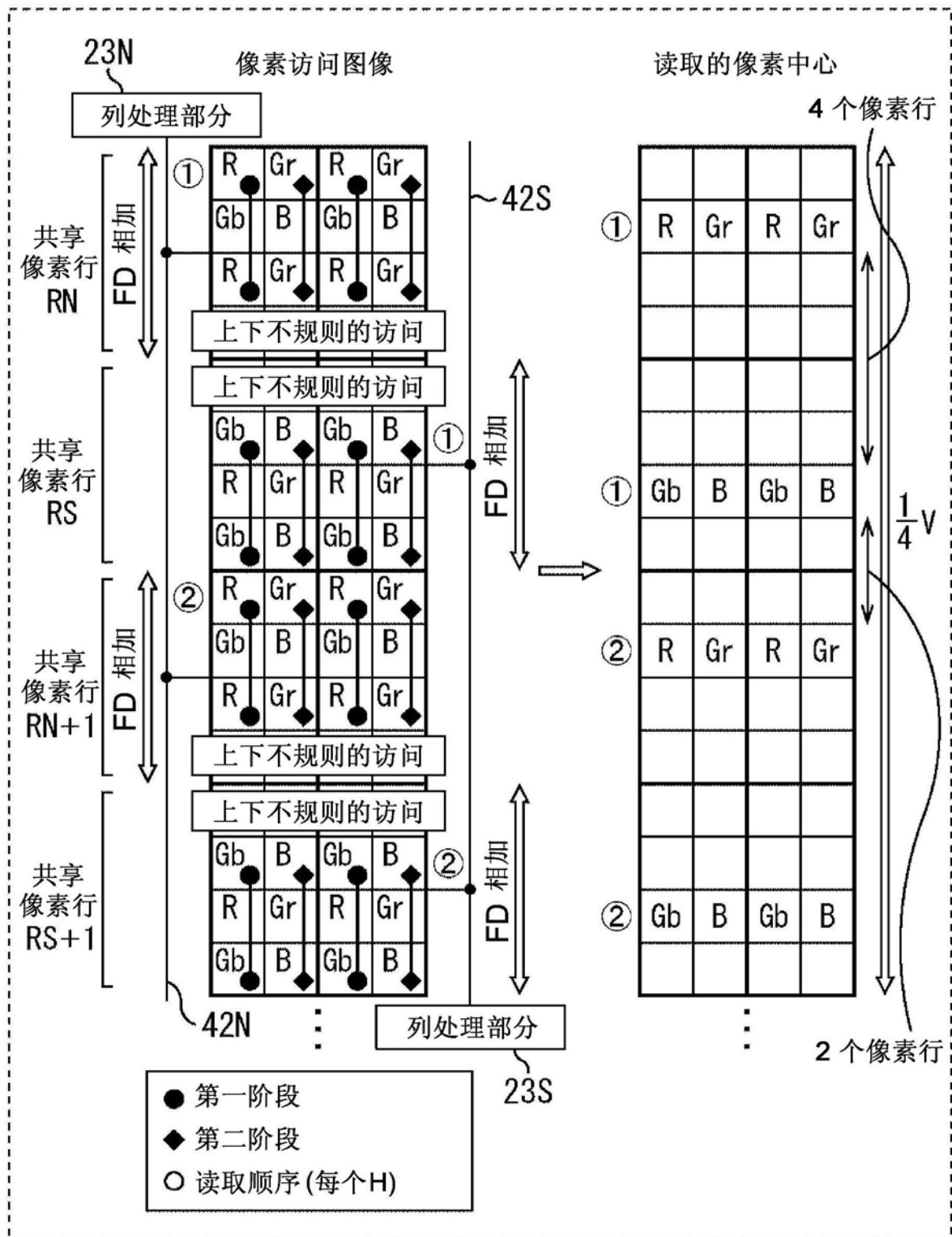


图17

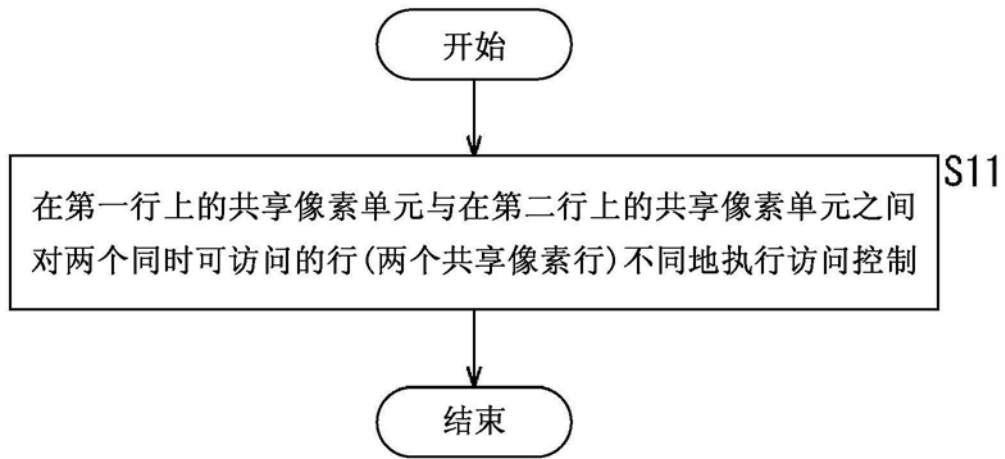


图18

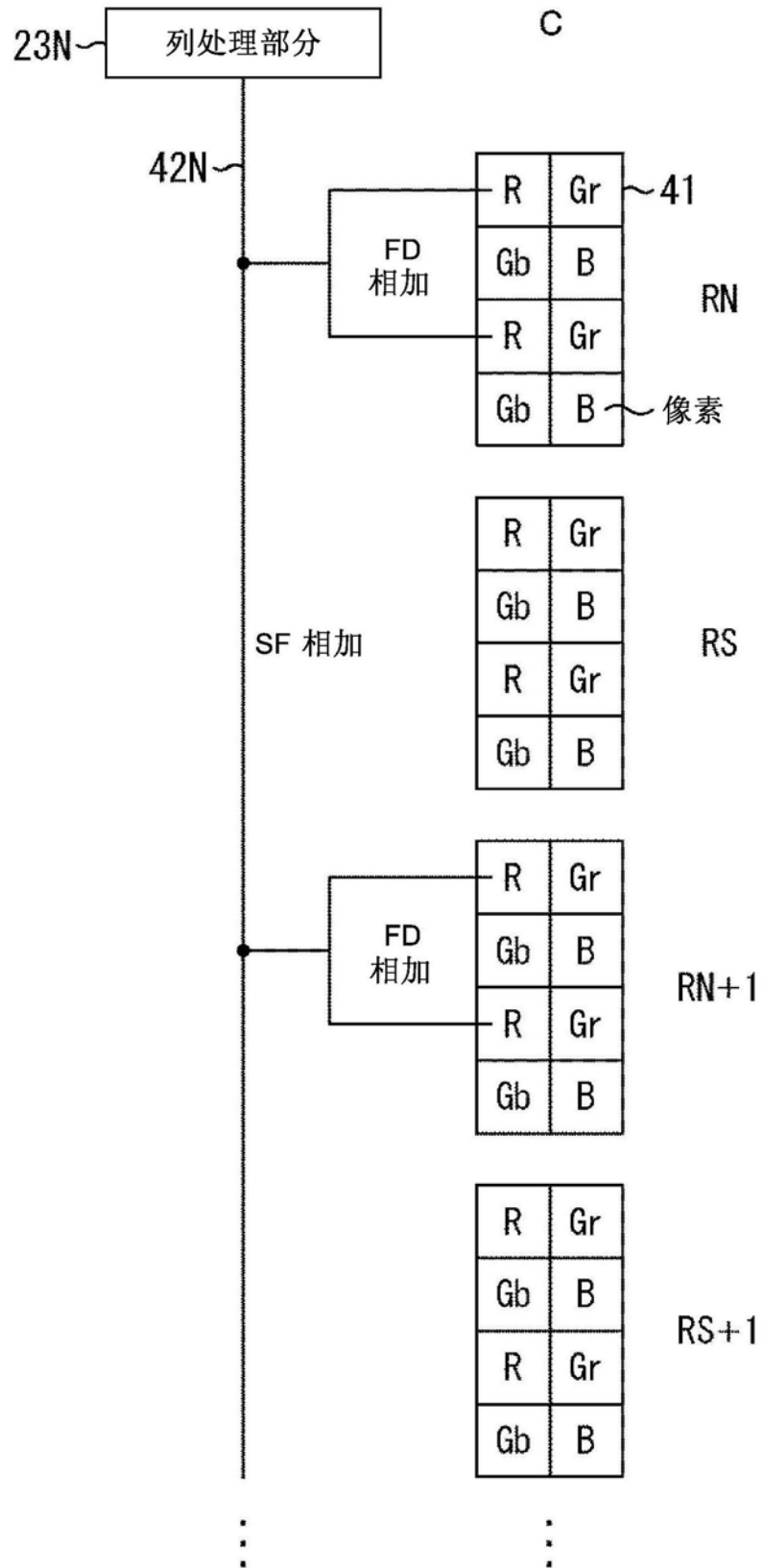


图19

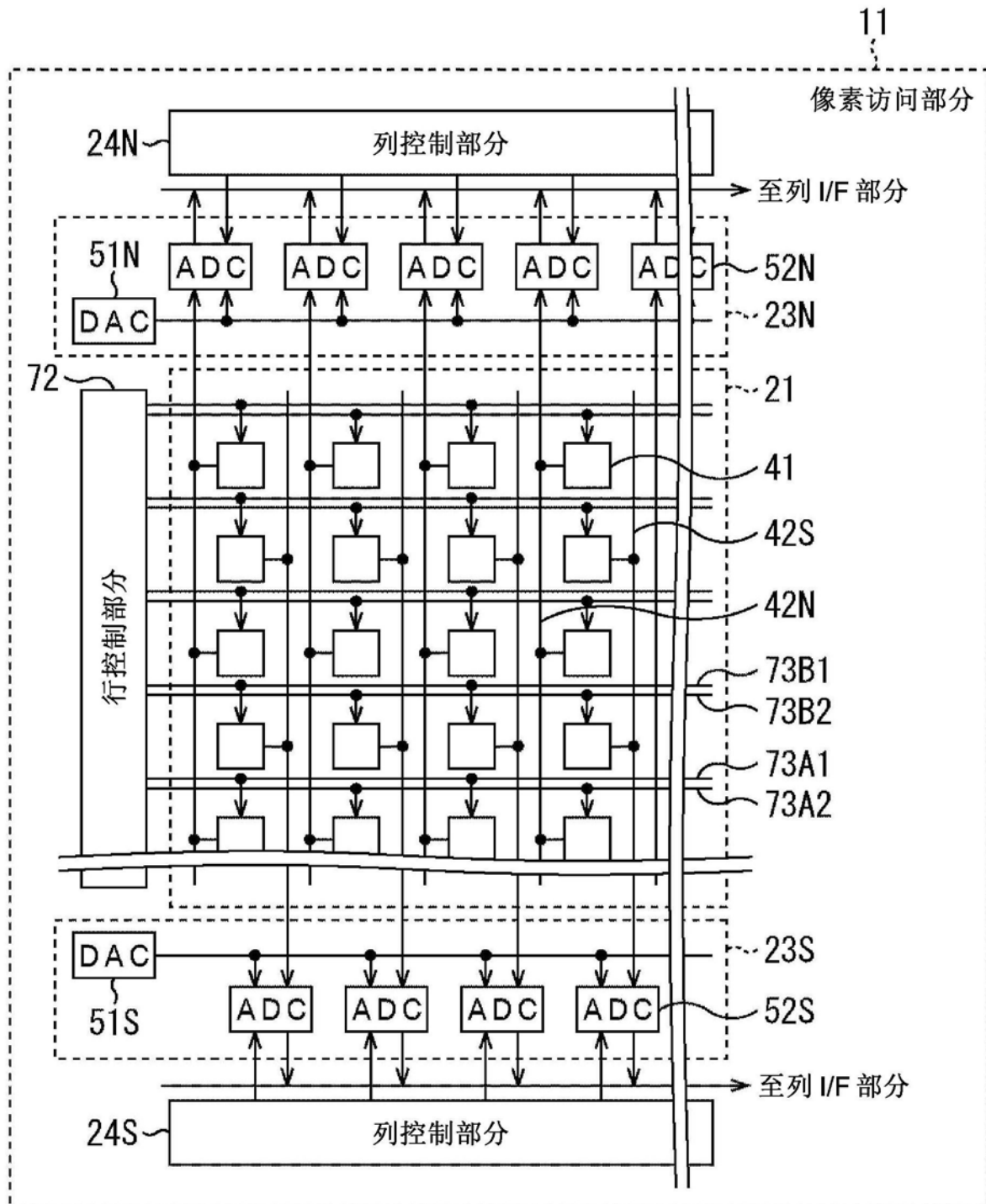


图20

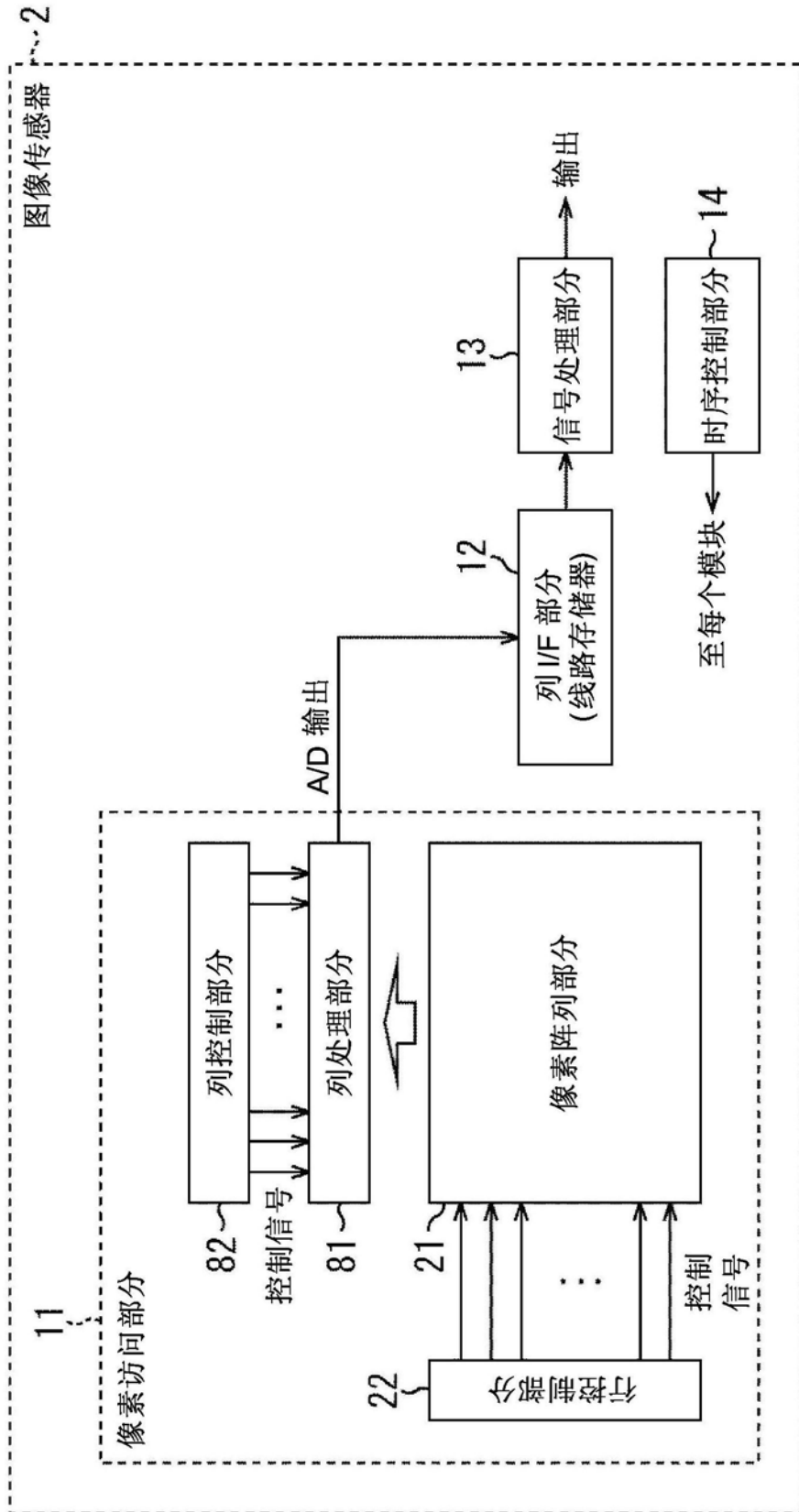


图21